



Title	高性能光通信用受信回路の設計に関する研究
Author(s)	佐野, 栄一
Citation	University of Tokyo. 博士(工学)
Issue Date	1998-09-17
Doc URL	http://hdl.handle.net/2115/32899
Type	theses (doctoral)
File Information	thesis.pdf



[Instructions for use](#)

高性能光通信用受信回路の
設計に関する研究

1 9 9 8 年

佐野栄一

目 次

第1章	序論	1
1.1	研究の背景	1
1.2	受信回路研究の歴史	4
1.3	研究の目的と課題	10
1.4	本論文の構成	11
第2章	受光デバイスの高速化設計	14
2.1	はじめに	15
2.2	基本方程式	16
2.2.1	電磁界の挙動	16
2.2.2	キャリアの挙動	17
2.3	流体モデルを用いたGaAs MSM-PDの基本動作解析	19
2.4	粒子モデルを用いたMSM-PDの高速化設計	22
2.4.1	GaAs MSM-PDの設計	24
2.4.2	InGaAs MSM-PDの設計	28
2.5	まとめ	35
第3章	受信用集積回路の高性能化設計	36
3.1	はじめに	37
3.2	10 Gbit/s 等化増幅集積モジュール	38
3.2.1	増幅器、パッケージ一括設計法	38
3.2.2	デバイス技術	40
3.2.3	入出力整合設計	41
3.2.4	等化増幅集積回路モジュールの試作	42
3.3	ベースバンド回路に適したデバイス性能指数	46
3.3.1	デバイス性能指数の導出	46
3.3.2	実験との比較	48
3.4	モノリシック集積化による低エネルギー化	52
3.4.1	集積化の重要性	52
3.4.2	InP/InGaAs DHBTを用いた3 R機能回路	53
3.5	まとめ	58

第4章	光電子混在回路シミュレーション手法	59
4.1	はじめに	60
4.2	デバイスモデル	61
4.2.1	レーザダイオード	61
4.2.2	受光デバイス	62
4.2.3	MESFETおよびHFET	63
4.2.4	バイポーラトランジスタ、ダイオードおよび抵抗	63
4.2.5	光ファイバ	63
4.2.6	光変調器	64
4.2.7	パルスパターン発生器	64
4.2.8	シミュレータへのインプリメント	64
4.3	シミュレーションと実験との比較	65
4.4	まとめ	69
第5章	集積化受光回路の高速化設計	70
5.1	はじめに	71
5.2	InP/InGaAs HBT集積化受光回路の基本構成	72
5.3	InP/InGaAs SHBTを用いた集積化受光回路の課題	74
5.3.1	InP/InGaAs <i>pin</i> -PD/SHBT集積化受光回路の試作	74
5.3.2	ホモ接合 <i>pin</i> -PDの解析	76
5.4	InP/InGaAs DHBTを用いた集積化受光回路の高速化設計	79
5.4.1	ダブルヘテロ接合化による高速化	79
5.4.2	最適なコレクタ層厚さの明確化	82
5.5	まとめ	88
第6章	結論と将来展望	89
6.1	結論	89
6.2	将来展望	93
6.3	まとめ	96
付録		97
謝辞		116
参考文献		118
本研究に関する公表論文リスト		131
参考公表論文リスト		133

第1章

序論

1.1 研究の背景

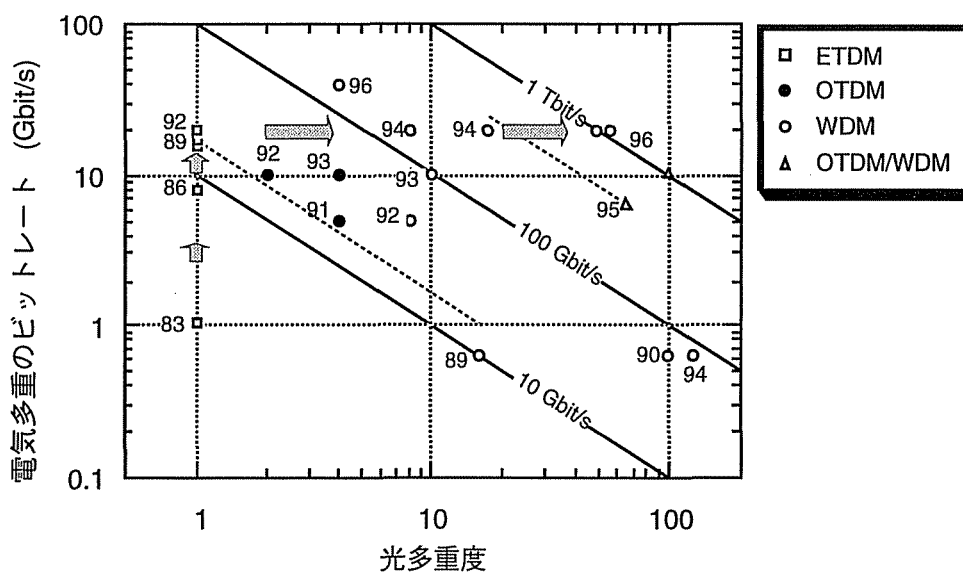
光の超広帯域性を利用した光通信は、半導体レーザーと低損失石英系光ファイバの出現により目覚ましい発展を遂げてきた。日本電信電話公社(現在、日本電信電話株式会社、NTT)は、1983年に1.3 μm 帯単一モードファイバを用いた400 Mbit/s 伝送方式(F-400M)の導入を開始し[1.1]、1985年に日本縦貫ルートが開通した。1987年にはさらに4倍のF-1.6G方式が実用化された[1.2]。これらの方式は旧デジタルハイアラキに基づくもので、1.544 Mbit/s を1次群としてF-400Mは5次群に相当するものであった。F-400M方式では光ファイバ1本当たり5760 chを収容でき電話主体のサービスには十分な性能であった。しかしながら、音声のみならず画像伝送サービスも含めた将来の広帯域ISDN(Integrated Services Digital Network)を実現するためには、さらに高速なネットワークインターフェースが必要であると予想された。また、当時世界的に3種類のデジタルハイアラキが存在し、通信のグローバル化に対処するためには世界標準化が必要であった。このため、1988年に155 Mbit/s を基本単位とする同期デジタルハイアラキ(SDH: Synchronous Digital Hierarchy)が世界標準化された[1.3]。1990年にはSDHに基づいた2.488 Gbit/s 伝送方式(FTM-2.4G)が商用化された[1.4]。光ファイバについては、当初の1.3 μm 帯から最低損失の1.55 μm 帯に零分散をシフトした分散シフトファイバが長距離伝送路の主流となった。

近年、「マルチメディア」というキーワードのもとに将来の情報通信サービスが盛んに議論されている。つい最近NTTは、「10 Mビットを1秒で送るマルチメディア・ネットワーク・サービスを2005年までに月額1万円程度のコストで実現するための研究開発」を提案した。このためには、電話の速度64 kbit/sと比較して、10 Mbit/sで156倍、さらに将来の高精彩画像伝送まで視野に入れると、約3桁高いネットワークのスループットが必要となる。現在の電話と同程度の料金であること、NTTの電力使用量が日本全体の0.5%であり将来のエネルギー問題の観点からこれ以上の電力消費は許されないことを考慮すると、2-3桁低エネルギーな通信機器を来世紀初頭までに実用化することを意味する。現在のネットワーク構成の延長で考えると、現用装置の光ファイバ1本当たりのスループットが約1 Gbit/s^{注1)}であるから、0.2-1 Tbit/s程度のスループットが必要となる。しかしながら、マルチメディアサービスを支えるネットワークは現在の

^{注1)} 600 Mbit/s が主体で、一部区間に2.4 Gbit/s が導入されているので平均的に1 Gbit/s と仮定する。

ネットワークとは異なるものである。リアルタイム性が要求される電話主体の現在のネットワークは回線交換主体で階層化され中央集権的であるのに対して、マルチメディアサービスではリアルタイム性を必ずしも必要としない情報の比率が高まるためパケット交換方式が適しており分散制御型となると考えられている。マルチメディアという多様なサービスを効率的に提供できるネットワークとして波長分割多重(WDM: Wavelength Division Multiplexing)ネットワークが提案され積極的に研究が行われている[1.5]。ユーザアドレスに対して波長を割り当て波長ルーチングを行うことにより、任意の速度およびフォーマットを持つ情報の流通が可能となる。このようなWDMネットワークを実現するためには、高精度な波長制御光デバイス、光メモリ、光フリップフロップ等の研究開発を必要とし、来世紀初頭のサービスに導入されることは難しいと考えられる。当面の現実的な解は非同期転送モード(ATM: Asynchronous Transfer Mode)ベースのネットワークであり、超大容量ATMバックボーンネットワークに必要なテラビット通信を目指した研究が活発に行われている。

研究段階の光ファイバ伝送実験の変遷を図1.1に示す。1980年代は電子デバイスを用いた時分割多重(TDM: Time Division Multiplexing)により速度向上がなされてきた。1990年に入ると電子デバイスの高速化が難しくなるとともに光デバイス技術が進展したことにより、WDMおよび光TDMといった光領域での多重化によりスループットの向上が図られてきた。1996年には、富士通、AT&T、NTTの3つの研究グループにより1 Tbit/sの光伝送実験が報告されている[1.6]-[1.8]。また、希土類ドープファイバ増幅器の登場により光のまま信号を増幅することが可能となった[1.9]。希土類ドープファイバ増幅器は減衰した光信号を増幅する機能を有するものの、雑



音の累積と波長分散に伴う波形歪により信号品質が劣化するため、システムにより決定される伝送距離毎に波形再生を行う必要がある。^{注2)}このように光デバイス技術は極めて高いポテンシャルを有しているが、伝送路を全光処理化することは現状では不可能である。波形再生に必須な光フリップフロップの研究が活発に行われているが、残念ながら電子デバイスより優れた光フリップフロップは実現されていない。また、光TDM伝送実験に使用されている多重化回路(MUX: Multiplexer)および分離回路(DEMUX: Demultiplexer)は電子回路のMUXおよびDEMUXと等価ではない。電子回路ではNRZ(Non-Return-to-Zero)信号パルス幅は常にビットレートの逆数であるが、光MUXおよびDEMUXは論理積(AND)等の組み合わせ回路であるため信号パルス幅は信号光と制御光のタイミングに依存する。このため高精度なタイミング制御が必要であると考えられる。すなわち、電子デバイスより優れた光フリップフロップが実現されない限り、電子デバイスが不可欠であると考えられる。

ここで再度、多重化光伝送の形態を整理して図1.2に示す。(a)は電子デバイスで時分割多重化するものであり、スループットの向上には電子デバイスと光デバイスの高速化という方策が採られる。上記のように1980年代のアプローチである。(b)は空間分割多重伝送であるが、この方式はコスト・パフォーマンスでは(a)とほぼ同一である。(c)はある速度まで電子デバイスで時分割多重し、その後WDMあるいは光TDMにより多重化する方式であり、1990年代に研究が活発となっ

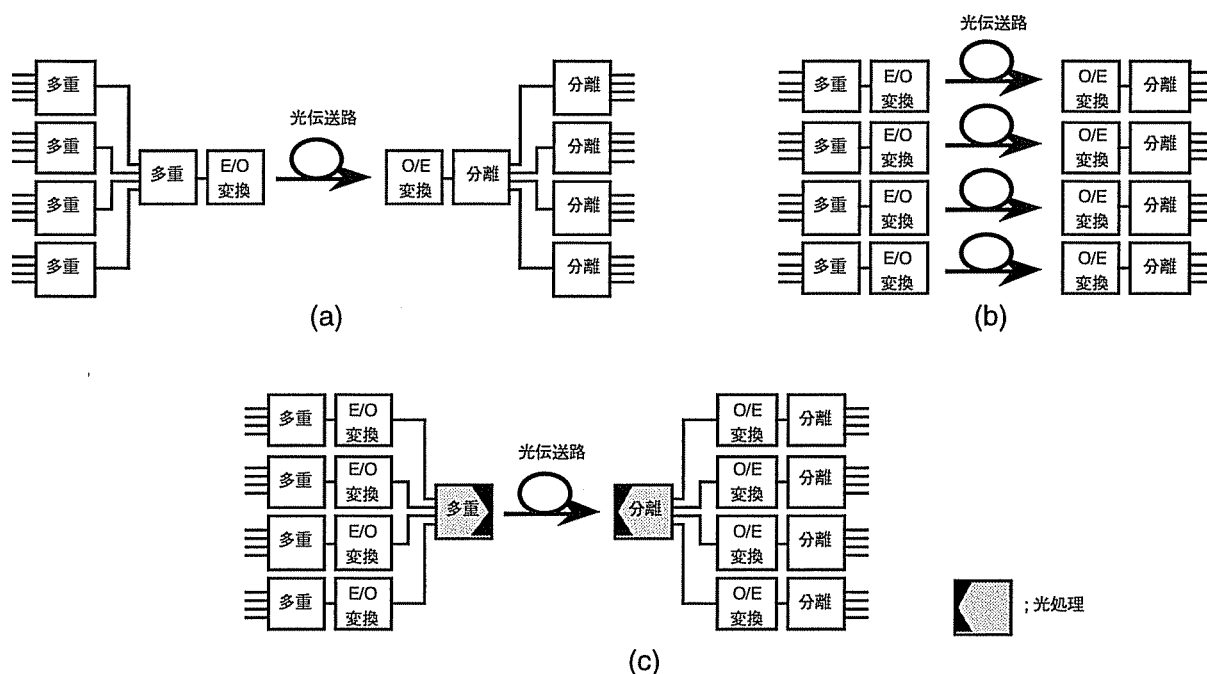


図 1.2 光伝送の形態

^{注2)} 光ファイバの波長分散に関しては、分散マネジメントにより 1000 km 以上の伝送が可能となっているが、既設ファイバへ適用するには課題が多い。

たものである。ここで注意すべき点は、光多重化技術により光伝送路のコスト・パフォーマンスは向上するが、(a)と同一の電子デバイスが使用される限り光中継器のコスト・パフォーマンスは(a)の形態と変わらないということである。もちろん、既存の動作原理に基づく電子デバイスでは1 Tbit/sの動作速度を実現することは不可能であり、最終的にはWDMによりスループットを上げることになる。この場合、電子デバイスおよび光デバイスには多重度分だけのコスト・パフォーマンスの向上^{注3)}が望まれることになる。要約すると、来世紀初頭にマルチメディアサービスを提供するためには、現在と同等のコストで、現状と比較して2-3桁低エネルギーな光通信装置を実現する必要がある。

1.2 受信回路研究の歴史

研究段階の光伝送実験にはハイブリッド回路が用いられることもあるが、光通信用中間中継装置および端局装置を実用化するためには信頼性、経済性等の観点から集積回路が必須となる。ここで光通信用中間中継器の構成例を図1.3に示す。各ブロックは1チップもしくは数チップの集積回路で構成されている。光伝送路を送られて来た光信号は光-電気(O/E)変換された後、等化増幅部で増幅される(Reshaping)。FTM-2.4G方式では信号フォーマットはNRZであり伝送レートに対応するクロック成分を持たないため、タイミング抽出回路によりクロックを生成する(Retiming)。このクロックを用いて識別器により雑音およびタイミングジッタの少ない同期デジタル信号に再生される(Regenerating)。これら3つの機能は各々の頭文字を取って"3R"と言われる。再生された信号は分離(DEMUX)され、符号誤り検出等の中継区間の監視処理を行った後^{注4)}、再び時分割多重化され、電気-光(E/O)変換され光伝送路に送出される。本研究ではO/E変換から識別器までの3R機能回路を対象とし、この部分を受信回路と呼ぶこととする。

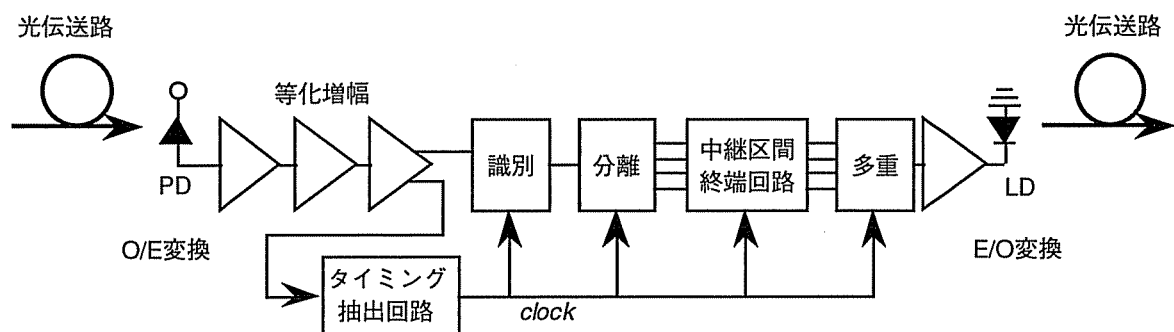


図 1.3 中間中継器の構成例

^{注3)} 高速化が期待できないため、低電力、小型化等が必要となる。

^{注4)} 使用されているシリコンLSIでは伝送ビットレートで中継区間終端処理を行うことが出来ないため直列-並列変換した後に並列処理される。

上記のF-400M方式の受光デバイスとしてはGeアバランシェフォトダイオード(APD: Avalanche Photodiode)が⁵、F-1.6G方式の受光デバイスとしてはInGaAs APDが用いられていた[1.2]。高速集積回路はシリコンバイポーラトランジスタにより実現されていた[1.10][1.11]。ここで、論文あるいは国際会議等で発表されたトランジスタ電流利得遮断周波数の年代推移を尺度とした電子デバイス性能向上の歴史を図1.4に示す。筆者が本研究に着手した1980年代後半はF-1.6G方式の実用化が終了した時点であった。当時の実用的なシリコンバイポーラトランジスタおよびGaAs MESFET^{注5)}の電流利得遮断周波数は20 GHz程度であり、これらのトランジスタを用いて10 Gbit/sを越える光中継器用集積回路を実現することは困難であった。このような状況の中で1988年に、Yamane *et al.* [1.12]によりゲート長0.1 μmの自己整合イオン注入GaAs MESFETにより90.8 GHzという高い電流利得遮断周波数が得られることが報告され、翌年には、このデバイス技術に基づく識別器を使用した10 Gbit/s光伝送実験がHagimoto *et al.* [1.13]により報告された。これにより10 Gbit/sデジタル回路の実現の見通しが得られたが、等化増幅およびタイミング抽出回路に用いられる増幅器については10 Gbit/sの目処は立っていなかった。図1.4からも明らかなように、1980年代後半には分子線エピタキシー(MBE: Molecular Beam Epitaxy)に代表される結晶成長技術の発展に支えられて、ヘテロ構造電界効果トランジスタ(HFET: Heterostructure Field-Effect Transistor)^{注6)}あるいはヘテロ接合バイポーラトランジスタ(HBT: Heterojunction Bipolar Transistor)

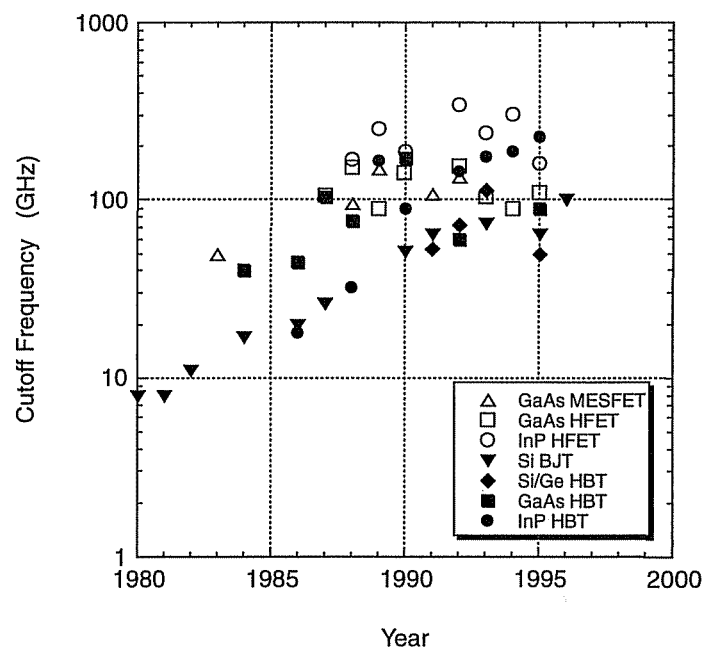


図 1.4 トランジスタ電流利得遮断周波数の年代推移

注5) 当時、電流利得遮断周波数が100 GHz程度のリセスゲート構造GaAs MESFETに関する研究成果が報告されているが、しきい値電圧制御性の問題があり集積回路用デバイスとは言えなかった。集積回路用デバイスとしてはイオン注入により製造されるMESFETが適している。

注6) 種々のデバイス構造が提案されているが、ここでは総称としてHFETと呼ぶことにする。

等の化合物半導体ヘテロ構造デバイスの研究が活性化された。ヘテロ構造デバイスの性能はそのポテンシャルの高さを反映して、急激に向上した。これらのデバイス的高速集積回路応用に関しては AlGaAs/GaAs HBT が先鞭をつけている。1989 年、Akagi *et al.* [1.14] により 10 GHz 帯域の前増幅器と 10 Gbit/s 識別器が、Ishihara *et al.* [1.15] により 9 GHz 帯域の利得可変増幅器が報告された。しかしながら、これらの報告は、そこで用いられた AlGaAs/GaAs HBT デバイス技術と高速集積回路設計技術のポテンシャルの高さを示しているが、ウェハ状態で高周波プローブを用いた測定結果であった。当然のことながら、集積回路はパッケージ実装されて初めて使用できる状態となる。10 Gbit/s を越える周波数領域では実装に付随する寄生容量および寄生インダクタンスの影響が大きくなり、高利得、広帯域な増幅器モジュールを実現することが難しくなる。このため、本研究以前には 10 Gbit/s を越える増幅器モジュールは実現されていなかった。

超高速デバイスの研究開発においては、集積回路の高速化に適したデバイス構造を明確化することが極めて重要である。デバイス研究者と回路研究者のインターフェースとしてデバイスの等価回路パラメータが一般的に採られてきた。従来、等価回路パラメータを変化させて回路シミュレーションを行うこと（感度解析）により回路の最高動作速度を求める方法が用いられていた。しかしながら、これらのパラメータの間には相関があり、相関まで厳密に押えて議論することはかなり困難なことである。むしろ、電流利得遮断周波数あるいは最大発振周波数というデバイス研究者に馴染深いパラメータを用いて回路の動作速度とデバイス性能の関係を明確化する方が集積回路の高速化に寄与できるものと考えられる。さらに、電子デバイスでどの速度まで多重化できるのかということは将来の通信ネットワークを考える上で重要な関心事である。回路の速度性能とデバイス性能との間の簡単な関係式は通信ネットワーク研究にも寄与できるものと考えられる。

従来の光中継器において、光デバイスは InP 基板上に、電子集積回路は Si 基板上に形成されているため、当然のことながら光中継器はハイブリッド回路とならざるを得ない。これらを同一基板上に形成できれば、ハイブリッド実装に伴う寄生効果を除去できることから性能面での優位性が期待できるとともに、信頼性および経済性でも有利であると考えられる。このような特徴を持つ光電子集積回路(OEIC: Optoelectronic Integrated Circuit)を用いた光電子集積化光中継器が1979年にYarivのグループにより報告された[1.16]。その後、GaAs(短波長)系およびInP(長波長)系のOEICの研究が精力的に行われてきた。本研究で対象とする集積化受光回路について、主な国際会議あるいは論文で報告されているもの[1.17]-[1.41]の構成と性能を表1.1と図1.5にまとめて示す。受光デバイスとして *pin* フォトダイオード(*pin*-PD: *pin*-Photodiode)、ヘテロ接合フォトトランジスタ(HPT: Heterojunction Phototransistor)、金属-半導体-金属フォトディテクタ(MSM-PD: Metal-Semiconductor-Metal Photodetector)が、電子デバイスとして MESFET、HFET、HBT が用いられている。これらの集積化受光回路をデバイス構成の観点から整理すると、図 1.6 に示すような種類

表 1.1 集積化受光回路の構成と性能

年代	波長	構成		デバイス性能		受光回路性能		参考文献
		デバイス	層	PD	トランジスタ	帯域	速度、感度	
1984	短波長	<i>pin</i> /MESFET	(a)			300MHz	400Mb/s	[1.17]
1986	短波長	HPT/HBT	(f)	2GHz	$f_T=8\text{GHz}$	80MHz		[1.18]
1987	長波長	<i>pin</i> /JFET	(a)			240MHz	400Mb/s	[1.19]
1988	長波長	HPT/HBT	(f)		$f_T=5\text{GHz}$		100Mb/s, -26dBm	[1.20]
1988	長波長	<i>pin</i> /HFET	(c)				2Gb/s, -23.7dBm	[1.21]
1988	短波長	MSM/MESFET	(e)	105GHz		5.2GHz		[1.22]
1990	長波長	MSM/HFET	(b)	7.7GHz	$f_T=13\text{GHz}$	3GHz		[1.23]
1990	長波長	<i>pin</i> /HFET	(b)		$f_T=17\text{GHz}$	1GHz	1.6Gb/s	[1.24]
1990	長波長	<i>pin</i> /HBT	(a)		$f_T=30\text{GHz}$, $f_{\text{max}}=12\text{GHz}$	500MHz	1Gb/s, -26.1dBm	[1.25]
1990	長波長	<i>pin</i> /HBT	(a)		$f_T=35\text{GHz}$, $f_{\text{max}}=25\text{GHz}$	2.8GHz	4Gb/s, -21dBm	[1.26]
1990	短波長	MSM/MESFET	(d)		$f_T=40\text{GHz}$	4.6GHz		[1.27]
1991	長波長	MSM/HFET	(a)		$f_T=30\text{GHz}$	2GHz	2Gb/s	[1.28]
1991	長波長	<i>pin</i> /HBT	(a)	8GHz	$f_T=32\text{GHz}$, $f_{\text{max}}=28\text{GHz}$	3.8GHz	5Gb/s, -18.8dBm	[1.29]
1991	長波長	MSM/HFET	(b)		$f_T=15\text{GHz}$		1.2Gb/s, -25dBm	[1.30]
1991	長波長	<i>pin</i> /HFET	(c)		$f_T=72\text{GHz}$, $f_{\text{max}}=80\text{GHz}$	6.5GHz		[1.31]
1991	短波長	<i>pin</i> /HBT	(f)		$f_T=60\text{GHz}$	13GHz		[1.32]
1991	短波長	MSM/MESFET	(e)	9GHz	$f_T=60\text{GHz}$	6.5GHz		[1.33]
1991	短波長	MSM/HFET	(e)		$f_T=35\text{GHz}$	8.2GHz	10Gb/s	[1.34]
1992	長波長	<i>pin</i> /HFET	(a)		$f_T=25\text{GHz}$	8GHz	10Gb/s	[1.35]
1992	長波長	<i>pin</i> /HFET	(c)	1.7GHz	$f_T=24\text{GHz}$, $f_{\text{max}}=51\text{GHz}$	1GHz	1Gb/s, -29.6dBm	[1.36]
1992	長波長	<i>pin</i> /JFET	(a)		$f_T=8\text{GHz}$	1.65GHz	2.4Gb/s, -29.5dBm	[1.37]
1992	長波長	<i>pin</i> /HBT	(a)		$f_T=71\text{GHz}$, $f_{\text{max}}=43\text{GHz}$	6GHz	10Gb/s, -15.5dBm	[1.38]
1992	短波長	MSM/HFET	(e)		$f_T=66\text{GHz}$, $f_{\text{max}}=70\text{GHz}$	4.4GHz		[1.39]
1993	短波長	MSM/MESFET	(d)		$f_T=34\text{GHz}$	11GHz		[1.40]
1993	短波長	MSM/HFET	(e)		$f_T=50\text{GHz}$	14.3GHz		[1.41]

注) 層(a)-(f)は図 1.6 の(a)-(f)に対応。

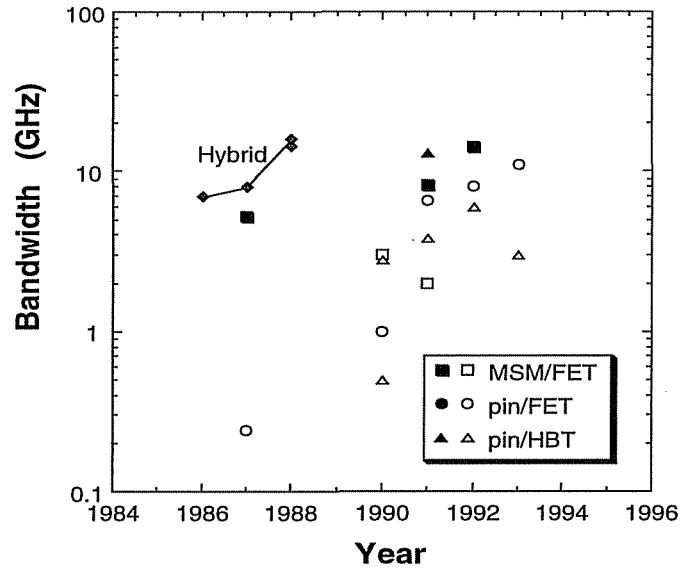


図 1.5 集積化受光回路の 3dB 帯域の年代推移
 白印:長波長、黒印:短波長
 比較のためにハイブリッド受光回路の帯域も示した[1.42]。

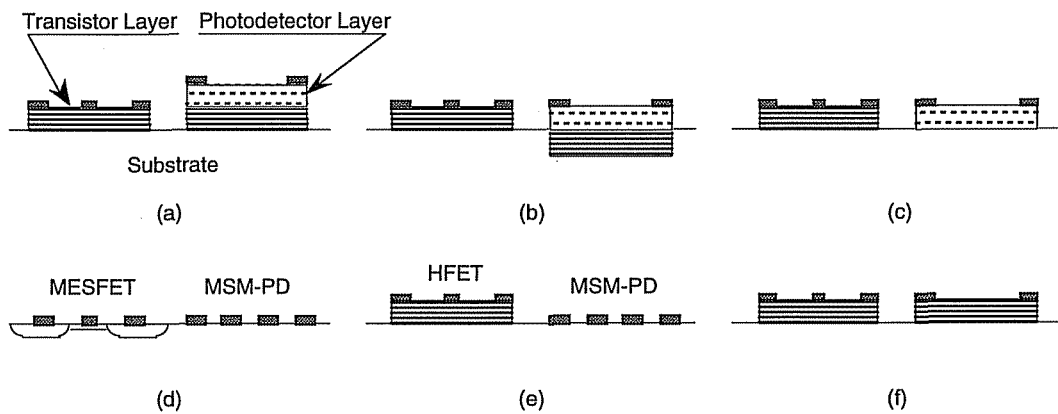


図 1.6 集積化受光回路のデバイス構造の分類
 (a)-(f)の記号は表 1.1 の記号と対応している。

に分けることができる。(a) は一回の成長で両デバイスのエピタキシャル層を形成し、不要な部分を除去するものである。この構成では表面の段差が大きく微細配線の形成で不利になる。(b) は(a)の段差の問題を解決するため、予め基板にリセスを形成した後エピタキシャル層を成長するものである。(c) は一方のデバイスのエピタキシャル層を成長し不要部分を除去した後、他方のデバイスのエピタキシャル層を再成長するものである。(d) と (e) は半絶縁性基板上に MSM-PD を形成するもの、(f) は HBT のベース-コレクタを *pin*-PD と兼用するというように受光デバイスと電子デバイスを同一のエピタキシャル層構造で作製するものである。(a)-(c)の構成は受光デバイスと電子デバイスを各々独立に高性能化することを目指したものであり、集積化受光回路専用の製造工程が必要となる。これに対して、(d)-(f)の構成は電子デバイスの製造工程で実現できるという特徴

を持っている。表 1.1 と図 1.5 から、受光感度の点では(a)-(c)の構成が優れ、帯域の点では(d)-(f)の構成が優れていると言える。その理由は、(a)-(c)では電子デバイス専用の製造と比較して、結晶品質が劣ることとFETのゲート長の微細化レベルが低いことに起因して集積化受光回路を構成する電子デバイスの性能が劣ること、一方、(d)-(f)では元々高性能な電子デバイスを用いるため高い帯域が得られるが、その反面PDの量子効率が低くなることである。図 1.5 から明らかなように、集積化受光回路は潜在能力を有しているものの、その速度性能はハイブリッド受光回路の性能 [1.42] よりも劣っている。また、長波長系受信 OEIC は受光デバイスと増幅器の集積化に留まっている。これに対して短波長系では、GaAs MESFET 製造工程により MSM-PD を集積化した 1 k ゲート規模の受信 OEIC [1.43] が報告されている。すなわち、高速化、高集積化を追求するには電子デバイスの製造工程で実現できる OEIC が望ましいと言える。

受光 OEIC に使用される MSM-PD の研究は、試料の作製と評価という実験的手法が今まで主として採られてきた。しかしながら、実験的手法は時間や費用がかかるという問題がある。理論解析により予測を立て、実験の項目を絞り込むことにより研究の効率化を図ることができる。このことに留まらず理論解析は、デバイス内部のキャリアや電界の挙動を把握でき物理現象の理解に役立つという重要な側面を持っている。本研究以前に提案されている理論解析手法として、解析的な電流式を用いるもの [1.44][1.45]、一定電界の近似のもとでドリフトと拡散近似の電流連続式を数値計算するもの [1.46]、ポアソン方程式と電流連続式を数値計算する（流体モデルと呼ばれている）もの [1.47]、ポアソン方程式とボルツマン方程式を数値計算する（粒子モデルと呼ばれている）もの [1.48]、シュレディンガー方程式を数値計算するもの [1.49] が挙げられる。これらは、GaAs MSM-PD を一次元空間で取り扱ったものである。しかしながら、MSM-PD の解析は二次元空間で取り扱う必要がある。このため、二次元ラプラス方程式を等角写像により一次元に変換して求めた電界分布をもとにドリフト項のみ考慮した電流連続式を解く方法が提案され、長波長系の InGaAs MSM-PD の解析が行われている [1.50]。InGaAs MSM-PD においては暗電流を低減するために、InGaAs 光吸収層と電極金属間に障壁を高めるための半導体層（障壁増強層）を挿入する方法が一般的に採用されるが、上記の解析では障壁増強層が考慮されていない。この障壁増強層は InGaAs MSM-PD の高速化に極めて重要な影響を及ぼすが、体系的な設計法は明確にされていない。

最後に、受信回路の設計ツールについて述べる。受信回路の設計は SPICE に代表される電子回路シミュレータを用いた小信号周波数応答解析および大信号過渡解析により行われてきた。受光感度は受光デバイスの寄生容量を含めた前置増幅器の小信号雑音解析結果と受光デバイスの量子効率から推定されている [1.51]。しかしながら、受光感度は E/O 変換で生ずる波長チャープと光ファイバの波長分散に起因する波形歪とデバイス雑音を考慮する必要があり、厳密な回路シミュレータは開発されていない。抵抗、容量、インダクタンス、電流源を用いて半導体レーザの

レート方程式を等価回路表現しSPICEによりシミュレートする方法が提案されているが[1.52]、光伝送系を厳密に設計するためには、発光デバイス、光ファイバ、受光デバイスおよび電子デバイスを扱え、かつ時間領域雑音を考慮した汎用的な光電子混在回路シミュレータが必要である。

1.3 研究の目的と課題

以上のような背景に立って本研究は、光通信用中間中継装置および端局装置のフロントエンドに使用される受信回路について、商用化されている受信回路と比較して2-3桁の低エネルギー化を実現するために必要なデバイスおよび回路構成を明らかにすることを目的とする。この目的を達成するために解決すべき課題を整理すると以下ようになる。

(1) 光通信用受光デバイスとして有望なMSM-PDの理論解析は十分に確立されておらず、高速化に対するデバイス設計指針あるいは速度性能限界についての予測は必ずしも明確とはなっていない。

(2) 10 Gbit/sを越える周波数領域において、集積回路チップのみならず、パッケージ実装に付随する寄生容量および寄生インダクタンスの影響をも考慮した高利得、広帯域増幅器モジュール設計法を明らかにする必要がある。

(3) 電子回路の動作速度とデバイス性能の関係を明らかにする手法として、デバイスの等価回路パラメータを変化させて回路シミュレーションを行うというアプローチ(感度解析)が採られてきた。しかしながら、これらのパラメータの間には相関があり、相関まで厳密に押えて議論することはかなり困難であり、見通しの良いものではない。このため、電子回路の動作速度限界がどこにあるのかという、将来の通信ネットワークを考える上で重要な問題に対する答えが必ずしも明確ではない。

(4) 光伝送システム設計において重要な設計項目である光デバイスの波長チャーピングと光ファイバの波長分散に伴う伝送波形歪およびデバイス雑音を考慮した時間領域大信号解析手法は提案されていない。将来の光ネットワークを詳細に設計するために、より汎用的なツールを提供する必要がある。

(5) 受信系OEICは受光デバイスと前置増幅器の集積化に留まり、その性能もハイブリッド回路の

性能より劣っている。超高速領域では寄生効果によりハイブリッド回路の性能向上が飽和する可能性があり、何らかのブレークスルーによりOEICの速度性能を飛躍的に向上させる必要がある。

1.4 本論文の構成

上記課題を解決するために本研究では「受光デバイスも含めた受信回路をモノリシック集積化することにより、その高速化、低消費電力化を達成する」という基本アプローチを採ることとする。その理由は、光ファイバ増幅器の発展により受信感度に対する要求が緩和されており高速化の観点から電子デバイス製造工程に整合した受信OEICが優れていること、従来の化合物半導体高速集積回路の低エネルギー化を制限している最大の要因は低インピーダンスのチップ間インターフェースにあると考えられること、である。

本論文は以下の6章で構成されている。

- 第1章 序論
- 第2章 受光デバイスの高速化設計
- 第3章 受信用集積回路の高性能化設計
- 第4章 光電子混在回路シミュレーション手法
- 第5章 集積化受光回路の高速化設計
- 第6章 結論と将来展望

第2章では、電子デバイス製造工程との整合性が比較的良好なMSM-PDの高速化デバイス設計について主に理論解析をもとに議論する。対象とする時間精度に応じた流体モデルと粒子モデルの2つの手法に基づく数値計算プログラムを作成し、MSM-PDの動作機構の把握を行うとともに高速化のためのデバイス構造を示す。また、0.25 μm 程度に微細化されたMSM-PDの性能予測を行う。

第3章では、受信回路のうち電子デバイスにより構成される集積回路の高性能化について議論する。まず、10 Gbit/s増幅器モジュールを実現するために、パッケージ実装に付随する寄生容量および寄生インダクタンスを考慮に入れた安定性解析に基づく増幅回路とパッケージの一括設計法を明らかにする。次に、10 Gbit/s以上の高速化を目指して、受信回路の基本要素であるベース

バンド増幅器および識別器の動作速度とデバイス性能(電流利得遮断周波数と最大発振周波数)との関係を明確化する。これらの結果をもとに、商用化されている受信回路と比較して2-3桁低エネルギーな受信回路の実現を目指すためにはモノリシック集積化が必要であることを指摘する。さらに、高速化、低電力化に適したInP/InGaAsダブルヘテロ接合バイポーラトランジスタを用いて、前置増幅器、自動オフセット調整回路、後置増幅器、位相同期ループによるタイミング抽出回路、識別器から構成された3R機能回路を試作し、2.4 Gbit/s ハイブリッド型3R機能回路と比較して約2桁の低エネルギー化が可能であることを示す。

第4章では、光デバイスと電子デバイスが混在する回路を詳細に設計するためのツール開発を目的として光電子混在回路シミュレーション手法について議論する。能動デバイスおよび抵抗に時間領域雑音源を導入し、光ファイバ等のモデルとともに市販の混合モードシミュレータにインプリメントする。実験とシミュレーションとの比較によりシミュレーション手法の妥当性を検証する。

第5章では、InP/InGaAs HBT 製造工程で作製できる長波長pin-PD/HBT構成の集積化受光回路の研究を行う。最初に、InP/InGaAs シングルヘテロ接合バイポーラトランジスタ(SHBT: Single-Heterojunction Bipolar Transistor)のベース-コレクタ層を利用したpin-PDとSHBTによる前置増幅器から成る集積化受光回路の課題を指摘する。次に、この課題を解決するためにダブルヘテロ接合化した構造を提案し、その高速性を示すとともに、集積化受光回路の動作速度を最大にする最適なコレクタ層の厚さを明確化する。最後に、最適設計された集積化受光回路により40 Gbit/s 動作の可能性を示す。

第6章では、本研究で得られた成果と到達点ならびに超高速集積回路に関する最近の成果を踏まえて、さらなる低エネルギー化ための展望を述べる。

各章間の関係を図1.7に示す。

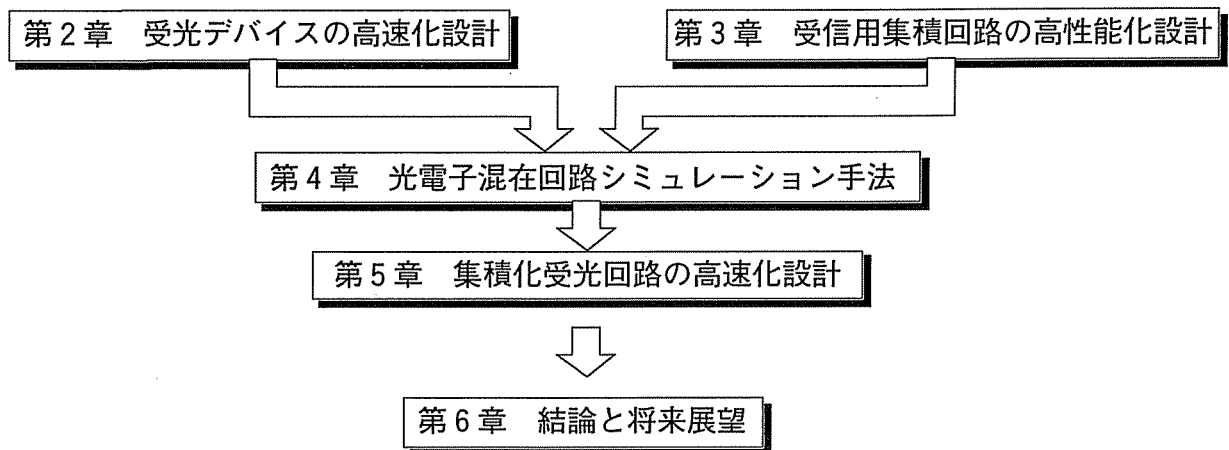


図 1.7 本論文の構成

第2章

受光デバイス的高速化設計

概要

金属-半導体-金属フォトディテクタ(MSM-PD: Metal-Semiconductor-Metal Photodetector)は集積化受光回路用デバイスとして注目されている。これまでのMSM-PDに関する研究は実験的手法が主体であり、厳密な理論解析は行われていなかった。

本章では理論解析によりMSM-PDの高速化設計を行う。最初に、二次元ポアソン方程式とドリフトと拡散近似の電流連続式を数値計算すること(流体モデル)によりGaAs MSM-PDを解析し電界とキャリアの挙動を把握する。解析結果から、光通信で使用される弱励起状態においてはポアソン方程式と電流連続式を自己無撞着に解く必要がないことを明らかにする。この結果を反映して次に、モンテカルロ法を用いてボルツマン方程式を数値計算すること(粒子モデル)によりGaAsおよびInGaAs MSM-PDの高速化に適したデバイス構造を示す。最後に、InGaAs MSM-PDの電極間隔をクォータミクロンにすることにより50 GHzを越える帯域が期待できることを示す。

2.1 はじめに

第1章の表1.1に示したように、今までに報告されている集積化受光回路にはMSM-PDとpin-PDが用いられている。MSM-PDは、製造方法が簡単である、電極間容量が小さく高速化に有利である、等の特徴を有している[2.1]。短波長系のGaAs MSM-PDは半絶縁性GaAs基板上にショットキー電極をパターンニングするだけで実現できるため、MSM-PDの電極をMESFETのゲート電極と同一材料にすればMESFETの製造工程を何ら変更することなく集積化受光回路を作製できる[2.2]。一方、長距離光通信用の長波長系MSM-PDの光吸収層はアンドープInGaAsで構成される。MSM-PD用材料としてのInGaAsの最大の欠点は、金属-InGaAsのショットキー障壁がInP整合系で0.2 eV程度[2.3]と低いため、暗電流が大きく高感度化の妨げになることである。この問題を解決する手段として、InGaAs光吸収層と電極金属間に障壁を高めるための半導体層(障壁増強層と呼ぶこととする)を挿入する方法が提案されている。障壁増強層としては、歪GaAs[2.4]、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ [2.5]、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ [2.6]、鉄ドーピングInP[2.7]等が用いられている。当然のことながら障壁増強層とInGaAs層とはヘテロ接合を形成するため、光照射により発生したキャリアがヘテロ接合界面に蓄積されることが予測される。この課題を解決するために、InGaAsから障壁増強層の材料に連続的に組成を変化させる[2.8][2.9]、あるいはInGaAsと障壁増強層の材料から成る超格子構造で厚さの比を変化させること[2.10]により、キャリアの蓄積を防ぐ方法が提案されている。InGaAs MSM-PDは以上のような構造を有するためInP系電子デバイスと同一層構成とはならないが、すべての層が高抵抗であるため電子デバイスと縦積みにしても電子デバイスへの影響は少ない。

MSM-PDの動作速度は、光照射により発生したキャリアが再結合あるいは電極への走行により半導体中から消滅するまでの時間と、電極間容量と負荷抵抗の積で与えられる時定数とにより決定される[2.11]。通常のMSM-PDにおいては、前者の方が後者より大きい。したがって、MSM-PDの高速化の方法は、いかに速くキャリアを消滅させるかという課題を解決することである。MSM-PDの高速化に関する研究を概観すると、当初は集積化受光回路応用よりもむしろ、双方向性を活かした光導電サンプリング[2.12]-[2.14]あるいは光入力論理回路[2.15]-[2.17]応用を目指した高速化研究から始まっている。そこで採られた手法は不純物の導入[2.18]-[2.22]あるいは低温結晶成長[2.23]により再結合中心密度を増大させキャリア寿命を短くする方法であった。しかしながら、これらの方法により作製されたMSM-PDは量子効率あるいは安定性に関して課題がある。集積化受光回路応用には電極間隔の短縮によりキャリア走行時間を短縮する方法が適している。電極間隔が0.5 μm のGaAs MSM-PDにより105 GHzの帯域が得られている[2.24]が、InGaAs MSM-PDの高速化は遅れている。

以上の研究は実験的手法に基づくものである。一方、本研究以前に提案されている理論解析手法として、解析的な電流式を用いるもの[2.25][2.26]、一定電界近似のもとにドリフトと拡散近似

の電流連続式を数値計算するもの[2.27]、ポアソン方程式と電流連続式を数値計算するもの(流体モデル)[2.28]、ポアソン方程式とボルツマン方程式を数値計算するもの(粒子モデル)[2.29]、シュレディンガー方程式を数値計算するもの[2.30]が挙げられる。これらは、GaAs MSM-PDを一次元空間で取り扱ったものである。しかしながら、MSM-PDの解析は二次元空間で取り扱う必要がある。InGaAs MSM-PDの解析に関して、二次元ラプラス方程式を等角写像により一次元に変換して求めた電界分布をもとにドリフト項のみ考慮した電流連続式を解く方法が提案されている[2.31]が、高速化に極めて重要な影響を及ぼす障壁増強層が考慮されていない。

本章では、流体モデルと粒子モデルの2つの手法に基づく数値計算プログラムを作成し、MSM-PDの動作機構の把握を行うとともに高速化のためのデバイス構造を示す。さらに、0.25 μm 程度に微細化されたMSM-PDの性能予測を行う。

このため2.2では対象とする時間スケールおよび物理サイズと適用すべき基本方程式との関係を整理する。2.3では構造が簡単なGaAs MSM-PDを解析対象として二次元ポアソン方程式と流体モデルに基づく電流連続式を数値計算することにより電界およびキャリアの基本的な振る舞いを把握する。2.4では粒子モデルを用いてサブミクロン電極間隔と障壁増強層を有するMSM-PDを解析し高速化のためのデバイス構造の明確化と性能予測を行う。

2.2 基本方程式

2.2.1 電磁界の挙動

電磁界の挙動は次のマクスウェル方程式で記述される。

$$\nabla \times \mathbf{E} = -\frac{\partial \mathbf{B}}{\partial t} \quad (2.1)$$

$$\nabla \times \mathbf{H} = \mathbf{J} + \frac{\partial \mathbf{D}}{\partial t} \quad (2.2)$$

$$\nabla \cdot \mathbf{D} = \rho \quad (2.3)$$

$$\nabla \cdot \mathbf{B} = 0 \quad (2.4)$$

ここで、 \mathbf{E} は電界、 \mathbf{B} は磁束密度、 \mathbf{H} は磁界、 \mathbf{D} は電束密度、 \mathbf{J} は電流密度、 ρ は電荷密度である。式(2.2)と式(2.3)から電流連続の関係

$$\nabla \cdot \mathbf{J} + \frac{\partial \rho}{\partial t} = 0 \quad (2.5)$$

が成り立っていることがわかる。式(2.4)は式(2.1)から導けるため、電流密度と電荷密度が与えられたとしても、式(2.1)-(2.4)を解くことはできない。このため、次の構成方程式を必要とする。

$$\mathbf{D} = \epsilon \mathbf{E} \quad (2.6)$$

$$\mathbf{B} = \mu \mathbf{H} \quad (2.7)$$

ϵ は誘電率、 μ は透磁率である。ここで、ベクトルポテンシャル \mathbf{A} とスカラーポテンシャル ψ を導入し、ポテンシャルの任意性を拘束するゲージとしてローレンツゲージを用いる。

今、解析対象とする空間を電磁界が伝搬する時間が解析対象とする時間に対して充分短ければ、その時刻での電流密度および電荷密度でスカラーポテンシャルが決ることになる。この時、次のポアソン方程式が得られる。(付録 A.1.1)

$$\nabla^2 \psi = -\frac{\rho}{\epsilon} \quad (2.8)$$

ここに、

$$\mathbf{E} = -\nabla \psi \quad (2.9)$$

である。例えば、MSM-PD の電極間隔が $1 \mu\text{m}$ の場合、この距離を電磁界が伝搬する時間は波長短縮を考慮して 10 fs 程度である。したがって、MSM-PD 内部の電界の挙動を 0.1 ps 程度の時間スケールで議論する場合にはポアソン方程式を解けば充分であると言える。

2.2.2 キャリアの挙動

電子を単一の粒子と看做して半古典的に扱くと、電子の挙動は次のボルツマンの輸送方程式により記述できる。

$$\frac{df}{dt} + \frac{q\mathbf{E}}{\hbar} \cdot \nabla_{\mathbf{k}} f + \mathbf{v} \cdot \nabla_{\mathbf{r}} f = \left[\frac{\partial f}{\partial t} \right]_s \quad (2.10)$$

ここで、 f は波数ベクトル \mathbf{k} 、位置 \mathbf{r} 、時刻 t に依存する電子の分布関数、 \mathbf{v} は電子の速度、 q は素電荷、 \hbar はプランク定数/ 2π である。左辺の第二項は電界により波数ベクトルが変化することに伴う分布関数の変化を表し、ドリフト項と呼ばれるものである。第三項は電子の位置の変化を通じて分布関数が増減する拡散項と呼ばれるものである。また、右辺は散乱による分布関数の変化である。

ここで、(1) 散乱過程に緩和時間を導入、(2) 電界の変化する時間スケールは緩和時間と比較して長い、(3) 等方的な放物型のバンド、(4) 分布関数の熱平衡からのずれは非常に小さい、ことを仮定すると、次のドリフト拡散近似の電流密度式が得られる。(付録 A.1.2)

$$\mathbf{J}_n = q\mu_n n \mathbf{E} + qD_n \nabla_{\mathbf{r}} n \quad (2.11)$$

$$\mathbf{J}_p = q\mu_p p \mathbf{E} - qD_p \nabla_{\mathbf{r}} p \quad (2.12)$$

ここで、 μ_n と μ_p は各々電子と正孔のドリフト移動度、 D_n と D_p は各々電子と正孔の拡散係数、 n と p は各々電子と正孔の密度である。

キャリアの振舞を把握するためには、ボルツマンの輸送方程式(2.10)を解く方法(粒子モデル)あるいは式(2.11)と式(2.12)を用いて電流連続の式(2.5)を解く方法(流体モデル)が採用される。ここで上記(2)の仮定について考察すると、電子の平均的な緩和時間 $\langle \tau \rangle$ は次式より概算できる。

$$\mu_n = \frac{q}{m_e} \langle \tau \rangle \quad (2.13)$$

ここで、 m_e は電子の有効質量である。GaAs の場合、ドリフト移動度を $5000 \text{ cm}^2/\text{Vs}$ とすれば平均的な緩和時間は 0.19 ps となる。正孔については、これより 1 桁程度小さい値となる。大雑把に言えば、数ピコ秒以下のスケールを問題とする場合には粒子モデルを用いる必要がある。また、流体モデルでは上記(4)の仮定がなされているから、キャリア運動へのポテンシャル障壁の影響等は解析できない。

以上のように、マクスウェル方程式を用いて電磁界を動的に扱うのか、ポアソン方程式を用いて静電ポテンシャルとして扱うのか、キャリアに関して、粒子モデルを適用するのか、流体モデルを適用するのか四通りの組み合わせが考えられる訳である。いずれを選択するのは対象とする時間スケールに依存する。解析の精度はアナログ的であるから明確な線引きは難しいのであるが、電磁界については物理サイズを電磁界の速度で割った時間が、キャリアについては電子の緩和時間が目安となる。

ここでは、電界およびキャリアの基本的な振る舞いを把握するためにポアソン方程式と流体モ

デルによる GaAs MSM-PD の解析から始めることにする。

2.3 流体モデルを用いた GaAs MSM-PD の基本動作解析[2.62]

GaAs MSM-PDの概略構造を図2.1に示す。広がった光ビームに対しても良好な外部量子効率が得られるように櫛歯を入れ子にした電極パターンとすることが多い。表面に対して垂直な面内の単位領域 OABC でポアソン方程式と電流連続式を解くこととする。

空間電荷として、キャリア、イオン化した不純物(N_D , N_A)、帯電した再結合中心(N_T^+)を考慮し、光照射によるキャリアの発生(G_n , G_p)、再結合中心を介した生成再結合、発光再結合、オージェ再結合の過程を含む再結合(R_n , R_p)を考慮すると、ポアソン方程式(2.8)と電流連続式(2.5)は次のように表される。

$$\epsilon \nabla^2 \psi = -q(p - n + N_D - N_A + N_T^+) \quad (2.14)$$

$$\nabla \cdot \mathbf{J}_n - q \frac{\partial n}{\partial t} = q(R_n - G_n) \quad (2.15a)$$

$$\nabla \cdot \mathbf{J}_p + q \frac{\partial p}{\partial t} = q(G_p - R_p) \quad (2.15b)$$

$$\mathbf{J}_n = -q\mu_n n \nabla \psi + qD_n \nabla n \quad (2.16a)$$

$$\mathbf{J}_p = -q\mu_p p \nabla \psi - qD_p \nabla p \quad (2.16b)$$

キャリアの生成再結合および光照射による発生モデルを付録 A.1.3 に示す。

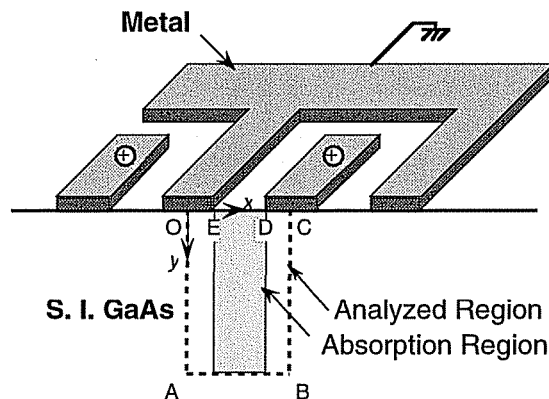


図 2.1 GaAs MSM-PD のデバイス構造モデル

ポアソン方程式および電流連続式の境界条件として、電極との界面(OE と CD)ではショットキー障壁を考慮したディリクレ(Dirichlet)型境界条件と熱電子放出モデル[2.33]を、GaAs表面(DE)と解析領域の側面(OA と BC)ではノイマン(Neumann)型境界条件を、解析領域の下面(AB)では電荷中性条件を適用する。これらの境界条件のもとで式(2.14)-(2.16b)を解くこととなるが、これらは非線形の連立微分方程式であるから解析的に解くことはできない。そこで、ポテンシャルの初期値を仮定し、式(2.15a)-(2.16b)(A19)-(A26b)を解き、得られたキャリア密度と帯電している再結合中心密度を式(2.14)に代入して解くという繰り返し計算の手法を用いる。また、各々の微分方程式を差分方程式に変形し数値計算を行う。本解析では一般的に使われている数値計算上の取り扱いをしており、具体的な手順については成書[2.37]を参考にされたい。

計算に用いたパラメータの値を付表 A1(付録 A.2)に示す。移動度に関するパラメータは、式(A25a)-(A26b)による計算値が文献[2.38]の実測値と一致するように決めている。再結合中心に関するパラメータは文献[2.35]と、その他のパラメータ値は文献[2.39][2.40]と同一である。

電極間隔 L_g が $1.5 \mu\text{m}$ の GaAs MSM-PD の解析を行った。波長 600 nm 、半値全幅(FWHM: Full Width at Half Maximum) 0.3 ps 、エネルギー 1 pJ/pulse 、時刻 0.5 ps でピークとなるガウス分布型光パルス照射するものとした。GaAs基板表面での横方向電界強度分布の時間変化を図2.2に示す。ここで、横軸はカソード電極の端(図2.1の点E)からの距離である。時間とともに電界強度が低下して行くことがわかる。この理由は以下の通りである。光照射により発生した電子と正孔は各々アノード電極とカソード電極の方向に動く。このため、電極近傍に空間電荷領域が形成され、この影響で電極間の電界強度が低下する[2.41]。空間電荷が形成される様子を図2.3に示す。縦軸はアノード電極とカソード電極の下の領域で積分したキャリア面密度である。電子速度の方が正孔速度より速いため、アノード電極下の方が早く空間電荷が形成される。空間電荷形成に伴う電界強度の低下により、流体モデルを用いた解析により得られるMSM-PDのコンダクタンスは従来の解析的モデル[2.25]で計算したコンダクタンスより小さくなった。種々の光パワーについて解析した結果、発生するキャリア密度が 10^{16} cm^{-3} を越える場合には、空間電荷形成に伴う電界強度低下の効果を無視できないことがわかった。上記の解析ではキャリア密度はほぼ $2.7 \times 10^{16} \text{ cm}^{-3}$ であった。光通信へMSM-PDを適用する場合、平均光パワーは 0.1 mW 以下であり、上記解析と比較して5桁程度小さいものである。この場合には空間電荷形成に伴う電界強度低下の効果を無視できると考えて良い。ここではGaAs MSM-PDについて解析したが、InGaAs MSM-PDにおいても同様のことが言えると考えられる。

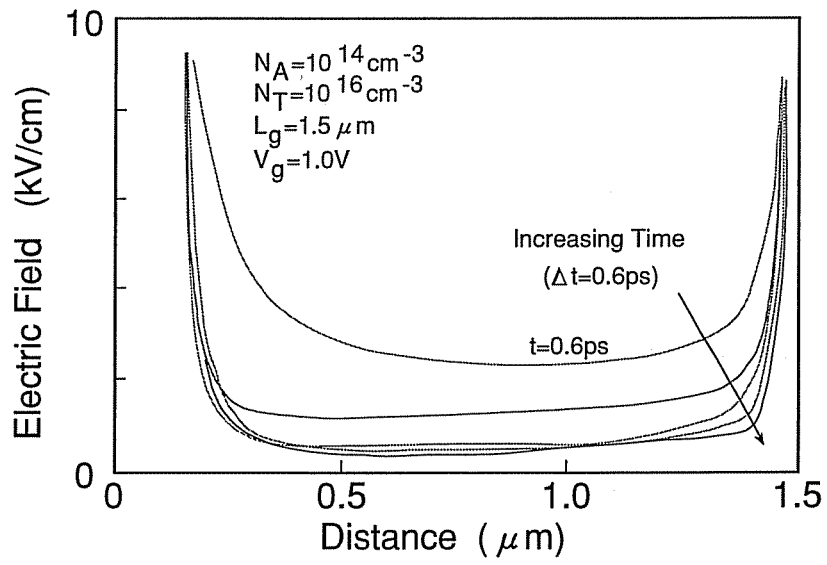


図 2.2 表面における横方向電界強度分布

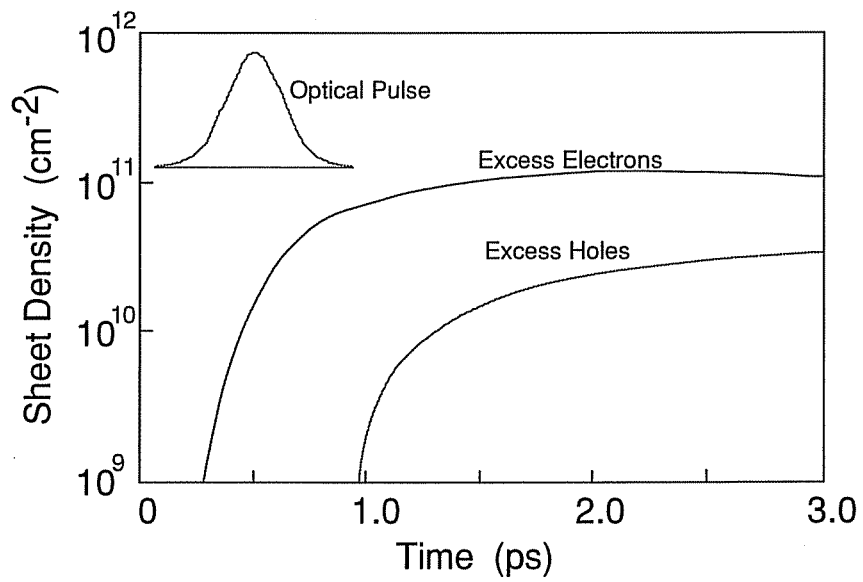


図 2.3 電極下のキャリア面密度の変化

2.4 粒子モデルを用いた MSM-PD の高速化設計[2.63][2.64]

流体モデルより厳密にキャリアの挙動を議論するためには、ボルツマンの輸送方程式(2.10)を解く必要がある。一般的には、ボルツマンの輸送方程式を解析的に解くことはできず、数値計算により解くこととなる。今までに提案されている数値計算手法の中で最も成功している手法はモンテカルロ法である。電子あるいは正孔が散乱なしでどの程度の時間だけ運動するのか、種々の散乱機構のうちどの散乱を受けるのかということは確率過程である。確率過程をシミュレートするために乱数を導入するのがモンテカルロ法である。本研究で用いた計算手順は従来のもと同様であるため、具体的手順は文献[2.42]あるいは成書[2.37]に譲るものとし、ここでは本解析に特徴的な仮定およびモデルについて述べる。

前節で明らかとなったように、MSM-PDを光通信用受光デバイスに適用する場合には発生したキャリアによるポテンシャルの変化は無視できるほど小さいものである。このため、GaAs MSM-PDの解析においては式(2.15a)(2.15b)(A19)の時間微分項と発生率をゼロとした方程式とポアソン方程式(2.14)を解くことにより得られるポテンシャルを用いて、InGaAs MSM-PDの解析においては更に簡単化のためラプラス方程式を解くことにより得られるポテンシャルを用いて、ボルツマンの輸送方程式を解くこととする。^{注1)}

バンドモデルとして、伝導帯については Γ - L - X バレーを考慮し、価電子帯については軽い正孔バンドと重い正孔バンドを考慮した。光子エネルギーの吸収により軽い正孔バンドと重い正孔バンドから等確率で Γ バレーに電子が励起されるものとする。光パルスが時刻 t_0 でピーク値を取る分散 σ_t を有するガウス分布型であると仮定すると、単位時間の電子と正孔の発生率は次式により与えられる[2.43]。

$$g(t) = \frac{N_{total}}{\sigma_t \sqrt{\pi}} \exp\left[-\frac{(t-t_0)^2}{\sigma_t^2}\right] \quad (2.17)$$

ここで、 N_{total} は厳密には光パルス照射により発生する全キャリア数であるが、個々のキャリアの運動をシミュレートすることは計算時間の制約で不可能である。そこで、アンサンブルモンテカルロ解析ではいくつかのキャリアが一纏まりで同一の散乱過程を経るものとして扱う。本解析ではポアソン方程式を自己無撞着的に解かないので、一固まりのキャリア数には任意性がある。統計学上 N_{total} は大きい程、計算精度は向上するが、ここでは20000としている。エネルギー保存則[2.44]と不確定性原理[2.43]を考慮すると、発生した電子と正孔の持つ初期エネルギーは各々

^{注1)} キャリアの発生あるいは運動によりポテンシャルが変化する場合にはポアソン方程式とボルツマン方程式を自己無撞着的に解く必要がある。

$$E_{ci} = \frac{-(1+r) + \sqrt{(1+r)^2 + 4r\alpha(h\nu - E_g)}}{2r\alpha} + \frac{hr_1}{FWHM} \quad (2.18)$$

$$E_{vi} = (h\nu - E_g) - E_{ci} \quad (2.19)$$

で与えられる。ただし、

$$r = \frac{m_c}{m_v} \quad (2.20)$$

ここで、 E_g はバンドギャップエネルギー、 m_c は電子の有効質量、 m_v は正孔の有効質量、 α はバンドの非等方性を表すパラメータ、 $FWHM$ は光パルスの半値全幅、 r_1 は正規乱数である。図2.1に示したデバイス構造モデルと同様に DE から下の領域で光が吸収されるものとし、簡単化のため光パワーは x 方向に一様であるものとする。発生するキャリアの初期座標値は

$$x_i = \frac{L_g}{2} + r_2 L_g \quad (2.21)$$

$$y_i = -\frac{\ln(1-r_3)}{\alpha_{abs}} \quad (2.22)$$

で与えられる。ここで、 L_g は MSM-PD の電極間隔、 α_{abs} は光の吸収係数、 r_2 と r_3 は区間 $(0, 1)$ の一様乱数である。以上の初期条件のもとにキャリアの運動をシミュレートする。

本解析で考慮した電子の散乱過程は、有極性光学フォノン散乱、無極性光学フォノン散乱、音響フォノン散乱、バレー内散乱、バレー間散乱である。また、正孔の散乱過程は有極性光学フォノン散乱、無極性光学フォノン散乱、音響フォノン散乱である。各散乱の確率[2.42][2.45][2.46]を付録 A.1.4 と A.1.5 にまとめた。不純物濃度およびキャリア密度は低いため、不純物散乱およびキャリア-キャリア散乱を無視している。また、簡単化のために三元系化合物中の合金散乱も無視している。したがって、電子速度の計算値は実験値と比較して大きくなる可能性がある。解析に用いたパラメータ値[2.47]-[2.54]を付表 A2 から付表 A5 にまとめて示した。 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ の電子親和力とバレー間エネルギー差は InAs の値[2.52][2.53]と AlAs の値[2.54]を線形に内挿することにより決めている。また、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ のバレー間変形ポテンシャルとフォノンエネルギーは InP と同一と仮定している。2.4.2において $\text{In}_{0.53}(\text{Ga}_x\text{Al}_{1-x})_{0.47}\text{As}$ を扱うが、そのパラメータ値は $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ の値と $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ の値を線形に内挿することにより決めている。 GaAs の光吸収係数は付表 A1 (付録 A.2)に示したのを用い、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ の光吸収係数は文献[2.55]の実測値を用いた。

本解析では簡単化のため、単位時間に電極に流入する電子と正孔の数を数えることにより導電

電流を求めている。このようにして計算した光電流パルスのパルス幅は変位電流より求めたパルス幅と比較して若干大きくなる可能性がある[2.31]。本節ではMSM-PDを集中定数回路と看做しており、上記の電流値を持つ電流源と電極間容量の並列回路としてモデル化する。電極幅と電極間隔が等しい時、電極間容量は近似的に次式で計算できる[2.56]。

$$C_g = L(\epsilon_r + 1)[(N-3)A_1 + A_2] \quad (2.23)$$

ここで、 L はアノードとカソードの対向する長さ、 ϵ_r は基板の比誘電率、 N は電極フィンガーの本数、 $A_1 = 88.6 \text{ fF/cm}$ 、 $A_2 = 99.2 \text{ fF/cm}$ である。このMSM-PDの等価回路に集中定数回路の負荷抵抗(特に断らない限り 50Ω)を接続し電圧パルス波形を求める。

2.4.1 GaAs MSM-PD の設計

最初に本解析法の精度を明確にするために、Van Zeghbrouck *et al.* [2.24]の実験と同一条件で計算を行った。その結果、出力電圧パルスのパルス幅(FWHM)は 6.0 ps となり、実験値の 4.8 ps [2.24]に対して 25% 大きくなった。誤差の主要因は光電流を導電電流より求めていることにあると思われるが、この程度の誤差は議論を進めて行く上で大きな障害とならないものとする。

金属-酸化膜-半導体電界効果トランジスタ(MOSFET)の世界では、平均電界強度一定の条件、電圧一定の条件あるいは両者の折衷条件というそれぞれの条件のもとで、チャネル長、ゲート酸化膜厚、チャネル領域不純物濃度、接合深さ等のパラメータをどのように変えてゆくべきかという指針となるスケーリング則が知られている。ここでは、MSM-PDに関するスケーリング則について考察してみる。デバイス耐圧の観点から平均電界強度一定の条件を置くこととし、表2.1に示す二つの場合を考える。Scheme Iはデバイスサイズを変えずに電極間隔を微細化するもの、Scheme IIは電極間隔の微細化とともにデバイスサイズも微細化するものである。電極間容量 C_g は式(2.23)により計算している。各々の場合について、波長 820 nm 、パルス幅 0.1 ps (FWHM)の光パルスを用いてシミュレーションを行った結果を図2.4に示す。Scheme Iでは微細化とともに電流パルスの幅は減少するものの C_g が増大するため出力電圧パルス幅は増大する。MSM-PDの高速化には容量の減少が不可欠であり[2.26][2.30]、Scheme IIが適していると言える。このため、以下ではScheme IIにもとづいて議論する。図2.4において、●は電子と正孔の両電流成分を考慮した場合の出力電圧パルス幅、△は電子電流のみを考慮した場合の出力電圧パルス幅である。これらの差は 10% 以下であり、正孔電流は出力電圧パルス幅にあまり影響を与えない。しかしながら、後述するように正孔電流は長い裾引きの原因となりMSM-PDの帯域を決める要因となる。

表 2.1 解析に用いた MSM-PD のパラメータ

	Scheme I			Scheme II		
	0.8	0.4	0.2	0.8	0.4	0.2
L_g (μm)	0.8	0.4	0.2	0.8	0.4	0.2
L (μm)	40	40	40	40	40	40
W (μm)	38.4	38.4	38.4	38.4	19.2	9.6
C_g (fF)	50	110	229	50	25	12.5
V_g (V)	2.0	1.0	0.5	2.0	1.0	0.5

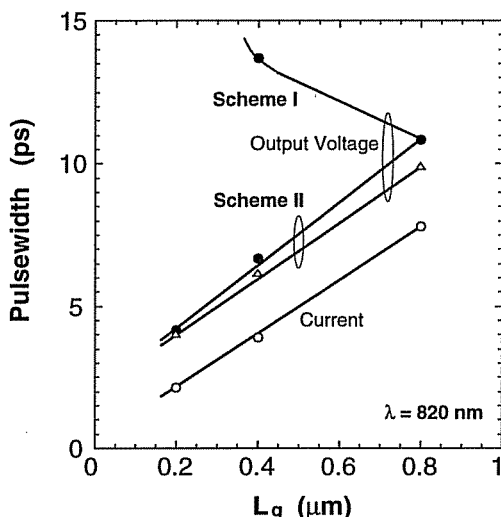


図 2.4 MSM-PD の応答の L_g 依存性
 ●:電子と正孔の両電流成分を考慮した場合
 △:電子電流のみを考慮した場合

図 2.4 の電流パルス幅は次式で近似できる。

$$FWHM = \frac{L_g}{1.06 \times 10^7} + 0.26 \text{ ps} \quad (2.24)$$

ここで、 L_g の単位は cm である。この近似式で注意すべき点は、電子の速度が $5 \times 10^6 \text{ cm/s}$ であることを意味していないということである。波長 820 nm の時、光の吸収深さ ($1/\alpha_{\text{abs}}$) は約 $0.8 \mu\text{m}$ であるから、電子の平均走行距離が $L_g/2$ より長いためである。実際、図 2.5 に示すように平均電子速度にはオーバーシュート現象が見られる。 $L_g = 0.8 \mu\text{m}$ の MSM-PD における平均電子速度のピーク値は $L_g = 0.2 \mu\text{m}$ の場合の 2 倍となっている。この差は電界強度の差に起因する。 $L_g = 0.2 \mu\text{m}$ の MSM-PD のポテンシャル分布を図 2.6 に示す。光の吸収深さの半分 ($0.4 \mu\text{m}$) の位置は図の下端付近であり、この領域の電界は弱いことがわかる。一方、 $L_g = 0.8 \mu\text{m}$ については示していないが、ほぼスケールリングされるから、 $L_g = 0.2 \mu\text{m}$ の場合の $0.1 \mu\text{m}$ の深さに相当すると考えて良

い。 $L_g = 0.2 \mu\text{m}$ の場合と比較して電界が強いことが図より明らかである。 $L_g = 0.8 \mu\text{m}$ の場合、より強い電界により電子が加速される。以上の解析から、MSM-PDの電極間隔を微細化しても、光の吸収深さが一定であるため、微細化に比例してパルス幅が短縮化されるわけではないことが明確となった。

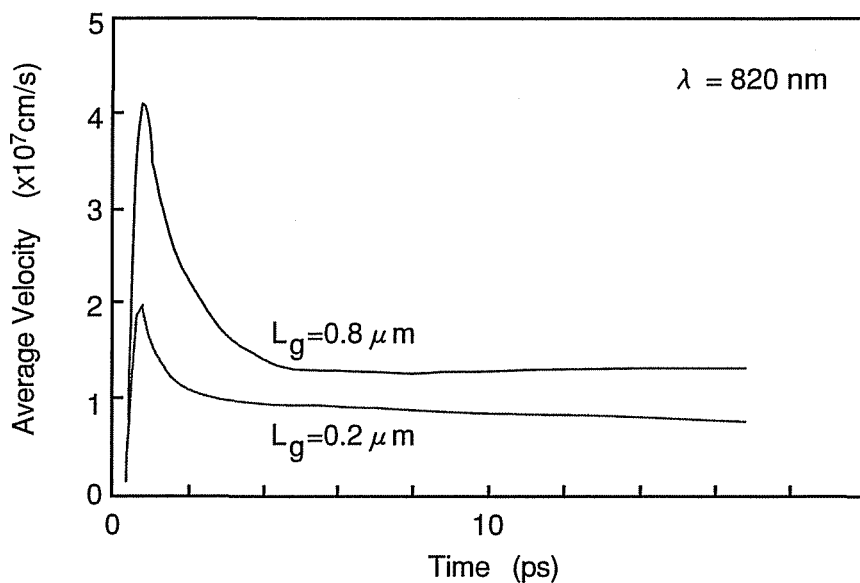


図 2.5 電子の平均速度の変化

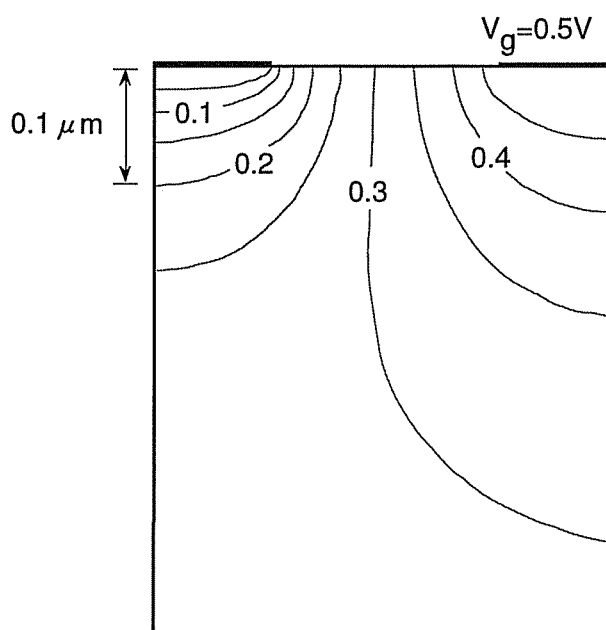


図 2.6 $L_g = 0.2 \mu\text{m}$ の MSM-PD のポテンシャル分布

したがって、MSM-PDの高速化を図るためには、GaAs/AlGaAsヘテロ接合の導入等により光吸収層を薄いGaAs層に限定する必要がある[2.57]。厳密にはGaAs/AlGaAsヘテロ接合を解析する必要があるが、ここでは近似的に $0 < y < 0.2 \mu\text{m}$ の領域でのみ光が吸収されるものとして解析を行った。この時のMSM-PDの応答を図2.7に示す。出力電圧パルスの半値全幅は2.2 psであり、図2.4と比較すると約半分になっている。電極間隔の微細化と同時に光吸収層を薄層化することがMSM-PDの高速化に有効である。図2.7の電流応答において、2 psまでのパルスは電子電流が支配的であり、これに続く裾引きは正孔電流が支配的である。電子電流のみを考慮した電圧パルスをフーリエ変換することにより求めた3dB帯域は178 GHzであった。一方、電子および正孔電流を考慮した場合の3dB帯域は78 GHzであった。MSM-PDをさらに高速化するためには、速度の遅い正孔をいかに早く消滅させるかが鍵となる。

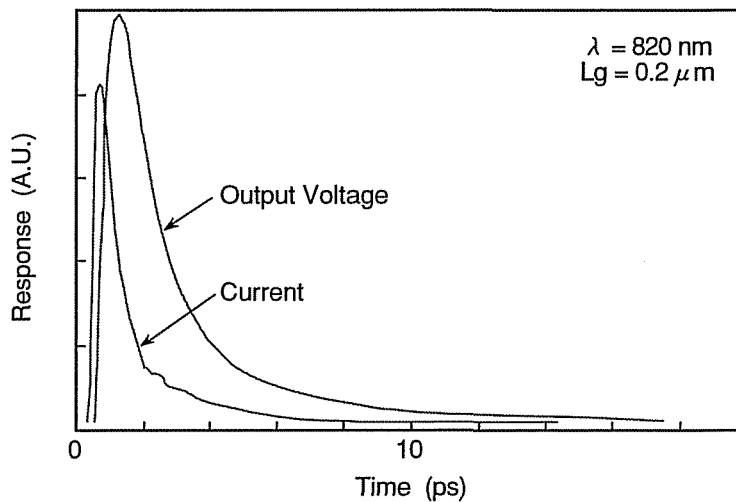


図2.7 光吸収層が $0.2 \mu\text{m}$ の場合のMSM-PDの応答

2.4.2 InGaAs MSM-PD の解析

2.1で述べたように、長波長受光デバイスとして有望なInGaAs MSM-PDにおいては、暗電流を低減させるため障壁増大層がInGaAs光吸収層と電極との間に挿入されるのが一般的である。そこで、図2.8に示すようにMSM-PDの構造をモデル化する。障壁増大層はGaAs、 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 、 $\text{In}_{0.53}(\text{Ga}_x\text{Al}_{1-x})_{0.47}\text{As}$ 傾斜層/ $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ とした。ヘテロ接合におけるキャリアの輸送モデル[2.51]を図2.9に示す。すなわち、フリーフライト前にキャリアが存在する位置におけるポテンシャルとヘテロ接合におけるポテンシャルの差 $\Delta\psi$ よりもキャリアの持つエネルギーが大きければキャリアはヘテロ接合を通過し、小さければ鏡面反射するものとする。ここでは、ヘテロ接合におけるトンネル電流は考慮していない。付表A2から付表A5(付録A.2)をもとに描いたフラットバンド状態でのバンドモデルを図2.10に示す。ここで、 t_a は光吸収層の厚さ、 t_b は障壁増大層の厚さ、 t_g は傾斜層の厚さである。GaAs障壁増大層は本来InPと格子整合しない歪みGaAsであるが、計算の簡単化のためバルクGaAsのバンドモデルを用いた。 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ ヘテロ接合は図2.10(b)の傾斜層の厚さ $t_g = 0$ に相当する。

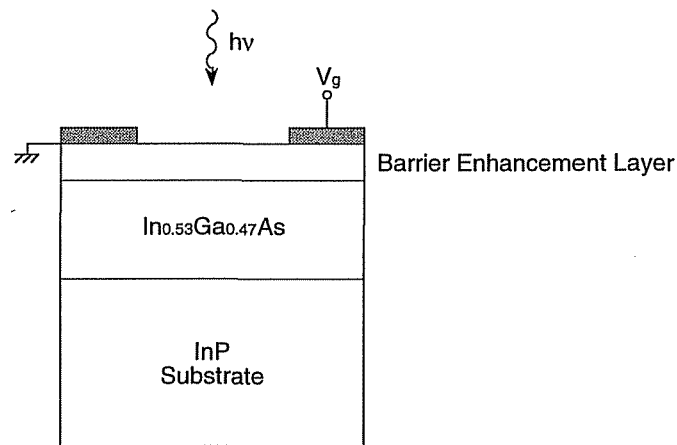


図2.8 InGaAs MSM-PD のデバイス構造モデル

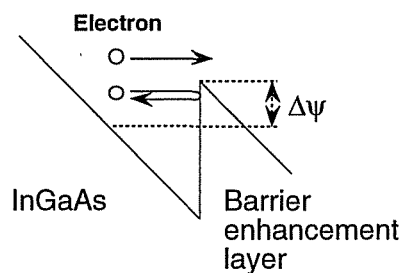


図2.9 ヘテロ接合におけるキャリア輸送モデル

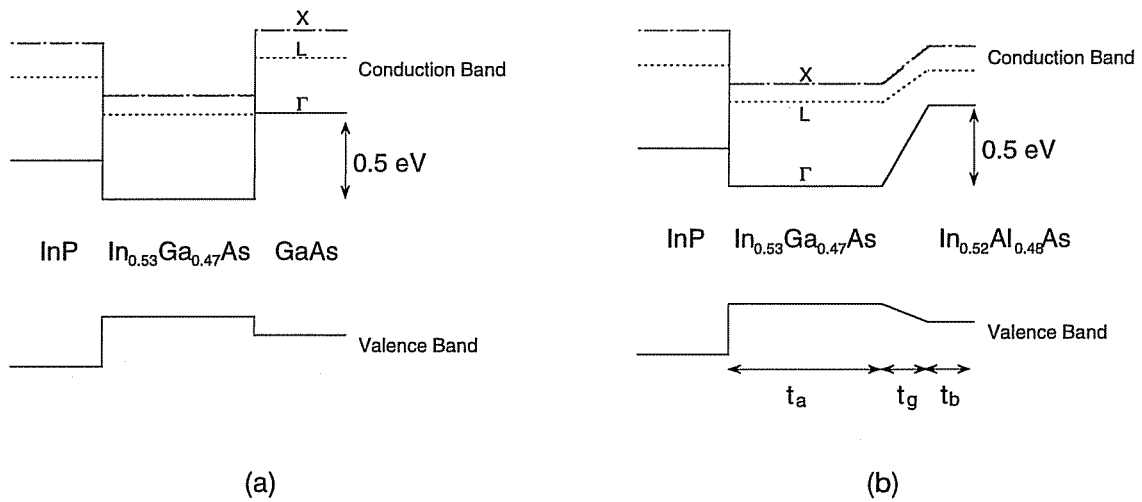


図 2.10 フラットバンド状態のバンド構造モデル

最初に、Schumacher *et al.* [2.4]の実験との比較を行う。彼らが実験に用いた MSM-PD の構造パラメータは、 $L_g = 2 \mu\text{m}$ 、 $t_a = 1.5 \mu\text{m}$ 、 $t_b = 30 \text{ nm}$ (GaAs)である。また、測定系の時間精度を考慮し、 $Z_0 C_g = 20.4 \text{ ps}$ ($= 40 \text{ ps (FWHM)}/2\pi \times 0.312$)とした。出力電圧がピーク値の 90% から 10% になるまでの時間で定義した立ち下がり時間の電極間電圧 V_g 依存性を図 2.11 に示す。図の○は障壁増大層がある場合の計算値、●は障壁増大層がない場合の計算値、△は実験値[2.4]である。電圧が低くなるとキャリア速度が小さくなり立ち下がり時間が増大する。これに加えて、障壁増大層の存在によりさらに立ち下がり時間が増大する。実験と計算は定性的には良く一致していると言える。障壁増大層がある場合の光吸収層内のキャリア数の変化を図 2.12 に示す。正孔についてはポテンシャル障壁が低いため時間とともに数が減少してゆく。ポテンシャル障壁が 0.58 eV と高い

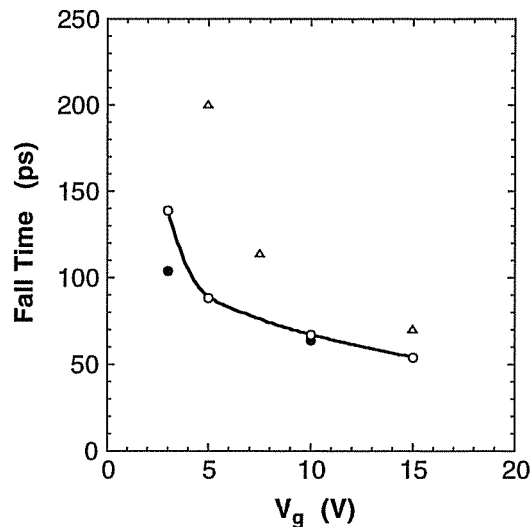


図 2.11 立ち下がり時間の電極間電圧依存性

○:障壁増大層がある場合の計算値、●:障壁増大層がない場合の計算値、△:実験値[2.4]

波長: 1.3 μm

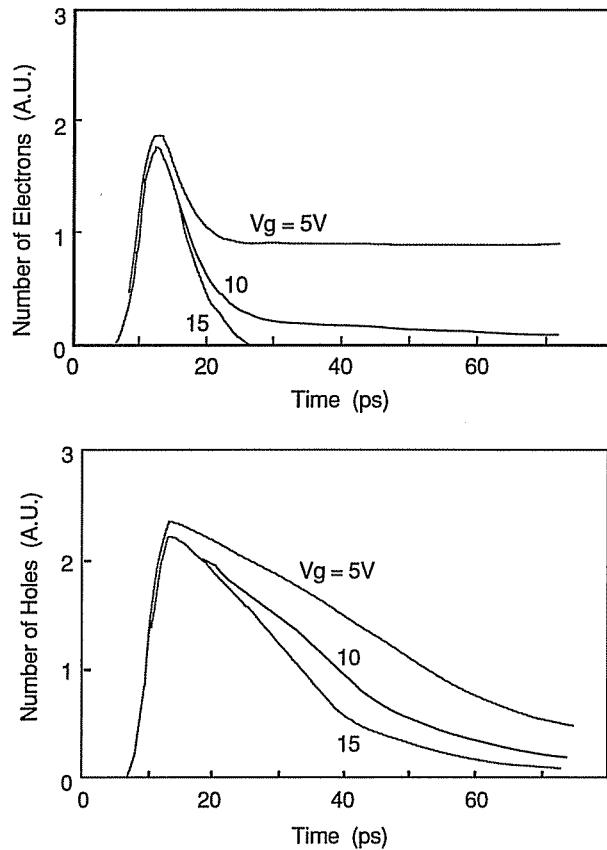


図 2.12 光吸収層内部のキャリア数の変化

電子については、 $V_g > 10 \text{ V}$ の時には障壁を越えるのに十分なエネルギーを受けるため障壁増大層の影響は小さいが、 V_g が低くなると障壁を乗り越えられず光吸収層内に留まる電子数が増加する。 $V_g = 5 \text{ V}$ の場合、電子数は 25 ps 以降ほぼ一定となり本モデルでは電流が流れなくなる。しかしながら、実際にはトンネル電流が流れる。つまり、このシミュレーションでは電流の立ち下がり時間を小さく見積ることになる。また、この解析では計算時間の制約から単発の光パルスに対する応答を扱っているが、実験では繰返しパルスに対する応答が測定されるという違いがある。繰返しパルスに対しては電子が蓄積し障壁増大層の電界が強くなるものと考えられる。この場合、電子がトンネルする確率は増大する。実験と定量的に一致させるためには、繰返しパルスに対する電子の蓄積効果およびトンネル電流を考慮した解析が今後必要となろう。

ヘテロ接合における電子の蓄積を防ぐために、InGaAs光吸収層と障壁増大層の間に傾斜層を挿入することが提案されている[2.8]-[2.10]。InGaAs MSM-PDの高速化の指針を与えるために、傾斜層の効果を理論的に解析することとする。 $L_g = 1.0 \mu\text{m}$ 、 $t_a = 1.0 \mu\text{m}$ 、 $t_b = 30 \text{ nm}$ ($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$)、 $Z_0 = 50 \Omega$ 、 $C_g = 20 \text{ fF}$ 、 $V_g = 5 \text{ V}$ として、 $\text{In}_{0.53}(\text{Ga}_x\text{Al}_{1-x})_{0.47}\text{As}$ 傾斜層の厚さ t_g を変えてシミュレーションを行った。光パルスは波長 $1.3 \mu\text{m}$ 、半値全幅 0.1 ps とした。MSM-PD の出力パルスの立ち下がり時間と半値全幅の傾斜層厚さ依存性を図 2.13 に示す。 $t_g = 200 \text{ nm}$ を境にして立ち下がり時間

が大きく異なっていることがわかる。光吸収層内のキャリア数の変化を図2.14に示す。正孔数の変化は傾斜層の厚さにあまり依存しないが、傾斜層の厚さを200 nm にすることにより電子数の減少が速くなることがわかる。アノード電極の右端から深さ方向に見たポテンシャル分布を図2.15に示す。 $t_g = 50$ nm の場合には電子の障壁が存在しているが、 $t_g = 200$ nm の場合には障壁が消滅している。ポテンシャル障壁の消滅により電子の流れが滑らかとなると言える。ポテンシャル障壁が消滅する傾斜層の厚さを臨界厚さと呼ぶことにする。

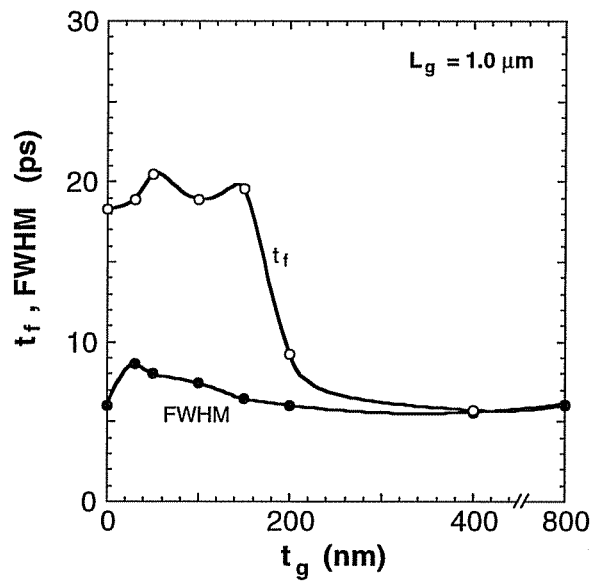


図2.13 立ち下がり時間と半値全幅の傾斜層厚さ依存性

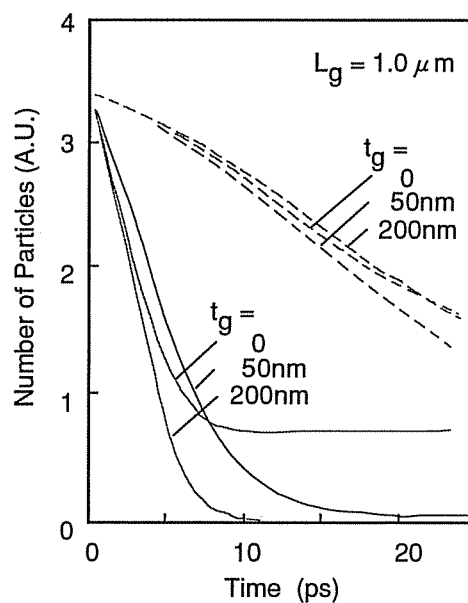


図2.14 光吸収層内のキャリア数の変化
実線:電子 破線:正孔

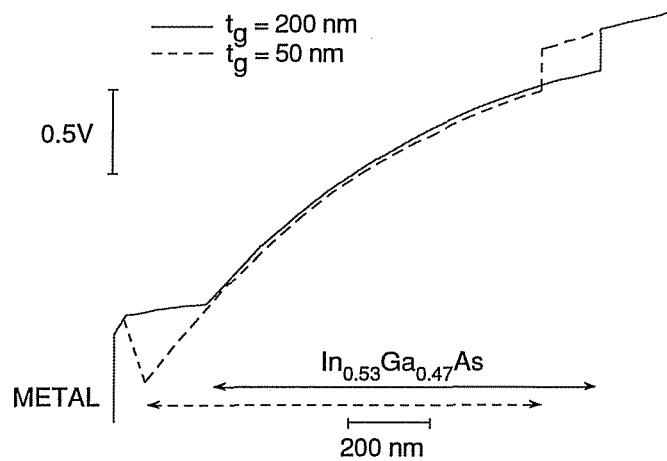


図 2.15 深さ方向のポテンシャル分布

GaAs MSM-PD に関して、電界一定のスケーリング則を議論した。InGaAs MSM-PD について電界一定条件で $L_g = 0.25 \mu\text{m}$ の特性を計算した結果、立ち下がり時間はあまり改善されないことがわかった。ポテンシャル障壁が一定であるということが低電圧化の障害となっているためである。したがって、電圧一定のスケーリング則が適している。また、電極間容量の増大を避けるため、受光面積も小さくする必要があることが 2.4.1 の結果から明らかになっている。そこで、先のパラメータのうち電極間隔 L_g のみを $0.25 \mu\text{m}$ としてシミュレーションを行った。MSM-PD の出力パルスの立ち下がり時間と半値全幅の傾斜層厚さ依存性を図 2.16 に、光吸収層内のキャリア数の変化を図 2.17 に示す。 $t_g = 200 \text{ nm}$ の場合、電子および正孔数の減少率が悪化している。ポテンシャル分布を検討した結果、このデバイスパラメータについては傾斜層の臨界厚さは約 50 nm であった。つまり、電極間隔の微細化に対して傾斜層の臨界厚さがスケーリングされているわけである。臨界厚さ以上に厚くすると、キャリア流出の円滑化の効果は飽和し、走行時間の増加をもたらすこと、光吸収層内部の電界強度を低下させることから電流応答速度が遅くなる。なお、この解析結果では、 $t_g = 0$ まで立ち下がり時間とパルス幅が減少しているが、図 2.17 にも示されているように電子の蓄積が起き、実際には増大する可能性がある。

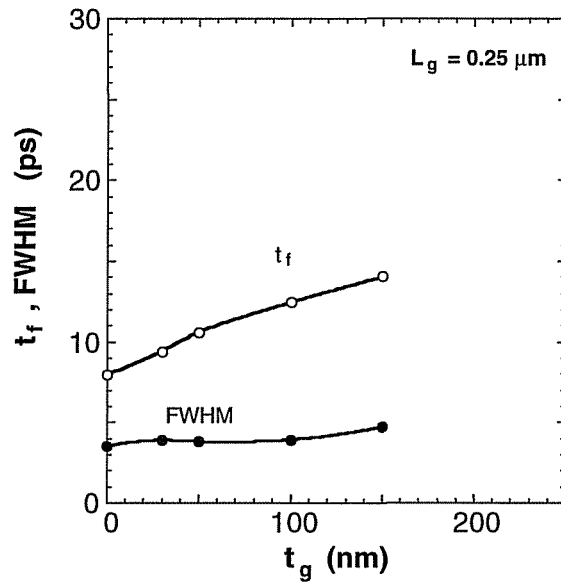


図 2.16 立ち下がり時間と半値全幅の傾斜層厚さ依存性

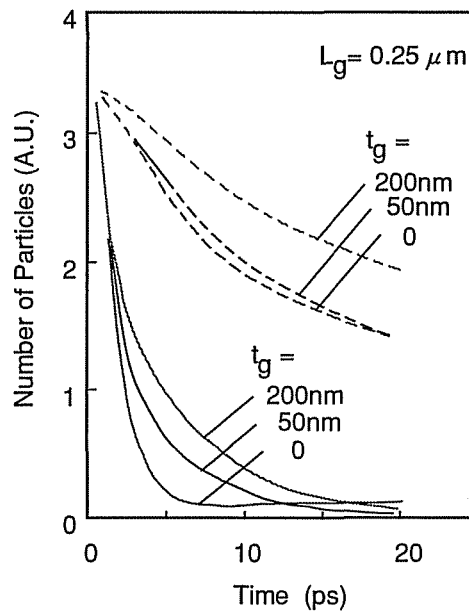


図 2.17 光吸収層内のキャリア数の変化
実線:電子 破線:正孔

MSM-PDの高速化には電極間隔の微細化とともに光吸収層を薄くすることが重要であることを2.4.1で指摘した。^{注2)}また、上の解析より傾斜層も薄くする必要があることがわかった。以上の点を考慮すると、表2.2に示すスケーリング則がInGaAs MSM-PDの高速化に適していると考えられる。このパラメータを用いて計算したMSM-PDの半値全幅、立ち下がり時間およびフーリエ変換より求めた3dB帯域も表2.2にまとめて示した。電極間隔をクォータミクロン程度にすることにより50GHzを越える帯域が期待できる。3dB帯域の計算値と実験値[2.6][2.58]-[2.61]の比較を図2.18に示す。傾斜層の有効性が明確に示されている。 $L_g = 0.3 \mu\text{m}$ の実験[2.61]では傾斜層が導入されておらず、その導入により高速化が期待できる。

表2.2 InGaAs MSM-PDのスケーリング則、パラメータ値と特性

	Scaling law		Values	
Electrode spacing L_g (μm)	$1/\alpha$	2.0	1.0	0.25
Barrier-enhancement layer thickness t_b (nm)	1	30	30	30
Graded layer thickness t_g (nm)	$1/\alpha$	400	200	50
Absorption layer thickness t_a (μm)	$1/\alpha$	2.0	1.0	0.25
Bias voltage V_g (V)	1	5.0	5.0	5.0
Parasitic capacitance C_g (fF)	1	20	20	20
Load impedance Z_0 (Ω)	1	50	50	50
Pulse width $FWHM$ (ps)		11.9	6.0	3.5
90-10% fall time t_f (ps)		10.7	9.2	7.5
3-dB bandwidth $f_{3\text{dB}}$ (GHz)		11.2	16.7	52.5

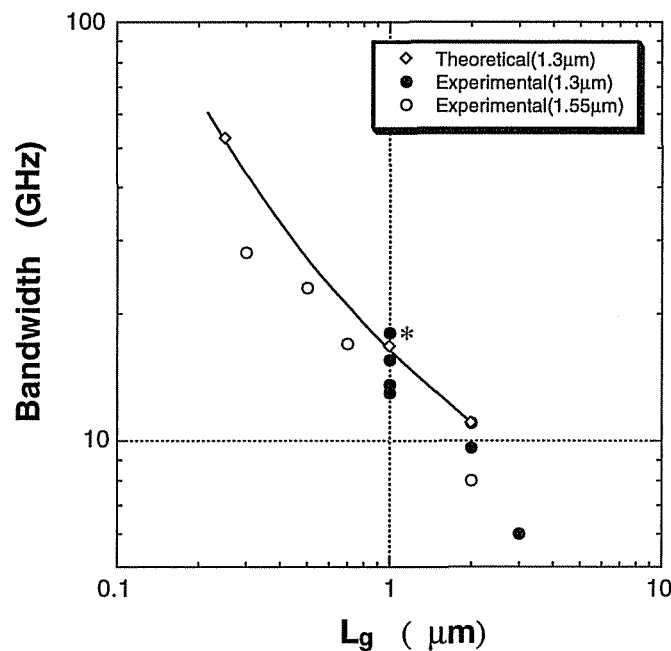


図2.18 帯域の L_g 依存性

実験のうち、*は傾斜層付き、その他は傾斜層なし

^{注2)} 最近、Wohlmuth *et al.* [2.32]は電極間隔 $1 \mu\text{m}$ のInGaAs MSM-PDにおいて光吸収層を $1 \mu\text{m}$ から $0.25 \mu\text{m}$ に薄層化することにより3 dB帯域が9.5 GHzから19.1 GHzに増大することを実験的に示している。

2.6 まとめ

電子デバイス製造工程との整合性が比較的良く、寄生容量が小さいこと、製造方法が簡単であること等を特徴とする金属-半導体-金属構造プレーナ型受光デバイス(MSM-PD)の高速化設計について述べた。最初に、理論的な研究手法として、対象とする時間精度(あるいは周波数領域)と適用すべきデバイス解析法の関係を整理し、移動度と拡散係数によりドリフト項と拡散項を近似した電流連続式並びにポアソン方程式を二次元空間で数値解析する方法(流体モデル)とモンテカルロ手法によりボルツマン輸送方程式を二次元空間で数値解析する方法(粒子モデル)の2つの手法に基づく数値計算プログラムを作成した。

流体モデルを用いて GaAs MSM-PD を解析し、次の結果を得た。

- (a) 光パルス照射によりキャリア濃度が 10^{16} cm^{-3} を越える強励起状態では、発生した電子と正孔が各々反対方向に移動して空間電荷領域が形成されるため MSM-PD 内部の電界強度が低下する。フォトコンダクティビティを計算する際には、この電界低下効果を考慮する必要がある。
- (b) 光通信で使用される弱励起状態では、電界低下効果を無視できる。

次に、粒子モデルにより GaAs MSM-PD および InGaAs MSM-PD を解析し、以下のような高速化の指針を得た。

- (c) MSM-PD の高速化のためには電極間隔とともに光吸収層の厚さと受光面積の縮小が必要である。
- (d) 障壁増強層を有する InGaAs MSM-PD においては、障壁増強層と光吸収層の間に傾斜層を設ける必要があり、傾斜層の厚さには最適値が存在する。最適な傾斜層の厚さは電極間隔に比例する。
- (e) GaAs MSM-PD においては電極間隔に比例して電極間電圧を下げる電界一定スケールリングで良いが、障壁増強層を有する InGaAs MSM-PD においては電極間電圧を一定とする電圧一定スケールリングが望ましい。
- (f) 電極間隔をクォータマイクロン程度にすることにより 50 GHz を越える帯域が期待できる。

第 3 章

受信用集積回路の高性能化設計

概要

超高速集積回路を実現するためには、デバイス技術、回路技術、実装技術を有機的に結合させる必要がある。すなわち、デバイス技術としては回路の高速化に適したデバイスを開発する必要がある。このため、デバイスの等価回路パラメータを変化させて回路シミュレーションを行うことにより回路の動作速度とデバイス性能の関係を把握することが一般的であった。しかしながら、これらのパラメータの間には相関があり、相関まで厳密に押えて議論することはかなり困難なことである。また、集積回路チップとパッケージを独立に設計すると、実装に伴う寄生効果により予期した特性が得られず、最悪の場合には回路が発振することもある。

本章では最初に、実装に伴う寄生効果を考慮に入れた安定性解析に基づく増幅回路とパッケージの一括設計法を明らかにする。次に、デバイスの電流利得遮断周波数あるいは最大発振周波数を用いて受信回路のキーとなるベースバンド増幅器と識別器の最高動作速度を表すデバイス性能指数を提案する。これらの結果をもとに、集積回路チップ間インターコネクションが高速化、低消費電力化を阻害することを指摘するとともに、InP/InGaAsダブルヘテロ接合バイポーラトランジスタによりモノリシック 3 R 機能回路を試作し、2.4 Gbit/s 受信回路モジュールと比較して約 2 桁の低エネルギー化が可能であることを示す。

3.1 はじめに

本章では光通信受信回路の電子回路部分に関する研究を行う。図 1.3 に示した中継器の等化増幅部は高利得、広帯域な増幅器と利得制御回路から構成される。伝送符号は NRZ(Non-Return-to-Zero)でありクロック成分を持たないため、タイミング抽出回路によりクロックが再生される。タイミング抽出回路には、微分回路、全波整流回路、共振器、リミッタ増幅器から構成される非線形抽出方式、あるいは位相比較器、低域通過フィルタ、電圧制御発振器から構成される位相同期ループ(PLL: Phase-Locked Loop)方式が用いられる。識別再生部には D タイプフリップフロップ(D-F/F)が用いられる。この中でクロック用リミッタ増幅器は狭帯域特性で良く、従来のマイクロ波増幅回路技術を活用できる。これに対して、等化増幅部には 100 kHz から伝送レート周波数の 70 % までの広帯域性が要求される[3.1][3.2]。今、光送信パワーを 0 dBm、中継区間を 80 km とすると、伝送路での損失により受光パワーは -16 dBm 程度となる。光ファイバ増幅器(EDFA: Er-Doped Fiber Amplifier)を用いない場合、受光デバイスの感度を 0.7 A/W とすると、1 V_{pp} のデジタルレベルまでに増幅するためには、等化増幅部には 90 dBΩ のインピーダンス変換利得が必要となる。^{注1)}

第 1 章で述べたように、本研究に着手した当時はゲート長 0.1 – 0.2 μm 級 GaAs MESFET の可能性が見え始めた段階にあり、10 Gbit/s を越える動作を実現するためには回路技術および実装技術の研究開発が必要であった。従来の広帯域増幅器では上記 MESFET を用いても必要な帯域を実現できない。また、動作速度が高くなると、実装に付随する寄生容量あるいは寄生インダクタンスの影響が大きくなり、高利得、広帯域な増幅器モジュールを実現することがより難しくなる。

一方、結晶成長の進展に支えられてヘテロ構造デバイスのポテンシャルの高さが示されているが、将来的に電子回路の動作速度限界がどこにあるのかは明確でない。従来、デバイスの等価回路パラメータを変化させて回路シミュレーションを行うこと(感度解析)により回路の動作速度とデバイス性能の関係を把握することが一般的であった。しかしながら、これらのパラメータの間には相関があり、相関まで厳密に押えて議論することはかなり困難なことである。むしろ、電流利得遮断周波数あるいは最大発振周波数というデバイス研究者に馴染深いパラメータを用いて回路の最高動作速度を記述する方が集積回路の高速化に寄与できるものと考えられる。

回路の低エネルギー化のアプローチには、高速化とともに低電力化の方策が考えられる。従来の受信回路は SSI から構成されたハイブリッド回路である。将来的には SSI 間のインターコネクションが動作速度と消費電力を制限する大きな要因となる可能性があり、モノリシック集積の効果を明らかにすることは極めて重要である。

^{注1)} もちろん EDFA の使用を前提とすれば必要な利得は減少する。

以上の観点に立って本章では、受信回路用集積回路の高速化と低消費電力化の研究を行う。3.2では 10 Gbit/s 等化増幅集積回路モジュールに関して、寄生効果を考慮に入れた安定性解析に基づく増幅回路とパッケージの一括設計法を明らかにする。実用レベルの GaAs MESFET 広帯域増幅器等を用いて試作した等化増幅モジュールの評価により一括設計法の有効性を示す。3.3では 10 Gbit/s 以上の高速化を目指して、受信回路の基本要素であるベースバンド増幅器および識別器の動作速度とデバイス性能との関係を明確化する。デバイスの電流利得遮断周波数 f_T および最大発振周波数 f_{max} を用いてベースバンド増幅器および識別器の動作速度を記述し、回路の高速化に即したデバイス性能指数を提案する。文献で報告されている識別器あるいは D-F/F の最高動作速度および AlGaAs/GaAs HBT を用いて試作したベースバンド増幅器の帯域とデバイス性能との関係より、提案したデバイス性能指数の妥当性を検証する。3.4では3.2と3.3の結果をもとに集積回路チップ間インターコネクションが高速化、低消費電力化を阻害することを指摘するとともに、InP/InGaAs ダブルヘテロ接合バイポーラトランジスタ(DHBT: Double-Heterojunction Bipolar Transistor)によりモノリシック 3 R 機能回路を試作し、低エネルギー化の可能性を示す。

3.2 10 Gbit/s 等化増幅集積回路モジュール[3.44][3.45]

3.2.1 増幅器、パッケージ一括設計法

一般的に広帯域増幅器は図 3.1 に示すような高周波セラミックパッケージに実装されてきた。パッケージの信号線と増幅器チップ上のパッドとはボンディングワイヤで接続されている。周波数が高くなると、パッケージの電源線の寄生インダクタンスにより電源線インピーダンスが増加し、増幅器チップ内の電源線を介した入出力の結合が大きくなり不安定動作を起こすことがある。

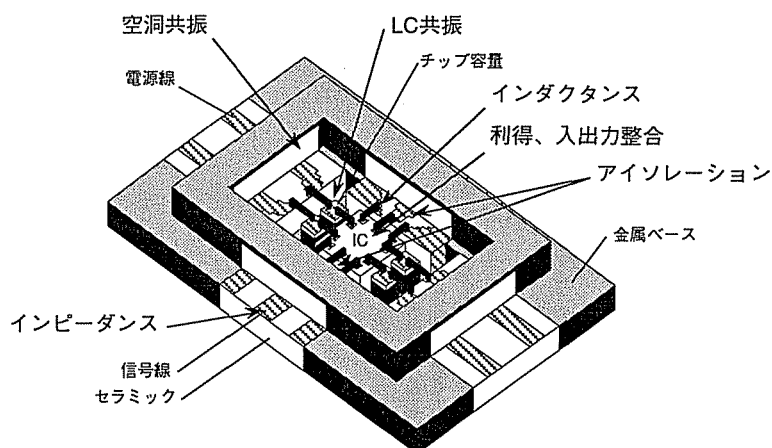


図 3.1 広帯域増幅器の実装形態と設計上考慮すべき電気的特性

このため、増幅器チップの電源をチップ容量を介して接地することにより、高周波領域でのインピーダンス増加を補償している。周波数が高くなると、このような実装形態においては以下のような問題が起こる。パッケージの入出力線間のアイソレーションが劣化するとともに、ボンディングワイヤのインダクタンスの影響により入力整合および出力整合特性が悪化する。これらは増幅器の不安定動作(発振)の原因となる。また、電源のチップ容量とボンディングワイヤのインダクタンスによるLC共振のため共振周波数で利得が低下あるいは増大する。さらに、パッケージの空洞共振周波数においては入出力線間が著しく結合し、増幅器モジュールは発振してしまう。これらの問題は広帯域になればなるほど、あるいは高利得になればなるほど深刻なものとなる。

広帯域、高利得な増幅器モジュールを実現するためには、以上の現象をすべて考慮に入れて増幅器とパッケージを一括して設計する必要がある。ここでは、10 GHz 領域においても上記の実装形態が適用できるものと判断し、電源のチップ容量とボンディングワイヤのインダクタンス等の受動デバイスを集中定数として扱い、安定性解析[3.3]に基づき等化増幅器モジュールを設計した。設計の流れを図 3.2 に示す。安定性解析は、系の 2 ポート散乱(S: Scattering)パラメータを用いた安定性係数 K (図 3.2 中に示す)が 1 より大きければ、その系は絶対安定であるという原理に基づくものである。図 3.2 中の曲線は利得 S_{21} をパラメータとして $K=1$ となる入出力リターンロス($-S_{11}$ 、 $-S_{22}$)とアイソレーション($-S_{12}$)の関係を描いたもので、この曲線より下の領域で系は絶対安定となる。4つのパラメータに対して方程式が1つであるから、当然のことながらパラメータを一意に決めることはできない。そこで、文献[3.3]の結果から、10GHzの領域においても入出力リターンロスが 15 dB、アイソレーションが 30 dB を確保できるものと仮定する。この場合、増幅器が安定に動作するためには、利得 S_{21} は 26 dB 以下でなければならない。今、要求条件とし

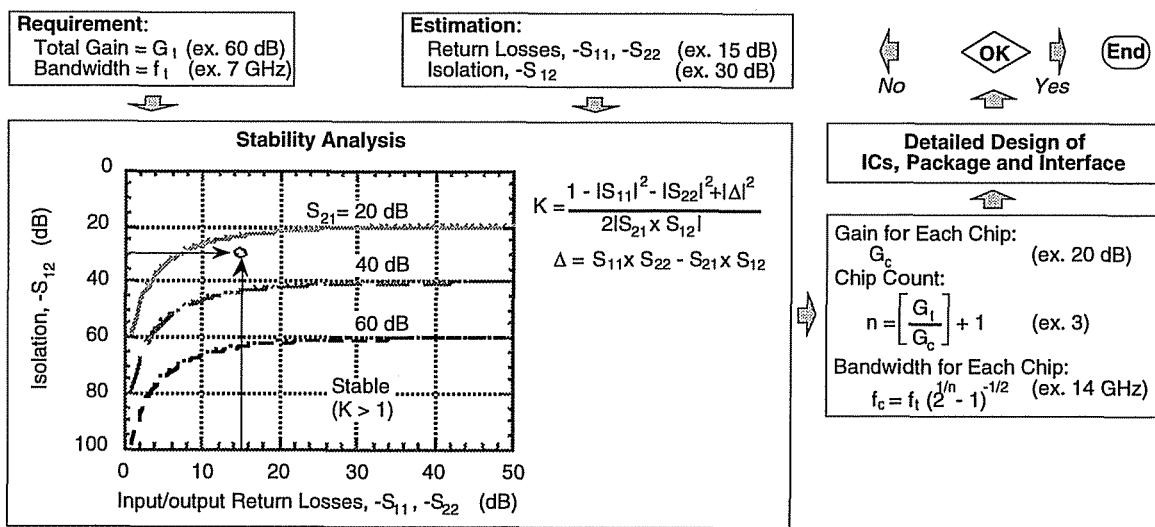


図 3.2 安定性解析に基づく増幅器モジュール設計の流れ

て等化増幅器モジュールに必要な全利得 S_{21} を 60 dB、帯域 f_c を 7 GHz とすると、利得 20 dB の増幅器 3 チップで構成し、各増幅器に必要な帯域 f_c は 14 GHz であることがわかる。これらの条件のもとで増幅器 IC とパッケージを詳細設計し全ての条件が満足されれば設計終了、満たされなければ仮定を変更して再度設計を行うこととなる。以下に、デバイス技術として GaAs MESFET を、実装技術としてセラミックパッケージを用いた具体的なモジュール設計を示す。

3.2.2 デバイス技術[3.7]

デバイス特性の再現性、デバイス間特性バラツキ、信頼性等の技術成熟度の観点から、ゲート長 $0.2 \mu\text{m}$ の自己整合型 GaAs MESFET[3.4]-[3.7]を採用した。その概略断面構造を図 3.3 に示す。デジタル応用には対称型構造MESFETが用いられている[3.7]が、高利得性を要求されるアナログ回路応用として、斜めイオン注入によりドレインオフセット構造を実現しドレインコンダクタンスの低減を図ったものである[3.7]。主なデバイス特性を表 3.1 にまとめた。抵抗はシート抵抗 150Ω と 500Ω の N^+ および N イオン注入層で、容量は第 1 層配線 - 550 nm SiN - 第 2 層配線の MIM により形成した。配線抵抗を低減するため第 2 層配線上には金メッキを施すことが可能である。また、金メッキ配線は第 2 層配線とエアブリッジで交差するため、交差容量を低減でき、実質的に "2.5" 層配線構造である。

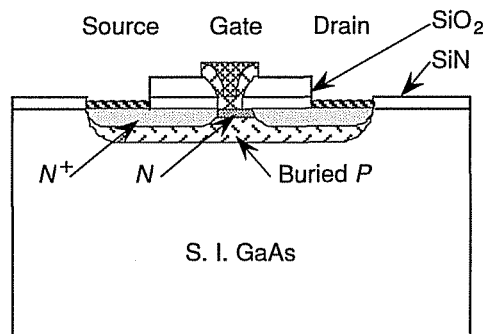


図 3.3 GaAs MESFET の断面構造[3.7]

表 3.1 主なデバイス特性[3.7]

Parameter	Value
Threshold Voltage	- 0.8 V
Transconductance	400 mS/mm
Drain Conductance	25 mS/mm
Unity-gain Current Cutoff Frequency	40 GHz
Maximum Oscillation Frequency	70 GHz

3.2.3 入出力整合設計

3.2.1において、入出力反射損失($-S_{11}$ 、 $-S_{22}$)が 15 dB 必要であるという指針を与えた。この条件を満たすようにインターフェース設計を行う。入力インターフェースを図3.4の挿入図に示すような等価回路で表現する。ここに、 R_{in} と C_{in} は各々入力抵抗と入力容量、 L はボンディングワイヤのインダクタンス、 Z_0 はパッケージの伝送線路インピーダンスである。 $(1/\omega C_{in}, \omega L)$ のインピーダンス平面で考えると、 $S_{11} < -15$ dB を満たす領域は図中の曲線群の内側の領域となる。 (C_{in}, L) の1つの組み合わせについて見ると、周波数が増加する時、 $(1/\omega C_{in}, \omega L)$ のインピーダンス軌跡は左上がりの直線となる。 $S_{11} < -15$ dB となるためには、帯域内での $(1/\omega C_{in}, \omega L)$ のインピーダンス軌跡が曲線の内側に収まっていることが必要である。図3.4では、上記MESFETに典型的な $C_{in} = 0.5$ pFと、通常のボンディングで容易に実現できる $L = 0.5$ nHについて10 GHzまでのインピーダンス軌跡を示した。この図から、 Z_0 は50 Ω よりも高めの60 Ω 程度が、また R_{in} は Z_0 の1.4倍程度が、製造マージンの観点から好ましいと言える。

出力インターフェースに関しては、出力容量が入力容量の1/3程度であるため、インピーダンス軌跡は右方向にシフトすることになる。この場合には、出力抵抗をさらに高く設定すべきことが図3.4より容易に類推できる。モジュールの外部は50 Ω 系であるが、50 Ω と60 Ω の反射量は-20 dB以下であるため、モジュールの特性インピーダンスを60 Ω としても問題ないものと考えられる。

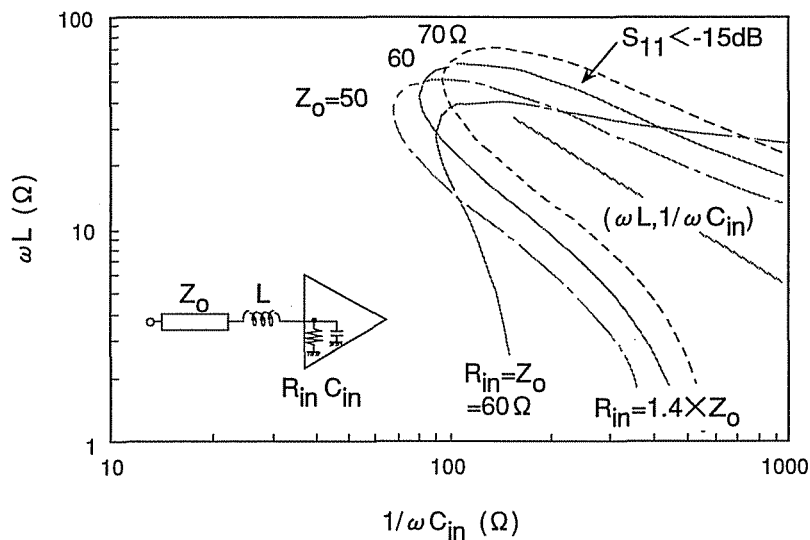


図3.4 入力整合条件

3.2.4 等化増幅集積回路モジュールの試作

等化増幅集積回路モジュールに用いた回路の構成を図3.5に示す。図3.5(a)の中間段増幅器は、広帯域化を図るためにカスコードFETを用いて入力容量を低減するとともに最終段ソースフォロアからの帰還により高周波領域で負帰還から正帰還に遷移することを利用して広帯域化を図っている。さらに、LC回路、 R_F と C_F の付加的な帰還により高周波領域での入力整合性の改善と低雑音化を図っている[3.8]。この回路により、従来の並列帰還増幅器と比較して約2倍の広帯域化が可能である。図3.5(b)の後置増幅器は $1 V_{p-p}$ 以上の出力振幅を得るために最終段をソース接地構成としソースピーキングにより広帯域化を図っている。等化増幅モジュールに必要な利得制御機能は、電圧制御可変減衰器と中間段増幅器との組み合わせで実現することとした。図3.5(c)の π 型可変減衰器[3.9]は、制御電圧を変化させた場合、常に平坦な損失一周波数特性と良好な入出力整合特性を示すという特徴を有している[3.8]。増幅した信号を識別再生部とタイミング抽出部に送る

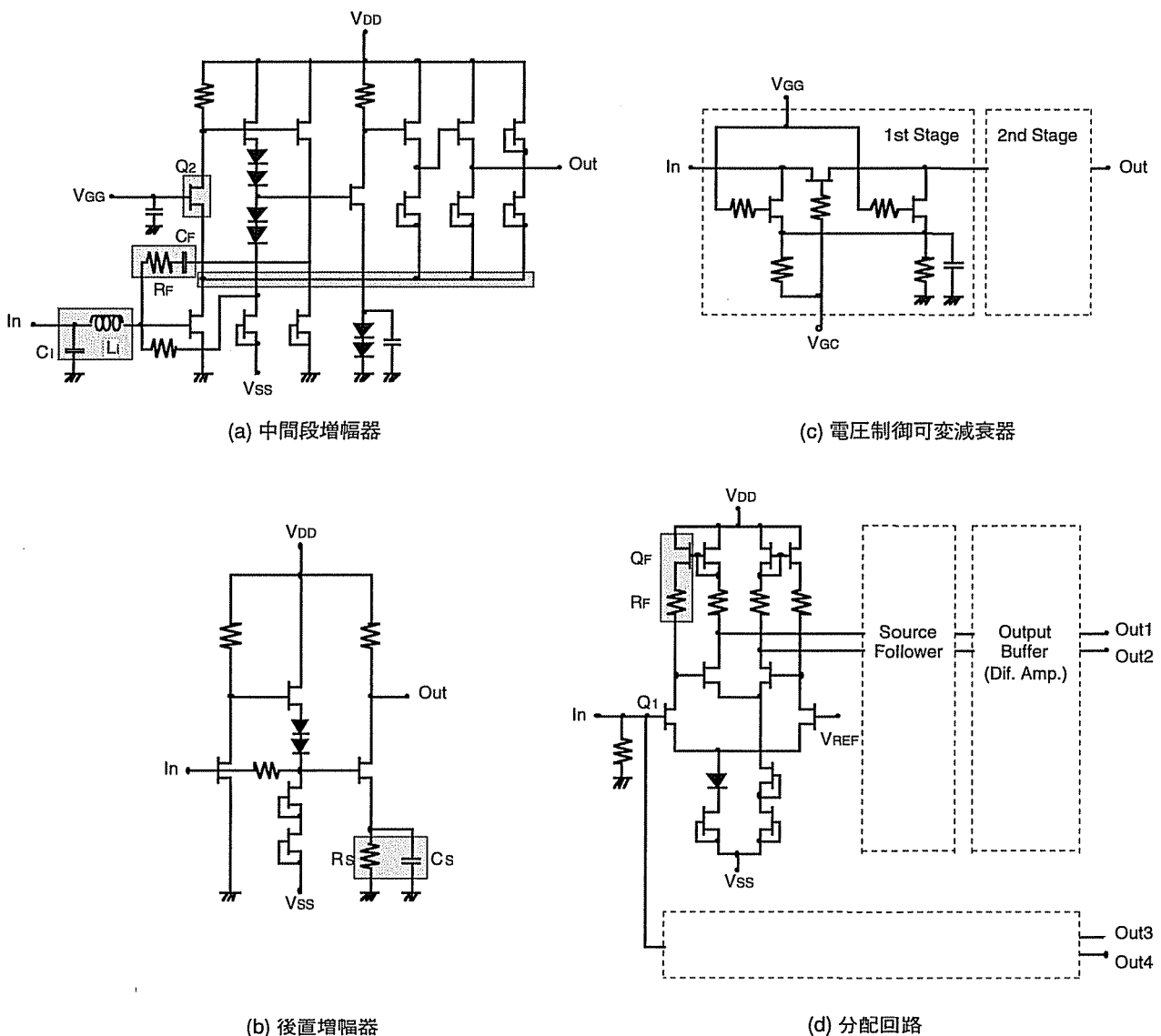


図 3.5 等化増幅器モジュール用いた回路

ための分配回路は、図 3.5(d)に示すような分岐／差動増幅の構成とし、FET を介した強い帰還により広帯域化を図っている[3.10]。試作した回路の特性を表 3.2 に示す。

表 3.2 試作した回路の主な特性

Circuit	Gain Bandwidth	Input Matching Output Matching	Supply Voltage Power Dissipation	Chip Size
Intermediate Amplifier	17 dB 13 GHz	< - 12 dB < - 12 dB	$V_{DD} = 8\text{ V}$, $V_{SS} = -3\text{ V}$ 500 mW	1.5 x 1.5 mm
Variable Attenuator	- 4 ~ -24 dB 15 GHz	< - 8 dB < - 10 dB	$V_{GG} = -1.3\text{ V}$, $V_{GC} = \text{var.}$ 5 mW	1.5 x 1.5 mm
Post Amplifier	17 dB 11 GHz	< - 8 dB < - 10 dB	$V_{DD} = 7\text{ V}$, $V_{SS} = -3\text{ V}$ 450 mW	1.5 x 1.5 mm
Distributor	0 dB 10 GHz	< - 14 dB < - 11 dB	$V_{DD} = 6.5\text{ V}$, $V_{SS} = -3.5\text{ V}$ 1350 mW	1.5 x 2.0 mm

3.2.1 および 3.2.3 で得られた指針をもとに、シングルチップ版とマルチチップ版のパッケージを試作した。それらの概観写真を図 3.6 に示す。銅タングステンをベースとしたセラミックパッケージである。信号線は特性インピーダンス約 $60\ \Omega$ の共平面伝送線路とした。電源のチップ容量とボンディングワイヤのインダクタンスによる LC 共振を緩和するためにパッケージの電源線に $5\ \Omega$ のタンタル薄膜抵抗を蒸着で形成した。また、パッケージの空洞共振を帯域外に追い出すために空洞のサイズを $6\text{ x }3.5\text{ mm}$ とした。入出力間アイソレーションは 15 GHz まで 40 dB 以上であった。^{注2)} リード部分を除くシングルチップ版パッケージのサイズは $7\text{ x }11\text{ mm}$ 、マルチチップ版パッケージのサイズは $31\text{ x }11\text{ mm}$ である。マルチチップ版パッケージには、 $1.5\text{ x }1.5\text{ mm}$ チップ 3 個と $2.0\text{ x }1.5\text{ mm}$ チップ 1 個が搭載可能であり、各チップ間には直流カット用のチップ容量を実装することができる。

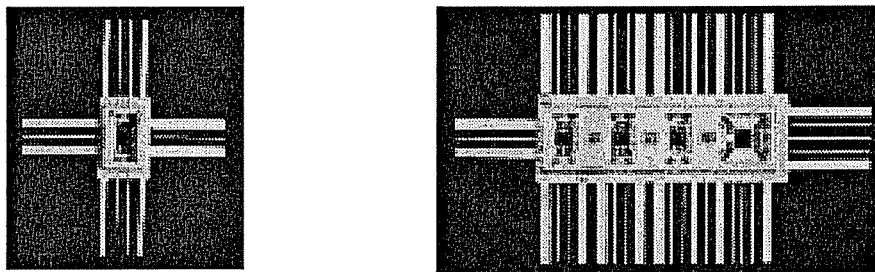


図 3.6 パッケージの概観写真

^{注2)} 本研究以後、T. Shibata *et al.* [3.11]により本パッケージの空洞共振周波数が約 20 GHz であることが理論的に明らかにされた。

試作したチップとパッケージを用いて等化増幅モジュールを構成した。その構成を実験系と含めて図3.7に示す。シングルチップ版パッケージには中間段増幅器を、マルチチップ版パッケージにはすべての回路を搭載している。 S パラメータの測定にはネットワークアナライザ(HP製)を、符号誤り率の測定にはパルスパターン発生器と符号誤り率測定器(Anritsu製)を用いた。等化増幅モジュールの出力には、周波数特性を平坦化するための2次低域遮断フィルタと AlGaAs/GaAs HBTを用いて製作した識別器[3.12]を接続した。測定した S_{21} の周波数特性を図3.8に示す。15 dB から 36 dB の利得可変と 9 GHz までのほぼ平坦な周波数特性が得られている。ここで、最大利得が個々の回路の利得の和より 10 dB 程度低くなっている理由は、2次低域遮断フィルタの整合性が悪いため減衰器(図3.7には示していない)を挿入しているためである。10 Gbit/s 疑似ランダムパターン(符号長: $2^{23} - 1$)に対するアイパターンと符号誤り率特性を図3.9に示す。良好なアイパターンと入力信号振幅 15 mV までのエラーフリー動作が確認できた。この等化増幅モジュールと 700 V/W の変換率を有するO/Eモジュール[3.13]との組み合わせにより、-16.7 dBm の光信号を受信できるものと考えられる。なお、等化増幅モジュール全体の消費電力は 2.8 W であった。

ここで試作した等化増幅集積回路モジュールは、Imai *et al.* [3.14]のタイミング抽出部、Ohhata *et al.* [3.15]の識別再生部、Togashi *et al.* [3.16]の多重化および分離部、Miyamoto *et al.* [3.13]のE/OおよびO/E変換部とともに、Nakagawa *et al.* による東京唐崎と浜松間の現場環境下での実験に使用され、安定に動作することが確認された[3.17]。この実験により 10 Gbit/s 光再生中継器の実用化の見通しが得られ、ここで提案した高利得、広帯域増幅器モジュール設計法の有効性が実証された。

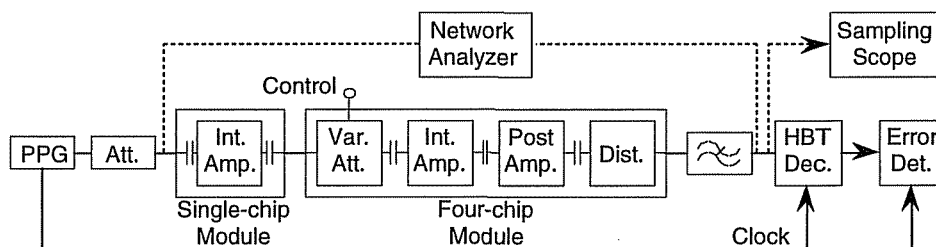


図 3.7 等化増幅モジュールの構成と実験系

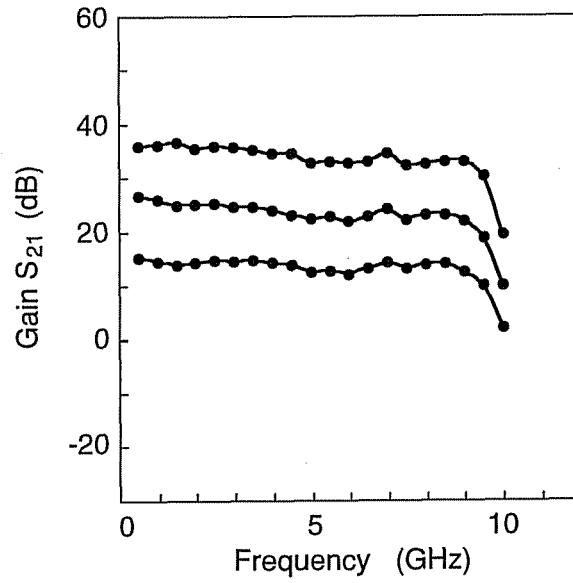


図 3.8 等化増幅モジュールの S_{21} 特性

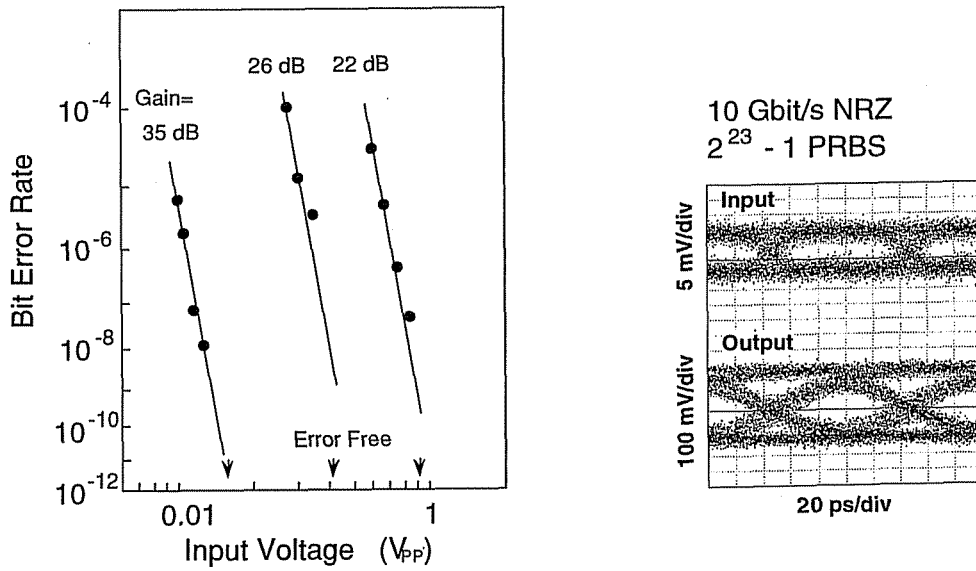


図 3.9 アイパターンと符号誤り率特性

3.3 ベースバンド回路に適したデバイス性能指数[3.46]

3.3.1 デバイス性能指数の導出

最初に、高速デジタル回路の基本となるD-F/Fの最高動作速度について議論する。高速デジタル回路は、高速動作に適したバイポーラエミッタ結合論理(ECL: Emitter-Coupled Logic)あるいはソース結合FET論理(SCFL: Source-Coupled FET Logic)が主流である。最初にECL、次にSCFLについて最高動作速度の近似式を導出する。

Tien[3.18]の式を拡張すると、ECLインバータの伝搬遅延時間は次式で与えられる。

$$t_{pd} = \tau_f + R_B C_D + R_B C_{BC} \left(2 + \frac{R_L}{r_D} \right) + R_L C_{BC} \left(2 + \frac{r_D}{R_L} \right) + R_L C_{BCex} \left(2 + \frac{r_D}{R_L} \right) \quad (3.1)$$

ここで、 τ_f は電子走行時間、 R_B はベース抵抗、 R_L は負荷抵抗、 r_D は微分エミッタ抵抗、 C_{BC} は内部ベース-コレクタ間容量、 C_{BCex} は外部ベース-コレクタ間容量、 C_D は拡散容量である。付表B1(付録B.1)に示した例においては、この近似式は2%の精度で回路シミュレーション結果と一致している。

ここで、論理振幅 $V_{sw} (= I_C R_L)$ が一定という条件のもとで式(3.1)はある最小値を持ち、次式で近似できる(付録B.1)。

$$t_{pd(\min)} \approx \frac{1}{2\pi} \left(\frac{1}{f_T} + \sqrt{\frac{2V_{sw}}{0.15}} \frac{1}{f_{\max}} \right) + \left(2 + \frac{V_{sw}}{0.15} \right) R_B C_{BC} \quad (3.2)$$

基本インバータの遅延時間とD-F/Fの最高動作速度の間には一定の関係があると考えられる。したがって、D-F/Fの最高動作速度は次式により表現できる。

$$f_{c\max} \approx \alpha \left\{ \frac{1}{f_T} + \sqrt{\frac{2V_{sw}}{0.15}} \frac{1}{f_{\max}} + \left(2 + \frac{V_{sw}}{0.15} \right) \frac{f_T}{4f_{\max}^2} \right\}^{-1} \quad (3.3)$$

パラメータ α はD-F/Fの回路構成に依存するものであるが、総括的に議論するために一般的に用いられているD-F/Fについて考える。Ichino[3.12]によれば、AlGaAs/GaAs HBTを用いたトグルフリップフロップ(T-F/F)の最高動作周波数は基本インバータの遅延時間の3.5倍の逆数で近似でき、D-F/Fの最高動作速度とT-F/Fの最高動作周波数の比は1:1.3である。したがって、式(3.3)のパラメータ α は1.38と見積もられる。

次に、SCFLインバータについて同様の手続きを採る(付録B.2)。SCFLインバータの遅延時間は式(3.4)と式(3.5)の和で与えられる[3.47]。

$$\begin{aligned}
D_{CS} &= \left[-\frac{dA(s)/ds}{A(s)} \right]_{s=0} \\
&= \frac{C_{gd(C)}}{g_{m(C)}} + \frac{R_L(C_{gd(C)} + C_{ds}) + R_L R_g g_{m(C)} C_{gd(C)}}{1 + R_L g_{ds}} + R_g (C_{gs(C)} + C_{gd(C)})
\end{aligned} \tag{3.4}$$

$$\begin{aligned}
D_{SF} &= \left[-\frac{dB(s)/ds}{B(s)} \right]_{s=0} \\
&= C_{gd(F)}(R_L + R_g) + C_{gs(F)} \left[R_L + R_g + \frac{1 - g_{m(F)}(R_L + R_g)}{g_{m(F)} + g_{ds} + \frac{1}{R_S}} - \frac{1}{g_{m(F)}} \right] + \frac{C_L + C_{ds}}{g_{m(F)} + g_{ds} + \frac{1}{R_S}}
\end{aligned} \tag{3.5}$$

ここで、 g_m は相互コンダクタンス、 g_{ds} はドレインコンダクタンス、 R_L は負荷抵抗、 R_g はゲート抵抗、 R_S はソースフォロア抵抗、 C_{gs} はソースゲート間容量、 C_{gd} はソースドレイン間容量、 C_{ds} はソースドレイン間容量、 C_L は負荷容量である(付図B1参照)。また、添字(C)と(F)を付与したパラメータはバイアス依存性を有しており、付録B.2に示すように動作電圧範囲の平均値で近似する。付表B2(付録B.2)に示した例においては、近似式は7%の精度で実験値と一致している。今、電流スイッチとソースフォロアの容量が同一であるとし、負荷容量 C_L 、ソースドレイン間容量 C_{ds} 、ドレインコンダクタンス g_{ds} を無視すると、インバータの遅延時間は次式により近似できる。

$$t_{pd} = R_g C_{gs} + R_g C_{gd} (2 + A_v) + R_L C_{gd} \left(2 + \frac{1}{A_v} \right) \tag{3.6}$$

ここで、 A_v はインバータの電圧利得である。この式はECLに対する式(3.1)の最初と最後の項を除いたものと同じ形式である。ここで、バイポーラトランジスタとFETの違いは、前者では拡散容量 C_D が電流に比例するのに対して、後者では C_{gs} が飽和特性を持つことである。このことから、ECLでは遅延時間最小となる負荷抵抗が存在するのに対して、SCFLでは負荷抵抗が小さいほど遅延時間は小さくなる。つまり、ECLに対する上記の取扱いができないことになる。そこで、 R_g 、 C_{ds} 、 g_{ds} が無視できるほど小さいとして、つまり f_{max} が f_T に対して充分大きいものとして、式(3.4)(3.5)を変形すると次式が得られる。

$$t_{pd} \approx \frac{C_{gs}}{g_m} + (2 + A_v) \frac{C_{gd}}{g_m} + 2R_L C_{gd} \tag{3.7}$$

$A_v \sim g_m R_L$ を用いると、

$$t_{pd} \approx \frac{C_{gs}}{g_m} + (2 + 3A_v) \frac{C_{gd}}{g_m} \propto \frac{C_{g0}}{g_m} \propto \frac{1}{f_T} \quad (3.8)$$

したがって、SCFL D-F/F の最高動作速度は次のようになる。

$$f_{c\max} \approx \beta f_T \quad (3.9)$$

ここで、付表B2(付録B.2)に示したMESFETの f_T は50 GHzであるから、インバータ遅延時間 t_{pd} と f_T との関係は

$$t_{pd} = \frac{0.91}{f_T} \quad (3.10)$$

ECLに対するインバータ遅延時間とD-F/F最高動作速度との関係がSCFLについても成り立つものとするれば、式(3.9)の β は0.24となる。

次に、受信回路中の基本回路であるベースバンド増幅器について考える。帰還増幅器の帯域は帰還なしの場合の帯域と一定の関係にあるから、ECLインバータに対する式(3.3)と等価な次式で表現できる。^{注3)}

$$f_{3dB} \approx \alpha_{amp} \left\{ \frac{1}{f_T} + \sqrt{2A_v} \frac{1}{f_{\max}} + (2 + A_v) \frac{f_T}{4f_{\max}^2} \right\}^{-1} \quad (3.11)$$

同様に、FET帰還増幅器の帯域は次式で与えられる。

$$f_{3dB} \approx \beta_{amp} f_T \quad (3.12)$$

3.3.2 実験との比較

文献[3.23][3.24]で報告されているD-F/F(あるいは識別器)の最高動作速度の実験値と導出したデバイス性能指数との比較を行った結果を図3.10に示す。論理振幅 $V_{sw} = 0.5$ Vを仮定した式(3.3)と式(3.9)の右辺で横軸を、実験値で縦軸をプロットしており、直線に近いほど、デバイス性能指数の近似度が良いことを示す。報告により回路構成、論理振幅、負荷抵抗値が異なる可能性があることを考慮すると、比較的良い近似であると考えられる。Ichino *et al.* [3.23]の指摘のように、GaAs HBTと比較してシリコンバイポーラトランジスタの方が同一デバイス性能でも最高動作速

^{注3)} 式(3.3)の $V_{sw}/0.15$ を電圧利得 A_v で置き換えれば良い。

度が大きい理由は、前者では、通常の回路構成が用いられ、論理振幅が 0.5 V 程度であるのに対して、後者では、高速化に有利な 2 段エミッタフォロア構成を用いている例が多いこと、抵抗とトランジスタサイズの最適がなされていること [3.25]、論理振幅が小さいことによるものと考えられる。なお、図中に *a* で示したデータの動作速度は市販測定器の測定限界により制限されている可能性もある。

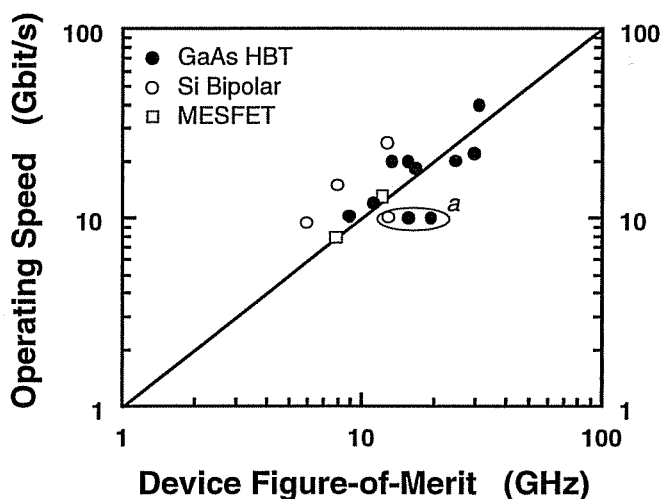


図 3.10 デバイス性能指数と D-F/F(あるいは識別器)の最高動作速度実験値との相関

ベースバンド増幅器に対するデバイス性能指数は、文献[3.23][3.26]-[3.29]で報告されている帯域、ならびに AlGaAs/GaAs HBT の一種であるロンチャ付き弾道輸送トランジスタ (L-BCT: Ballistic Collection Transistor with Launcher)[3.30]を用いた実験により検証を行った。実験には 3 種類のデバイス (A、B、C)[3.19][3.31][3.32]を用いた。各デバイスの層構成を付表 B3(付録 B.3)に示す。測定は帯域 65 GHz の RF プロブ (Cascade Microtech 製) と 50 GHz のネットワークアナライザ (HP 製) を用いてオンウェハで行った。デバイス C において、 $f_T = 100$ GHz、 $f_{max} = 192$ GHz の優れた特性が得られた。設計試作したベースバンド増幅器の回路構成を図 3.11 に示す。この回路は図 3.5 (d) と同様にトランジスタ Q_3 と抵抗 R_{F2} を介した負帰還により広帯域化を図ったものである [3.10]。通常の増幅段ではベース-コレクタ間容量 C_{BC} が利得倍されて入力側から見える (ミラー効果) が、この回路では帰還作用により C_{BC} がそのまま見えることになる [3.10]。このため、通常の帰還増幅器と比較して約 2 倍の広帯域化が可能である。ベースバンド増幅器の特性の一例を図 3.12 に示す。 S_{21} 利得は 16.8 dB、3dB 帯域は 40 GHz と広帯域化を達成でき、入出力整合特性も良好である。20 GHz 付近の過剰ピーキングの原因は、次節にて議論する。

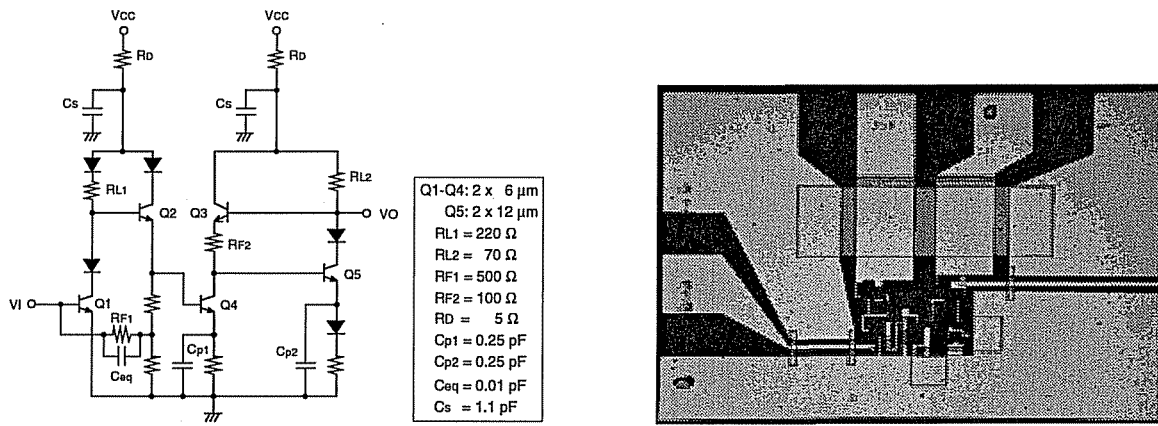


図 3.11 デバイス B と C を用いて試作したベースバンド増幅器の回路構成とチップ写真

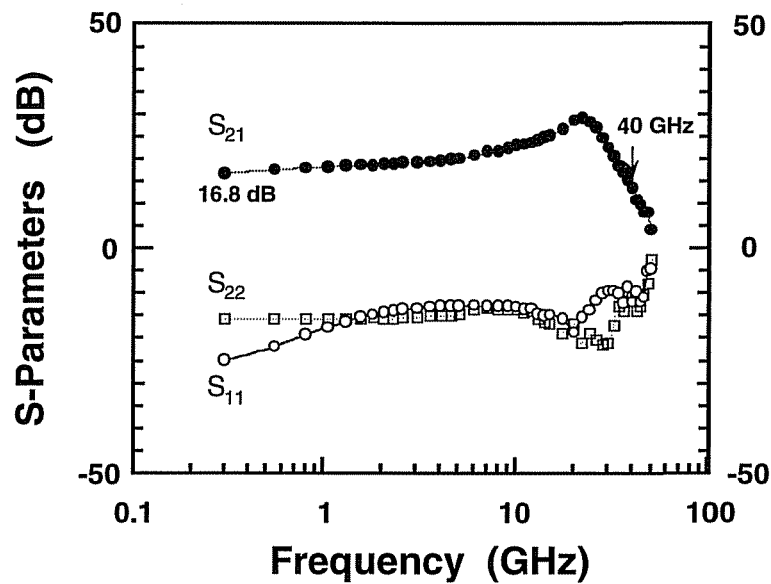


図 3.12 デバイス C の S パラメータの周波数特性

本実験および文献[3.23][3.26]-[3.29]で報告されている 15 dB 以上の S_{21} 利得を有するベースバンド増幅器の帯域とデバイス性能指数との関係を図 3.13 に示す。式(3.11)($\alpha_{amp} = 2.24$, $A_v = 10$)と式(3.12)($\beta_{amp} = 0.39$)の右辺を横軸に、帯域を縦軸にしてプロットしている。比較的良好な相関関係が得られている。係数 α_{amp} 、 β_{amp} は回路構成に依存し、回路の良し悪しを計る目安であるとも言える。図 3.13 では他のデバイスについて報告されているベースバンド増幅器の中で広帯域化に適した構成のものを示している。

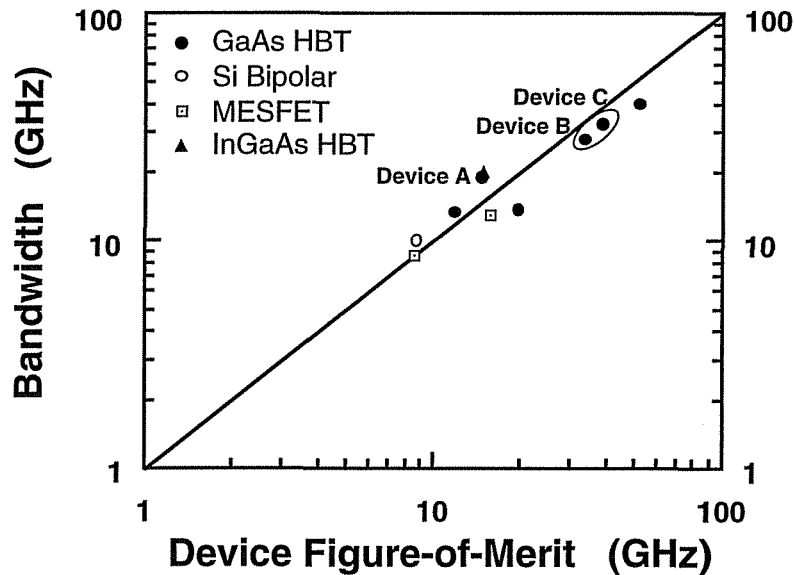


図 3.13 増幅器の帯域とデバイス性能指数の関係

以上の実験との比較から、提案したデバイス性能指数がベースバンド回路の動作速度を比較的精度良く表せることがわかった。そこで、上記のデバイス性能指数を用いて、将来のベースバンド回路の性能を予測してみる。式(3.3)と式(3.11)の左辺、つまりバイポーラトランジスタを用いた D-F/F の最高動作速度とベースバンド増幅器の帯域をパラメータとして、これらを実現するのに必要な f_T と f_{max} を計算したものを図 3.14 と図 3.15 に示す。図では (f_T, f_{max}) 平面の等高線で表している。同図には文献で報告されている HBT の性能も合わせて示した。デバイス性能の向上により 100 Gbit/s あるいは 100 GHz を実現できる可能性がある。

一方、式(3.9)と式(3.12)から、100 Gbit/s D-F/F あるいは 100 GHz ベースバンド増幅器を実現するためには、各々、 $f_T = 410$ GHz、 $f_T = 260$ GHz の FET が必要となると予測される。これらのデバイス性能はヘテロ構造 FET の極限性能に近いものと思われる。

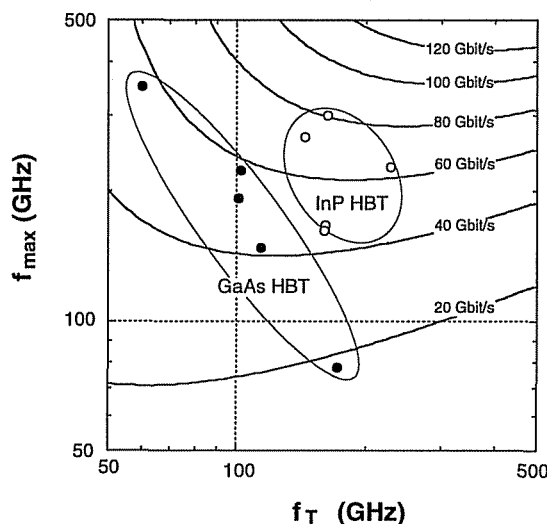


図 3.14 D-F/F の最高動作速度と $f_T - f_{max}$ の関係

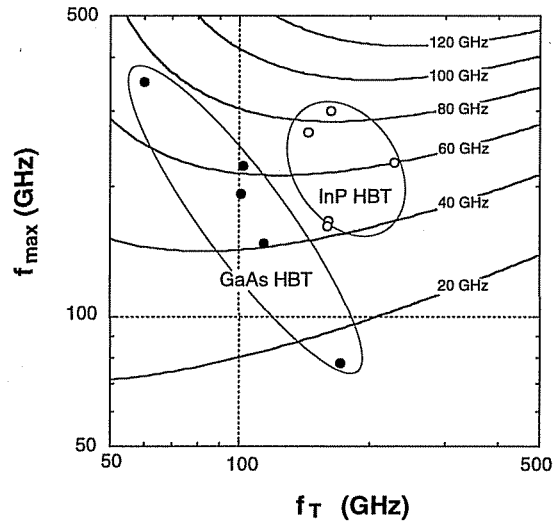


図3.15 ベースバンド増幅器の帯域と $f_T - f_{max}$ の関係

3.4 モノリシック集積化による低エネルギー化

3.4.1 集積化の重要性

前節で 100 Gbit/s 級のベースバンド増幅器とD-F/Fの実現も将来不可能ではないことを示した。しかしながら、これらの集積回路と受光デバイスから受信回路を構成するためには、実装上の課題を克服しなければならない。ここでは、この課題について議論する。

3.2で示した安定性解析をもとに S_{21} 利得が 20 dB の増幅器が安定に動作するために必要なチップ接続部インダクタンスと増幅器入力容量を計算した結果を図3.16に示す。100 GHz級の増幅器モジュールを実現するためには、10 fF程度の入力容量と数 10 pF程度のチップ接続部インダクタンスが要求される。半絶縁性基板を用いた化合物半導体集積回路のボンディングパッドの容量は 15 fF程度である。したがって、現状の微小バンプ技術を用いたとしても実現不可能と考えられる。高度な実装技術を開発する、あるいは受信回路と分離回路(DEMUX)を集積化し、高速信号を光で入力し容易に扱える速度までDEMUXして電気で出力する構成等の研究を行う必要がある。

以上のような技術により 100 Gbit/s 受信回路が実現できたとすると、現状の受信回路と比較して約 2桁の低エネルギー化が達成されることになる。低エネルギー化の別のアプローチは低消費電力化である。3.3に示した等化増幅集積回路モジュールを適用した 10 Gbit/s 受信回路モジュールの消費電力は 14 Wであるが[3.33]、全体の消費電力に対してチップ間の 50 Ω 伝送線路インターフェースに必要な消費電力の比率が大きい。増幅器では入出力回路の消費電力を切り分けること

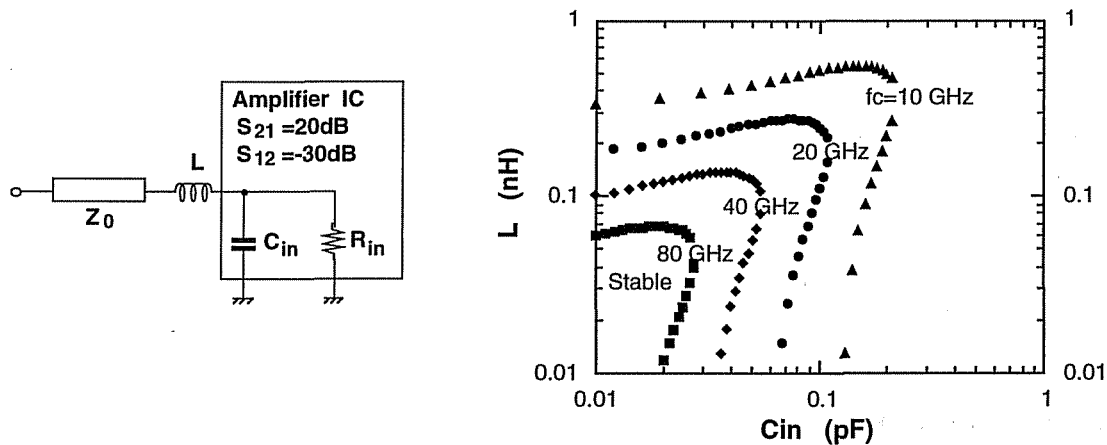


図 3.16 安定性条件
出力側についても同一のモデルとした。

は難しいが、10 Gbit/s 級デジタル IC の内部回路の消費電力はチップ全体の消費電力の 1/10 程度であり [3.34] [3.35]、電力のほとんどは入出力インターフェース回路で消費されている。低消費電力化の方策として受信回路の 1 チップ集積化が最も効果的であると考えられる。

集積化の効果は低消費電力化に留まらない。式(3.2)から明確なようにバイポーラトランジスタによるインバータの遅延時間は論理振幅が大きいほど大きくなる。内部回路の振幅より大きな振幅を出力する必要がある出力ドライバで回路の動作速度が決まることがある。集積化によりその速度制限要因が解消され、高速化にも有利である。さらに、部品コスト、サイズ、信頼性の観点からも集積化が有利であることは、いままでの LSI の高集積化の歴史が物語っているところである。

3.4.2 InP/InGaAs DHBT を用いた 3 R 機能回路 [3.51]

前節で用いた AlGaAs/GaAs HBT に対して、InP/InGaAs HBT は (1) 電子速度が大きい、(2) ベース-エミッタ間オン電圧が低いという利点を有している。これらの特徴は回路の高速化、低電力化を達成するために適している。通常の InP/InGaAs HBT の欠点はコレクタ耐圧が低いことであるが、InGaAs と InP から成るコンポジットコレクタを採用することによりコレクタ耐圧を上げることが可能である [3.36]。また、前節ではエミッタ電極幅が 2.2 μm の HBT を用い、トランジスタ当たり 5 mA 程度の電流を消費していたが、消費電力で規定される集積密度限界を緩和するためには低電流化が必要となる。バイポーラトランジスタの f_T と f_{max} は電流密度で決まるため、エミッタの微細化により低電流化が可能である。トランジスタの微細化はシリコンバイポーラトランジスタで採られてきた低エネルギー化の指導原理であり、化合物半導体 HBT にも当てはまるものと考えられる。ここでは、主としてエミッタ電極幅が 1.2 μm の HBT を用いた。

InP/InGaAs ダブルヘテロ接合バイポーラトランジスタ(DHBT: Double-Heterojunction Bipolar Transistor)集積回路の断面概略図を図3.17に示す[3.37]。DHBTのパッシベーションとメサの平坦化のためにBCB(Benzocyclobutene)膜を用いた。配線はTi/Pt/Auの2層配線とし、層間容量を低減するために厚さ1 μm のポリイミドを層間膜として用いた。抵抗はシート抵抗90 Ω のNiCr薄膜、容量は第1層配線-300nm SiO₂-第2層配線のMIMにより構成している。試作したDHBTのエピタキシャル層構成を表3.3に示す。2インチ半絶縁性InP基板上に有機金属気相成長法(MOCVD: Metal-Organic Chemical Vapor Deposition)法により成長されたものである[3.37]。Chau *et al.* [3.38]が指摘しているように、InGaAsの熱伝導率がInPと比較して約1桁低いことに起因してInGaAsサブコレクタを用いた場合の接合温度はInPサブコレクタを用いた場合と比較して約50-100 $^{\circ}\text{C}$

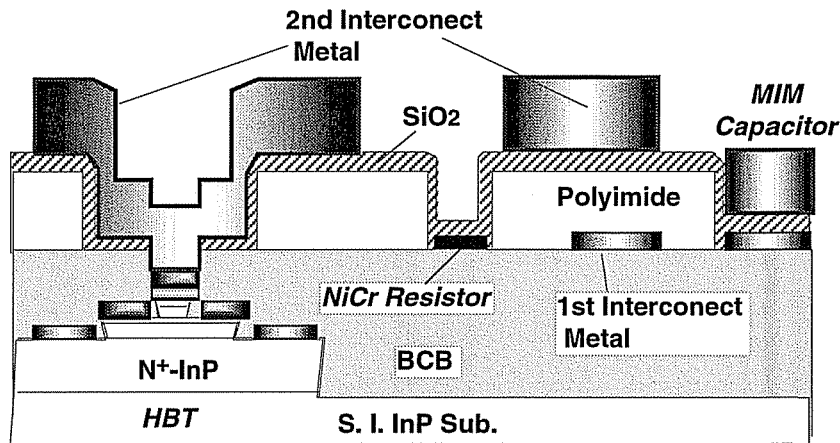


図 3.17 InP/InGaAs DHBT 集積回路の断面構造[3.37]

表 3.3 InP/InGaAs DHBT の層構成[3.37]

Layer	Material	Thickness (nm)
Emitter Cap	n^+ - InGaAs	70
	N^+ - InP	30
Emitter	N - InP	70
Spacer	ud - InGaAs	5
Base	p^+ - $\text{In}_x\text{Ga}_{1-x}\text{As}$	45
Collector	ud - InGaAs	300
	N - InP	20
	N^- - InP	100
Subcollector	N^+ - InP	30
	n^+ - InGaAs	20
	N^+ - InP	430
Buffer	ud - InGaAs	20
	ud - InP	100

上昇し、RF特性、コレクタ耐圧、および素子寿命を低下させるため実用上問題となる。そこで、サブコレクタを N^+ -InP とした。また、第5章で述べるように、電子のコレクタ走行時間の短縮、コレクタ耐圧、および高速 pin -PD を同時に実現できるコレクタ構造[3.39]とし、回路の高速化に最適なコレクタの厚さを採用した。電子のベース走行時間の短縮とベースコンタクト抵抗を低減するため、ベース層の厚さを 45 nm とし、コレクタ界面からスペーサ層界面に向かって In 組成を 53 % から 47 % に変化させた傾斜ベースとした[3.40]。前節の AlGaAs/GaAs L-BCT と同様に自己整合技術[3.19]を用い、InP/InGaAs HBT の微細化に適した六角形状エミッタ[3.41]を採用している。

エミッタ電極幅が 1.2 μm 、電極面積が 6 μm^2 の HBT において、コレクタ電流が 7.7 mA の時、 $f_T = 182.6$ GHz、 $f_{max} = 228.8$ GHz が得られ、エミッタ電極幅が 2 μm 、電極面積が 20 μm^2 の HBT において、コレクタ電流が 19.8 mA の時、 $f_T = 182$ GHz、 $f_{max} = 187.5$ GHz が得られた。これらの値は AlGaAs/GaAs L-BCT の性能を上回るものであり、InP/InGaAs HBT の優位性が示されている。

設計および試作した 3 R 機能回路の構成を図 3.18 に示す。回路は前置増幅器、自動オフセット調整回路(AOC: Automatic Offset Controller)、後置増幅器、PLL によるタイミング抽出回路、識別器、出力ドライバから構成されている[3.42]。安定動作を得るため回路は差動構成とした。前置増幅器は通常のトランスインピーダンス型、後置増幅器はカスコード型とした。自動オフセット調整回路は、入力信号レベルが変化した時に入力に帰還をかけて差動出力の中心レベルが一致するようにするための回路である。PLL によるタイミング抽出回路は、90° 遅延回路、位相比較器、低域通過フィルタ(LPF: Low-Pass Filter)、電圧制御発振器(VCO: Voltage-Controlled Oscillator)から構成され、非線形抽出方式と比較すると集積化に適した方式である[3.42]。出力ドライバ以外の部分にはエミッタ電極幅 1.2 μm 、エミッタ電極面積 6 μm^2 の DHBT を用い、コレクタ電流を 0.3 から 3.5 mA として低電流化を図った。出力ドライバにはエミッタ電極幅 2 μm 、エミッタ電極面積 20 μm^2 の DHBT を用いた。

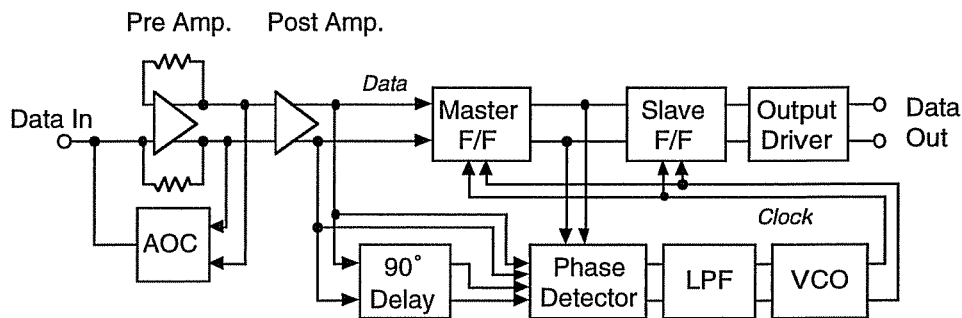


図 3.18 3 R 機能回路の構成

寄生成分の小さな高性能HBTを用いた回路の設計においては、デバイス間配線に伴う寄生効果を考慮する必要がある。今、図3.19の挿入図に示すようにエミッタと直列に寄生インダクタンス L_E が付加された場合を考える。この L_E は配線に起因するもので、本 3 R 機能回路で用いた $4\ \mu\text{m}$ 配線では約 $1\ \text{pH}/\mu\text{m}$ と推定される。3.3.1 に示した Tien[3.18] の手法でインバータの遅延時間式を導出すると、 L_E が無い場合と比較して $L_E/(1/g_m + R_{EE})$ だけ遅延が増加することが示される。回路シミュレータにより計算した過剰遅延時間の L_E 依存性を図3.19に示す。この過剰遅延時間を考慮しないと帰還増幅器のループ遅延が予期した以上のものとなり図3.12に示したような利得のピーキング特性を示すようになる。これにより波形歪を生じアイパターン劣化を引き起こす。厳密に言えばレイアウトパターンから寄生成分を抽出しバックアノテーションを行う必要があるが、設計ツールの制限から、ここでは平均的な隣接デバイス間配線を含めてトランジスタと看做し、配線に起因する過剰遅延を回路シミュレータ(HSPICE)のトランジスタパラメータ過剰位相推移 ptf により表現することとした。なお、微細化、低電流化されたトランジスタでは低電力化とともに、 $(1/g_m + R_{EE})$ が大きくなり過剰遅延が短くなるという利点があることに注意されたい。また、配線長の長いブロック間配線を伝送線路モデルとして扱った。VCOの発振周波数の設計値は 19 から 21 GHz、PLLのロックレンジの設計値は 350 MHz であった。試作した 3 R 機能回路のチップ写真を図 3.20 に示す。190 の能動素子を含み、チップサイズは $1.6 \times 1.6\ \text{mm}$ である。

測定はオンウェハで行った。パルスパターン発生器(Anritsu製)からの 10 Gbit/s 疑似ランダム信号(符号長: $2^7 - 1$)を 20 Gbit/s MUX(NEL製)により多重化し可変減衰器を介して 3 R 機能回路に入力した。3 R 機能回路からの出力は 10 Gbit/s の識別器(NEL製)により分離し符号誤り率測定器(Anritsu製)に入力した。3 R 機能回路からの 20 Gbit/s 信号および DEMUX された 10 Gbit/s 信号のアイパターンを図3.21に示す。入力ダイナミックレンジ 13 dB に渡ってエラーフリー動作を確

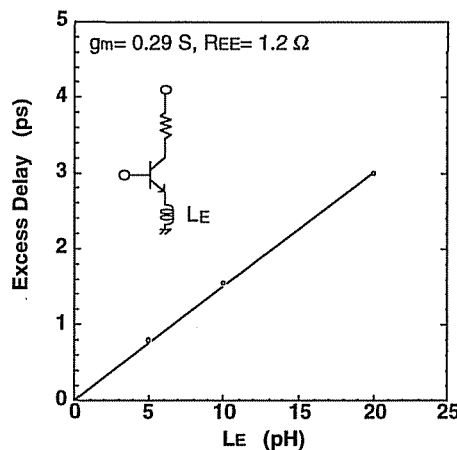


図 3.19 寄生インダクタンスと過剰遅延の関係

認した。電源電圧 $V_{EE} = -5\text{ V}$ の時、消費電力は 0.6 W であった。タイミングジッタ特性は必ずしも同一ではないが、 10 Gbit/s 受信回路モジュール[3.33]と比較して約 $1/40$ 、 2.4 Gbit/s 受信回路モジュール[3.43]と比較して約 2 桁の低エネルギー化の可能性が示された。後者のモジュールと本回路を比較すると、使用しているデバイスの f_T と f_{max} の向上により速度性能が約 1 桁向上し、モノリシック集積化により消費電力が約 1 桁低減している。

以上の結果から、微細化された InP/InGaAs DHBT による 3 R 機能回路のモノリシック集積化が低エネルギー化に有効であることが実証された。

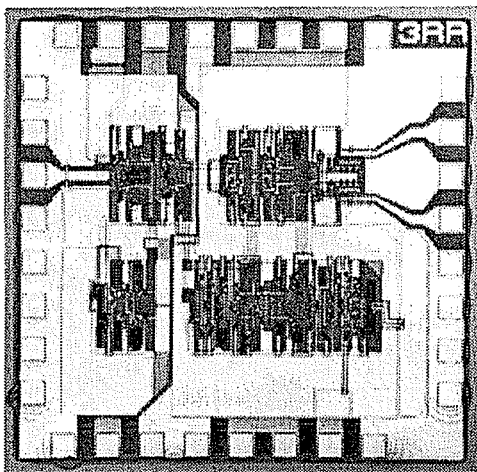


図 3.20 3 R 機能回路のチップ写真

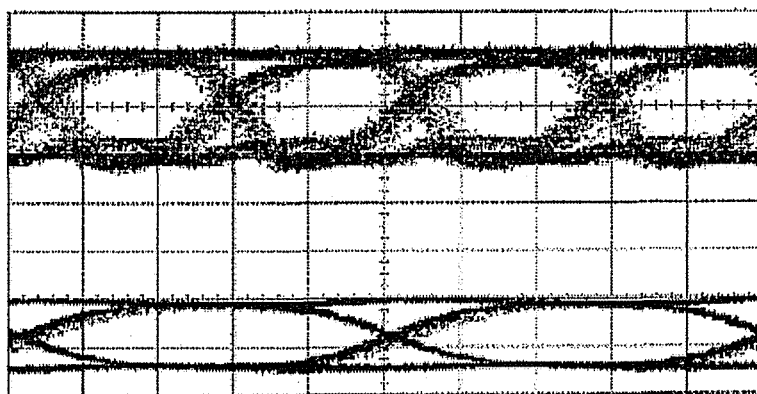


図 3.21 3 R 機能回路の出力アイパターン

横軸: 20 ps/div

上段: 3 R 機能回路の出力 (0.4 V/div)

下段: DEMUX された波形 (1.0 V/div)

3.5 まとめ

受信回路のうち電子デバイスにより構成される集積回路の高性能化について議論した。

最初に受信回路を構成する回路に対する要求性能を概観し、10 Gbit/s 増幅器モジュールを実現するために開発した技術を示した。ここでは、実装に付随する寄生容量および寄生インダクタンスを考慮に入れた安定性解析に基づく増幅回路とパッケージの一括設計法を明らかにした。GaAs MESFET による広帯域増幅器、電圧制御可変減衰器、分配回路を開発したセラミックパッケージに実装して等化増幅モジュールを試作し、10 Gbit/s、最小入力振幅 15 mV の特性を得た。この等化増幅モジュールは NTT による現場環境下での光伝送実験に使用され安定に動作することが確認された。これにより、10 GHz 帯域の増幅器、パッケージ一括設計法が確立された。

次に、10 Gbit/s 以上の高速化を目指して、受信回路の基本回路であるベースバンド増幅器および識別器の動作速度とデバイス性能(電流利得遮断周波数と最大発振周波数)との関係を明確化した。文献で報告されている識別器あるいは D タイプフリップフロップの最高動作速度および AlGaAs/GaAs ヘテロ接合バイポーラトランジスタを用いて試作したベースバンド増幅器の帯域とデバイス性能との関係より、提案したデバイス性能指数の妥当性を検証した。これにより、与えられた回路の動作速度を達成するために必要なデバイス性能指数を推定する簡便な方法が得られた。

最後に、低エネルギーな受信回路の実現を目指すためには高速化とともにモノリシック集積化による低消費電力化が必要であることを指摘した。高速化、低電力化に適した InP/InGaAs ダブルヘテロ接合バイポーラトランジスタを用いて、前置増幅器、自動オフセット調整回路、後置増幅器、位相同期ループによるタイミング抽出回路、識別器から構成された 3 R 機能回路を試作し、10 Gbit/s 受信回路モジュールと比較して約 1/40、2.4 Gbit/s 受信回路モジュールと比較して約 2 桁の低エネルギー化が可能であることを示した。後者のモジュールと本回路を比較すると、使用しているデバイスの f_T と f_{max} の向上により速度性能が約 1 桁向上し、モノリシック集積化により消費電力が約 1 桁低減している。

第4章

光電子混在回路シミュレーション手法

概要

LSI の設計に CAD(Computer-Aided Design) ツールを用いることは当たり前のこととなっている。これに対して、光デバイス、光回路の CAD は技術の習熟度が電子デバイスと比較して低いことと集積規模が小さいこと等から電子デバイスの CAD ほどには発展していない。光通信システム、さらには一般的な光電子融合システムを詳細に設計するためには、光デバイスと電子デバイスを一括してシミュレーションする必要がある。

本章は、SPICE に代表される電子回路シミュレータに相当する汎用的な光電子混在回路シミュレータを提供することを目的としている。受光回路の感度特性を厳密に求めるために、電子デバイスの時間領域雑音源を含むデバイスモデルを提案し、光デバイスとともに市販の混合モードシミュレータにユーザ定義モデルとしてインプリメントする。半導体レーザの応答、受光回路の感度特性等の実験と計算との比較により、提案したモデルの検証を行う。

4.1 はじめに

光通信システム的设计においては、半導体レーザ、光ファイバ、受光デバイス、再生中継器等を各々一つのモデルで表現して全体をシミュレートするマクロレベル的设计法[4.1]を用いることが一般的である。このような设计法は、システム性能に対する部品性能の影響の把握あるいはシステム最適设计という点で有効なものである。一方、デバイスをより詳細にモデル化した设计手法について見ると、動作機構を反映した電流源、抵抗、容量によりトランジスタ等の能動デバイスを表現して電子回路をシミュレーションする方法が従来から用いられてきた。これに対して光デバイスのシミュレーションは、技術の習熟度が電子デバイスと比較して低いことあるいは集積規模が小さいこと等の理由から電子回路のシミュレーションほどには発展していない。すなわち、電子デバイスのデバイスシミュレーションに対応する半導体レーザ、光導波路のシミュレーションあるいは第2章で述べた受光デバイスのシミュレーションは活発に行われているが、回路レベルのシミュレーションの報告は少ない。特定の課題に対するアプローチとして、半導体レーザを直接変調した時に生ずる波長チャープとファイバ波長分散の光伝送に及ぼす影響の解析[4.2]あるいは多モード半導体レーザにおけるモード分配雑音の影響の解析[4.3]のようなレート方程式の数値計算が挙げられる。

光通信システムを詳細に设计するためには、光デバイスと電子デバイスを一括してシミュレーションする必要がある。さらに、光電子融合システムは将来、光通信だけでなく種々の領域に浸透してゆくものと期待されている。光電子融合システムの设计には光電子混在回路シミュレータが必須となろう。光電子混在回路シミュレーションの一つの試みとして、半導体レーザのレート方程式を電流源、抵抗、容量により等価的に表現して回路シミュレータ(SPICE)によりシミュレートする方法が提案されている[4.4]-[4.6]。このような試みをさらに発展させ、汎用的な光電子混在回路シミュレータを構築する必要がある。

光伝送系の性能はデバイスの雑音に大きく依存する。半導体レーザを直接強度変調した場合の立ち上がり時刻の揺らぎ(タイミングジッタ)により符号誤り率が劣化する[4.7]。また、受光回路の感度は等価入力雑音電流により決定される[4.8]。半導体レーザのタイミングジッタはランジュバン雑音源を含むレート方程式解析[4.9]により実験を良く説明できることが知られている[4.10][4.11]。受光回路は主に小信号雑音解析により設計されているが、受光感度がデバイス雑音と符号間干渉^{注1)}の複合効果により決まる場合には大信号解析が必要となる。つまり、光伝送系を厳密にシミュレートするためには、雑音源を含むデバイスモデルを用いた大信号過渡解析が必要となる。

以上の課題を解決するため、電子デバイスについて時間領域雑音源を含むデバイスモデルを考

^{注1)} 波形のリングング等による隣接ビットへの影響を符号間干渉と呼ぶ。

案し^{注2)}、市販の混合モードシミュレータにユーザ定義モデルとしてインプリメントする。4.2ではデバイスモデルについて述べ、4.3では実験と計算の比較によりモデルの妥当性を検証する。

4.2 デバイスモデル

光中継器を構成する半導体デバイスとしてのレーザダイオード、受光デバイス、MESFET、HFET、バイポーラトランジスタおよび抵抗のモデル、光伝送路としての光ファイバのモデル等について示す。

4.2.1 レーザダイオード

レーザダイオードの電気的特性および発光特性はランジュバン雑音源を含むレート方程式[4.4][4.5][4.9]により記述でき、等価回路表現すると図4.1のようになる。この等価回路のうち、電子および光子の雑音を表わす電流源 I_{nm} と I_{ns} ならびに寄生抵抗 R_s の熱雑音電流源 I_{nrs} を除いた部分は文献[4.4][4.5]と同一である。レート方程式は次の通りである。

$$I + I_{nrs} = I_1 + bI_1^2 + \tau_{ns} \frac{dI_1}{dt} + \frac{dQ_s}{dt} + I_g + I_{nm} \quad (4.1)$$

$$I_g + I_{sp} = \frac{S_n}{R_p} + C_p \frac{dS_n}{dt} + I_{ns} \quad (4.2)$$

記号の意味を付録C.1に示す。ここで、寄生抵抗 R_s の熱雑音電流源 I_{nrs} を次式で表現する。

$$I_{nrs} = \sqrt{\frac{4k_B T}{R_s \Delta t}} r_s \quad (4.3)$$

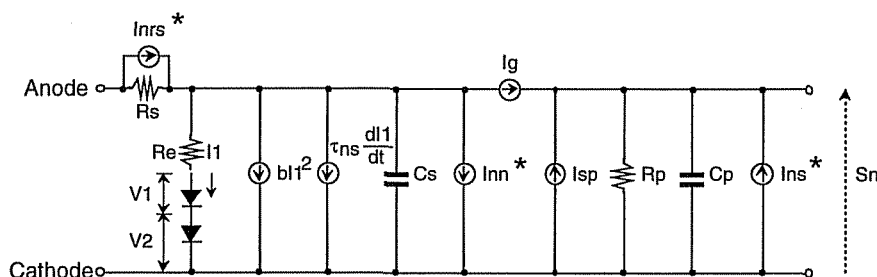


図 4.1 レーザダイオードの等価回路

* は雑音源を示す。

注2) 半導体レーザの雑音モデルは既に提案されているもの[4.9]と同一である。

ただし、 r_s は正規乱数である。

規格化された光子密度が図 4.1 の右端の "ノード間電圧" として得られる。光子密度 $S(t)$ と出力光パワー $W(t)$ との関係は次の通りである。

$$W(t) = \frac{\eta_{ld} V_a S(t) h\nu}{2\Gamma\tau_p} \quad (4.4)$$

ここで、 η_{ld} は微分量子効率、 V_a は活性領域の体積、 Γ は光閉じ込め係数、 τ_p は光子寿命である。

レーザダイオードを直接強度変調する場合にはチャープニングを考慮する必要がある。光の位相は次の微分方程式により記述される[4.2]。

$$\frac{d\phi}{dt} = \frac{\alpha}{2} \left[\Gamma v_g a_g (n - n_{th}) - \frac{1}{\tau_p} \right] \quad (4.5)$$

ここに、 α は線幅増大係数、 v_g は群速度、 a_g は利得係数、 n_{th} は利得が正になる電子密度である。

4.2.2 受光デバイス

受光デバイスとして MSM-PD と *pin*-PD を扱うこととする。その等価回路を図 4.2 に示す。第 2 章で示したように、光通信に使用される場合には受光パワーが小さいため、空間電荷領域の形成効果を考慮しなくても良い近似が得られる。ここでは、その効果を見捨てることとする。電流源 I_{pd} は暗電流 I_{dark} と光電流の和であり、次式で与えられる。

$$I_{pd} = I_{dark} + \frac{q}{l_a} (Nv_n + Pv_p) \quad (4.6)$$

ここで、 N および P は電子と正孔の総数、 v_n と v_p は電子および正孔の速度である(付録 C.2)。寄生抵抗の熱雑音電流は式(4.3)により与えられ、ショット雑音 I_{npd} は次式により与えられるものとする。

$$I_{npd} = \sqrt{\frac{2qI_{pd}}{\Delta t}} r_p \quad (4.7)$$

ここで、 r_p は正規乱数である。

4.2.3 MESFET および HFET

MESFET と HFET の等価回路を図 4.3 に示す。ドレイン電流およびゲート容量モデルとして、MESFET については Curtice モデル[4.14]を、HFET については Yeager-Dutton モデル[4.15]を基本として、時間領域雑音電流源を付加している。寄生抵抗の熱雑音とゲート電流のショット雑音に関する表式は、各々、式(4.3)と式(4.7)と同様である。ドレイン電流の雑音電流は次式で与えられる。

$$I_{nds} = \sqrt{\frac{8k_B T g_m}{3\Delta t}} r_d \quad (4.8)$$

ここで、 g_m は相互コンダクタンス、 r_d は正規乱数である。

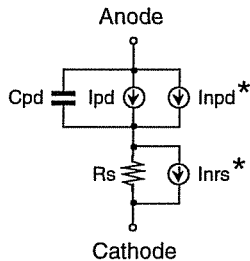


図 4.2 受光デバイスの等価回路

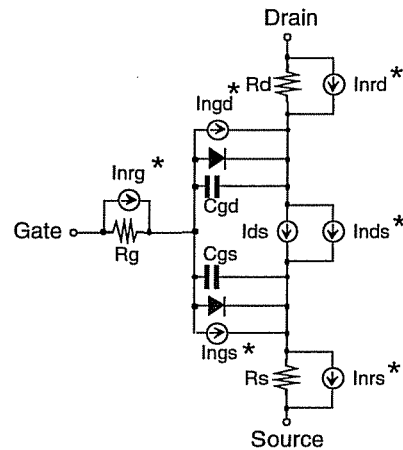


図 4.3 MESFET と HFET の等価回路

4.2.4 バイポーラトランジスタ、ダイオードおよび抵抗

帰還増幅器の設計においては相互コンダクタンスの位相遅れを考慮することが重要である。ここでは、位相遅れを考慮したChen[4.16]のモデルに時間領域雑音電流源を付加している。また、従来のダイオードおよび抵抗モデルにも時間領域雑音電流源を追加する。

4.2.5 光ファイバ

光ファイバへの入力光電界と出力光電界の関係は次の畳み込み積分で記述される[4.2]。

$$E_{out}(t) = E_{in}(t) * h_f(t) \quad (4.9)$$

ここに、 $h_f(t)$ は光ファイバのインパルス応答であり、次式で与えられる。

$$h_f(t) = \eta \sqrt{\frac{c}{2\lambda^2 DL}} (1-j) \exp\left(-j\pi \frac{c}{2\lambda^2 DL} t^2\right) \quad (4.10)$$

ただし、 c は光速、 λ は波長、 D は波長分散パラメータ、 L はファイバ長、 η は伝搬損失と結合損失を含めた係数である。

4.2.6 光変調器

ここでは簡単のため次式により強度変調のみをモデル化する。

$$P_{out}(t) = \eta_{EM} P_{in}(t) \sin^2 \left[\frac{\pi V(t)}{2V_\pi} \right] \quad (4.11)$$

ここに、 η_{EM} は結合損失等を表す係数、 $V(t)$ は印加電圧、 V_π は半波長電圧である。

4.2.7 パルスパターン発生器

パルスパターン発生器(PPG)のモデルは疑似ランダムパターン発生部とRC低域通過フィルタより構成する。

4.2.8 シミュレータへのインプリメント

以上述べたような新しいデバイスモデルを用いてシミュレーションを行う方法として考えられることは、これらのモデルを扱えるようにSPICE等の既存回路シミュレータのソースコードを書き換える方法である。しかしながら、市販の回路シミュレータはバージョンアップされることが一般的であり、その都度新規モデルに対応する部分のソースコードを修正することは骨の折れる作業である。したがって、シミュレータ本体に触れることなく新しいデバイスモデルを扱える市販シミュレータを用いることが好ましい。ここでは、その一例として混在モードシミュレータSABER™[4.17]を用いることとした。シミュレータ全体の概略構成を図4.4に示す。上記モデルは全てMASTR®プログラミング言語[4.17]で記述している。

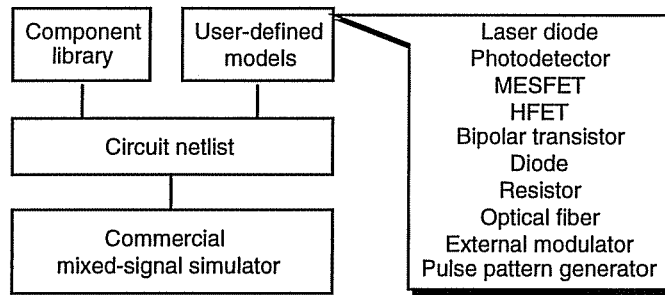


図 4.4 シミュレータ全体の概略構成

4.3 シミュレーションと実験との比較

モデルの妥当性を検証するために、実験とシミュレーションの比較を行った。

最初の比較はレーザダイオードと光ファイバについて行った。実験に用いたレーザは、波長 1.55 μm 、しきい値電流 15 mA の MQW DFB レーザであり、光ファイバの総分散量は波長 1.55 μm において -140 ps/nm である。光パルスは帯域 40 GHz の PD(New Focus 製)とサンプリングオシロスコープ(HP 製)により観測した。シミュレートした回路を図 4.5(a)に示す。レーザのパラメータは、レーザ形状と通常使用される値[4.4]-[4.6]をもとに、電流-電圧特性、電流-光パワー特性、光波形の実験値と計算値が一致するように調整した。バイアス電流を 20 mA とし、1 Gbit/s NRZ 固定パターン(1010...、振幅 $2 V_{pp}$)で直接変調した時のレーザの出力波形と光ファイバ伝送後の光波形の実測と計算結果を図 4.5(b)(c)に示す。実験と計算は良く一致している。なお、この比較では雑音は考慮されていない。

次に、波長 1.3 μm の DFB レーザのタイミングジッタ[4.11]について実験とシミュレーションの比較を行った。シミュレーションに用いた回路は図 4.5(a)と同様である。電気パルス発生源は、振幅 8 V、パルス幅 100 ps のコムジェネレータとした。レーザパラメータの導出は上記と同一であり、文献[4.11]のものとほぼ同一である。図 4.6(a)に光パルス幅のバイアス電流依存性を示す。計算値は実測値[4.18]と良く一致している。なお、この解析では雑音を無視している。次に、雑音を考慮して立上り時のタイミングジッタを計算した。図 4.6(b)に計算結果を実測値と比較して示す。図中の●は文献[4.11]に示されている計算値である。バイアス電流 5.5 mA 以下では実験値との良い一致が得られた。バイアス電流 6 mA ではタイミングジッタが 0.1 ps 程度となり一致しなかった。ここで示したモデルは基本的には文献[4.11]のものと同一であるから、不一致の原因としては混在シミュレータの中での数値的な切捨て等が考えられる。

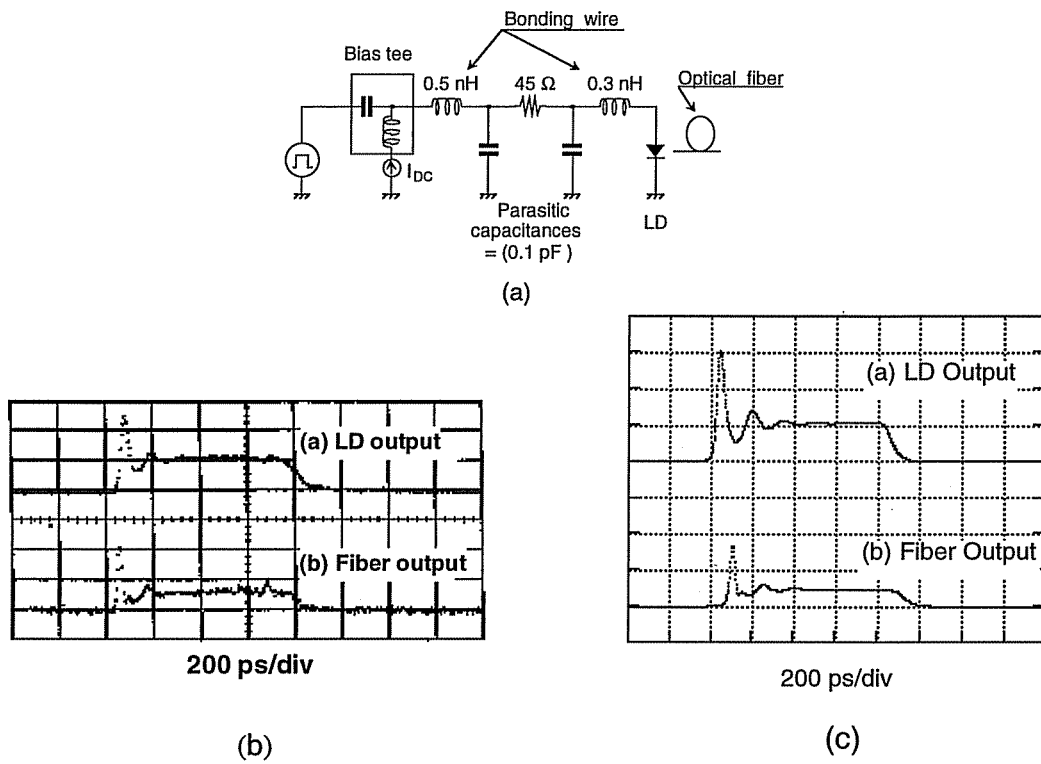


図 4.5 (a) シミュレートした回路 (b) 実測波形 (c) シミュレーション波形

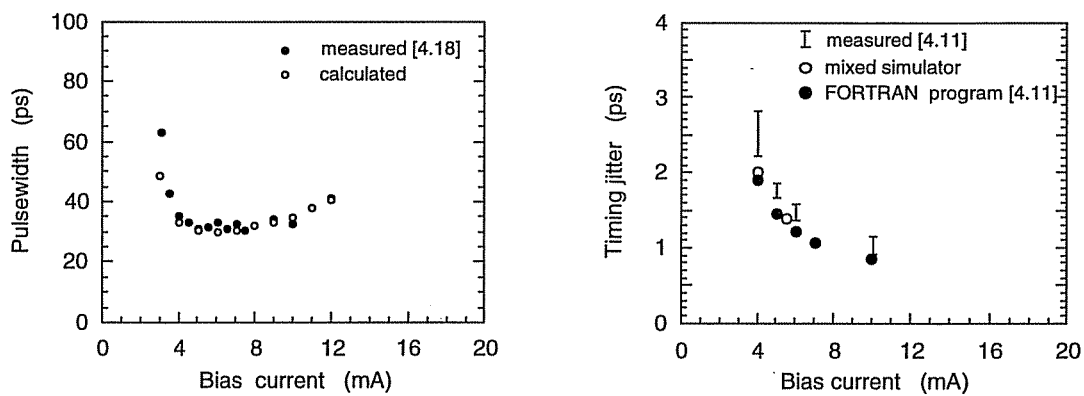


図 4.6 (a) 光パルス幅のバイアス電流依存性 (b) タイミングジッタのバイアス電流依存性

受光デバイスと電子デバイスの過渡雑音モデルを検証するために、図4.7(a)に示す受光回路のシミュレーションを行った。パルス発生器PPGからの10 Gb/s NRZ(符号長: 2^7-1)の疑似ランダムパターンによりCW光を変調した。接合容量0.18 pF、量子効率56%、暗電流2.2 nAのpin-PDにより減衰した光信号を光電気変換し、GaAs MESFETのトランスインピーダンスアンプ^{注3)}により増幅した。MESFETのパラメータは電流-電圧特性とSパラメータの実測値と計算値が一致するように調整した。実装時のボンディングワイヤの寄生インダクタンスを考慮した。図4.7(b)(c)に雑音を考慮しない場合と考慮した場合のアイパターンのシミュレーション結果を示す。雑音を考慮することにより現実感のあるアイパターンが得られる。

各タイムスロットの中央でサンプリングした出力電圧の確率密度分布を図4.8に示す。図4.7(b)に示されるように出力波形には若干のパターン依存性が見られるため、確率密度を複数のガウス分布で近似するのが妥当であるが、ここでは簡単のため単一のガウス分布で近似してみる。ガウス分布近似により符号誤り率を計算することができる[4.8]。光パワーを変化させることにより、図4.9に示すような符号誤り率特性が得られる。符号誤り率が 10^{-9} における受光パワーは-15.7 dBmである。これに対して、10 Gb/s NRZ(符号長: $2^{23}-1$)の疑似ランダムパターンについての実験値は-14.5 dBmであった[4.19]。実験と計算の差はビット長の違いあるいは寄生インダクタンスの見積り誤差等に起因するものと考えられる。伝送システムの設計には、より厳密な符号誤り率推定法が必要となると考えられるが、これについては今後の課題とし、ここでは詳細な議論は行わないこととする。

HFETとバイポーラトランジスタについては実験とシミュレーションの比較を行っていないが、雑音源にはMESFETと同一の式が用いられている。したがって、ここで示したデバイスモデルの妥当性が検証されたと言える。なお、シミュレーションに要する計算時間は、図4.7(c)の場合、HP-Apollo Model 720上で2500秒であった。

注3) 3.2で述べた後置増幅器とほぼ同一のものである。

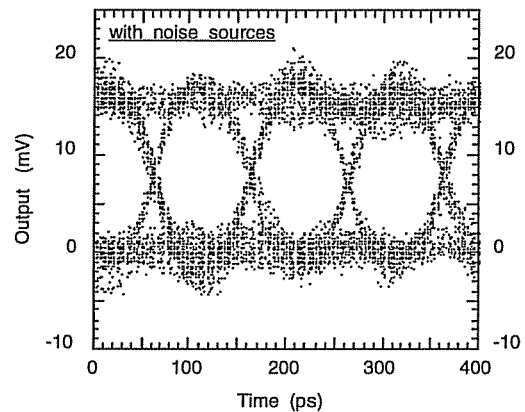
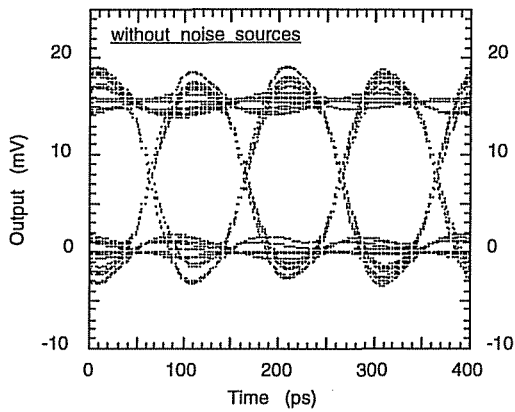
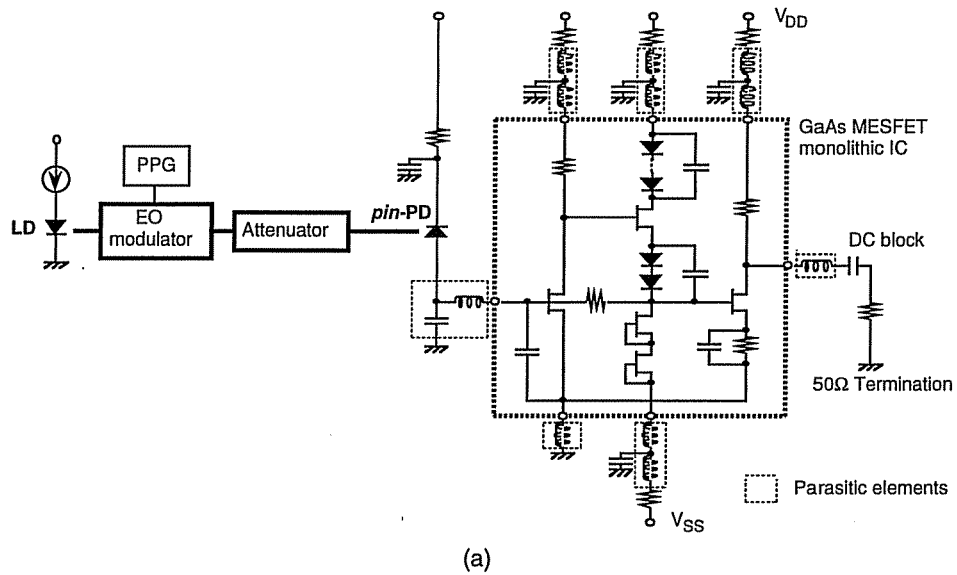


図 4.7 (a) シミュレートした回路 (b) 雑音を考慮しない時のアイパターン
(c) 雑音を考慮した時のアイパターン

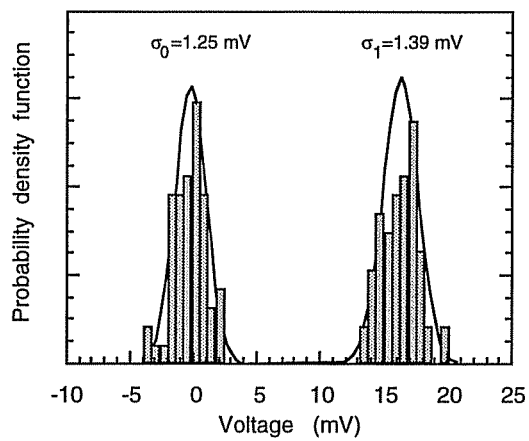


図 4.8 出力電圧の確率密度分布

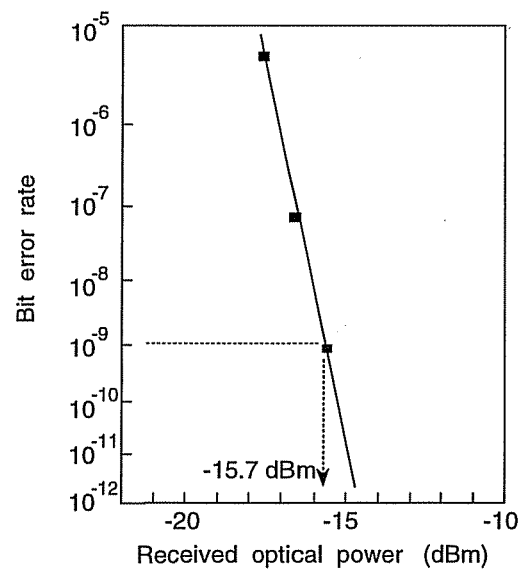


図 4.9 符号誤り率特性

4.4 まとめ

光デバイスと電子デバイスの混在する回路を詳細に設計するためのツール開発を目的として光電子混在回路シミュレーション手法について研究を行った。

時間領域雑音源を含む電子デバイスモデルを考案し、半導体レーザ、*pin*-PD、MSM-PD、光ファイバ等とともに市販の混合モードシミュレータにインプリメントした。直接変調した半導体レーザ出力波形、光ファイバ伝送後の波形、半導体レーザのタイミングジッタ、GaAs MESFET 増幅器と *pin*-PD から構成されたハイブリッド受光回路の受光感度等について、シミュレーション結果と実験結果を比較しモデルの妥当性を検証した。本シミュレーション手法は光伝送システムのみならず将来の光電子融合システムの設計に有効であると考えられる。

第5章

集積化受光回路の高速化設計

概要

集積化受光回路はハイブリッド回路の速度性能限界を打破する技術とし注目され、種々のデバイス・回路構成が提案されてきた。しかしながら、集積化受光回路に用いられている電子デバイスの性能が電子デバイス専用のデバイス性能より劣るため、その速度性能はハイブリッド回路の性能より劣るものであった。

本章では、InP/InGaAs ヘテロ接合バイポーラトランジスタ(HBT)の製造工程を何ら変更することなく形成が可能な *pin*-PD/HBT 構成により集積化受光回路の高速化が可能であることを示す。最初に、理論検討により高速化に適したデバイス・回路構成が HBT のベース-コレクタを用いた *pin*-PD と HBT トランスインピーダンス増幅器であることを明らかにする。次に、InP/InGaAs シングルヘテロ接合バイポーラトランジスタ(SHBT)により集積化受光回路を試作し、その速度性能がホモ接合 *pin*-PD の帯域に制限されることを示す。この課題を解決するために、InP/InGaAs ダブルヘテロ接合バイポーラトランジスタ(DHBT)を用いた集積化受光回路を提案し、その動作速度を最大とする最適なコレクタ層の厚さを明確化する。最後に、最適設計された集積化受光回路によりハイブリッド受光回路の最高速度に匹敵する 40 Gbit/s 動作の可能性を示す。

5.1 はじめに

長距離光通信中継装置にはハイブリッド受光回路が用いられてきた。しかしながら、動作周波数が高くなると、受光デバイスと前置増幅器との間の接続に付随する寄生容量や寄生インダクタンスが帯域制限の要因となり得る。このようなハイブリッド受光回路の速度性能の限界を打破する技術として集積化受光回路が注目され、研究が活発に行われている。しかしながら第1章で述べたように、その速度性能はハイブリッド回路の性能(帯域 33 GHz [5.1])より劣っている。このハイブリッド回路の性能を考慮すると、集積化受光回路が速度メリットを発揮できる周波数領域は 40 GHz 以上になると予想できる。第3章で述べたように、一般に用いられているトランスインピーダンス型前置増幅器により帯域 40 GHz を実現するためには、電流利得遮断周波数あるいは最大発振周波数が 200 GHz 程度の高性能な電子デバイスを必要とする。いままでに提案されている集積化受光回路用電子デバイスにより 200 GHz 程度の性能を実現することはかなり困難である。一方、希土類ドープ光ファイバ増幅器(EDFA)の進展により、受光感度に対する要求は軽減される傾向にある。したがって、量子効率を多少犠牲にしても、高性能電子デバイスの製造工程を何ら変更することなく受光デバイスを形成できる構成を選択することが合理的であると考えられる。

電子デバイスの製造工程に完全整合する長波長系集積化受光回路の構成は、HBTのベースコレクタ層を *pin*-PD として用いる構成[5.2]-[5.4]あるいは HBT を受光デバイス(HPT: Heterojunction Phototransistor)として兼用する構成[5.2]である。シングルヘテロ接合 HBT(SHBT)を用いる場合、*pin*-PD はホモ接合となる。ホモ接合 *pin*-PD の 3dB 帯域として、*i*-InGaAs 層の厚さが 0.3 μm の時に 2.8 GHz [5.3]、0.6 μm の時に 20 GHz 以上[5.4]の値が報告されている。これらの値は通常の *pin*-PD についての解析式[5.7]では説明できない特性であり、帯域と *i*-InGaAs 層の厚さとの関係は明確でない。Chandrasekhar *et al.* [5.2] は、InP/InGaAs DHBT に整合した *pin*-PD/HBT および HPT/HBT 構成の集積化受光回路を試作して両者とも同等の性能であることを報告しているが、いずれの構成が高速化に適しているのか理論的には明らかとなっていない。また、これらの HBT では高速化とコレクタ耐圧のトレードオフを解決できず、Chandrasekhar *et al.* [5.2] の DHBT では *i*-InGaAs コレクタ層と n^+ -InP サブコレクタ層のヘテロ接合界面でのキャリアの蓄積のため HBT および *pin*-PD の高速化が期待できない。以上のように、InP/InGaAs HBT 製造工程に完全整合する集積化受光回路の高速化に関する指針は得られていない。

ここでは、InP/InGaAs HBT 集積化受光回路の高速化のための指針を明確化する。

5.2 では *pin*-PD/HBT と HPT/HBT の構成の比較と通常の *pin*-PD の理論的帯域をもとに高速化のための基本的なアプローチを示す。5.3 では InP/InGaAs SHBT 製造工程により集積化受光回路を試作し、ホモ接合 *pin*-PD の簡単なモデル計算によりその性能限界を明確化する。5.4 では集積化受光回路の高速化に適した InP/InGaAs DHBT を提案し、集積化受光回路の動作速度を最大にする最

適なコレクタ層の厚さを明確化する。最後に、最適設計された集積化受光回路により 40 Gbit/s 動作の可能性を示す。

5.2 InP/InGaAs HBT 集積化受光回路の基本構成[5.23]

最初に、*pin*-PD/HBT と HPT/HBT のどちらの構成が望ましいのかについて議論してみる。簡単化のため、図5.1(a)-(c)に示す受光回路について動作速度の比較を行ってみる。(a)はベースをフローティング状態とした通常の HPT の使い方である。(b) はベースに帰還を掛けたものである。図 5.1 (d)-(f)の等価回路について節点方程式を解くことにより、トランスインピーダンスの表式を導出する。得られた式から極の時定数を求めると、各々の回路に対して以下の式のようなになる。

$$\tau_p = R_\pi [C_\pi + (1 + g_m R_L) C_{BC}] \quad (\text{for (a)}) \quad (5.1)$$

$$\tau_p = \tau_f + \frac{(R_F + R_b) [C_\pi + (1 + g_m R_L) C_{BC}]}{g_m R_L} \quad (\text{for (b)}) \quad (5.2)$$

$$\tau_p = \tau_f + \frac{(R_F + R_b) [C_\pi + (1 + g_m R_L) C_{BC}] + R_F C_{PD}}{g_m R_L} \quad (\text{for (c)}) \quad (5.3)$$

すべてのパラメータの値が構成によらず同一であるとすれば、回路(b)の方が回路(c)より *pin*-PD の寄生容量 C_{PD} の寄与分だけ高速であることが式(5.2)と(5.3)から理解できる。しかしながら、典型的な HBT のエミッタ幅は 2 μm 、ベースメサの幅も 4 μm 程度であり、入射光ビームをこのよう

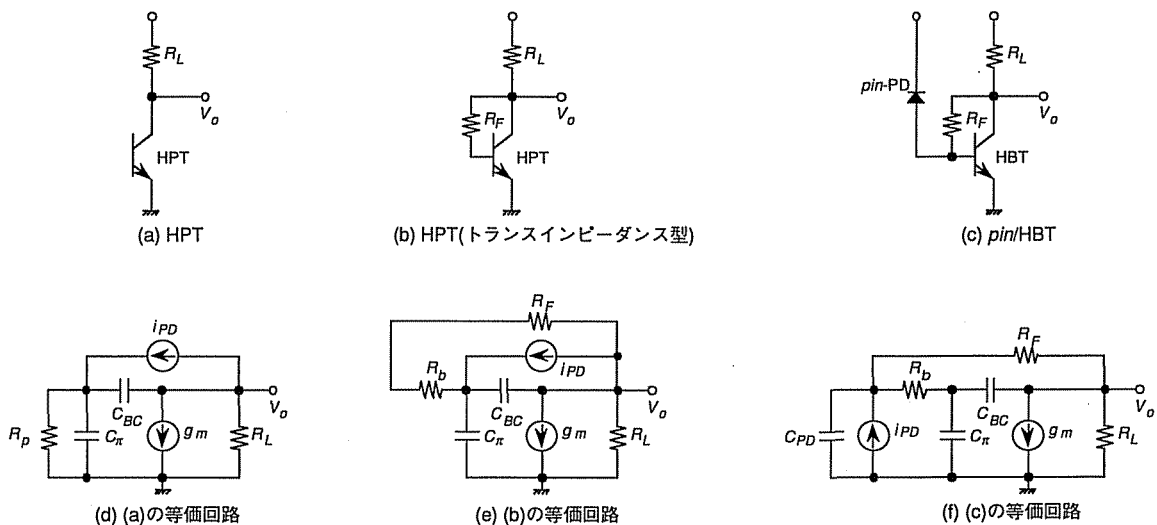


図 5.1 比較した受光回路の構成と等価回路

な微細な領域に位置決めすることは実用上得策とは言えない。したがって、*pin*-PDとHPTの受光面積を同一(ここでは $10 \times 10 \mu\text{m}$)として比較することにする。計算に用いたパラメータの値を表5.1に示す。HBTの接合容量 C_{JE} 、 C_{BC} は後述する実験に用いたトランジスタのものと同一とし、HPTの接合容量はHBTのものに対して面積比を乗じた値としている。直流におけるトランスインピーダンスの値は回路構成によらず同一とする。これらの値は、回路(b)と(c)については R_F で、回路(a)については電流増幅率と負荷抵抗の積 βR_L で与えられる。また、ベース抵抗 R_B は R_F と比較して無視できるほど小さいとする。各時定数とトランスインピーダンスの関係を図5.2に示す。回路(c)が最も高速であることがわかる。トランスインピーダンスが小さい場合、回路(a)の時定数は $R_\pi C_\pi$ が支配的であるため、ほぼ一定となる。また、 $80 \text{ dB}\Omega$ を越える高トランスインピーダンス領域においては、回路(b)よりも回路(a)の方が高速である。以上のように、*pin*-PD/HBT構成が高速化に有利であると言える。このため、この構成に絞って検討を進めることとする。

表 5.1 比較のために用いたパラメータ値

Parameter	Unit	HPT	HPT (Transimpedance)	<i>pin</i> /HBT
Size	(μm)	10×10	10×10	10×10 (<i>pin</i>), 2×10 (HBT)
i_{PD}	(μA)	30	-	-
$R_\pi = v_{th} / i_{PD}$	(Ω)	862	-	-
β		100	-	-
g_m	(S)	0.116	0.116	0.116
$g_m R_L$		variable	10	10
R_F	(Ω)	-	variable	variable
τ_f	(ps)	1.0	1.0	1.0
C_{JE}	(pF)	0.55	0.55	0.11
C_π	(pF)	0.67	0.67	0.23
C_{BC}	(fF)	45	45	9
C_{PD}	(fF)	-	-	30

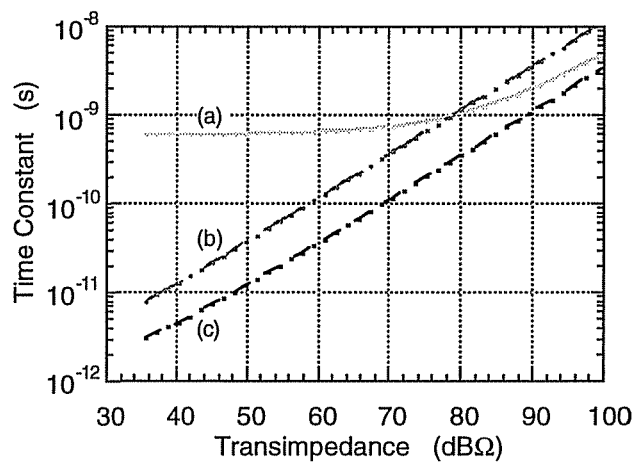


図 5.2 時定数とトランスインピーダンスの関係
(a)(b)(c)は図 5.1 の回路(a)(b)(c)に対応。

次に、Bowers *et al.* [5.7]のモデルを用いて計算した表面入射型 *pin*-PD の帯域と InGaAs 光吸収層の厚さ W_a との関係を受光面の直径 d をパラメータとして図 5.3 に示す。10 GHz を実現するためには W_a を $1\ \mu\text{m}$ 、 d を $40\ \mu\text{m}$ とすれば良い。表面入射型 *pin*-PD の高速化のためには、 W_a と d を小さくする必要があり、40 GHz の帯域を得ようとすれば W_a は $0.3\ \mu\text{m}$ 程度になる。この厚さは HBT のコレクタ層と同程度であり、HBT 製造工程に整合した集積化受光回路により高速化を追究できることを意味している。

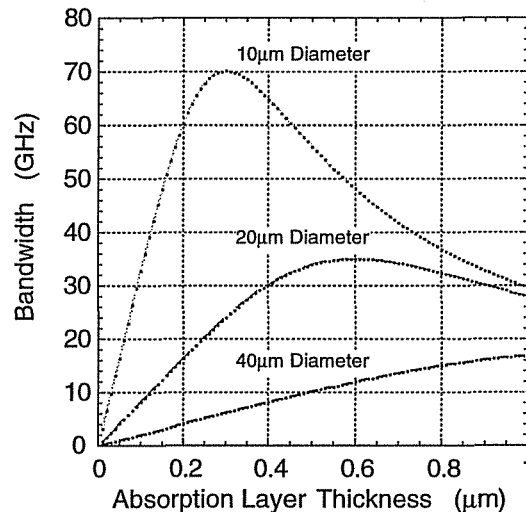


図 5.3 表面入射型 *pin*-PD の帯域と InGaAs 光吸収層の厚さの関係

5.3 InP/InGaAs SHBT を用いた集積化受光回路の課題

5.3.1 InP/InGaAs *pin*-PD/SHBT 集積化受光回路の試作[5.15]

InP/InGaAs SHBT のデバイス構造の概略を図 5.4 に、エピタキシャル層構成を表 5.2 [5.8] に示す。この SHBT は、第 3 章で示した HBT と同様に自己整合プロセス [5.9] により製造される。すなわち、エミッタ電極をマスクとしてエミッタ層をエッチングする。この時エミッタメサの寸法がエミッタ電極の寸法より小さくなるようにオーバーエッチングを行う。この状態でベース電極を蒸着すると、エミッタとベースがショートすることなく形成される。コレクタについても同様である。したがって、SHBT のエミッタ電極パターンを削除すると、図 5.4 に示したように InGaAs *pin*-PD が必然的に形成される。ただし、この *pin*-PD は通常のものとは異なりホモ接合構造である。

試作した HBT の電流利得遮断周波数 f_T と最大発振周波数 f_{max} のピーク値は各々 162 GHz と 90 GHz であった [5.8]。 *pin*-PD の測定は波長 $1.3\ \mu\text{m}$ の DFB レーザ [5.10]、RF プロブ、光プロブ (Cascade Microtech 製) を用いてオンウェハで行った。接合サイズ $50 \times 50\ \mu\text{m}$ の *pin*-PD の電流－電

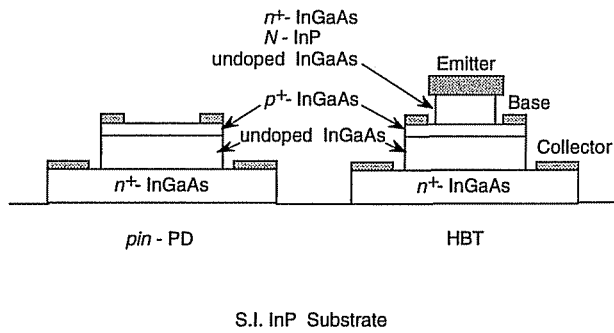


表 5.2 エピタキシャル層構成

Layer	Material	Thickness
Emitter Cap	n^+ -InGaAs	100 nm
	N^+ -InP	13 nm
Emitter	N -InP	50 nm
Base	i -InGaAs	5 nm
	p^+ -InGaAs	45 nm
Collector	i -InGaAs	300 nm
Subcollector	n^+ -InGaAs	400 nm
Buffer	i -InP	100 nm

図 5.4 InP/InGaAs pin-PD/SHBT のデバイス構造

圧特性を図 5.5 に示す。1 V における感度は 0.39 A/W、暗電流は 30 nA であった。表 5.2 に示した InGaAs 層の厚さ(ベースからサブコレクタまで)と吸収係数の測定値 $1.16 \times 10^4 \text{ cm}^{-1}$ (n -InGaAs) および $1.55 \times 10^4 \text{ cm}^{-1}$ (p -InGaAs)[5.11] を用いると、感度の計算値は 0.44 A/W となり、実験値と 10% の誤差で一致する。上記 DFB レーザを利得スイッチングすることにより得られたパルス幅 40 ps (FWHM) 注1) の光パルスと 50 GHz 帯域のサンプリングオシロスコープ(HP 製)を用いて、接合サイズ $25 \times 25 \mu\text{m}$ の pin-PD のパルス応答を測定した。その結果を図 5.6 に示す。出力波形は 80.8 ps の短パルスと後に続く長い裾引きを示している。裾引き部分を指数関数近似でフィッティングしフーリエ変換を行った結果、pin-PD の 3dB 帯域は 1.5 GHz となった。

pin-PD とカスコード型トランスインピーダンス増幅器から構成された集積化受光回路を同時に試作した。ネットワークアナライザ(HP 製)で電氣的に測定した集積化受光回路のトランスインピーダンス Z_T の 3dB 帯域は 13.5 GHz であった。しかしながら、疑似ランダムパルスに対する最高動作速度は 2.5 Gbit/s であった。

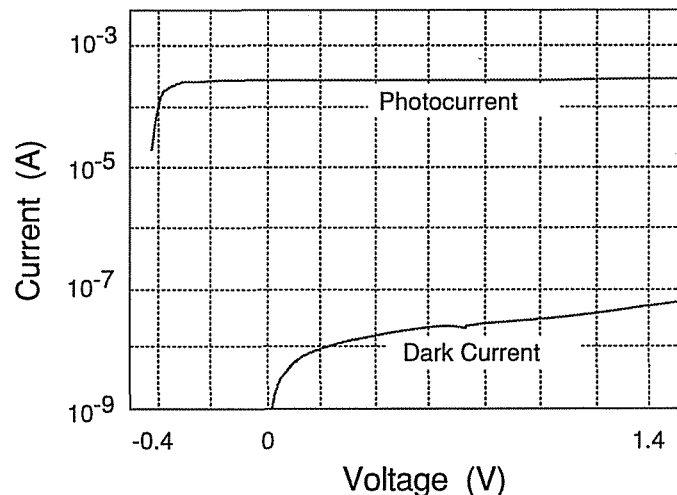


図 5.5 pin-PD の電流 - 電圧特性
光パワーは 0.7 mW

注1) 市販の PD(New Focus 製)とサンプリングオシロスコープ(HP 製)を用いた測定値。

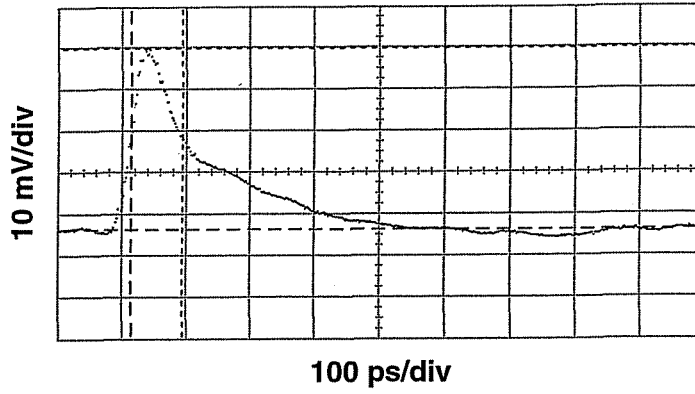


図 5.6 *pin*-PD のパルス応答

5.3.2 ホモ接合 *pin*-PD の解析

以上のように、SHBT を用いた集積化受光回路においては、広帯域な前置増幅器を実現できるものの、その性能は *pin*-PD の性能により制限されることがわかる。この性能は図 5.3 に示したものと大きく異なっており、ホモ接合 *pin*-PD を設計するためのモデルが必要である。ここで、図 5.7 に示すようなモデルを考える。*i*-InGaAs 中で発生した電子と正孔はドリフトにより、*n*⁺-InGaAs 中で発生した正孔は *n*⁺-InGaAs 中を拡散、*i*-InGaAs 中をドリフトにより電極まで移動するものとし、各々の緩和時間は次式により与えられるものとする。

$$\tau_e = \frac{\int_0^{W_c} \frac{W_c - x}{v_e} f(x) dx}{\int_0^{W_c} f(x) dx} \quad (5.4)$$

$$\tau_{h1} = \frac{\int_0^{W_c} \frac{x}{v_h} f(x) dx}{\int_0^{W_c} f(x) dx} \quad (5.5)$$

$$\tau_{h2} = \frac{\int_{W_c}^{W_D} \frac{(x - W_c)^2}{2D_h} f(x) dx}{\int_{W_c}^{W_D} f(x) dx} + \frac{W_c}{v_h} \quad (5.6)$$

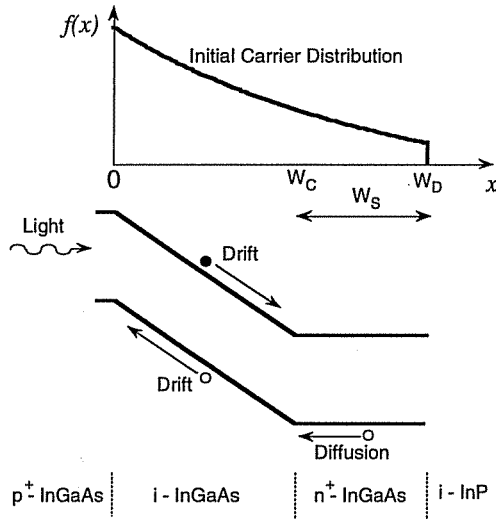


図 5.7 ホモ接合 *pin*-PD のモデル

ここで、 v_e と v_h は電子と正孔の平均速度、 D_h は正孔の拡散係数、 $f(x)$ は光照射により発生するキャリアの初期分布で次式により与えられる。

$$f(x) = \alpha e^{-\alpha x} \quad (5.7)$$

ここで、 α は吸収係数である。積分を実行すると、次のようになる。

$$\tau_e = \frac{W_C - \frac{1 - e^{-\alpha W_C}}{\alpha}}{v_e (1 - e^{-\alpha W_C})} \quad (5.8)$$

$$\tau_{h1} = \frac{\frac{1 - e^{-\alpha W_C}}{\alpha} - W_C e^{-\alpha W_C}}{v_h (1 - e^{-\alpha W_C})} \quad (5.9)$$

$$\tau_{h2} = \frac{1}{2D_h (e^{-\alpha W_C} - e^{-\alpha W_D})} \left\{ \frac{2e^{-\alpha W_C}}{\alpha^2} - e^{-\alpha W_D} \left[W_S^2 + \frac{2}{\alpha} \left(W_S + \frac{1}{\alpha} \right) \right] \right\} \quad (5.10)$$

規格化された *pin*-PD の周波数応答は次式で与えられる。

$$V(\omega) = \left(\frac{1 - e^{-\alpha W_C}}{1 + j\omega\tau_e} + \frac{1 - e^{-\alpha W_C}}{1 + j\omega\tau_{h1}} + \frac{e^{-\alpha W_C} - e^{-\alpha W_D}}{1 + j\omega\tau_{h2}} \right) \left(\frac{1}{1 + j\omega\tau_{RC}} \right) \quad (5.11)$$

ここで、 τ_{RC} は負荷抵抗と接合容量の積で与えられる回路時定数である。

以上のモデルと上記および文献[5.3][5.4]の実験結果との比較を行った。電子の速度については速度オーバーシュート効果[5.12]を考慮したが、この効果は *pin*-PD の帯域にあまり影響を与えな

い。i-InGaAs 中の正孔の速度は GaAs 中の実験値から $6.4 \times 10^6 \text{ cm/s}$ と推定した。^{注2)} n^+ -InGaAs 中の正孔の拡散係数は $2.6 \text{ cm}^2/\text{s}$ とした[5.13]。式(5.8)-(5.11)より求めた *pin*-PD の 3dB 帯域の i-InGaAs 層厚さ依存性を図 5.8 に示す。計算と実験は良く一致している。文献[5.3]の場合、実験値の 2.8 GHz に対して計算値は 0.9 GHz であった。不一致の原因として n^+ -InGaAs 中の再結合が考えられる。今、 n^+ -InGaAs 中で発生した正孔の緩和時間を次式に修正する。

$$\tau_{hm} = \frac{\tau_{h2}\tau_{hr}}{\tau_{h2} + \tau_{hr}} \quad (5.12)$$

再結合の緩和時間 τ_{hr} を 150 ps とすると、実験値と計算値は一致した。^{注3)}

以上のモデルによる計算から、ホモ接合 *pin*-PD で 20 GHz 以上の帯域を実現するためには i-InGaAs 層の厚さを $0.6 \mu\text{m}$ 以上にする必要があることがわかる。しかしながら次節にて詳細に論ずるように、このような厚いコレクタは前置増幅器の広帯域化には適していない。また、ホモ接合 *pin*-PD により 40 GHz 以上の帯域を実現することはかなり困難であり、図 5.8 に実線で示すようにヘテロ接合化が不可欠である。

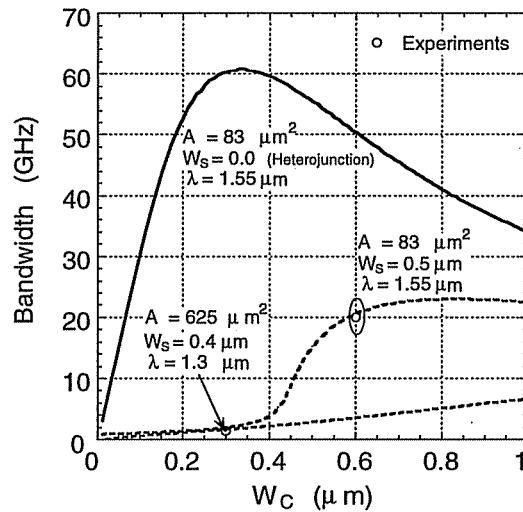


図 5.8 3dB 帯域の i-InGaAs 層厚さ依存性
実験値は本研究と文献[5.4]のものである。A は面積、 λ は波長である。

^{注2)} 第 2 章の散乱確率の式から重い正孔の有効質量の 1.5 乗に反比例するものとした。

^{注3)} 文献[5.4]の構造では再結合の影響はほとんどない。5.3.1 に示した *pin*-PD に対する計算値は 2 GHz となる。再結合の緩和時間の測定は今後の課題である。

5.4 InP/InGaAs DHBT を用いた集積化受光回路の高速化設計[5.23][5.24]

5.4.1 ダブルヘテロ接合化による高速化

電子デバイスの観点から、シングルヘテロ接合構造はHBTのベース-コレクタ間耐圧が低いという課題を持っている。高速性を維持したまま高耐圧化を図るため、InPをコレクタに用いるダブルヘテロ接合(DH)構造が提案されている[5.14]。このDH構造がpin-PDの高速化に適していることに着目し、集積化受光回路に用いることを提案した[5.15][5.16]。図5.9にDH構造のバンドダイアグラムを示す。この構造においては、 n^+ -InGaAs サブコレクタ中で発生した正孔の拡散は n^+ -InGaAsとInP接合の価電子帯の障壁により抑止される。また、 i -InGaAsとInPとの間にpn-ペアドープ層を挿入して電子の障壁高さを実効的に減少することにより、低電圧においても高速性能なHBTおよびpin-PDを実現することが可能である[5.16]。この構造をFPIGA(Full-Potential InGaAs)構造と呼ぶことにする。

ダブルヘテロ接合化によるpin-PD/HBT集積化受光回路の高速化の可能性を検証するために、設計試作を行った。MOCVDにより成長したpin-PD/DHBTのエピタキシャル層構成を表5.3に示す。

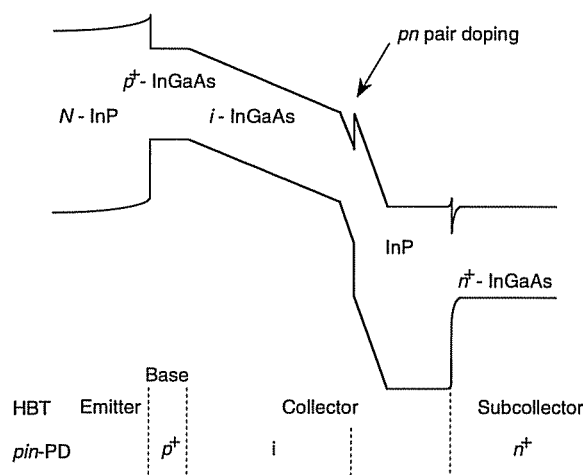


図 5.9 DH 構造のバンドダイアグラムの概略

表 5.3 pin-PD/DHBT のエピタキシャル層構成

Layer	Material	Thickness
Emitter Cap	n^+ -InGaAs	70 nm
	N^+ -InP	30 nm
Emitter	N -InP	80 nm
Base	i -InGaAs	5 nm
Collector	p^+ -InGaAs	55 nm
	i -InGaAs	400 nm
	p^+ -InGaAs	10 nm
	i -InGaAs	10 nm
Subcollector	n^+ -InGaAs	10 nm
	N -InP	120 nm
	n^+ -InGaAs	400 nm

pin-PDのさらなる高速化のため、直径 10 μm の円形として接合容量を低減するとともに受光面に十字形の電極を設け寄生抵抗の低減を図った。また、表面に 300 nm の SiO_2 (MIM 容量の絶縁膜と兼用)を反射防止膜として施した。測定は波長 1.55 μm の半導体レーザ(NEL製)を用いて行った。*pin*-PDの感度は 0.27 A/Wであった。一方、十字形の電極部分を考慮しない場合の理論値は 0.33 A/Wである。理論と実験との差は十字形の電極による遮蔽の影響であるものと考えられる。半導体レーザからのCW光を LiNdO_3 光変調器で位相変調し分散量 -21 ps/nmの分散ファイバを伝搬させることにより得られた 6 psの光パルス[5.17]、帯域 65 GHzのRFプローブ(Cascade Microtech製)、帯域 50 GHzのサンプリングオシロスコープ(HP製)を用いて、*pin*-PDのパルス応答を測定した。

出力波形を図 5.10 に示す。パルス幅(FWHM)は 13 psである。同時に測定した帯域 40 GHzの市販PD(New Focus製)のパルス幅は 12.8 psであった。したがって、本 *pin*-PDの帯域も 40 GHzに近いものと推定される。^{注4)}図 5.6 に示したSHBT上の *pin*-PDの応答と比較するとDH化により高速化がなされていることがわかる。図 5.3 に示した理論値(63 GHz程度)との差は、理論計算においては寄生抵抗を無視しているが、実際にはHBTのベースに相当する p^+ -InGaAsの寄生抵抗が無視できないことによるものと考えている。寄生抵抗をさらに低減させるためには、 p^+ -InGaAsを完全に電極で覆い、 n^+ -InGaAsサブコレクタを長波長で透明な N^+ -InPに置き換えた裏面入射型とする必要がある。

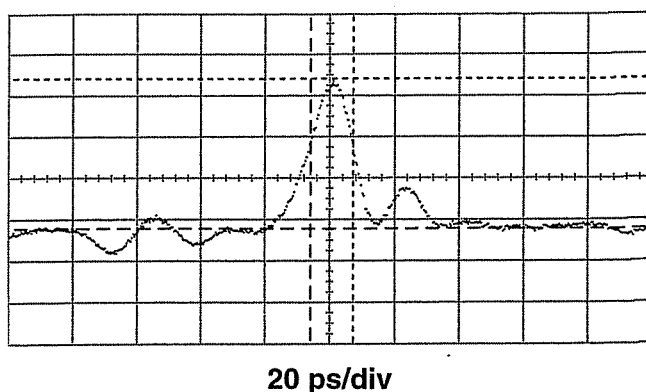


図 5.10 *pin*-PD のパルス応答

^{注4)} 最近、Yoneyama *et al.* [5.18]は直径 7 μm 、十字形電極なしの *pin*-PD を電気光学サンプリングにより測定し、帯域が 36 GHzであることを示している。

試作した集積化受光回路の回路構成とチップ写真を図5.11に示す。前置増幅器としては、第3章に示したトランジスタ帰還型出力回路を有するトランスインピーダンス増幅器を用いた。DHBTのエミッタ電極サイズは $2 \times 10 \mu\text{m}$ (エミッタ実効サイズは $1.6 \times 9.6 \mu\text{m}$)であり、コレクタ電流は7から10 mAとした。帰還抵抗 R_{F1} と R_{F2} の設計値は各々 500Ω と 100Ω であった。アクティブ領域の大きさは約 $240 \times 300 \mu\text{m}$ であり、パッドを含めたチップサイズは $1.22 \times 1.22 \text{ mm}$ である。ネットワークアナライザ(HP製)で電氣的に測定した集積化受光回路の利得 S_{21} とそれより求めたトランスインピーダンス Z_i の周波数特性を図5.12に示す。電源電圧は5 V、消費電流は53 mAであった。 Z_i は $48.9 \text{ dB}\Omega$ 、3dB帯域26.7 GHz、 S_{21} は17.1 dB、3dB帯域26.3 GHzであった。集積化受光回路の光周波数特性は未測定であるが、次のように推定している。電氣的測定の帯域にはpin-PDの寄生効果が含まれているため、光3dB帯域は上記の帯域とキャリア走行時間制限帯域とで決まる。後者の帯域を75 GHz [5.7]とすれば、集積化受光回路の光3dB帯域は25.1 GHzと推定される。この回路について符号誤り率(BER)を測定した。パルスパターン発生器(Anritsu製)からの疑似ランダムパターン(符号長: $2^{15} - 1$)を20 Gbit/s MUX(NEL製)により多重化し市販のドライバ(SHF製)とLiNbO₃光変調器(住友セメント製)により光パルスを発生した。集積化受光回路からの出力は市販の増幅器(SHF製)により増幅し15 Gbit/sの識別器(NEL製)によりDEMUXしBER測定器(Anritsu製)に入力した。20 Gbit/sにおけるBER特性とアイパターンを図5.13に示す。BER = 10^{-9} で定義した受光感度は-9 dBmであった。前置増幅器の雑音は未測定であるが、等価入力雑音電流のシミュレーション値は帯域内で $20 - 30 \text{ pA}/(\text{Hz})^{1/2}$ であった。等価入力雑音電流を $25 \text{ pA}/(\text{Hz})^{1/2}$ 、雑音帯域を26.7 GHzとし、感度 0.27 A/W を用いると、感度は-10.5 dBmとなる。

以上の実験結果よりダブルヘテロ接合化による集積化受光回路の高速化が実証できた。

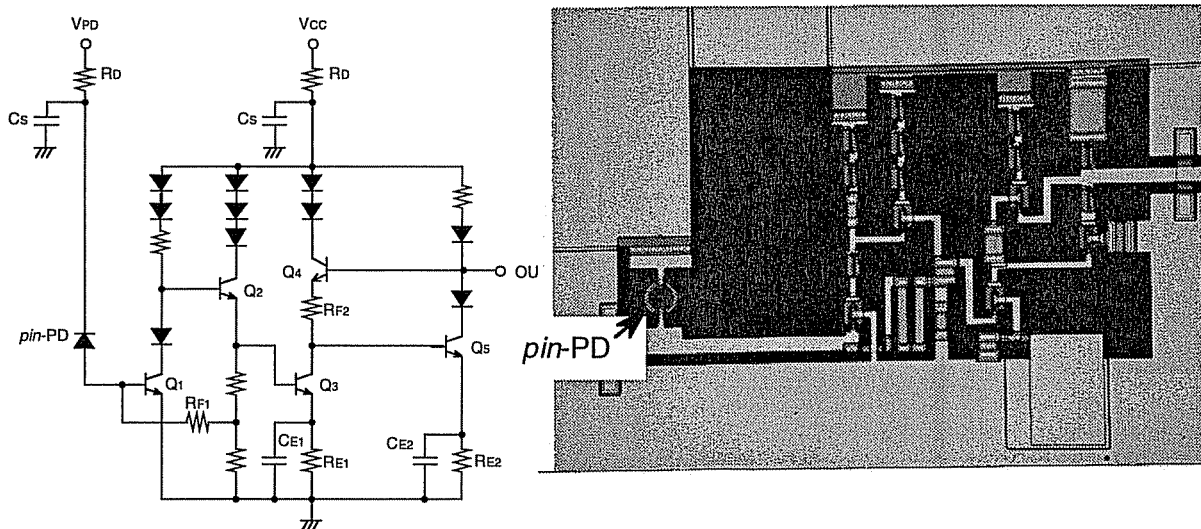


図5.11 pin-PD/DHBT集積化受光回路の回路構成とチップ写真

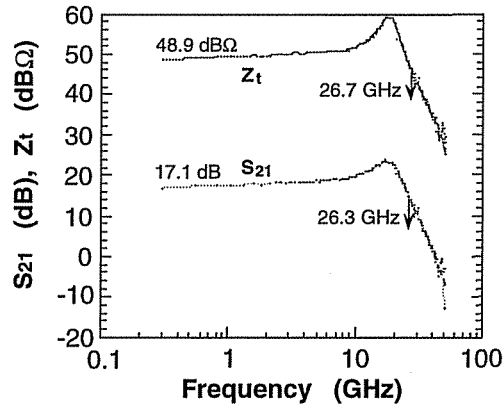


図 5.12 集積化受光回路の利得 S_{21} およびトランスインピーダンス Z_t の周波数特性

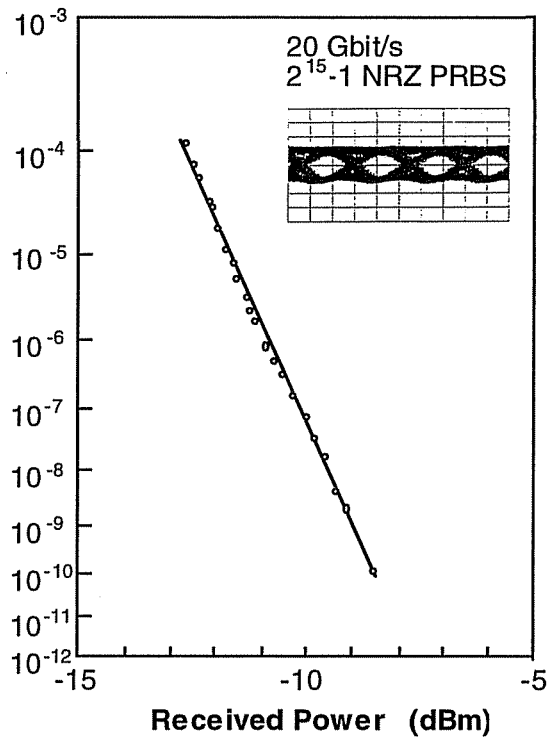


図 5.13 20 Gbit/s における符号誤り率特性と出力アイパターン

5.4.2 最適なコレクタ層厚さの明確化

集積化受光回路の動作速度を最大とする最適なDHBTのコレクタ層の厚さが存在するか検討を行った。最初に、SHBT、FPIGA構造HBT、およびInGaAs/InGaAsP/InP階段接合コレクタ(SG: Step-Graded) DHBT[5.19]で試作した集積化受光回路について、電氣的に測定した S_{21} の帯域 f_{3dB} とHBTのデバイス性能指数 f_{HBT} の関係を検討した。集積化受光回路の回路構成は図5.11に示したものと同一である。この関係は、第3章に示した式(3.11)の関係を簡略化した次式により近似できるもの

と仮定する。

$$f_{3dB} = af_{HBT} = a \frac{1+b}{\left(\frac{1}{f_T} + \frac{b}{f_{max}}\right)} \quad (5.13)$$

ここで、 f_T と f_{max} は増幅器の動作点と同一の電流密度で定義した電流利得遮断周波数と最大発振周波数である。式(5.13)を用いた計算値と実験値の誤差が最小となるように係数を決めると、 $a = 0.2$ 、 $b = 1.7$ となった。この係数を用いた時のデバイス性能指数 f_{HBT} を横軸として帯域 f_{3dB} をプロットすると図5.14のようになる。多少のバラツキがあるが、これは負荷抵抗がウエハ間で異なるためである。

次に、最適なコレクタ層の厚さを決定するために、デバイス性能指数 f_{HBT} とコレクタ層の厚さ W_C の関係を求める。ここで、図5.9に示した 10^{17}cm^{-3} にドーピングされた N -InP層の空乏層の厚さは無視できるほど薄いため、コレクタ層の厚さ W_C を ud -InGaAs、 p^+ -InGaAs、 ud -InGaAs、 n^+ -InGaAsの厚さの和により定義する。一般的にバイポーラトランジスタでは動作電流を増加させるとエミッタ充電時間が減少し電流利得遮断周波数 f_T は増加するが、ある電流値に達すると飽和し、それ以上の電流値に対してはベース押し出し効果のため減少するようになる。 f_T が最大となる電流密度 J_{CP} は次式により与えられる[5.20]。

$$J_{CP} = \frac{2v_e \epsilon_S (V_{CB} + V_{BI})}{W_C^2} \quad (5.14)$$

ここに、 v_e は電子の平均速度、 ϵ_S は誘電率、 V_{CB} はコレクターベース間電圧、 V_{BI} はビルトイン電

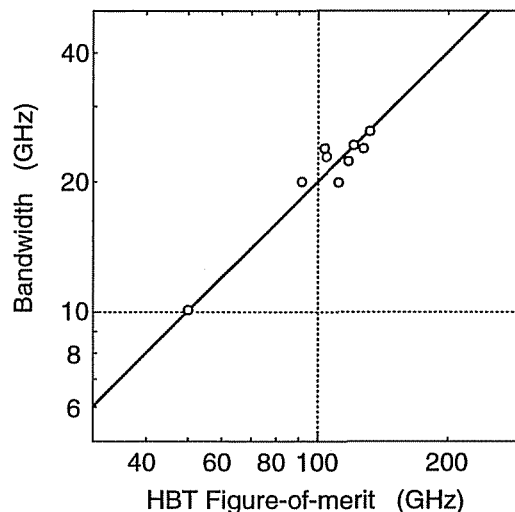


図5.14 デバイス性能指数 f_{HBT} と S_{21} 帯域 f_{3dB} の関係

圧である。今、 $v_e = 3.5 \times 10^7 \text{ cm/s}$ [5.8][5.19]、 $(V_{CB} + V_{BI}) = 1.3 \text{ V}$ 、 $W_c = 230 \text{ nm}$ [5.21]とすると、式(5.14)より $J_{CP} = 2.1 \times 10^5 \text{ A/cm}^2$ となる。一方、実験値は $2 \times 10^5 \text{ A/cm}^2$ であり [5.21]、式(5.14)により良く近似できることがわかる。現状の回路応用では電流密度の上限値として暫定的に 10^5 A/cm^2 程度が用いられている。^{注5)} ここで、 $J_{CP} = 10^5 \text{ A/cm}^2$ を式(5.14)に代入して得られる W_c を臨界コレクタ厚 W_{CC} と呼ぶことにする。例えば、 $(V_{CB} + V_{BI}) = 1.5 \text{ V}$ の時、 $W_{CC} = 359 \text{ nm}$ である。コレクタの厚さが W_{CC} よりも薄い場合には $J_{CP} > 10^5 \text{ A/cm}^2$ であるから、取り得る最大の f_T は電流密度 10^5 A/cm^2 における値である。逆にコレクタの厚さが W_{CC} よりも厚い場合には $J_{CP} < 10^5 \text{ A/cm}^2$ であるから、取り得る最大の f_T は電流密度 J_{CP} における値である。このように、コレクタの厚さに対して取り得る最大の f_T が存在し、この最大値を用いることが広帯域化の点で有利である。そこで、 f_T の最大値を用いて式(5.13)によりデバイス性能指数 f_{HBT} を計算する。エミッタ電極サイズ $2 \times 10 \mu\text{m}^2$ の FPIGA DHBT について測定したデバイス性能指数 f_{HBT} とコレクタの厚さとの関係を図 5.15 に示す。エミッターコレクタ間電圧は 1.5 V である。図中●と○は、各々、ベース濃度 N_b が $2 \times 10^{19} \text{ cm}^{-3}$ と $3.5 \times 10^{19} \text{ cm}^{-3}$ の FPIGA DHBT のデバイス性能指数を示している。

実験値の点数が少ないため、このままではデバイス性能指数を最大とする最適なコレクタの厚さが明確でない。そこで、以下のようなモデルを考えることにする。このモデルでは次の4つの仮定を置く。

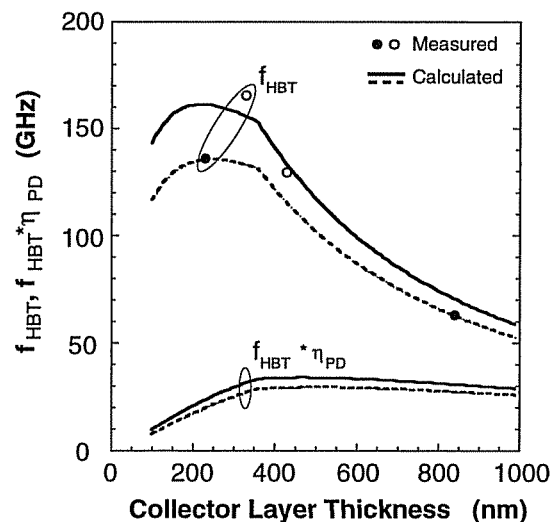


図 5.15 デバイス性能指数 f_{HBT} 、 $\eta_{PD} * f_{HBT}$ のコレクタ層厚さ依存性

●と点線はベース濃度 $N_b = 2 \times 10^{19} \text{ cm}^{-3}$ の FPIGA DHBT

○と実線はベース濃度 $N_b = 3.5 \times 10^{19} \text{ cm}^{-3}$ の FPIGA DHBT

^{注5)} 最終的には DHBT の信頼性を考慮して決定されるものである。

(a) f_T と f_{max} は次式により与えられる。

$$\frac{1}{2\pi f_T} = \frac{n_E k T}{q I_C} (C_{JBE} + C_{BC}) + C_{BC} (R_{EE} + R_C) + \tau_B + \tau_C \quad (5.15)$$

$$f_{max} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad (5.16)$$

ここで、 q は電子電荷、 I_C はコレクタ電流、 n_E は注入係数、 C_{JBE} はベース-エミッタ間接合容量、 R_{EE} はエミッタ抵抗、 R_C はコレクタ抵抗、 τ_B はベース走行時間、 τ_C はコレクタ走行時間である。

(b) コレクタの厚さが変化しても、 n_E 、 C_{JBE} 、 R_{EE} 、 R_C 、 R_B は変化しない。

(c) コレクタ走行時間 τ_c は $W_c^{-\alpha}$ に比例する。

(d) $W_c < W_{cc}$ の時、ベース-コレクタ間容量 C_{BC} は W_c に反比例し、 $W_c > W_{cc}$ の時には一定である。

これらの仮定のうち(c)については報告されているデバイスシミュレーション結果から定性的には正しいものと考えられる。また、(d)は実験結果から導き出されたものである。ベース濃度 $N_B = 2 \times 10^{19} \text{ cm}^{-3}$ 、 $W_c = 230 \text{ nm}$ の FPIGA DHBT[5.21]のパラメータを基準パラメータとした。これらの値は、 $R_{EE} = 0.66 \Omega$ 、 $R_B = 40 \Omega$ 、 $R_C = 1.6 \Omega$ 、 $n_E = 1.08$ 、 $C_{JBE} = 0.11 \text{ pF}$ 、 $C_{BC} = 9 \text{ fF}$ 、 $\tau_B = 0.41 \text{ ps}$ 、 $\tau_C = 0.42 \text{ ps}$ である。ベース濃度 $N_B = 3.5 \times 10^{19} \text{ cm}^{-3}$ の DHBT については $R_B = 23 \Omega$ とした。フィッティングパラメータ $\alpha = 1.25$ として計算した FPIGA DHBT のデバイス性能指数を図 5.15 に示した。計算と実験とは良く一致している。

図 5.15 より前置増幅器の広帯域化には 200 – 300 nm のコレクタの厚さが最適であると言える。受光感度も重視して *pin*-PD の感度 η_{pd} と f_{HBT} の積を受光回路の性能指数と考えると、この値は図 5.15 に示すように 350 nm 以上のコレクタ層でほぼ一定となる。10 Gbit/s 級集積化受光回路に対しては、帯域と感度の観点から 1 μm 程度のコレクタ層の厚さが良いと考えられる。しかしながら、40 GHz 帯域を実現するためにはコレクタ層の厚さを 200 – 300 nm にする必要がある。

以上の検討により最適なコレクタの厚さが明確となった。この結果を踏まえて集積化受光回路のさらなる高速化と低電力化を図った。HBT のエミッタ幅の縮小は f_{max} の向上による増幅器の帯域の向上と低電力化に有効である。そこで、3.4 で述べた 3 R 機能回路で用いたものと同じの 1.2 μm エミッタ幅の DHBT を使用した。実験に使用した DHBT の構造は表 3.3 に示したものとほぼ同一である。

図 5.12 に示した前置増幅器では 15 GHz 付近で 10 dB 程度の過剰ピーキングが見られる。この過剰ピーキングは図 5.13 に示した 20 Gbit/s のアイパターンには大きな影響を及ぼしていないが、

さらに高速の領域ではアイパターンを劣化させることが考えられる。過剰ピーキングの要因がエミッタと直列接続された寄生インダクタンスに伴う過剰遅延である可能性があることを3.4で指摘した。前置増幅器のシミュレーションと実験との比較を図5.16に示す。上記の過剰遅延と等価な過剰位相推移 ptf により実験結果を良く説明できることがわかる。そこで、 ptf を考慮したHBTモデルにより回路設計を行い、過剰ピーキング特性を抑えるためにエミッタピーキング(C_{E1} および C_{E2}) を削除した。また、低電圧化のために不要なダイオードを除去し電源電圧 $V_{cc} = 3\text{ V}$ とした。

コレクタ電圧が 1.3 V 、コレクタ電流が 3 mA の時の DHBT の f_T と f_{max} の平均値は各々、 138 GHz と 192 GHz であった。ネットワークアナライザ(HP 製)で電氣的に測定した集積化受光回路の特性を図5.17に示す。 Z_t は $46.2\text{ dB}\Omega$ 、 3 dB 帯域は 32.3 GHz であり、利得の平坦化がなされている。 S_{21} の 3 dB 帯域は図5.14から予測される値よりも高くなっているが、これは利得が低いためである。電源電圧 3 V の時、消費電力は 54 mW であった。5.4.1に述べた 20 Gbit/s NRZ 光疑似ランダム信号(符号長: $2^{23} - 1$)を光変調器により RZ 信号に変換し[5.22]、光時分割多重(OTDM)により 40 Gbit/s RZ 信号を発生した。光信号は EDFA(Amoco 製)により -1.3 dBm まで増幅し集積化受光回路に照射した。50 GHz サンプリグオシロスコープ(HP 製)で観測したアイパターンを図5.18に示す。同図には比較のため 40 GHz フォトダイオード(New Focus 製)の出力波形も示した。比較的良好なアイパターンが得られている。 40 Gbit/s の動作速度は集積化受光回路で得られたものの中では最高速であり、ハイブリッド受光回路の速度[5.1]とほぼ同程度である。

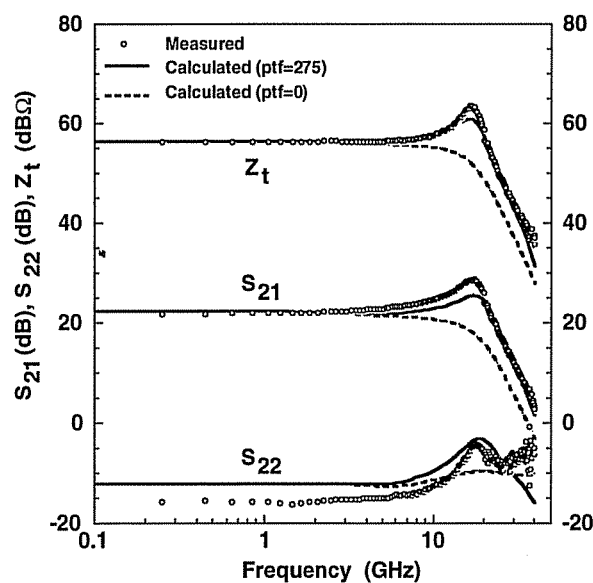


図5.16 シミュレーションと実験との比較

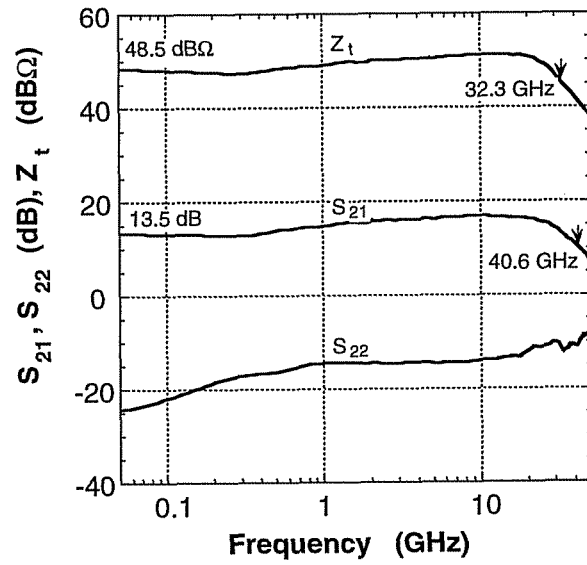
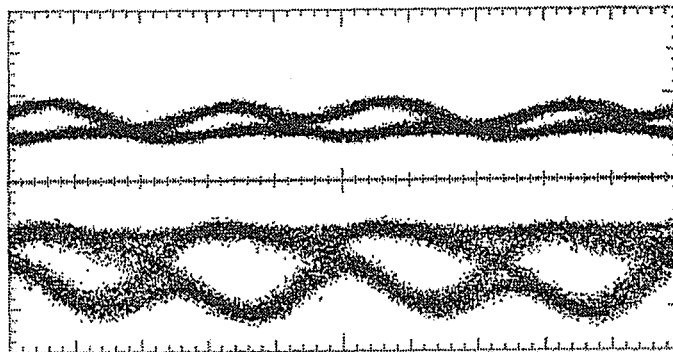


図 5.17 改良設計された前置増幅器の特性



横軸:10ps/div
縦軸:40mV/div

図 5.18 40 Gbit/s アイパターン
上段:40GHz フォトダイオード
下段:集積化受光回路

5.5 まとめ

集積化受光回路の高速化の観点から、電子デバイス製造工程に完全に整合する長波長系の InP/InGaAs *pin*-PD/HBT 前置増幅器構成の集積化受光回路の研究を行い、以下の結果を得た。

コレクタ層の厚さが 300 nm 程度の InP/InGaAs シングルヘテロ接合バイポーラトランジスタにより試作した集積化受光回路においては、ベースーコレクタ層を用いたホモ接合 *pin*-PD の帯域により速度制限される。ホモ接合 *pin*-PD の簡単なモデルを提案し、InGaAs サブコレクタ中で発生した正孔の拡散により帯域が制限されていること、40 GHz 以上の帯域を実現するためにはヘテロ接合化が必要であることを明らかにした。このため、InP/InGaAs ダブルヘテロ接合バイポーラトランジスタを用いた *pin*-PD と前置増幅器から成る集積化受光回路を提案し、その高速動作を確認するとともに、集積化受光回路の動作速度を最大にする最適なコレクタ層の厚さが 200 – 300 nm であることを明確化した。最後に、最適設計された集積化受光回路によりハイブリッド受光回路の最高速度に匹敵する 40 Gbit/s 動作の可能性を示した。

これにより、電子デバイス製造工程に完全に整合する集積化受光回路が高速化に有利であることを実証した。

第6章

結論と将来展望

6.1 結論

来世紀初頭のマルチメディアサービスを経済的に提供するために、商用化されているものと比較して2-3桁低エネルギーな光通信用受信回路を目指して、その高速化、低消費電力化のためのデバイスおよび回路設計の研究を行った。その結果、以下に示す成果が得られた。

第2章では、電子デバイス製造工程との整合性が比較的良く、寄生容量が小さいこと、製造方法が簡単であること等を特徴とする金属-半導体-金属構造プレーナ型受光デバイス(MSM-PD)の高速化設計について述べた。最初に、理論的な研究手法として、対象とする時間精度(あるいは周波数領域)と適用すべきデバイス解析法の関係を整理し、(1)移動度と拡散係数によりドリフト項と拡散項を近似した電流連続式並びにポアソン方程式を二次元空間で数値解析する方法(流体モデル)、(2)モンテカルロ手法によりボルツマン輸送方程式を二次元空間で数値解析する方法(粒子モデル)、の2つの手法に基づく数値計算プログラムを作成した。

流体モデルを用いて構造が簡単なGaAs MSM-PDを解析し、次の結果を得た。

- ・光パルス照射によりキャリア濃度が 10^{16} cm^{-3} を越える強励起状態では、発生した電子と正孔が各々反対方向に移動して空間電荷領域が形成されるためMSM-PD内部の電界強度が低下する。フォトコンダクティビティを計算する際には、この電界低下効果を考慮する必要がある。
- ・光通信で使用される弱励起状態では、電界低下効果は無視できる。

次に、粒子モデルによりGaAs MSM-PDおよびInGaAs MSM-PDを解析し、以下のような高速化の指針を得た。

- ・MSM-PDの高速化のためには電極間隔とともに光吸収層の厚さと受光面積の縮小が必要である。
- ・障壁増強層を有するInGaAs MSM-PDにおいては、障壁増強層と光吸収層の間に傾斜層を設ける必要があり、傾斜層の厚さには最適値が存在する。最適な傾斜層の厚さは電極間隔に比例する。
- ・GaAs MSM-PDにおいては電極間隔に比例して電極間電圧を下げる電界一定スケールリングで良いが、障壁増強層を有するInGaAs MSM-PDにおいては電極間電圧を一定とする電圧一定スケールリングが望ましい。
- ・電極間隔をクォータミクロン程度にすることにより50 GHzを越える帯域が期待できる。

第3章では、受信回路のうち電子デバイスにより構成される集積回路の高性能化について議論した。

最初に受信回路を構成する回路に対する要求性能を概観し、10 Gbit/s 増幅器モジュールを実現するために開発した技術を示した。ここでは、実装に付随する寄生容量および寄生インダクタンスを考慮に入れた安定性解析に基づく増幅回路とパッケージの一括設計法を明らかにした。GaAs MESFETによる広帯域増幅器、電圧制御可変減衰器、分配回路を開発したセラミックパッケージに実装して等化増幅モジュールを試作し、10 Gbit/s、最小入力振幅 15 mV の特性を得た。この等化増幅モジュールはNTTによる現場環境下での光伝送実験に使用され安定に動作することが確認された。これにより、10 GHz 帯域の増幅器、パッケージ一括設計法が確立された。この設計技術は、NTTのバックボーンネットワークに導入されている10 Gbit/s 光伝送方式(FA-10G)に反映された。

次に、10 Gbit/s 以上の高速化を目指して、受信回路の基本回路であるベースバンド増幅器および識別器の動作速度とデバイス性能(電流利得遮断周波数と最大発振周波数)との関係を明確化した。文献で報告されている識別器あるいはDタイプフリップフロップの最高動作速度およびAlGaAs/GaAsヘテロ接合バイポーラトランジスタを用いて試作したベースバンド増幅器の帯域とデバイス性能との関係より、提案したデバイス性能指数の妥当性を検証した。これにより、与えられた回路の動作速度を達成するために必要なデバイス性能指数を推定する簡便な方法が得られた。

最後に、低エネルギーな受信回路の実現を目指すためには高速化とともにモノリシック集積化による低消費電力化が必要であることを指摘した。高速化、低電力化に適したInP/InGaAsダブルヘテロ接合バイポーラトランジスタを用いて、前置増幅器、自動オフセット調整回路、後置増幅器、位相同期ループによるタイミング抽出回路、識別器から構成された3R機能回路を試作し、10 Gbit/s ハイブリッドモジュールと比較して約1/40、2.4 Gbit/s ハイブリッドモジュールと比較して約2桁の低エネルギー化が可能であることを示した。後者のモジュールと本回路を比較すると、使用しているデバイスの f_T と f_{max} の向上により速度性能が約1桁向上し、モノリシック集積化により消費電力が約1桁低減した。

第4章では、光デバイスと電子デバイスの混在する回路を詳細に設計するためのツール開発を目的として光電子混在回路シミュレーション手法について研究を行った。

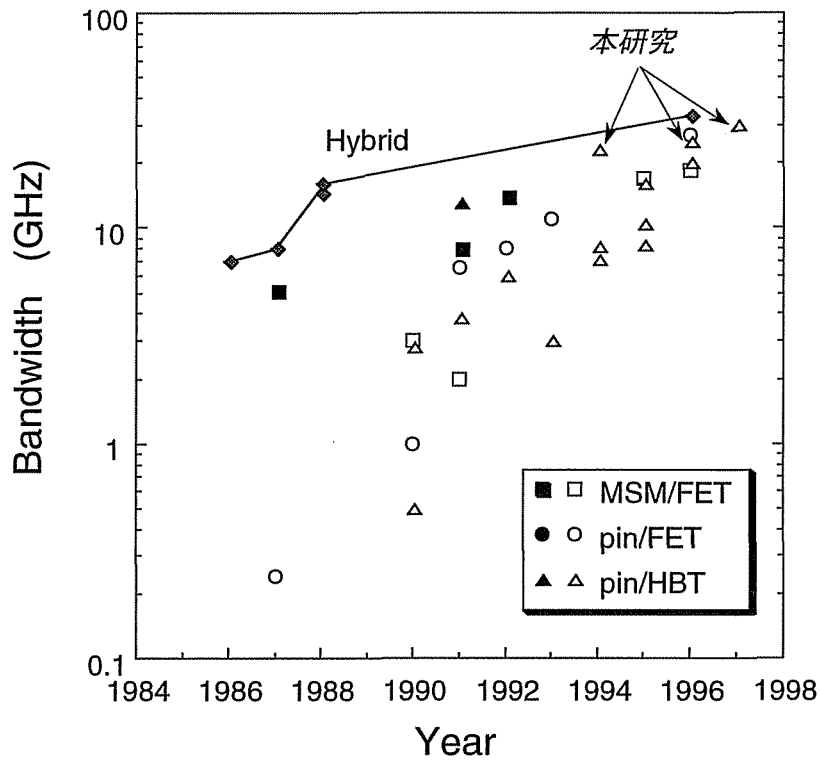
時間領域雑音源を含む電子デバイスモデルを考案し、半導体レーザ、*pin*-PD、MSM-PD、光ファイバ等とともに市販の混合モードシミュレータにインプリメントした。直接変調した半導体レーザ出力波形、光ファイバ伝送後の波形、半導体レーザのタイミングジッタ、GaAs MESFET 増幅器と*pin*-PDから構成されたハイブリッド受光回路の受光感度等について、シミュレーション結果

と実験結果を比較しモデルの妥当性を検証した。本シミュレーション手法は光伝送システムのみならず将来の光電子融合システムの設計に有効であると考えられる。

第5章では、集積化受光回路の高速化の観点から、電子デバイス製造工程に完全に整合する長波長系の InP/InGaAs *pin*-PD/HBT 前置増幅器構成の集積化受光回路の研究を行い、以下の結果を得た。

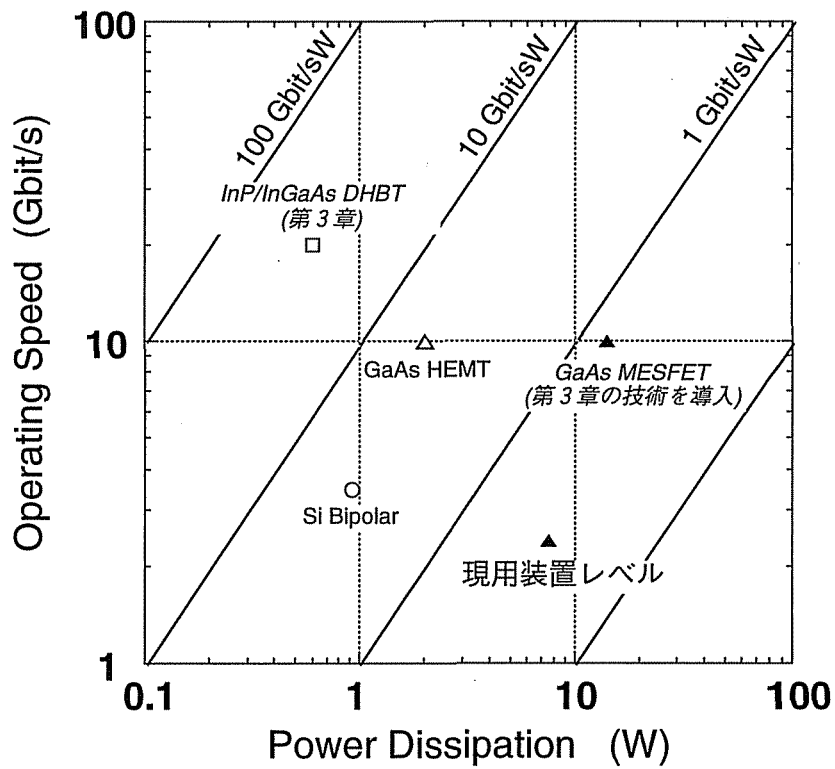
コレクタ層の厚さが 300 nm 程度の InP/InGaAs シングルヘテロ接合バイポーラトランジスタにより試作した集積化受光回路においては、ベース-コレクタ層を用いたホモ接合 *pin*-PD の帯域により速度制限される。ホモ接合 *pin*-PD の簡単なモデルを提案し、InGaAs サブコレクタ中で発生した正孔の拡散により帯域が制限されていること、40 GHz 以上の帯域を実現するためにはヘテロ接合化が必要であることを明らかにした。このため、InP/InGaAs ダブルヘテロ接合バイポーラトランジスタを用いた *pin*-PD と前置増幅器から成る集積化受光回路を提案し、その高速動作を確認するとともに、集積化受光回路の動作速度を最大にする最適なコレクタ層の厚さが 200 – 300 nm であることを明確化した。最後に、最適設計された集積化受光回路によりハイブリッド受光回路の最高速度に匹敵する 40 Gbit/s 動作の可能性を示した。これにより、電子デバイス製造工程に完全に整合する集積化受光回路が高速化に有利であることを実証した。

本研究の到達点を図 6.1 に示す。



(a) 集積化受光回路

白印:長波長、黒印:短波長



(b) 3 R 機能回路

白印:モノリシック[6.1][6.2]

黒印:ハイブリッド[6.3]-[6.5]

図 6.1 本研究の到達点

6.2 将来展望

本研究では、受光デバイスを除く受信回路より 20 Gbit/s、0.6 W の性能が得られ、現状の受信回路と比較して約 2 桁の低エネルギー化の可能性が示された。図1.3に示したように中継器は、受信回路以外に分離回路、多重化回路、および光送信回路を含むため、これらの回路の低エネルギー化も必要である。そこで本論文を締めくくるに当たって、本研究で得られた成果と到達点ならびに超高速集積回路に関する最近の成果を踏まえて、これらの回路を含めた中継器の低エネルギー化ための展望を述べたい。

第3章および第5章に示したInP/InGaAs DHBTによるD-F/Fの最高動作速度の消費電力依存性のシミュレーション結果から見積もると、20 Gbit/s 8ビット多重化回路(MUX)および分離回路(DEMUX)を0.6 W程度で実現できる可能性がある。送信器については、2.4 Gbit/sまでは半導体レーザを直接変調する方式が採られていたが、10 Gbit/s以上の速度においては半導体レーザのチャープングと光ファイバの波長分散による波形劣化が課題となり、半導体レーザからのCW光を光変調器で変調する方式が適している。光変調器ドライバについて、駆動電圧と動作速度の積と消費電力の関係を図6.2に示す[6.6]。多重量子井戸(MQW: Multiple Quantum Well)吸収型光変調器の性能指数は20 GHz/Vまで到達している[6.7][6.8]。したがって、20 Gbit/s光変調器ドライバを0.4 Wの消費電力で実現することは原理的に可能である。以上の予測値をまとめると表6.1のようになる。自動温度制御(ATC: Automatic Temperature Control)と自動パワー制御(APC: Automatic

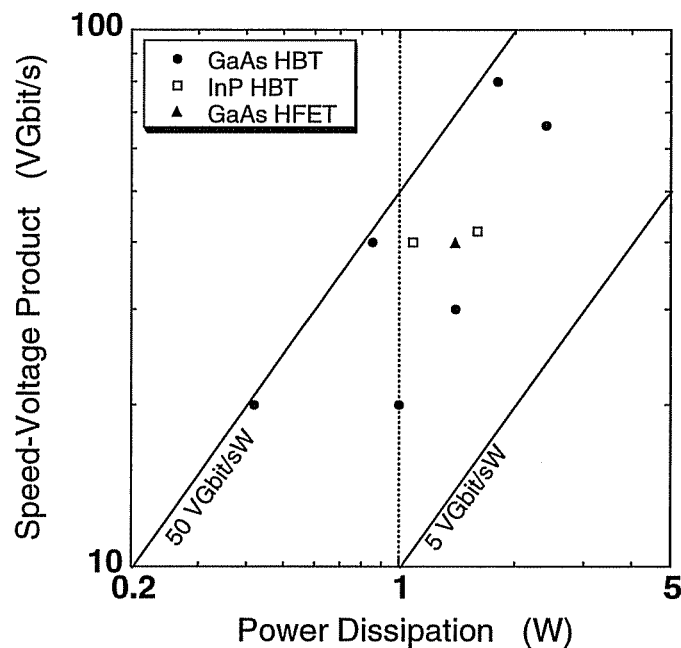


図 6.2 光変調器ドライバの性能

Power Control)を除けば、現在の商用機の光中継器と比較して2桁低エネルギーな中継器を実現できる可能性があると考ええる。ATC、APCフリーとするためには、波長およびパワーの温度依存性が小さい半導体レーザと光変調器の研究開発が今後重要となる。

表 6.1 消費電力の比較

動作速度 文献	2.4 Gbit/s		10 Gbit/s	20 Gbit/s
	[6.3]	[6.4]	[6.5]	
3 R 受信	7.5 W	15 W	14 W	0.6 W
1:8 DEMUX	—		10 W	<u>0.6 W</u>
8:1 MUX	—	13 W	10 W	<u>0.6 W</u>
E/O変換	6.5 W		13 W	<u>0.4 W</u> *

推定値

* 温度、パワー制御回路を除く。

それでは、これをさらに1桁程度低エネルギー化することは可能であろうか？

本研究のアプローチと同様に受信回路と8ビットDEMUXを集積化する方策を採用する。さらに1桁低エネルギー化を目指すと、目標性能は図6.3の直線上となる。現状のチップ間インターフェース条件を用いると出力回路で450 mW(8ビット+1クロックとして)程度の消費電力を必要とする。したがって、最高速度100 Gbit/sの内部回路を200 mW程度で実現しなければならないことになる。このためには第3章で示したように極限性能に近いデバイス技術を用いる必要がある。さらに重要な課題は100 Gbit/sの領域では集積回路チップ内部でさえ分布定数効果が顕在化することである。チップ内部でインピーダンス整合設計を採ることは消費電力の増加を引き起こし、本研究のアプローチと矛盾することになる。そこで、配線長を動作速度に反比例させる微細化路線により集中定数回路設計法を踏襲するというアプローチが可能か否か考察してみる。第3章の3R機能回路の最長配線はVCOからD-F/Fへの約700 μmの20 GHzクロック配線であった。この配線長は20 GHzに対してほぼ1/10波長となっており分布定数効果が見え始める長さである。100 GHzに対して集中定数回路設計法を踏襲すると、現状の1/5の微細化が必要となる。3R機能回路で用いたトランジスタのエミッタ電極幅が1.2 μm、全体の幅が10 μmであり、これを1/5とするためには最先端のCMOS LSIに用いられている加工技術が必要となる。したがって不可能ではないとしても、開発リソースが必要となる。

1桁低エネルギー化のアプローチを図6.3に示す。上記のように、現状よりも1桁程度低電力なチップ間インターフェースの研究が重要テーマとなる。これにより、チップ間インターフェー

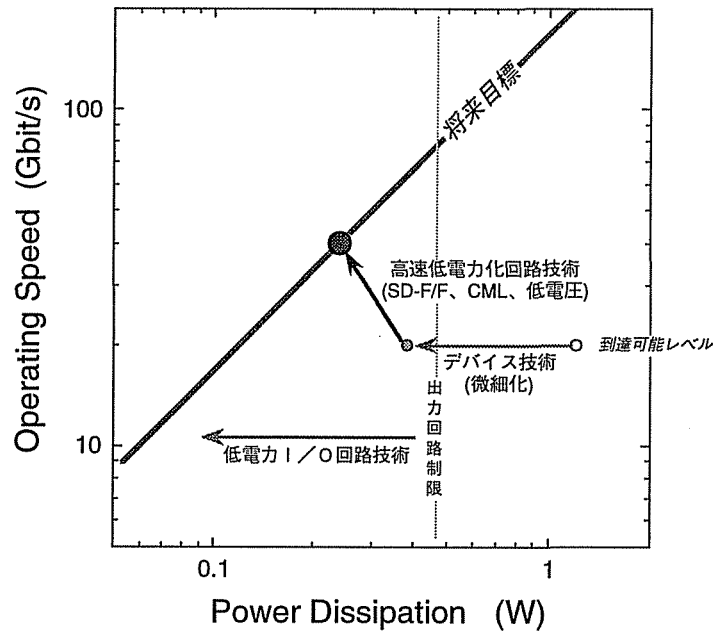


図 6.3 更なる低エネルギー化のシナリオ

ス消費電力制限を克服する。

現状のデバイスサイズを半分にすることは容易である。これにより面積が $1/4$ となる。式(3.1)からわかるように、負荷容量が無視できる場合、HBTの動作速度は電流密度により決まる。したがって、この微細化により同一動作速度で $1/4$ の低電力化が達成できる。デバイス技術で補えない部分を回路技術でカバーする。本研究では従来型の D-F/F を使用したが、Otsuji *et al.* [6.10] により従来型と比較して 2 倍高速なスーパーダイナミック型 F/F が提案されている。第 5 章で示した集積化受光回路とスーパーダイナミック型 F/F を組み合わせることにより 40 Gbit/s 動作が可能となるものとする。この場合動作速度が 2 倍となっているが、半分の微細化により集中定数設計は踏襲できる。低電力化回路技術としては CML (Current Mode Logic) の採用が効果的である。CML は ECL からエミッタフォロアを削除したもので、負荷駆動能力は劣るもののエミッタフォロア分の省電力化が可能である。DEMUX 部に CML を採用できる。また、低電源電圧化も効果的である [6.10]。以上のアプローチにより、受信系については現状と比較して約 3 桁の低エネルギー化は可能であると推定する。

送信系においては、従来のハイブリッド構成を採る限り、光変調器の駆動電圧が低下しないと低電力化は難しい。しかしながら、光変調器は本来高インピーダンスデバイスであり、ドライバとのインターフェースを 50Ω とする必然性はない。光変調器とドライバとのインターフェースに集中定数設計を適用できるような微細な実装技術あるいは光変調器とドライバとのモノリシク集積化技術の開発が望まれる。HBT と MQW レーザを同一層構成で製造する試みがなされており [6.11]、光変調器とのモノリシク化に展開できれば、受光 OEIC 以上に効果的である。

6.3 まとめ

本研究の総括的結論と今後重要となる研究課題について述べた。既存動作原理の電子デバイスは性能限界に近づきつつある。この限界を打ち破るために、現在は未成熟であるが可能性を秘めたフォトニックデバイスとそれらを用いた全光ネットワークの研究への期待は極めて大きい。これらの実用性が見えるまでは超高速電子デバイスの果たす役割は大きい。本研究が今後のマルチメディア社会の構築の一助となれば幸いである。

付 録

A. 第2章の付録

A.1 基本方程式の導出

A.1.1 ポアソン方程式

式(2.1)と式(2.4)と矛盾しないように

$$\mathbf{B} = \nabla \times \mathbf{A} \quad (\text{A1})$$

$$\mathbf{E} = -\nabla\psi - \frac{\partial \mathbf{A}}{\partial t} \quad (\text{A2})$$

により定義されるベクトルポテンシャル \mathbf{A} とスカラーポテンシャル ψ を導入する。これらのポテンシャルは一義的に決るものではないため、任意性を拘束するゲージとしてローレンツゲージ

$$\nabla \cdot \mathbf{A} + \frac{1}{c^2} \cdot \frac{\partial^2 \mathbf{A}}{\partial t^2} = 0 \quad (\text{A3})$$

を用いると、式(2.1)と式(2.2)は

$$\nabla^2 \mathbf{A} - \frac{1}{c^2} \cdot \frac{\partial^2 \mathbf{A}}{\partial t^2} = -\mu \mathbf{J} \quad (\text{A4})$$

$$\nabla^2 \psi - \frac{1}{c^2} \cdot \frac{\partial^2 \psi}{\partial t^2} = -\frac{\rho}{\epsilon} \quad (\text{A5})$$

となる。ここで、 c は光の速度である。これらの式を形式的に解くと、

$$\mathbf{A}(\mathbf{r}, t) = \frac{\mu}{4\pi} \int_{\mathbf{r}'} R^{-1} \mathbf{J}(\mathbf{r}', t - R/c) d^3 r' \quad (\text{A6})$$

$$\psi(\mathbf{r}, t) = \frac{1}{4\pi\epsilon} \int_{\mathbf{r}'} R^{-1} \rho(\mathbf{r}', t - R/c) d^3 r' \quad (\text{A7})$$

となる。ここで、

$$R = |\mathbf{r} - \mathbf{r}'| \quad (\text{A8})$$

つまり、場所 r' からの寄与は R/c だけ過去にある電流密度および電荷密度によるものであること

を示している。

今、解析対象としている時間のスケールに対して R/c が充分小さければ、その時刻での電流密度および電荷密度でポテンシャルが決ることになる。この時、式(A7)よりポアソン方程式(2.8)が得られる。

A.1.2 ボルツマン方程式の近似

準平衡状態では散乱過程は緩和時間 τ を用いて

$$\left[\frac{\partial f}{\partial t} \right]_s = -\frac{f - f_0}{\tau} \quad (\text{A9})$$

と近似できる。ただし、 f_0 は熱平衡状態の分布関数である。電界の変化する時間スケールが緩和時間と比較して大きい場合には、式(2.10)と式(A9)より

$$f(\mathbf{r}, \mathbf{k}, t) = f_0(\mathbf{r}, \mathbf{k}, t) - \tau \left(\frac{q\mathbf{E}}{\hbar} \cdot \nabla_{\mathbf{k}} f + \mathbf{v} \cdot \nabla_{\mathbf{r}} f \right) \quad (\text{A10})$$

ここで、等方的な放物型のバンド

$$E = \frac{\hbar^2 \mathbf{k}^2}{2m_e} \quad (\text{A11})$$

を仮定し、熱平衡状態での分布関数としてボルツマン分布

$$f^0(\mathbf{k}) = \exp\left(-\frac{E - E_F}{k_B T}\right) \quad (\text{A12})$$

を用いる。ここに、 m_e は電子の有効質量、 k_B はボルツマン定数、 T は温度である。分布関数の熱平衡からのずれは非常に小さいものとする、電流密度は次式により与えられる。

$$\begin{aligned} \mathbf{J}_n &= -q \int_{\mathbf{k}} f(\mathbf{r}, \mathbf{k}, t) \mathbf{v} dk^3 \\ &= q \int_{\mathbf{k}} \tau \left(\frac{q\mathbf{E}}{\hbar} \cdot \nabla_{\mathbf{k}} f + \mathbf{v} \cdot \nabla_{\mathbf{r}} f \right) \mathbf{v} dk^3 \end{aligned} \quad (\text{A13})$$

この式の第一項をドリフト電流成分 \mathbf{J}_d 、第二項を拡散電流成分 \mathbf{J}_f とすると、これらは次のように表される。

$$\mathbf{J}_t = q^2 n \frac{\int_{\mathbf{k}} \tau \frac{\partial f}{\partial E} (\mathbf{v} \cdot \mathbf{v}) d\mathbf{k}^3}{\int_{\mathbf{k}} f d\mathbf{k}^3} \mathbf{E} \quad (\text{A14})$$

$$\mathbf{J}_f \approx q \nabla_{\mathbf{r}} \left(n \frac{\int_{\mathbf{k}} \mathcal{U}_0 (\mathbf{v} \cdot \mathbf{v}) d\mathbf{k}^3}{\int_{\mathbf{k}} f_0 d\mathbf{k}^3} \right) \quad (\text{A15})$$

ここで、

$$\mu_n = q \frac{\int_{\mathbf{k}} \tau \frac{\partial f}{\partial E} (\mathbf{v} \cdot \mathbf{v}) d\mathbf{k}^3}{\int_{\mathbf{k}} f d\mathbf{k}^3} \quad (\text{A16})$$

$$D_n = \frac{\int_{\mathbf{k}} \mathcal{U}_0 (\mathbf{v} \cdot \mathbf{v}) d\mathbf{k}^3}{\int_{\mathbf{k}} f_0 d\mathbf{k}^3} \quad (\text{A17})$$

で各々定義されるドリフト移動度と拡散係数を用いると、電流密度は式(2.11)のように記述できる。

ここで、式(A12)、式(A16)および式(2.11)から次のアインシュタインの関係式が成り立っていることがわかる。

$$\mu_n = \frac{q}{k_B T} D_n \quad (\text{A18})$$

正孔についても同様に定式化できる。

A.1.3 生成再結合および光照射による発生モデル

GaAs基板が半絶縁性となる機構としてドナー形再結合中心が浅いアクセプタを補償するというモデルを用いる[2.35]と、電子を放出して正に帯電している再結合中心密度は次の微分方程式で記述される[2.34]。

$$\frac{dN_T^+}{dt} = -v_{th}\sigma_n N_T^+ n + v_{th}\sigma_p N_T^0 p + v_{th}\sigma_n N_T^0 n_{1D} - v_{th}\sigma_p N_T^+ p_{1D} \quad (A19)$$

ここで、 v_{th} はキャリアの熱速度、 σ_n は電子の捕獲断面積、 σ_p は正孔の捕獲断面積、 N_{T0} は中性な再結合中心密度、

$$n_{1D} = n_i \exp\left[\frac{(E_T - E_i)}{k_B T}\right] \quad (A20a)$$

$$p_{1D} = n_i \exp\left[\frac{(E_i - E_T)}{k_B T}\right] \quad (A20b)$$

n_i は真性キャリア密度、 E_T は再結合中心のエネルギー準位、 E_i はバンドギャップ中央のエネルギー準位である。式(2.15a)と式(2.15b)の再結合率は次式で与えられる。

$$R_n = v_{th}\sigma_n N_T^+ n - v_{th}\sigma_n N_T^0 n_{1D} + C_R(np - n_i^2) + (C_{An}n + C_{Ap}p)(np - n_i^2) \quad (A21a)$$

$$R_p = v_{th}\sigma_p N_T^0 p - v_{th}\sigma_p N_T^+ p_{1D} + C_R(np - n_i^2) + (C_{An}n + C_{Ap}p)(np - n_i^2) \quad (A21b)$$

ここで、 C_R は発光再結合の係数、 C_{An} と C_{Ap} はオージェ再結合の係数である。簡単化のため、光は図2.1のDEから下のGaAs基板で吸収されるものとする。光吸収に伴うキャリアの発生率は次式で与えられる。

$$G_n = G_p = \frac{W_p}{h\nu} \exp\left[-\frac{(t-t_0)^2}{\sigma_t^2}\right] \exp\left[-\frac{(x-x_0)^2}{\sigma_x^2}\right] \alpha_{abs} \exp(-\alpha_{abs}y) \quad (A22)$$

ここで、 W_p は半導体に入射する光パルスのピーク電力密度、 $h\nu$ は光子エネルギー、 t_0 と x_0 は光パルスがピークとなる時刻およびGaAs表面上の位置、 α_{abs} は吸収係数である。また、 σ_t と光パルス幅 $FWHM$ との関係および σ_x と $1/e^2$ で定義される光ビーム径 D との関係は、各々、

$$\sigma_t = \frac{FWHM}{2\sqrt{\ln 2}} \quad (A23)$$

$$\sigma_x = \frac{D}{2\sqrt{2}} \quad (A24)$$

である。式(A25a)と式(A25b)によりキャリア速度の電界強度依存性を表現し、式(A26a)と式(A26b)

により不純物密度依存性を表現する[2.36]。

$$v_n(F) = \frac{\mu_n F + v_{sn} \left(\frac{F}{F_{th}} \right)^4}{1 + \left(\frac{F}{F_{th}} \right)^4} \quad (\text{A25a})$$

$$v_p(F) = \frac{\mu_p F}{1 + \frac{\mu_p F}{v_{sp}}} \quad (\text{A25b})$$

$$\mu_n = \mu_{n1} + \frac{\mu_{n2}}{\left(1 + \frac{N_D + N_A + n + p + N_T}{N_m} \right)^{a1}} \quad (\text{A26a})$$

$$\mu_p = \mu_{p1} + \frac{\mu_{p2}}{\left(1 + \frac{N_D + N_A + n + p + N_T}{N_p} \right)^{a2}} \quad (\text{A26b})$$

A.1.4 電子の散乱確率[2.42]

a) Polar optical phonon

$$\lambda_o(k) = \frac{q^2 m^{*1/2} \omega_o}{\sqrt{2\hbar}} (\epsilon_\infty^{-1} - \epsilon_0^{-1}) \frac{1 + 2\alpha E'}{\gamma^{1/2}(E)} F_o(E, E') \begin{Bmatrix} N_o \\ N_o + 1 \end{Bmatrix}$$

$$\gamma(E) = E(1 + \alpha E)$$

$$N_o = [\exp(\hbar\omega_o / k_B T) - 1]^{-1}$$

$$E' = \begin{Bmatrix} E + \hbar\omega_o \\ E - \hbar\omega_o \end{Bmatrix}$$

$$F_o(E, E') = C^{-1} \left(A \ln \left| \frac{\gamma^{1/2}(E) + \gamma^{1/2}(E')}{\gamma^{1/2}(E) - \gamma^{1/2}(E')} \right| + B \right)$$

$$A = [2(1 + \alpha E)(1 + \alpha E') + \alpha\{\gamma(E) + \gamma(E')\}]^2$$

$$B = -2\alpha\gamma^{1/2}(E)\gamma^{1/2}(E')[4(1 + \alpha E)(1 + \alpha E') + \alpha\{\gamma(E) + \gamma(E')\}]$$

$$C = 4(1 + \alpha E)(1 + \alpha E')(1 + 2\alpha E)(1 + 2\alpha E')$$

b) Non-polar optical phonon

$$\lambda_n(k) = \frac{(m^*)^{3/2} \Xi_n^2}{\sqrt{2\pi\rho\omega_n\hbar^3}} E'^{1/2} \begin{Bmatrix} N_n \\ N_n + 1 \end{Bmatrix}$$

$$N_n = [\exp(\hbar\omega_n / k_B T) - 1]^{-1}$$

$$E' = \begin{Bmatrix} E + \hbar\omega_n \\ E - \hbar\omega_n \end{Bmatrix}$$

c) Acoustic phonon

$$\lambda_a(k) = \frac{(2m^*)^{3/2} k_B T \Xi_a^2}{2\pi\rho s^2 \hbar^4} \gamma^{1/2}(E)(1 + 2\alpha E) F_a(E)$$

$$F_a(E) = \frac{(1 + \alpha E)^2 + (\alpha E)^2 / 3}{(1 + 2\alpha E)^2}$$

d) Equivalent intervalley

$$\lambda_e(k) = (Z_e - 1) \frac{(m^*)^{3/2} \Xi_e^2}{\sqrt{2\pi\rho\omega_e\hbar^3}} E'^{1/2} \begin{Bmatrix} N_e \\ N_e + 1 \end{Bmatrix}$$

$$N_e = [\exp(\hbar\omega_e / k_B T) - 1]^{-1}$$

$$E' = \begin{Bmatrix} E + \hbar\omega_e \\ E - \hbar\omega_e \end{Bmatrix}$$

e) Non-equivalent intervalley (from i to j)

$$\lambda_{ij}(k) = Z_{ij} \frac{(m^*_j)^{3/2} \Xi_{ij}^2}{\sqrt{2\pi\rho\omega_{ij}\hbar^3}} \gamma_j^{1/2}(E')(1 + 2\alpha_j E') F_{ij}(E, E') \begin{Bmatrix} N_{ij} \\ N_{ij} + 1 \end{Bmatrix}$$

$$N_{ij} = [\exp(\hbar\omega_{ij} / k_B T) - 1]^{-1}$$

$$E'_j = \begin{Bmatrix} E_i - \Delta_j + \Delta_i + \hbar\omega_{ij} \\ E_i - \Delta_j + \Delta_i - \hbar\omega_{ij} \end{Bmatrix}$$

A.1.5 正孔の散乱確率[2.45][2.46]

a) Polar optical phonon

$$\lambda_o(k) = \frac{q^2 m^{*1/2} \omega_o}{\sqrt{2\hbar}} (\epsilon_\infty^{-1} - \epsilon_0^{-1}) \frac{1}{\sqrt{E}} G_o \begin{Bmatrix} N_o \\ N_o + 1 \end{Bmatrix}$$

$$N_o = [\exp(\hbar\omega_o / k_B T) - 1]^{-1}$$

$$E = \begin{Bmatrix} E + \hbar\omega_o \\ E - \hbar\omega_o \end{Bmatrix}$$

b) Non-polar optical phonon

$$\lambda_{nij}(k) = \frac{(m^*_i)^{3/2} DK^2}{\sqrt{2\pi\rho\omega_n\hbar^3}} E^{1/2} \left(\frac{m^*_j}{m^*_i} \right)^{3/2} \begin{Bmatrix} N_n \\ N_n + 1 \end{Bmatrix}$$

$$N_n = [\exp(\hbar\omega_n / k_B T) - 1]^{-1}$$

$$E = \begin{Bmatrix} E + \hbar\omega_n \\ E - \hbar\omega_n \end{Bmatrix}$$

$$DK^2 = 4 \left(\frac{\omega_n}{s_l} \right)^2 E_1^2$$

c) Acoustic phonon

$$\lambda_{aij}(k) = \frac{(2m^*_j)^{3/2} k_B T E_1^2}{2\pi\rho s^2 \hbar^4} \sqrt{E} \sqrt{\frac{m^*_j}{m^*_i}} G_{aij}$$

$$E_1^2 = \left[\frac{1}{3} + \frac{2}{3} \left(\frac{s_l}{s_t} \right)^2 \right] \left[a^2 + \frac{C_l}{C_t} \left(b^2 + \frac{1}{2} d^2 \right) \right]$$

$$C_l = \frac{1}{5} (3c_{11} + 2c_{12} + 4c_{44})$$

$$C_t = \frac{1}{5} (c_{11} - c_{12} + 3c_{44})$$

Notation

m^*	: effective mass	E	: energy
ϵ_∞	: optical dielectric constant	$\hbar\omega_x$: phonon energy
ϵ_0	: static dielectric constant	Ξ_x	: deformation energy
α	: nonparabolicity	N_x	: phonon occupation number
ρ	: density	a, b, c	: deformation potential constants
s, s_l, s_t	: sound velocity	c_{11}, c_{12}, c_{44}	: crystal elastic constants
Z_e, Z_j	: number of valleys		

A.2 計算に用いたパラメータ値

付表A1 流体モデルによる計算に用いたパラメータ値

a) Mobility

μ_{n1}	$1000 \text{ cm}^2/\text{Vs}$	μ_{p1}	$50 \text{ cm}^2/\text{Vs}$
μ_{n2}	$7300 \text{ cm}^2/\text{Vs}$	μ_{p2}	$350 \text{ cm}^2/\text{Vs}$
N_{rn}	10^{16} cm^{-3}	N_{rp}	$5 \times 10^{16} \text{ cm}^{-3}$
$a1$	0.4	$a2$	0.4956
v_{sn}	$0.8 \times 10^7 \text{ cm/s}$	v_{sp}	$1.5 \times 10^7 \text{ cm/s}$
F_{th}	4.3 kV/cm		

b) Recombination

N_T	$1.0 \times 10^{16} \text{ cm}^{-3}$	$E_C - E_T$	0.8 eV
σ_n	$1.0 \times 10^{-13} \text{ cm}^2$	σ_p	$2.0 \times 10^{-18} \text{ cm}^2$
C_{An}	$1.926 \times 10^{-31} \text{ cm}^6/\text{s}$	C_{Ap}	$1.12 \times 10^{-30} \text{ cm}^6/\text{s}$
C_R	$1.0 \times 10^{-10} \text{ cm}^3/\text{s}$		

c) Optical absorption

$$\alpha_{abs} = 4.32 \times 10^4 (h\nu - E_g)^{1/2} \text{ cm}^{-1}$$

付表 A2 解析に用いた材料パラメータ (GaAs) [2.47][2.48]

Bulk material parameters			
Parameter	Value	Parameter	Value
Lattice constant (Å)	5.642	LO phonon energy (eV)	0.03536
Density (g/cm ³)	5.36	Optical dielectric constant	10.92
Electron affinity (eV)	4.07	Static dielectric constant	13.1
Sound velocity (cm/s)	S_l 5.24 x 10 ⁵	Crystal elastic constants (dyn/cm ²)	C_{11} 11.88 x 10 ¹¹
	S_t 3.34 x 10 ⁵		C_{12} 5.38 x 10 ¹¹
			C_{44} 5.49 x 10 ¹¹
Deformation potential constants (eV)	a 3.1		
	b -1.7		
	c -4.4		

Valley-Dependent Material Parameters				
Parameter	Conduction-Band Valley			
	Γ	L	X	
Acoustic deformation potential (eV)	7.0	9.2	9.27	
Effective mass (m^*/m_0)	0.063	0.222	0.58	
Nonparabolicity (eV ⁻¹)	0.61	0.461	0.204	
Valley separation (eV)	-	0.33	0.522	
Optical deformation potential (eV/cm)	0	3 x 10 ⁸	0	
Optical phonon energy (eV)	-	0.0343	-	
Intervalley deformation potential (eV/cm)				
	from Γ	0	1 x 10 ⁹	1 x 10 ⁹
	from L	1 x 10 ⁹	1 x 10 ⁹	5 x 10 ⁸
from X	1 x 10 ⁹	5 x 10 ⁸	7 x 10 ⁸	
Intervalley phonon energy (eV)				
	from Γ	0	0.0278	0.0299
	from L	0.0278	0.0290	0.0293
from X	0.0299	0.0293	0.0299	
Number of equivalent valleys	1	4	3	

Valence Band		
Parameter	Heavy Hole	Light Hole
Effective mass (m^*/m_0)	0.45	0.082

付表 A3 解析に用いた材料パラメータ ($\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$) [2.49]-[2.51]

Bulk material parameters				
Parameter	Value	Parameter	Value	
Lattice constant (\AA)	5.867	LO phonon energy (eV)	0.0327	
Density (g/cm^3)	5.48	Optical dielectric constant	11.09	
Electron affinity (eV)	4.65	Static dielectric constant	13.85	
Sound velocity (cm/s)	S_l 4.74×10^5	Crystal elastic constants (dyn/cm^2)	C_{11} 10.21×10^{11}	
	S_t 3.01×10^5		C_{12} 4.98×10^{11}	
			C_{44} 5.01×10^{11}	
Deformation potential constants (eV)	a 2.606			
	b -1.747			
	c -4.104			
Valley-Dependent Material Parameters				
Parameter	Conduction-Band Valley			
	Γ	L	X	
Acoustic deformation potential (eV)	9.2	9.2	9.2	
Effective mass (m^*/m_0)	0.0463	0.256	0.529	
Nonparabolicity (eV^{-1})	1.18	0.22	0.049	
Valley separation (eV)	-	0.55	0.67	
Optical deformation potential (eV/cm)	0	3×10^8	0	
Optical phonon energy (eV)	-	0.0343	-	
Intervalley deformation potential (eV/cm)				
	from Γ	0	1×10^9	1×10^9
	from L	1×10^9	1×10^9	9×10^8
from X	1×10^9	9×10^8	9×10^8	
Intervalley phonon energy (eV)				
	from Γ	0	0.027	0.0299
	from L	0.027	0.029	0.0293
from X	0.0299	0.0293	0.0299	
Number of equivalent valleys	1	4	3	
Valence Band				
Parameter	Valence Band			
	Heavy Hole	Light Hole		
Effective mass (m^*/m_0)	0.61	0.0588		

付表 A4 解析に用いた材料パラメータ ($\text{In}_{0.52}\text{Al}_{0.48}\text{As}$) [2.50][2.52]-[2.54]

Bulk material parameters			
Parameter	Value	Parameter	Value
Lattice constant (\AA)	5.867	LO phonon energy (eV)	0.041
Density (g/cm^3)	4.75	Optical dielectric constant	10.28
Electron affinity (eV)	4.12	Static dielectric constant	12.42
Sound velocity (cm/s)	S_l 4.97×10^5	Crystal elastic constants (dyn/cm^2)	C_{11} 10.10×10^{11}
	S_t 3.27×10^5		C_{12} 5.089×10^{11}
			C_{44} 4.886×10^{11}
Deformation potential constants (eV)	a 2.548		
	b -1.656		
	c -3.504		

Valley-Dependent Material Parameters			
Parameter	Conduction-Band Valley		
	Γ	L	X
Acoustic deformation potential (eV)	9.2	9.2	9.2
Effective mass (m^*/m_0)	0.084	0.274	0.496
Nonparabolicity (eV^{-1})	0.571	0.204	0.147
Valley separation (eV)	-	0.23	0.39
Optical deformation potential (eV/cm)	0	3×10^8	0
Optical phonon energy (eV)	-	0.0343	-
Intervalley deformation potential (eV/cm)	from Γ	0	1×10^9
	from L	1×10^9	1×10^9
	from X	1×10^9	9×10^8
Intervalley phonon energy (eV)	from Γ	0	0.0278
	from L	0.0278	0.029
	from X	0.0299	0.0293
Number of equivalent valleys	1	4	3

Valence Band		
Parameter	Heavy Hole	Light Hole
Effective mass (m^*/m_0)	0.677	0.086

付表 A5 解析に用いた材料パラメータ (InP) [2.48][2.51][2.52]

Bulk material parameters			
Parameter	Value	Parameter	Value
Lattice constant (Å)	5.867	LO phonon energy (eV)	0.043
Density (g/cm ³)	4.79	Optical dielectric constant	9.52
Electron affinity (eV)	4.4	Static dielectric constant	12.35
Sound velocity (cm/s)	S_l 5.14 x 10 ⁵	Crystal elastic constants (dyn/cm ²)	C_{11} 10.22 x 10 ¹¹
	S_t 3.10 x 10 ⁵		C_{12} 5.76 x 10 ¹¹
			C_{44} 4.60 x 10 ¹¹
Deformation potential constants (eV)	a 2.8		
	b -1.55		
	c -4.4		

Valley-Dependent Material Parameters				
Parameter	Conduction-Band Valley			
	Γ	L	X	
Acoustic deformation potential (eV)	8.0	8.0	8.0	
Effective mass (m^*/m_0)	0.078	0.26	0.325	
Nonparabolicity (eV ⁻¹)	0.83	0.23	0.38	
Valley separation (eV)	-	0.54	0.775	
Optical deformation potential (eV/cm)	0	3 x 10 ⁸	0	
Optical phonon energy (eV)	-	0.0343	-	
Intervalley deformation potential (eV/cm)				
	from Γ	0	1 x 10 ⁹	1 x 10 ⁹
	from L	1 x 10 ⁹	1 x 10 ⁹	9 x 10 ⁸
from X	1 x 10 ⁹	9 x 10 ⁸	9 x 10 ⁸	
Intervalley phonon energy (eV)				
	from Γ	0	0.0278	0.0299
	from L	0.0278	0.029	0.0293
from X	0.0299	0.0293	0.0299	
Number of equivalent valleys	1	4	3	

Valence Band		
Parameter	Heavy Hole	Light Hole
Effective mass (m^*/m_0)	0.45	0.12

B. 第3章の付録

B.1 ECLの遅延時間近似式

式(2.1)中の微分エミッタ抵抗と拡散容量は次式で与えられる。

$$r_D = \frac{0.15}{I_C} \quad (B1)$$

$$C_D = \frac{\tau_f}{r_D} = \frac{\tau_f I_C}{0.15} \quad (B2)$$

式(3.1)を用いて計算した遅延時間と回路シミュレーションにより求めた遅延時間の比較を付表B1に示す。比較に用いたデバイスパラメータはMatsuoka *et al.* [3.19]により報告されているものである。式(3.1)による計算値は2%の精度で回路シミュレーション結果と一致しており、極めて良い近似式であることがわかる。

付表B1 近似式と回路シミュレーションの比較

Parameters	Values	Propagation Delays	
I_C	5.0 mA	Calculated by (1) - (3)	8.21 ps
τ_f	0.93 ps	1st term	0.93 ps
R_B	45.7 Ω	2nd term	1.42 ps
R_L	100 Ω	3rd term	1.95 ps
C_D	31.0 fF	4-th term	1.84 ps
C_{BC}	8.0 fF	5-th term	2.07 ps
C_{BCex}	9.0 fF	Circuit Simulation	8.08 ps

式(B1)と(B2)を式(3.1)に代入して、 R_L で偏微分すると最小値が得られる。その最小値は次式で与えられる。

$$t_{pd(\min)} = \tau_f + R_B C_{BC} \left(2 + \frac{V_{SW}}{0.15} \right) + 2 \sqrt{\frac{\tau_f R_B (C_{BC} + C_{BCex}) V_{SW}}{0.15} \left(2 + \frac{0.15}{V_{SW}} \right)} \quad (B3)$$

ここに、最小値を与える負荷抵抗は

$$R_L = \sqrt{\frac{\tau_f R_B V_{SW}}{0.15 \left(2 + \frac{0.15}{V_{SW}} \right) (C_{BC} + C_{BCex})}} \quad (B4)$$

である。ここで、簡単化のために、 C_{BCex} を無視し^{注1)}、

注1) 付表B1から20%程度の誤差が生ずることとなる。

$$\tau_f \approx \frac{1}{2\pi f_T} \quad (\text{B5})$$

$$\frac{0.15}{V_{SW}} \ll 2 \quad (\text{B6})$$

$$f_{\max} = \sqrt{\frac{f_T}{8\pi R_B C_{BC}}} \quad (\text{B7})$$

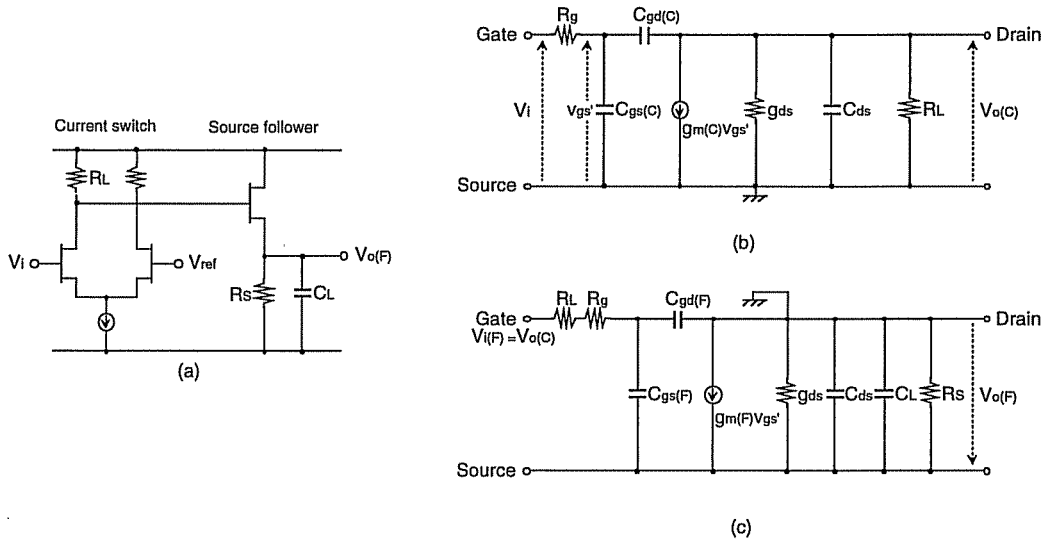
を用いると式(3.2)が得られる。

B.2 SCFL の遅延時間近似式

ECL についての Tien[3.18]の手法と同様に、付図 B1 に示す SCFL インバータの等価回路の入出力伝達関数を求める。電流スイッチの出力 $v_{o(C)}$ は内部インピーダンス R_L を持つテブナン電圧源として考える[3.18]。電流スイッチについて節点方程式を立てると、次のようになる。

$$v_{o(C)} + g_{m(C)} R_L v_{gs}' + g_{ds} R_L v_{o(C)} + s R_L C_{ds} v_{o(C)} + s R_L C_{gd(C)} (v_{o(C)} - v_{gs}') = 0 \quad (\text{B8})$$

$$v_{gs}' - v_i + s R_g C_{gs(C)} v_{gs}' + s R_g C_{gd(C)} (v_{gs}' - v_{o(C)}) = 0 \quad (\text{B9})$$



付図 B1 SCFL インバータの等価回路

(a) インバータ回路図 (b) 電流スイッチの等価回路 (c) ソースフォロアの等価回路

これらを連立して解くと、伝達関数は次式で表現できる。

$$A(s) = \frac{g_{m(C)} - sC_{gd(C)}}{\left(\frac{1}{R_L} + g_{ds} + sC_{gd(C)} + sC_{ds}\right) \left[1 + s(C_{gs(C)} + C_{gd(C)})R_g\right] + sC_{gd(C)}R_g g_{m(C)} - s^2 C_{gd(C)}^2 R_g} \quad (\text{B10})$$

ソースフォロアについても同一の手順を採ると、伝達関数は次式となる。

$$B(s) = \frac{-g_{m(F)} - sC_{gs(F)}}{\left(g_{m(F)} + g_{ds} + \frac{1}{R_S} + sC_{gs(F)} + sC_{ds} + sC_L\right) \left[1 + s(C_{gs(F)} + C_{gd(F)})R_L'\right] - sC_{gs(F)}R_L' g_{m(F)} - s^2 C_{gs(F)}^2 R_L'} \quad (\text{B11})$$

Ashar[3.20]の定義によれば、伝搬遅延時間は各々、次のように与えられる。

$$D_{CS} = \left[-\frac{dA(s)/ds}{A(s)} \right]_{s=0} \\ = \frac{C_{gd(C)}}{g_{m(C)}} + \frac{R_L(C_{gd(C)} + C_{ds}) + R_L R_g g_{m(C)} C_{gd(C)} + R_g(C_{gs(C)} + C_{gd(C)})}{1 + R_L g_{ds}} \quad (\text{B12})$$

$$D_{SF} = \left[-\frac{dB(s)/ds}{B(s)} \right]_{s=0} \\ = C_{gd(F)}(R_L + R_g) + C_{gs(F)} \left[R_L + R_g + \frac{1 - g_{m(F)}(R_L + R_g)}{g_{m(F)} + g_{ds} + \frac{1}{R_S}} - \frac{1}{g_{m(F)}} \right] + \frac{C_L + C_{ds}}{g_{m(F)} + g_{ds} + \frac{1}{R_S}} \quad (\text{B13})$$

インバータの伝搬遅延時間は式(B12)と式(B13)の和で与えられる。ここで、添え字に(C)(F)を付与したパラメータはバイアス電圧依存性を有しており、動作電圧範囲の平均値で近似する。ゲート容量は次式で与えられる。

$$C_{gi} = \frac{\int_{V_{gi1}}^{V_{gi2}} C_{gi0} \left(1 - \frac{V}{\phi}\right)^{-m} dV}{V_{gi2} - V_{gi1}} + C_{pi} \quad (i = s, d) \quad (\text{B14})$$

ここで、 V_{gi1} と V_{gi2} は各々最小、最大電圧、 C_{gi0} はゼロバイアス時の容量、 ϕ はビルトイン電圧、 C_{pi} は寄生容量である。相互コンダクタンスについては、 $g_{m(C)} = g_{mmax}/2$ 、 $g_{m(F)} = g_{mmax}$ (g_m の最大値) とする。

3.2で述べたゲート長 $0.2 \mu\text{m}$ の対称型 GaAs MESFET を用いたインバータの遅延時間の実験値 [3.21] と近似式による計算値との比較を行った結果を付表B2に示す。同表にはインバータに用いられているゲート幅 $10 \mu\text{m}$ の FET のデバイスパラメータ [3.22] を付記している。ソースフォロア

の R_s は FET 電流源で実現しているため、 $1/g_{ds}$ とした。負荷容量 C_L は次式で与えられる次段電流スイッチ FET の入力容量で近似した。

$$C_L = C_{gs(C)} + (1 + A_v)C_{gd(C)} \quad (B15)$$

ただし、 A_v は電圧利得 ($= g_{m(C)}R_L / (1 + R_Lg_{ds})$) である。また、ゲート電圧範囲は回路シミュレーションより次のように決定した。

$$V_{gs1} = -0.12 \text{ V}, V_{gs2} = 0.67 \text{ V}, V_{gd1} = -1.47 \text{ V}, V_{gd2} = 0.22 \text{ V} \quad (\text{電流スイッチ})$$

$$V_{gs1} = 0.57 \text{ V}, V_{gs2} = 0.68 \text{ V}, V_{gd1} = -0.95 \text{ V}, V_{gd2} = -0.05 \text{ V} \quad (\text{ソースフォロア})$$

近似式による計算値は、回路シミュレータ (HSPICE) による結果と 2% の精度で、また実験値とは 7% の精度で一致している。

付表 B2 近似式、回路シミュレーション、実験[3.21]の比較

Parameters	Values	Propagation Delays	
		Current Switch	Source Follower
g_{mmax}	4.04 mS	Calculated by this model 18.2 ps	
g_{ds}	0.384 mS		
R_g	0.875 Ω	1st term	2.67 ps
R_L	800 Ω	2nd term	3.61 ps
C_{g0}	6.5 fF	3rd term	0.01 ps
ϕ	0.8 V		
m	0.88	HSPICE Simulation	17.9 ps
C_p	1.0 fF	Measured [2.22]	17.0 ps
C_{ds}	0.5 fF		

B.3 実験に用いた L-BCT の構成

L-BCT のエピタキシャル層構成を付表 B3 に示す。デバイス A と B は MBE により結晶成長され、ベースドーパントはベリリウム Be である。デバイス C は MOCVD により結晶成長され、ベースドーパントはカーボン C である。

付表 B3 HBT のエピタキシャル層構成[3.19][3.31][3.32]

Device	A			B			C			
Layer	Emitter Cap	n^+ -InGaAs	40 nm	$2 \times 10^{19} \text{ cm}^{-3}$	60 % In	n^+ -InGaAs	40 nm	$2 \times 10^{19} \text{ cm}^{-3}$	65 % In	
		n^+ -InGaAs	50 nm	$2 \times 10^{19} \text{ cm}^{-3}$	0 - 60 % In	n^+ -InGaAs	50 nm	$2 \times 10^{19} \text{ cm}^{-3}$	0 - 65 % In	
		n^+ -GaAs	160 nm	$2 \times 10^{19} \text{ cm}^{-3}$		n^+ -GaAs	160 nm	$3 \times 10^{19} \text{ cm}^{-3}$		
	Emitter	N^+ -AlGaAs	30 nm	$2 \times 10^{18} - 2 \times 10^{19} \text{ cm}^{-3}$	30 - 0 % Al	N^+ -AlGaAs	30 nm	$3 \times 10^{17} - 2 \times 10^{18} \text{ cm}^{-3}$	26 - 0 % Al	
		N -AlGaAs	20 nm	$3 \times 10^{17} - 2 \times 10^{18} \text{ cm}^{-3}$	30 % Al	N -AlGaAs	50 nm	$3 \times 10^{17} \text{ cm}^{-3}$	26 % Al	
		N -AlGaAs	30 nm	$3 \times 10^{17} \text{ cm}^{-3}$	12 - 30 % Al					
	Base	P^+ -AlGaAs	40 nm	$4 \times 10^{19} \text{ cm}^{-3}$	0 - 12 % Al	p^+ -GaAs	50 nm	$6 \times 10^{19} \text{ cm}^{-3}$		
	Collector			n^+ -GaAs	10 nm	$2 \times 10^{18} \text{ cm}^{-3}$				
		n^- -GaAs	130 nm	$\sim 10^{16} \text{ cm}^{-3}$	n^- -GaAs	220, 280 nm	$\sim 10^{16} \text{ cm}^{-3}$	n^- -GaAs	210 nm	$\sim 10^{16} \text{ cm}^{-3}$
				p^+ -GaAs	10 nm	$4 \times 10^{18} \text{ cm}^{-3}$				
n^+ -GaAs		200 nm	$4 \times 10^{18} \text{ cm}^{-3}$							
Subcollector	n^+ -GaAs	800 nm	$1 \times 10^{19} \text{ cm}^{-3}$			n^+ -GaAs	800 nm	$3 \times 10^{18} \text{ cm}^{-3}$		
Base Metal	Ti/Pt/Au			Pt/Ti/Pt/Au						

C. 第4章の付録

C.1 半導体レーザのレート方程式中の記号の意味[4.4][4.5][4.12][4.13]

$$I_1 = \frac{qV_a n}{\tau_{ns}} \quad b = \frac{B_1 \tau_{ns}^2}{qV_a} \quad I_{sp} = \beta \left(\frac{\tau_{ns}}{\tau_s} I_1 + b I_1^2 \right)$$

$$\tau_{ns}^{-1} = \tau_n^{-1} + \tau_s^{-1} \quad I_g = g C_p S_n \quad C_p = q V_a S_c$$

$$R_p = \frac{\tau_p}{C_p} \quad S_n = \frac{S}{S_c} \quad g = \frac{g_0}{1 + \epsilon S}$$

記号の意味は次の通りである。

V_a : 活性領域の体積	n : 電子密度
τ_n : 非発光性再結合寿命	τ_s : 低注入時の発光性再結合寿命
B_1 : 高注入時の発光性再結合率係数	g_0 : 光利得
S_c : 光子密度の規格化定数	S_n : 規格化された光子密度
τ_p : 光子寿命	β : 自然放出光がレーザモードに結合する割合
ϵ : 利得抑圧係数	S : 光子密度

式(4.1)(4.2)において、電子と光子の雑音 I_{nm} と I_{ns} は次式で与えられる[4.9]。

$$I_{nm} = qV_e \frac{r_e}{\sqrt{\Delta t}} \quad (C1)$$

$$I_{ns} = qV_e \left(c_i \frac{r_e}{\sqrt{\Delta t}} + \sqrt{1 - c_i^2} \frac{r_i}{\sqrt{\Delta t}} \right) \quad (C2)$$

ただし、

$$V_e = \sqrt{\frac{I + I_1 + b I_1^2 + I_g}{q}} \quad (C3)$$

$$V_i = \sqrt{\frac{I_g + I_{sp}}{q} + V_a \frac{S}{\tau_p}} \quad (C4)$$

$$c_i V_e V_i = -\frac{I_g + I_{sp}}{q} \quad (C5)$$

ここで、 r_e 、 r_i は正規乱数、 Δt は解析時間間隔である。

C.2 受光デバイスの詳細

式(4.6)中の速度 v_n と v_p は式(A25a)(A25b)を用いて計算する。また、 l_a は pin -PDについては吸収層の厚さ、MSM-PDについては電極間隔とする。電子と正孔の速度を計算する時の電界強度はMSM-PDと pin -PDについて、各々

$$F = \frac{V_b}{l_a} \quad (C6a)$$

$$F = \frac{V_b - V_{bi}}{l_a} \quad (C6b)$$

で近似する。ここに、 V_b はカソード-アノード間電圧、 V_{bi} は pin -PDのビルトイン電圧である。

キャリア数の変化は次の微分方程式で記述される。

$$\frac{dN}{dt} = -\frac{N}{\tau_n} + \eta_{pd} \frac{W(t)}{h\nu} \quad (C7a)$$

$$\frac{dP}{dt} = -\frac{P}{\tau_p} + \eta_{pd} \frac{W(t)}{h\nu} \quad (C7b)$$

ここで、 η_{pd} は量子効率である。電子と正孔の走行時間は、各々、

$$\tau_n = \frac{l_a}{v_n} \quad (C8a)$$

$$\tau_p = \frac{l_a}{v_p} \quad (C8b)$$

により近似する。

謝 辞

本論文をまとめるに当たり、東京大学大規模集積システム設計教育研究センター、浅田邦博教授に御指導、御鞭撻を賜りました。ここに慎んで御礼申し上げます。

東京大学大学院工学系研究科電子工学専攻、神谷武志教授には本研究開始後、高速受光デバイスに関して御指導、御討論を頂くとともに、本論文をまとめるに当たり有益な御教示を賜りました。厚く御礼申し上げます。

東京大学大規模集積システム設計教育研究センター、鳳紘一郎教授、東京大学大学院工学系研究科電子工学専攻、保立和夫教授、東京大学生産技術研究所、荒川泰彦教授、東京大学大学院工学系研究科電子工学専攻、中野義昭助教授には、本論文の構成を考える上で有益な御教示を賜りました。深く御礼申し上げます。

本研究は、筆者が1988年から1996年の間にNTT LSI研究所、システムエレクトロニクス研究所において行ったものである。本研究の機会を与え、御指導、御鞭撻を頂いた向井久和氏（現 沖電気工業）、池田博昌氏（現 大阪大学）、須藤常太氏（現 横河電機）、酒井保良氏（現 国際電気通信基礎技術研究所）、荒井英輔氏（現 名古屋工業大学）、石田晶氏（現 住友電工）、家田信明氏（現 NTTエレクトロニクス）、堀口勝治氏（現 NTTエレクトロニクス）、岩田穆氏（現 広島大学）、赤沢幸雄氏（現 NTTグループ企業本部）に深く感謝いたします。

本論文をまとめるに当たり多大な激励を頂いた吉村寛氏（現 NTT光ネットワークシステム研究所）に深く感謝いたします。

本研究の素地となったMOSデバイスおよび回路設計について御指導を頂いた有吉昶氏（現 村田製作所）、大和田允彦氏（現 NTTエレクトロニクス）、木村忠勝氏（現 NTTエレクトロニクス）、笠井良太氏（現 NTTシステムエレクトロニクス研究所）に深く感謝いたします。

高速回路およびパッケージ設計に関して有益な御討論を頂いた今井祐記氏（現 NTTグループ企業本部）、市野晴彦氏（現 NTT光ネットワークシステム研究所）、菊池博行氏（現 NTT光ネットワークシステム研究所）、石原昇氏（現 NTT光エレクトロニクス研究所）、柴田随道氏（現 NTTシステムエレクトロニクス研究所）、中村誠氏（現 NTT光エレクトロニクス研究所）、村田浩一氏（現 NTT光ネットワークシステム研究所）、光デバイスの測定に関して御教示頂いた永妻忠夫氏（現 NTTシステムエレクトロニクス研究所）、尾辻泰一氏（現 NTT光ネットワークシステム研究所）、品川満氏（現 NTTシステムエレクトロニクス研究所）、高橋亮氏（現 NTT光エレクトロニクス研究所）、米山幹夫氏（現 NTT光ネットワークシステム研究所）、佐野公一氏（現 NTT光ネットワークシステム研究所）、化合物半導体デバイスについて有益な御討論を頂いた石井康信氏（現 NTTシステムエレクトロニクス研究所）、榎木孝知氏（現 NTTシステムエレクトロニクス研究所）、ヘテロ接合バイポーラトランジスタのデバイスおよびプロセス

技術を担当された石橋忠夫氏（現 NTTシステムエレクトロニクス研究所）、松岡裕氏（現 NTT光エレクトロニクス研究所）、山幡章司氏（現 NTTシステムエレクトロニクス研究所）、中島裕樹氏（現 NTTシステムエレクトロニクス研究所）、栗島賢二氏（現 NTTシステムエレクトロニクス研究所）、GaAs MESFETのデバイスおよびプロセス技術を担当された山根康朗氏（現 NTTシステムエレクトロニクス研究所）をはじめとする職場の各位に深く感謝いたします。

中川清司氏（現 山形大学）、萩本和男氏（現 NTT長距離事業本部）、宮本裕氏（現 NTT光ネットワークシステム研究所）には光伝送方式の観点から貴重な御意見を頂きました。あらためて感謝申し上げます。

最後に、忍耐強く著者を支えた妻、香に心から感謝の意を表したい。

参 考 文 献

第 1 章

- [1.1] 岩橋、福富、"F-400M 方式の概要," 通研実報, vol. 32, pp. 575-582, 1983.
- [1.2] 木村、中川、"F-1.6G 方式の概要," 通研実報, vol. 36, pp.153-160, 1987.
- [1.3] CCITT BLUE BOOK: Recommendation G.707; G.708; G.709, 1989.
- [1.4] 辻、坪井、新井、"2.4Gb/s 新同期光伝送方式," *NTT R&D*, vol. 40, pp. 667-678, 1991.
- [1.5] Special issue on multiwavelength optical technology and networks, *J. Lightwave Technol.*, vol. 14, no. 6, 1996.
- [1.6] H. Onaka, H. Miyata, G. Ishikawa, K. Otsuka, H. Ooi, Y. Kai, S. Kinoshita, M. Seino, H. Nishimoto, and T. Chikama, "1.1 Tb/s WDM transmission over a 150 km 1.3 μm zero-dispersion single-mode fiber," in *Tech. Dig. OFC'96* (San Jose, CA), Feb. 1996, paper PD19.
- [1.7] A. H. Gnauck, A. R. Chraplyvy, R. W. Tkach, J. L. Zyskind, J. W. Sulhoff, A. J. Lucero, Y. Sun, R. M. Jopson, F. Forghieri, R. M. Derosier, C. Wolf, and A. R. McCormick, "One terabit/s transmission experiment," in *Tech. Dig. OFC'96* (San Jose, CA), Feb. 1996, paper PD20.
- [1.8] T. Morioka, T. Takara, S. Kawanishi, O. Kamatani, T. Takiguchi, K. Uchiyama, M. Saruwatari, H. Takahashi, M. Yamada, T. Kanamori, and H. Ono, "100 Gbit/s x 10 channel OTDM/WDM transmission using a single supercontinuum WDM source," in *Tech. Dig. OFC'96* (San Jose, CA), Feb. 1996, paper PD21.
- [1.9] K. Hagimoto, K. Iwatsuki, A. Takada, M. Nakazawa, M. Saruwatari, K. Aida, K. Nakagawa, and M. Horiguchi, "A 212 km non-repeatered transmission experiment at 1.8 Gb/s using LD pumped Er^{3+} - doped fiber amplifiers in an IM/direct-detection repeater system," in *Tech. Dig. OFC'89* (Houston, TX) Feb. 1989, PD-15.
- [1.10] 加本、金森、河原田、永野、"高速光中継器用集積回路," 通研実報, vol. 34, pp.1453-1462, 1985.
- [1.11] 鈴木、赤沢、吉開、萩本、"F-1.6G 方式用集積回路," 通研実報, vol. 36, pp.177-186, 1987.
- [1.12] Y. Yamane, T. Enoki, S. Sugitani, and M. Hirayama, "5.9 ps/gate operation with 0.1 μm gate-length GaAs MESFET's," in *IEDM Tech. Dig.* (San Francisco, CA), Dec. 1988, pp. 894-896.
- [1.13] K. Hagimoto, Y. Miyagawa, Y. Miyamoto, M. Ohhashi, M. Ohhata, K. Aida, and K. Nakagawa, "A 10 Gb/s long-span fiber transmission experiment employing optical amplification techniques and monolithic IC technology," in *Tech. Dig. IOOC* (Kobe, Japan), July 1989, paper 20PDPA-6.
- [1.14] J. Akagi, Y. Kuriyama, K. Morizuka, M. Asaka, K. Tsuda, M. Obara, H. Yamakawa, and H. Ibe, "GaAs/AlGaAs HBT technology for 10 Gbit/s optical communication," in *Proc. the 16th International Symposium on Gallium Arsenide and Related Compounds* (Karuizawa, Japan), Sept. 1989, pp. 695-700.
- [1.15] N. Ishihara, O. Nakajima, H. Ichino, Y. Yamauchi, "9 GHz bandwidth, 8-20 dB controllable-gain monolithic amplifier using AlGaAs/GaAs HBT technology," *Electron. Lett.*, vol. 25, pp. 1317-1318, 1989.
- [1.16] M. Yust, N. Bar-Chaim, S. H. Izadpanah, S. Margalit, I. Ury, D. Wilt, and A. Yariv, "A monolithically integrated optical repeater," *Appl. Phys. Lett.*, vol. 35, pp. 795-797, 1979.
- [1.17] T. Horimatsu, M. Sasaki, H. Yamashita, T. Okiyama, T. Ohtsuka, K. Iguchi, H. Hamaguchi, and T. Nakagami, "High-speed photoreceiver front-end module with a monolithic PIN/FET and a GaAs amplifier," in *Proc. ECOC'84*, 1984, pp. 222-223.
- [1.18] H. Wang and D. Ankri, "Monolithic integrated photoreceiver implemented with GaAs/GaAlAs heterojunction bipolar phototransistor and transistor," *Electron. Lett.*, vol. 22, pp. 391-393, 1986.

- [1.19] K. Matsuda, M. Kubo, K. Ohnaka, and J. Shibata, "A monolithically integrated InGaAs/InP photoreceiver operating with a single 5 V power supply," in *Proc. ECOC'87*, 1987, pp. 39-42.
- [1.20] S. Chandrasekhar, J. C. Campbell, A. G. Dentai, C. H. Joyner, G. J. Qua, A. H. Gnauck, and M. D. Feuer "Integrated InP/InGaAs heterojunction bipolar photoreceiver," *Electron. Lett.*, vol. 24, pp. 1443-1445, 1988.
- [1.21] H. Nobuhara, H. Hamaguchi, T. Fujii, O. Aoki, M. Makiuchi, and O. Wada, "Monolithic *pin* HEMT receiver for long wavelength optical communications", *Electron. Lett.*, vol. 24, pp. 1246-1248, 1988.
- [1.22] C. S. Harder, B. Van Zeghbroeck, H. Meier, W. Patrick, and P. Vettiger, "5.2-GHz bandwidth monolithic GaAs optoelectronic receiver," *IEEE Electron Device Lett.*, vol. 9, pp.171-173, 1988.
- [1.23] G.-K. Chang, W. P. Hong, J. L. Gimlett, R. Bhat, C. K. Nguyen, G. Sasaki, and J. C. Young, "A 3 GHz transimpedance OEIC receiver for 1.3-1.55 μm fiber-optic systems," *IEEE Photon. Technol. Lett.*, vol. 2, pp. 197-199, 1990.
- [1.24] H. Yano, K. Aga, N. Shiga, G. Sasaki, and H. Hayashi, "Low noise current optoelectronic integrated receiver with an internal equalizer for Gbit/s long wavelength optical communications," in *Tech. Dig. OFC'90* (San Francisco, CA), Jan. 1990, paper WB1.
- [1.25] S. Chandrasekhar, B. C. Johnson, M. Bonnemason, E. Tokumitsu, A. H. Gnauck, A. G. Dentai, C. H. Joyner, J. S. Perino, G. J. Qua, and E. M. Monberg, "An InP/InGaAs p-i-n/HBT monolithic transimpedance photoreceiver", *IEEE Photon. Technol. Lett.*, vol. 2, pp. 505-506, 1990.
- [1.26] S. Chandrasekhar, A. G. Dentai, C. H. Joyner, B. C. Johnson, A. H. Gnauck, and G. J. Qua, "4 Gbit/s *pin*/HBT monolithic photoreceiver", *Electron. Lett.*, vol. 26, pp. 1880-1882, 1990.
- [1.27] E. Sano, "A device model for metal-semiconductor-metal photodetectors and its applications to optoelectronic integrated circuit simulation," *IEEE Trans. Electron Devices*, vol. 37, no. 9, pp. 1964-1968, 1990.
- [1.28] H. S. Fuji, S. Ray, T. J. Williams, H. T. Griem, J. P. Harrang, R. R. Daniels, M. J. LaGasse, and D. L. West, "Monolithically integrated MSM-transimpedance amplifier grown by MBE for 1.0-1.6 μm operation," *IEEE J. Quantum Electron.*, vol. 27, pp. 769-772, 1991.
- [1.29] S. Chandrasekhar, A. H. Gnauck, W. T. Tsang, F. S. Choa, and G. J. Qua, "A monolithic 5Gbit/s p-i-n/HBT integrated photoreceiver circuit realized from chemical beam epitaxial material", *IEEE Photon. Technol. Lett.*, vol. 3, pp. 823-825, 1991.
- [1.30] W.-P. Hong, G. K. Chang, R. Bhat, C. Nguyen, and M. Koza, "Monolithically integrated waveguide-MSM detector-HEMT amplifier receiver for long-wavelength lightwave systems," *IEEE Photon. Technol. Lett.*, vol. 3, pp. 156-158, 1991.
- [1.31] R. Lai, P. Bhattacharya, D. Pavlidis, and T. L. Brock, "Monolithically integrated planar front-end photoreceivers with 0.25 μm gate pseudomorphic $\text{In}_{0.60}\text{Ga}_{0.40}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{InP}$ modulation-doped field-effect transistors," *Electron. Lett.*, vol. 27, pp. 364-366, 1991.
- [1.32] K. D. Pedrotti, N. H. Sheng, R. L. Pierson, Jr., C. W. Farley, M. J. Rosker, and M. F. Chang, "Monolithic ultrahigh-speed GaAs HBT optical integrated receivers," in *IEEE GaAs IC Symp. Tech. Dig.* (Monterey, CA), Oct. 1991, pp. 205-208.
- [1.33] R. H. Walden, W. W. Hooper, C. S. Chou, C. Ngo, R. WongQuen, R. A. Metzger, F. Williams, L. E. Larson, and R. Blumgold, "Multigigahertz monolithic GaAs optoelectronic receivers using 0.2 μm gate-length MESFETs," in *IEEE MTT-S Dig.*, (Boston, MA), June 1991, pp. 491-494.
- [1.34] V. Hurm, J. Rosenzweig, M. Ludwig, W. Benz, M. Berroth, A. Huelsmann, G. Kaufel, K. Koehler, B. Raynor, and J. Schneider, "8.2 GHz bandwidth monolithic integrated optoelectronic receiver using MSM photodiode and 0.5 μm recessed-gate AlGaAs/GaAs HEMTs", *Electron. Lett.*, vol. 27, pp. 734-735, 1991.
- [1.35] Y. Akatsu, Y. Akahori, A. Kohzen, and J. Yoshida, "A 10-Gbit/s high-speed monolithically integrated

- photoreceiver using InGaAs *pin*-PD and planar doped InAlAs/InGaAs HEMTs grown by metal organic vapor phase epitaxy," in *Tech. Dig. OFC'92* (San Jose, CA), Feb. 1992, paper ThJ2.
- [1.36] P. R. Berger, N. K. Dutta, D. A. Humphrey, P. R. Smith, S.-J. Wang, R. K. Montgomery, D. Sivco, and A. Y. Cho, "1.0 GHz monolithic p-i-n MODFET photoreceiver using molecular beam epitaxial regrowth," *IEEE Photon. Technol. Lett.*, vol. 4, pp. 891-894, 1992.
- [1.37] M. Blaser and H. Melchior, "High-performance monolithically integrated $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{InP}$ p-i-n / JFET optical receiver front-end with adaptive feedback control," *IEEE Photon. Technol. Lett.*, vol. 4, pp. 1244-1247, 1992.
- [1.38] S. Chandrasekhar, L. M. Lunardi, A. H. Gnauck, D. Ritter, R. A. Hamm, M. B. Panish, and G. J. Qua, "A OEIC photoreceiver using InP/InGaAs heterojunction bipolar transistors at 10 Gb/s," in *Tech. Dig. OFC'92* (San Jose, CA), Feb. 1992, paper PD1.
- [1.39] A. A. Ketterson, M. Tong, J.-W. Seo, K. Nummila, J. J. Morikuni, S.-M. Kang, and I. Adesida, "A high-performance AlGaAs/InGaAs/GaAs pseudomorphic MODFET-based monolithic optoelectronic receiver," *IEEE Photon. Technol. Lett.*, vol. 4, pp. 73-76, 1992.
- [1.40] J. S. Wang, C. G. Shih, W. H. Chang, J. R. Middleton, P. J. Apostolakis, and M. Feng, "11 GHz bandwidth optical integrated receivers using GaAs MESFET and MSM technology," *IEEE Photon. Technol. Lett.*, vol. 5, pp. 316-318, 1993.
- [1.41] V. Hurm, M. Ludwig, J. Rosenzweig, W. Benz, M. Berroth, R. Bosch, W. Bronner, A. Hulsmann, K. Kohler, B. Raynor, and J. Schneider, "14 GHz bandwidth MSM photodiode AlGaAs/GaAs HEMT monolithic integrated optoelectronic receiver", *Electron. Lett.*, vol. 29, pp. 9-10, 1993.
- [1.42] J. L. Gimlett, "Ultrawide bandwidth optical receivers," *J. Lightwave Technol.*, vo. 7, pp. 1432-1437, 1989.
- [1.43] J. F. Ewen, D. L. Rogers, A. X. Widmer, F. Gfeller, and C. J. Anderson, "Gb/s fiber optic link adapter chip set," in *IEEE GaAs IC Symp. Tech. Dig.* (Nashville, TN), Nov. 1988, pp. 11-14.
- [1.44] D. H. Auston, "Impulse response of photoconductors in transmission lines (invited)," *IEEE J. Quantum Electron.*, vol. QE-19, pp. 639-648, 1983.
- [1.45] K. Nakajima, T. Iida, K.-I. Sugimoto, H. Kan, and Y. Mizushima, "Properties and design theory of ultrafast GaAs metal-semiconductor-metal photodetector with symmetrical Schottky contacts," *IEEE Trans. Electron Devices*, vol. 37, pp. 31-35, 1990.
- [1.46] M. S. Demokan, "The interaction of mode-locked laser pulses with intrinsic silicon (invited)," *Int. J. Electron.*, vol. 51, pp.93-143, 1981.
- [1.47] C. J. Wei, H. -J. Klein, and H. Beneking, "A study on the photoresponses in GaAs n-channel optical detectors," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 1442-1448, 1982
- [1.48] A. E. Iverson, G. M. Wysin, D. L. Smith, and A. Redondo, "Overshoot in the response of a photoconductor excited by subpicosecond pulses," *Appl. Phys. Lett.*, vol. 52, pp. 2148-2150, 1988.
- [1.49] W. C. Koscielnick, J. L. Pelouard, and M. A. Littlejohn, "Dynamic behavior of photocarriers in a GaAs metal-semiconductor-metal photodetector with sub-half-micron electrode pattern," *Appl. Phys. Lett.*, vol. 54, pp. 567-569, 1989.
- [1.50] J. B. Soole and H. Schumacher, "Transit-time limited frequency response of InGaAs MSM photodetectors," *IEEE Trans. Electron Devices*, vol. 37, pp. 2285-2291, 1990.
- [1.51] R. G. Smith and S. D. Personick, "Receiver design for optical fiber communication systems", in *Semiconductor Devices for Optical Communication*, H. Kressel, Ed. Berlin, Heidelberg, New York: Springer-Verlag, 1980, pp. 89-160.
- [1.52] R. S. Tucker, "Circuit model of double-heterojunction laser below threshold," *Proc. Inst. Elec. Eng.*,

第 2 章

- [2.1] J. B. D. Soole and H. Schumacher, "InGaAs metal-semiconductor-metal photodetectors for long wavelength optical communications," *IEEE J. Quantum Electron.*, vol. 27, pp. 737-752, 1991.
- [2.2] C. S. Harder, B. Van Zeghbroeck, H. Meier, W. Patrick, and P. Vettiger, "5.2-GHz bandwidth monolithic GaAs optoelectronic receiver," *IEEE Electron Device Lett.*, vol. 9, pp.171-173, 1988.
- [2.3] K. Kajiyama, Y. Mizushima, and S. Sakata, "Schottky barrier height of n-In_xGa_{1-x}As diodes," *Appl. Phys. Lett.*, vol. 23, pp. 458-459, 1973.
- [2.4] H. Schumacher, H. P. LeBlanc, R. Bhat, "An investigation of the optoelectronic response of GaAs/InGaAs MSM photodetectors," *IEEE Electron Device Lett.*, vol. 9, pp. 607-608, 1988.
- [2.5] T. Kikuchi, H. Ohno, and H. Hasegawa, "Ga_{0.47}In_{0.53}As metal-semiconductor-metal photodiodes using a lattice mismatched Al_{0.4}Ga_{0.6}As Schottky assist layer," *Electron. Lett.*, vol. 24, pp. 1208-1210, 1988.
- [2.6] J. B. D. Soole, H. Schumacher, H. P. Le Blanc, R. Bhat, and M. A. Koza, "High-speed performance of OMCVD grown InAlAs/InGaAs MSM photodetectors at 1.5 μm and 1.3 μm wavelengths," *IEEE Photon. Technol. Lett.*, vol. 1, pp. 250-252, 1989.
- [2.7] L. Yang, A. S. Sudbo, R. A. Logan, T. Tanbun-Ek, and W. T. Tsang, "High performance of Fe:InP/InGaAs metal/semiconductor/metal photodetectors grown by vapor phase epitaxy," *IEEE Photon. Technol. Lett.*, vol. 2, pp. 56-58, 1990.
- [2.8] W.-P. Hong, G.-K. Chang, and R. Bhat, "High-performance Al_{0.15}Ga_{0.85}As/In_{0.53}Ga_{0.47}As MSM photodetectors grown by MOCVD," *IEEE Trans. Electron Devices*, vol. 36, pp. 659-662, 1989.
- [2.9] H. T. Griem, S. Ray, J. L. Freeman, and D. L. West, "Long-wavelength (1.0-1.6 μm) In_{0.52}Al_{0.48}As/In_{0.53}(Ga_xAl_{1-x})_{0.47}As/In_{0.53}Ga_{0.47}As metal-semiconductor-metal photodetector," *Appl. Phys. Lett.*, vol. 56, pp. 1067-1068, 1990.
- [2.10] O. Wada, H. Nobuhara, H. Hamaguchi, T. Mikawa, A. Tackeuchi, and T. Fujii, "Very high speed GaInAs metal-semiconductor-metal photodiode incorporating an AlInAs/GaInAs graded superlattice," *Appl. Phys. Lett.*, vol. 54, pp. 16-17, 1989.
- [2.11] D. H. Auston, "Picosecond photoconductors: Physical properties and applications," in *Picosecond Optoelectronic Devices*, C. H. Lee, Ed. Orlando, FL: Academic, 1984, pp. 73-117.
- [2.12] F. J. Leonberger and P. F. Moulton, "High-speed InP optoelectronic switch," *Appl. Phys. Lett.*, vol. 35, pp. 712-714, 1979.
- [2.13] D. H. Auston, A. M. Johnson, P. R. Smith, and J. C. Bean, "Picosecond optoelectronic detection, sampling, and correlation measurements in amorphous semiconductors," *Appl. Phys. Lett.*, vol. 37, pp. 371-373, 1980.
- [2.14] P. R. Smith, D. H. Auston, and W. M. Augustyniak, "Measurement of GaAs field-effect transistor electronic impulse response by picosecond optical electronics," *Appl. Phys. Lett.*, vol. 39, pp. 739-741, 1981.
- [2.15] T. Sugeta, T. Urisu, S. Sakata, and Y. Mizushima, "Metal-semiconductor- metal photodetector for high-speed optoelectronic circuits," *Japan. J. Appl. Phys.*, vol. 19, suppl. 19-1, pp. 459-464, 1980.
- [2.16] T. Kamiya, I. Tanaka, and H. Kamiyama, "GaAs integrated optoelectronic gating circuit suitable for 10-Gb/s demultiplexing," in *Conf. on Lasers and Electro-Optics* (Baltimore, MD), April 1987, p. 6.
- [2.17] E. Desurvire, B. Tell, I. P. Kaminow, G. J. Qua, K. F. Brown-Goebeler, B. I. Miller, and U. Koren,

"High contrast GaInAs:Fe photoconductive optical AND gate for time-division demultiplexing," *Electron. Lett.*, vol. 24, pp. 396-397, 1988.

[2.18] P. R. Smith, D. H. Auston, A. M. Johnson, and W. M. Augustyniak, "Picosecond photoconductivity in radiation-damaged silicon-on-sapphire films," *Appl. Phys. Lett.*, vol. 38, pp. 47-50, 1981.

[2.19] P. M. Downey and B. Schwartz, "Picosecond photoconductivity in 3He⁺ bombarded InP," *Proc. SPIE*, vol. 439, pp. 30-33, 1983.

[2.20] P. M. Downey and R. J. Martin, "High speed, ion bombarded InGaAs photoconductors," *Appl. Phys. Lett.*, vol. 46, pp. 396-398, 1985.

[2.21] M. B. Ketchen, D. Grischkowsky, T. C. Chen, C.-C. Chi, I. N. Duling, N. J. Halas, J.-M. Halbout, J. A. Kash, and G. P. Li, "Generation of subpicosecond electrical pulses on coplanar transmission lines." *Appl. Phys. Lett.*, vol. 48, pp. 751-753, 1986.

[2.22] P. Polak-Dingels, G. Burdge, C. H. Lee, A. C. Seabaugh, R. T. Brundage, M. I. Bell, and J. Albers, "Investigation of photoconductive picosecond microstripline switches on self-implanted silicon on sapphire (SOS)," in *Picosecond Electronics and Optoelectronics Tech. Dig.* (Incline Village, NV), Jan. 1987, pp.79-81.

[2.23] F. W. Smith, H. Q. Le, V. Diadiuk, M. A. Hollis, A. R. Calawa, S. Gupta, M. Frankel, D. R. Dykaar, G. A. Mourou, and T. Y. Hsiang, "Picosecond GaAs-based photoconductive optoelectronic detectors," *Appl. Phys. Lett.*, vol. 54, pp. 890-892, 1989.

[2.24] B. J. Van Zeghbroeck, W. Patrick, J.-M. Halbout, and P. Vettiger, "105-GHz bandwidth metal-semiconductor-metal photodiode," *IEEE Electron Device Lett.*, vol. 9, pp. 527-529, 1988.

[2.25] D. H. Auston, "Impulse response of photoconductors in transmission lines (invited)," *IEEE J. Quantum Electron.*, vol. QE-19, pp. 639-648, 1983.

[2.26] K. Nakajima, T. Iida, K.-I. Sugimoto, H. Kan, and Y. Mizushima, "Properties and design theory of ultrafast GaAs metal-semiconductor-metal photodetector with symmetrical Schottky contacts," *IEEE Trans. Electron Devices*, vol. 37, pp. 31-35, 1990.

[2.27] M. S. Demokan, "The interaction of mode-locked laser pulses with intrinsic silicon (invited)," *Int. J. Electron.*, vol. 51, pp.93-143, 1981.

[2.28] C. J. Wei, H. -J. Klein, and H. Beneking, "A study on the photoresponses in GaAs n-channel optical detectors," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 1442-1448, 1982

[2.29] A. E. Iverson, G. M. Wysin, D. L. Smith, and A. Redondo, "Overshoot in the response of a photoconductor excited by subpicosecond pulses," *Appl. Phys. Lett.*, vol. 52, pp. 2148-2150, 1988.

[2.30] W. C. Koscielnik, J. L. Pelouard, and M. A. Littlejohn, "Dynamic behavior of photocarriers in a GaAs metal-semiconductor-metal photodetector with sub-half-micron electrode pattern," *Appl. Phys. Lett.*, vol. 54, pp. 567-569, 1989.

[2.31] J. B. Soole and H. Schumacher, "Transit-time limited frequency response of InGaAs MSM photodetectors," *IEEE Trans. Electron Devices*, vol. 37, pp. 2285-2291, 1990.

[2.32] W. A. Wohlmuth, P. Fay, K. Vaccaro, E. A. Martin, and I. Adesida, "High-speed InGaAs metal-semiconductor-metal photodetectors with thin absorption layers," *IEEE Photon. Technol. Lett.*, vol. 9, no. 5, pp. 654-656, 1997.

[2.33] G. Bacarani, M. Rudan, R. Guerrieri, and P. Ciampolini, "Physical models for numerical device simulation," in *Process and device modeling*, W. L. Engl, Ed. Amsterdam: North-Holland, 1986, pp. 107-158.

[2.34] 菅野卓雄、半導体の物性と素子[I]、昭晃堂

[2.35] K. Horio, T. Ikoma, and H. Yanai, "Computer-aided analysis of GaAs n-i-n structures with a heavily

- compensated i-layer," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 1242-1250, 1986.
- [2.36] 吉田、倉田、"高電子移動度トランジスタ(HEMT)の2次元数値解析," *信学論*, vol. J67-C, pp. 802-809, 1984.
- [2.37] W. L. Engl, Ed., *Process and device modeling*, Amsterdam: North-Holland, 1986.
- [2.38] O. Madelung, Ed., *Landolt-Bornstein New Series Group III*, vol. 17a: *Crystal and Solid State Physics: Physics of Group IV Elements and III-V Compounds*, Springer: Berlin, 1982.
- [2.39] H. C. Casey, Jr. and M. B. Panish, *Heterostructure Lasers*, New York: Academic, 1978.
- [2.40] M. Takeshima, "Effect of Auger recombination on laser operation in $\text{Ga}_{1-x}\text{Al}_x\text{As}$," *J. Appl. Phys.*, vol. 58, pp. 3846-3850, 1985.
- [2.41] E. A. Chauchard, C. H. Lee, V. Diadiuk, and G. W. Turner, "Picosecond optoelectronic switches using composite electronic materials," in *Picosecond Electronics and Optoelectronics Tech. Dig.* (Incline Village, NV), Jan. 1987, pp. 89-91.
- [2.42] W. Fawcett, A. D. Boardman, and S. Swain, "Monte carlo determination of electron transport properties in gallium arsenide," *J. Phys. Chem. Solids*, vol. 31, pp. 1963-1990, 1970.
- [2.43] X. Zhou, T. Y. Hsiang, and R. J. Dwayne Miller, "Monte carlo study of photogenerated carrier transport in GaAs surface space-charge fields," *J. Appl. Phys.*, vol. 66, pp. 3066-3073, 1989.
- [2.44] J. Collet and T. Amand, "Model calculation of the laser-semiconductor interaction in subpicosecond regime," *J. Phys. Chem. Solids*, vol. 47, pp.153-163, 1986.
- [2.45] M. Castato, C. Jacoboni, and L. Reggiani, "Hole transport in polar semiconductors," *Phys. Status Solidi (b)*, vol. 52, pp. 461-473, 1972.
- [2.46] M. Castato and L. Reggiani, "Scattering probabilities for holes," *Phys. Status Solidi (b)*, vol. 58, pp. 471-482, 1973.
- [2.47] M. A. Littlejohn, J. R. Hauser, and T. H. Glisson, "Velocity-field characteristics of GaAs with Γ_6^c - L_6^c - X_6^c conduction-band ordering," *J. Appl. Phys.*, vol. 48, pp. 4587-4590, 1977.
- [2.48] K. Brennan and K. Hess, "Theory of high-field transport of holes in GaAs and InP," *Phys. Rev. B*, vol. 29, pp. 5581-5590, 1984.
- [2.49] B. R. Nag, S. R. Ahmed, and M. Deb Roy, "Electron velocity in short samples of $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ at 300K," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 788-791, 1986.
- [2.50] K. Brennan, "Theoretical study of multiquantum well avalanche photodiodes made from the GaInAs/AlInAs material system," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 1502-1510, 1986.
- [2.51] R. Sakamoto, K. Akai, and M. Inoue, "Real-space transfer and hot-electron transport properties in III-V semiconductor heterostructures," *IEEE Trans. Electron Devices*, vol. 36, pp. 2344-2352, 1989.
- [2.52] K. Brennan and K. Hess, "High field transport in GaAs, InP, and InAs" *Solid-State Electron.*, vol. 27, pp. 347-357, 1984.
- [2.53] J. R. Hauser, M. A. Littlejohn, and T. H. Glisson, "Velocity-field relationship of InAs-InP alloy scattering," *Appl. Phys. Lett.*, vol. 28, pp. 458-461, 1976.
- [2.54] S. Adachi, "GaAs, AlAs, and $\text{Al}_x\text{Ga}_{1-x}\text{As}$: Material parameters for use in research and device applications," *J. Appl. Phys.*, vol. 58, pp. R1-R29, 1985.
- [2.55] D. A. Humphreys, R. J. King, D. Jenkins, and A. J. Moseley, "Measurement of absorption coefficients of $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ over the wavelength range 1.0-1.7 μm ," *Electron. Lett.*, vol. 21, pp. 1187-1189, 1985.
- [2.56] K. C. Gupta, R. Garg, and R. Chadha, *Computer-aided design of microwave circuits*, Artech:Dedham, 1981.
- [2.57] L. Figueroa and C. W. Slayman, "A novel heterostructure interdigital photodetector (HIP) with picosecond optical response," *IEEE Electron Device Lett.*, vol. EDL-2, pp. 208-210, 1981.

- [2.58] J. B. D. Soole, H. Schumacher, H. P. LeBlanc, R. Bhat, and M. A. Koza, "High-frequency performance of InGaAs metal-semiconductor-metal photodetectors at 1.55 and 1.3 μm wavelengths," *Appl. Phys. Lett.*, vol. 55, pp. 729-731, 1989.
- [2.59] F. Hieronymi, D. Kuhl, E. H. Bottcher, E. Droge, T. Wolf, and D. Bimberg, "High-performance MSM photodetectors on semiinsulating InP:Fe/InGaAs:Fe/InP:Fe," in *Proc. Fourth Intl. Conf. Indium Phosphide and Related Materials* (Newport, RI), April 1992, pp. 561-564.
- [2.60] S. E. Ralph, M. C. Hargis, and G. D. Pettit, "Large area, low voltage, transit time limited InGaAs metal semiconductor metal photodetectors," *Appl. Phys. Lett.*, vol. 61, pp. 2222-2224, 1992.
- [2.61] A. Umbach, E. Droge, H. Engel, E. H. Bottcher, G. Unterborsch, R. Steingruber, and D. Bimberg, "Submicron InGaAs/InP MSM photodetectors for operation at 1.55 μm ," in *Proc. 21st Eur. Conf. on Opt. Comm.* (Brussels, Belgium), Sept. 1995, pp. 677-680.
- [2.62] E. Sano, "A device model for metal-semiconductor-metal photodetectors and its applications to optoelectronic integrated circuit simulation," *IEEE Trans. Electron Devices*, vol. 37, no. 9, pp. 1964-1968, 1990.
- [2.63] E. Sano, "Two-dimensional ensemble Monte Carlo calculation of pulse responses of submicrometer GaAs metal-semiconductor-metal photodetectors," *IEEE Trans. Electron Devices*, vol. 38, no. 9, pp. 2075-2081, 1991.
- [2.64] E. Sano, "Theoretical analysis of the influences of barrier-enhancement layers on transient responses of MSM photodetectors," *IEEE Trans. Electron Devices*, vol. 39, no. 6, pp. 1355-1362, 1992.

第 3 章

- [3.1] 佐野、今井、富樫、小野、"超高速集積回路," *NTT R&D*, vol. 44, pp. 259-264, 1995.
- [3.2] K. Hagimoto, private communication.
- [3.3] Y. Akazawa, N. Ishihara, T. Wakimoto, K. Kawarada, and S. Konaka, "A design and packaging technique for a high-gain, gigahertz-band single-chip amplifier," *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 417-423, 1986.
- [3.4] K. Yamasaki, N. Kato, and M. Hirayama, "Buried p-layer SAINT for very high-speed GaAs LSI's with submicrometer gate length," *IEEE Trans. Electron Devices*, vol. ED-32, pp. 2420-2425, 1985.
- [3.5] T. Enoki, K. Yamasaki, K. Osafune, and K. Ohwada, "0.3- μm advanced SAINT FET's having asymmetric n^+ -layers for ultra-high-frequency GaAs MMIC's," *IEEE Trans. Electron Devices*, vol. ED-35, pp. 18-24, 1988.
- [3.6] Y. Yamane, T. Enoki, S. Sugitani, and M. Hirayama, "5.9 ps/gate operation with 0.1 μm gate-length GaAs MESFET's," in *IEDM Tech. Dig.* (San Francisco, CA), Dec. 1988, pp. 894-896.
- [3.7] Y. Yamane, M. Ohhata, H. Kikuchi, K. Asai, and Y. Imai, "A 0.2 μm GaAs MESFET technology for 10 Gb/s digital and analog IC's," in *IEEE MTT-S Dig.* (Boston, MA), June 1991, pp. 513-516.
- [3.8] Y. Imai, E. Sano, and K. Asai, "Design and performance of wideband GaAs MMIC's for high-speed optical communication systems," *IEEE Trans. Microwave Theory Tech.*, vol. 40, pp. 185-190, 1992.
- [3.9] Y. Tajima, T. Tsukii, R. Mozzi, E. Tong, L. Hanes, and B. Wrona, "GaAs monolithic wideband (2-18 GHz) variable attenuators," in *IEEE MTT-S Dig.*, 1982, pp. 479-481.
- [3.10] N. Ishihara, S. Konaka, and T. Kamoto, "3.5 GHz bandwidth, 30 dB gain Si monolithic amplifier," *Electron. Lett.*, vol. 25, pp. 217-218, 1989.
- [3.11] T. Shibata, S. Kimura, H. Kimura, Y. Imai, Y. Umeda, and Y. Akazawa, "A design technique for a 60 GHz-bandwidth distributed baseband amplifier IC module," *IEEE J. Solid-State Circuits*, vol. 29, pp. 1537-

1544, 1994.

- [3.12] H. Ichino, "20-Gb/s digital SST's using AlGaAs/GaAs heterojunction bipolar transistors for future optical transmission systems," *IEEE J. Solid-State Circuits*, vol. 28, pp. 115-122, 1993.
- [3.13] Y. Miyamoto, K. Hagimoto, M. Ohhata, T. Kagawa, N. Tsuzuki, H. Tsunetsugu, and I. Nishi, "10-Gb/s strained MQW DFB-LD transmitter module and superlattice APD receiver module using GaAs MESFET IC's," *J. Lightwave Technol.*, vol. 12, pp. 332-342, 1994.
- [3.14] Y. Imai, E. Sano, M. Nakamura, N. Ishihara, H. Kikuchi, and T. Ono, "Design and performance of clock-recovery GaAs ICs for high-speed optical communication systems," *IEEE Trans. Microwave Theory Tech.*, vol. 41, pp. 745-751, 1993.
- [3.15] M. Ohhata, Y. Yamane, T. Enoki, S. Sugitani, N. Kato, K. Hagimoto, and M. Hirayama, "13 Gb/s D-type flip-flop IC using GaAs MESFETs," *Electron. Lett.*, vol. 26, pp. 1039-1040, 1990.
- [3.16] M. Togashi, M. Ohhata, K. Murata, H. Kindoh, M. Ino, M. Suzuki, and Y. Yamane, "10-Gbit/s GaAs MESFET IC's for ultra high-speed transmission systems," in *IEEE GaAs IC Symposium Tech. Dig.* (New Orleans, LA), Oct. 1990, pp. 49-52.
- [3.17] K. Nakagawa, K. Hagimoto, S. Nishi, and K. Aoyama, "A bit-rate flexible transmission field trial over 300-km installed cables employing optical fiber amplifiers," in *Optical Amplifiers and Their Applications Tech. Dig.* (Snowmass Village, CO), July 1991, pp. 341-344.
- [3.18] P. K. Tien, "Propagation delay in high speed silicon bipolar and GaAs HBT digital circuits," *Int. J. High Speed Electron.*, vol. 1, pp. 101-124, 1990.
- [3.19] Y. Matsuoka, S. Yamahata, S. Yamaguchi, K. Murata, E. Sano, and T. Ishibashi, "IC-oriented self-aligned high-performance AlGaAs/GaAs ballistic collection transistors and their applications to high-speed ICs," *IEICE Trans. Electron.*, vol. E76-C, pp. 1392-1401, 1993.
- [3.20] K. G. Ashar, "The method of estimating delay in switching circuits and figure of merit of a switching transistor," *IEEE Trans. Electron Devices*, vol. ED-11, pp. 497-506, 1964.
- [3.21] M. Togashi, private communication.
- [3.22] K. Murata, private communication.
- [3.23] H. Ichino, M. Togashi, M. Ohhata, Y. Imai, N. Ishihara, and E. Sano, "Over-10-Gb/s IC's for future lightwave communications," *J. Lightwave Technol.*, vol. 12, pp. 308-319, 1994.
- [3.24] Y. Kuriyama, T. Sugiyama, S. Hongo, J. Akagi, K. Tsuda, N. Iizuka, and M. Obara, "A 40 GHz D-type flip-flop using AlGaAs/GaAs HBT's," in *IEEE GaAs IC Symposium Tech. Dig.* (Philadelphia, PA), Oct. 1994, pp. 189-192.
- [3.25] K. Ishii, H. Ichino, Y. Kobayashi, and C. Yamaguchi, "High-bit-rate, high input-sensitivity decision circuit using Si bipolar technology," *IEEE J. Solid-State Circuits*, vol. 29, pp. 546-550, 1994.
- [3.26] T. Okamura, C. Kurioka, Y. Kuraishi, O. Tsuzuki, T. Senba, M. Ushirozawa, and M. Fujimaru, "10-GHz Si bipolar amplifier and mixer IC's for coherent optical systems," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1775-1780, 1992.
- [3.27] N. Nagano, T. Suzaki, A. Okamoto, and K. Honjo, "Monolithic ultra-broadband transimpedance amplifiers using AlGaAs/GaAs HBTs," in *IEEE MTT-S Dig.* (Boston, MA), June 1991, pp. 255-258.
- [3.28] H. Masuda, K. Mochizuki, M. Kawata, K. Ishikawa, K. Mitani, M. Miyazaki, and C. Kusano, "The fabrication process of AlGaAs/GaAs HBT's with low base resistance and low collector capacitance for 10Gb/s IC chip sets," in *IEEE GaAs IC Symposium Tech. Dig.* (Monterey, CA), Oct. 1991, pp. 117-120.
- [3.29] R. K. Montgomery, D. A. Humphrey, P. R. Smith, B. Jalali, R. N. Nottenburg, R. A. Hamm, and M. P. Panish, "A DC to 20 GHz high gain monolithic InP/InGaAs HBT feedback amplifier," in *IEDM Tech. Dig.* (Washington, D. C.), Dec. 1991, pp. 935-938.

- [3.30] T. Ishibashi, H. Nakajima, H. Ito, S. Yamahata, and Y. Matsuoka, "Suppressed base-widening in AlGaAs/GaAs ballistic collection transistors," *48th Device Research Conference*, 1990, paper VIIB-3.
- [3.31] S. Yamahata, Y. Matsuoka, and T. Ishibashi, "Ultrahigh-speed AlGaAs/GaAs ballistic collection transistors using carbon as p-type dopant," *Electron. Lett.*, vol. 29, pp. 1996-1997, 1993.
- [3.32] E. Sano, S. Yamahata, and Y. Matsuoka, "40 GHz bandwidth amplifier IC using AlGaAs/GaAs ballistic collection transistors with carbon-doped bases," *Electron. Lett.*, vol. 30, pp. 635-636, 1994.
- [3.33] Y. Kobayashi, Y. Akatsu, K. Nakagawa, Y. Imai, and H. Kikuchi, "Compact 10 Gbit/s optical transmitter and receiver circuit packs", *IEEE Trans. Microwave Theory Tech.*, vol. 43, pp. 1916-1922, 1995.
- [3.34] M. Ohhata, M. Togashi, K. Murata, S. Yamaguchi, M. Suzuki, and K. Hagimoto, "10 Gbit/s, 35 mV decision IC using 0.2 μm GaAs MESFETs", *IEICE Trans. Commun.*, E76-B, No. 7, pp. 745-747, 1993.
- [3.35] M. Ohhata, M. Togashi, K. Murata, S. Yamaguchi, and K. Hagimoto, "25 Gbit/s selector module using 0.2 μm GaAs MESFET technology," *Electron. Lett.*, vol. 29, pp. 950-951, 1993.
- [3.36] K. Kurishima, H. Nakajima, T. Kobayashi, Y. Matsuoka, and T. Ishibashi, "Fabrication and characterization of high-performance InP/InGaAs double-heterojunction bipolar transistors," *IEEE Trans. Electron Devices*, vol. 41, pp. 1319-1326, 1994.
- [3.37] S. Yamahata, K. Kurishima, H. Nakajima, and E. Sano, "Application of small scale InP/InGaAs DHBTs to single-chip 20-Gbit/s regenerative receiver circuits with extremely low power dissipation (invited)," in *Topical Meet. Ultrafast Electron. Optoelectron.* (Incline Village, NV), March 1997, pp. 124-126.
- [3.38] H.-F. Chau, W. Liu, and E. A. Beam, III, "InP-based HBTs and their perspective for microwave applications (invited)," in *Proc. 7th Int. Conf. on InP and Related Materials* (Sapporo, Japan), May 1995, pp. 640-643.
- [3.39] Y. Matsuoka, H. Nakajima, K. Kurishima, T. Kobayashi, M. Yoneyama, and E. Sano, "Novel InP/InGaAs double-heterojunction bipolar transistors suitable for high-speed IC's and OEIC's (invited)," in *Proc. 6th Int. Conf. on InP and Related Materials* (Santa Barbara, CA), March 1994, pp. 555-558.
- [3.40] K. Kurishima, H. Nakajima, S. Yamahata, T. Kobayashi, and Y. Matsuoka, "Growth, design and performance of InP-based heterostructure bipolar transistors," *IEICE Trans. Electron.*, vol. E78-C, pp. 1171-1181, 1995.
- [3.41] S. Yamahata, K. Kurishima, H. Ito, and Y. Matsuoka, "Over-220-GHz- f_T -and- f_{max} InP/InGaAs double-heterojunction bipolar transistors with a new hexagonal-shaped emitter," in *IEEE GaAs IC Symp. Tech. Dig.* (San Diego, CA), Oct. 1995, pp. 163-166.
- [3.42] N. Ishihara, S. Fujita, M. Togashi, S. Hino, Y. Arai, N. Tanaka, Y. Kobayashi, and Y. akazawa, "3.5-Gb/s x 4-ch Si bipolar LSI's for optical interconnection," *IEEE J. Solid-State Circuits*, vol. 30, pp. 1493-1501, 1995.
- [3.43] 本島、野上、北山、"1.55 μm MQW DFB-LD を用いた 2.4Gbit/s 光送受信器の試作," 信学会春季全国大会、4-106、1991.
- [3.44] E. Sano, N. Ishihara, Y. Imai, H. Kikuchi, and Y. Yamane, "A 10Gb/s GaAs MESFET equalizer IC module," in *VLSI Circuits Symp. Dig.* (Oiso, Japan), May 1991, pp. 79-80.
- [3.45] N. Ishihara, E. Sano, Y. Imai, H. Kikuchi, and Y. Yamane, "A design technique for a high-gain, 10-GHz class-bandwidth GaAs MESFET amplifier IC module," *IEEE J. Solid-State Circuits*, vol. 27, no. 4, pp. 554-562, 1992.
- [3.46] E. Sano, Y. Matsuoka and T. Ishibashi, "Device figure-of-merits for high-speed digital ICs and baseband amplifier," *IEICE Trans. Electron.*, vol. E78-C, no. 9, pp. 1182-1188, 1995.
- [3.47] E. Sano and K. Murata, "An analytical delay expression for source-coupled FET logic (SCFL) inverters," *IEEE Trans. Electron Devices*, vol. 42, no. 4, pp. 785-786, 1995.

[3.51] E. Sano, K. Kurishima, and S. Yamahata, "20Gbit/s regenerative receiver IC using InP/InGaAs double-heterostructure bipolar transistors," *Electron. Lett.*, vol. 33, no. 2, pp. 159-160, 1997.

第 4 章

[4.1] A. F. Elrefaie, J. K. Townsend, M. B. Romeiser, and K. S. Shanmugan, "Computer simulation of digital lightwave links," *IEEE J. Select. Areas Commun.*, vol. 6, pp. 94-105, 1989.

[4.2] J. C. Cartledge and G. S. Burley, "The effect of laser chirping on lightwave system performance," *J. Lightwave Technol.*, vol. 7, pp. 568-573, 1989.

[4.3] D. M. Byrne, "Accurate simulation of multifrequency semiconductor laser dynamics under gigabits-per-second modulation," *J. Lightwave Technol.*, vol. 8, pp. 1086-1096, 1992.

[4.4] R. S. Tucker, "Circuit model of double-heterojunction laser below threshold," *Proc. Inst. Elec. Eng.*, vol. 128, pt. I, pp. 101-106, 1981.

[4.5] R. S. Tucker, "Large-signal circuit model for simulation of injection-laser modulation dynamics," *Proc. Inst. Elec. Eng.*, vol. 128, pt. I, pp. 180-184, 1981.

[4.6] R. S. Tucker and D. J. Pope, "Circuit modeling of the effect of diffusion on damping in a narrow-stripe semiconductor laser," *IEEE J. Quantum Electron.*, vol. QE-19, pp. 1179-1183, 1983.

[4.7] T.-M. Shen, "Timing jitter in semiconductor lasers under pseudorandom word modulation," *J. Lightwave Technol.*, vol. 7, pp. 1394-1399, 1989.

[4.8] R. G. Smith and S. D. Personick, "Receiver design for optical fiber communication systems", in *Semiconductor Devices for Optical Communication*, H. Kressel, Ed. Berlin, Heidelberg, New York: Springer-Verlag, 1980, pp. 89-160.

[4.9] D. Marcuse, "Computer simulation of laser photon fluctuations: Theory of single-cavity laser," *IEEE J. Quantum Electron.*, vol. QE-20, pp. 1139-1148, 1984.

[4.10] A. Mecozzi, S. Piazzolla, A. D'Ottavi, and P. Spano, "Passage time statistics in semiconductor laser turn on," *Phys. Rev. A*, vol. 38, pp. 3136-3138, 1988.

[4.11] E. Sano, M. Shinagawa, and R. Takahashi, "Theoretical analysis of timing jitter in gain-switched semiconductor lasers," *Appl. Phys. Lett.*, vol. 55, pp. 522-524, 1989.

[4.12] D. J. Channin, "Effect of gain saturation on injection laser switching," *J. Appl. Phys.*, vol. 50, pp. 3858-3860, 1979.

[4.13] J. E. Bowers, B. R. Hemenway, A. H. Gnauck, and D. P. Wilt, "High-speed InGaAsP constricted-mesa lasers," *IEEE J. Quantum Electron.*, vol. QE-22, pp. 833-844, 1986.

[4.14] W. R. Curtice, "A MESFET model for use in the design of GaAs integrated circuits," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-28, pp. 448-456, 1980.

[4.15] H. R. Yeager and R. W. Dutton, "Circuit simulation models for the high electron mobility transistors," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 682-692, 1986.

[4.16] M.-K. Chen, F. A. Lindholm, and B. S. Wu, "Comparison and extension of recent one-dimensional bipolar transistor models," *IEEE Trans. Electron Devices*, vol. 35, pp. 1096-1106, 1988.

[4.17] Analogy Inc., "Saber user's guide," "MAST reference manual," 1990.

[4.18] R. Takahashi, private communication.

[4.19] Y. Miyamoto and K. Hagimoto, private communication.

第 5 章

- [5.1] H. Tsuda, Y. Miyamoto, A. Sano, K. Kato, Y. Imai, and K. Hagimoto, "40 Gbit/s baseband-type optical receiver module using a waveguide photodetector and a GaAs MESFET distributed amplifier IC," presented at *Optoelectronics and Communication Conference (OECC'96)* (Makuhari, Japan), July 1996, paper 19A1-2.
- [5.2] S. Chandrasekhar, L. M. Lunardi, A. H. Gnauck, R. A. Hamm, and G. J. Qua, "High-speed monolithic p-i-n/HBT and HPT/HBT photoreceivers implemented with simple phototransistor structure", *IEEE Photon. Technol. Lett.*, vol. 5, pp. 1316-1318, 1993.
- [5.3] A. L. Gutierrez-Aitken, J. Cowles, P. Bhattacharya, and G. I. Haddad, "High bandwidth InAlAs/InGaAs PIN-HBT monolithically integrated photoreceiver," in *Proc. 6th Int. Conf. on InP and Related Materials* (Santa Barbara, CA), March 1994, pp. 247-250.
- [5.4] A. L. Gutierrez-Aitken, K. Yang, X. Zhang, G. I. Haddad, P. Bhattacharya, and L. M. Lunardi, "16 GHz bandwidth InAlAs/InGaAs monolithically integrated pin-HBT photoreceiver," in *Proc. ECOC* (Brussels, Belgium), Sept. 1995, pp. 661-664.
- [5.5] K. D. Pedrotti, N. H. Sheng, R. L. Pierson, Jr., C. W. Farley, M. J. Rosker, and M. F. Chang, "Monolithic ultrahigh-speed GaAs HBT optical integrated receivers," in *IEEE GaAs IC Symp. Tech. Dig.* (Monterey, CA), Oct. 1991, pp. 205-208.
- [5.6] H. Wang and D. Ankri, "Monolithic integrated photoreceiver implemented with GaAs/GaAlAs heterojunction bipolar phototransistor and transistor," *Electron. Lett.*, vol. 22, pp. 391-393, 1986.
- [5.7] J. E. Bowers, C. A. Burrus, and R. J. McCoy, "InGaAs PIN photodetectors with modulation response to millimetre wavelengths", *Electron. Lett.*, vol. 21, pp. 812-814, 1985.
- [5.8] H. Nakajima, "Design and fabrication of high-speed InP-based heterojunction bipolar transistors," in *Proc. 5th Int. Conf. InP Related Materials* (Paris, France), April 1993, paper MA1.
- [5.9] Y. Matsuoka, S. Yamahata, S. Yamaguchi, K. Murata, E. Sano, and T. Ishibashi, "IC-oriented self-aligned high-performance AlGaAs/GaAs ballistic collection transistors and their applications to high-speed ICs," *IEICE Trans. Electron.*, vol. E76-C, pp. 1392-1401, 1993.
- [5.10] F. Kano, private communication.
- [5.11] D. A. Humphreys, R. J. King, D. Jenkins, and A. J. Moseley, "Measurement of absorption coefficients of $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ over the wavelength range 1.0-1.7 μm ," *Electron. Lett.*, vol. 21, pp. 1187-1189, 1985.
- [5.12] T. Ishibashi and H. Nakajima, "Limiting factors in high-speed operations of III-V HBT's and FET's," *Conference on Solid State Devices and Materials*, Aug. 1989, pp. 525-528.
- [5.13] T. P. Pearsall, G. Beuchet, J. P. Hirtz, N. Visentin, and M. Bonnet, "Electron and hole mobilities in $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$," in *Gallium Arsenide and Related Compounds*, 1980, pp. 639-649.
- [5.14] K. Kurishima, H. Nakajima, T. Kobayashi, Y. Matsuoka, and T. Ishibashi, "High-speed InP/InGaAs double-heterostructure bipolar transistors with suppressed collector current blocking," *Appl. Phys. Lett.*, vol. 62, pp. 2372-2374, 1993.
- [5.15] E. Sano, M. Yoneyama, H. Nakajima, and Y. Matsuoka, "A monolithically integrated photoreceiver compatible with InP/InGaAs HBT fabrication process", *J. Lightwave Technol.*, vol. 12, pp. 638-643, 1994.
- [5.16] Y. Matsuoka, H. Nakajima, K. Kurishima, T. Kobayashi, M. Yoneyama, and E. Sano, "Novel InP/InGaAs double-heterojunction bipolar transistors suitable for high-speed IC's and OEIC's", in *Proc. 6th Int. Conf. on InP and Related Materials* (Santa Barbara, CA), March 1994, paper ThC1.
- [5.17] T. Otsuji, K. Kato, T. Nagatsuma, and M. Yoneyama, "10 to 72-Gb/s, optoelectronic RZ pulse pattern generation and its application to large-signal characterization for ultrahigh-speed electronic devices," in

Proc. IEEE LEOS Annu. Meeting (Boston, Mass.), Oct. 1994, pp. 203-204.

[5.18] M. Yoneyama, E. Sano, S. Yamahata, Y. Matsuoka, and M. Yaita, "17 Gbit/s pin-PD/decision circuit using InP/InGaAs double-heterojunction bipolar transistors," *Electron. Lett.*, vol. 32, pp. 393-394, 1996.

[5.19] K. Kurishima, H. Nakajima, T. Kobayashi, Y. Matsuoka, and T. Ishibashi, "Fabrication and characterization of high-performance InP/InGaAs double-heterojunction bipolar transistors," *IEEE Trans. Electron Devices*, vol. 41, pp. 1319-1326, 1994.

[5.20] J. J. Liou, L. L. Liou, C. I. Huang, and B. Bayraktaroglu, "A physics-based, analytical heterojunction bipolar transistor model including thermal and high-current effects," *IEEE Trans. Electron Devices*, vol. 40, pp. 1570-1577, 1993.

[5.21] Y. Matsuoka and E. Sano, "InP/InGaAs double-heterostructure bipolar transistors for high-speed ICs and OEICs," *Solid-State Electron.*, vol. 31, pp. 1703-1709, 1995.

[5.22] W. S. LEE, "Optical transmission over 140 km at 40 Gbit/s by OTDM," in *OFC'95 Tech. Dig.* (San Diego, CA), March 1995, pp. 286-287.

[5.23] E. Sano, M. Yoneyama, S. Yamahata, and Y. Matsuoka, "InP/InGaAs double-heterojunction bipolar transistors for high-speed optical receivers," *IEEE Trans. Electron Devices*, vol. 43, no. 11, pp. 1826-1832, 1996.

[5.24] E. Sano, K. Sano, T. Otsuji, K. Kurishima, and S. Yamahata, "Ultra-high speed, low-power monolithic photoreceiver using InP/InGaAs double-heterostructure bipolar transistors," *Electron. Lett.*, vol. 33, no. 12, pp. 1047-1048, 1997.

第 6 章

[6.1] N. Ishihara, S. Fujita, M. Togashi, S. Hino, Y. Arai, N. Tanaka, Y. Kobayashi, and Y. Akazawa, "3.5-Gb/s x 4-ch Si bipolar LSI's for optical interconnections," *IEEE J. Solid-State Circuits*, vol. 30, pp. 1493-1501, 1995.

[6.2] Z. -G. Wang, V. Hurm, M. Lang, M. Berroth, M. Ludwig, T. Fink, K. Kohler, and B. Raynor, "10 Gb/s monolithic optoelectronic integrated receiver with clock recovery, data decision, and 1:4 demultiplexer," in *Proc. ESSCIRC'95* (Lille, France), Sept. 1995, pp. 354-357.

[6.3] 田島、小西、富樫、柳生、高橋、渡部、早坂, "LSI化 2.4Gb/s 光送受信パッケージの特性," 1991 年信学会春季全国大会, p. 4-103.

[6.4] 本島、野上、発生川、北山, "1.55 μ m MQW DFB-LD を用いた 2.4Gbit/s 光送受信器の試作," 1991 年信学会春季全国大会, p. 4-106.

[6.5] Y. Kobayashi, Y. Akatsu, K. Nakagawa, Y. Imai, and H. Kikuchi, "Compact 10 Gbit/s optical transmitter and receiver circuit packs," *IEEE Trans. Microwave Theory Tech.*, vol. 43, pp. 1916-1922, 1995.

[6.6] E. Sano, K. Kurishima, H. Nakajima, and S. Yamahata, "High-speed, low-power lightwave communication IC's using InP/InGaAs double-heterojunction bipolar transistors," submitted to *IEEE Trans. VLSI Systems*.

[6.7] H. Haisch, D. Baums, E. Lach, D. Kaiser, E. Kuhn, K. Satzke, J. Weber, R. Weinmann, P. Wiedemann, and E. Zielinski, "Record bandwidth (42 GHz measured) and polarisation insensitive (<0.4 dB) tensile strained InGaAsP MQW ridge waveguide electroabsorption modulator for ultra-high bitrate TDM systems," in *Proc. 21st Eur. Conf. on Opt. Comm.* (Brussels, Belgium), Sept. 1995, pp. 1007-1010.

[6.8] K. Wakita, K. Yoshino, I. Kotaka, S. Kondo, and Y. Noguchi, "High-speed, highly efficient MQW modulator module with polarization insensitivity and very low chirp," in *Proc. 21st Eur. Conf. on Opt.*

Comm. (Brussels, Belgium), Sept. 1995, pp. 1011-1014.

[6.9] T. Otsuji, M. Yoneyama, K. Murata, and E. Sano, "A super-dynamic flip-flop circuit for broadband applications up to 24-Gbit/s utilizing production-level 0.2- μm GaAs MESFETs," in *IEEE GaAs IC Symp. Tech. Dig.* (Orlando, FL), Nov. 1996, pp. 145-148.

[6.10] T. Kuroda, T. Fujita, Y. Itabashi, S. Kabumoto, M. Noda, and A. Kanuma, "1.65Gb/s 60mW 4:1 multiplexer and 1.8Gb/s 80 mW 1:4 demultiplexer ICs using 2V 3-level series-gating ECL circuits," in *Tech. Dig. ISSCC* (San Francisco, CA), Feb. 1995, pp. 36-37.

[6.11] U. Eriksson, P. Evaldsson, B. Stalnacke, and B. Willen, "1.55 μm multiple quantum well laser and heterojunction bipolar transistor fabricated from the same structure utilizing zinc diffusion," in *Optoelectronic Integrated Circuits*, Y. -S. Park, R. V. Ramaswamy, Eds., *Proc. SPIE 3006*, pp. 145-152, 1997.

本研究に関する公表論文リスト

学術論文

- (1) E. Sano, "A device model for metal-semiconductor-metal photodetectors and its applications to optoelectronic integrated circuit simulation," *IEEE Trans. Electron Devices*, vol. 37, no. 9, pp. 1964-1968, 1990.
- (2) E. Sano, "Two-dimensional ensemble Monte Carlo calculation of pulse responses of submicrometer GaAs metal-semiconductor-metal photodetectors," *IEEE Trans. Electron Devices*, vol. 38, no. 9, pp. 2075-2081, 1991.
- (3) E. Sano, "Theoretical analysis of the influences of barrier-enhancement layers on transient responses of MSM photodetectors," *IEEE Trans. Electron Devices*, vol. 39, no. 6, pp. 1355-1362, 1992.
- (4) E. Sano, M. Yoneyama, H. Nakajima, and Y. Matsuoka, "A monolithically integrated photoreceiver compatible with InP/InGaAs HBT fabrication process," *J. Lightwave Technol.*, vol. 12, no. 4, pp. 638-643, 1994.
- (5) E. Sano and M. Yoneyama, "A mixed photonic/electronic circuit simulation including transient noise sources," *IEICE Trans. Electron.*, vol. E78-C, no. 4, pp. 447-453, 1995.
- (6) E. Sano, Y. Matsuoka and T. Ishibashi, "Device figure-of-merits for high-speed digital ICs and baseband amplifier," *IEICE Trans. Electron.*, vol. E78-C, no. 9, pp. 1182-1188, 1995.
- (7) E. Sano, M. Yoneyama, S. Yamahata, and Y. Matsuoka, "InP/InGaAs double-heterojunction bipolar transistors for high-speed optical receivers," *IEEE Trans. Electron Devices*, vol. 43, no. 11, pp. 1826-1832, 1996.
- (8) N. Ishihara, E. Sano, Y. Imai, H. Kikuchi, and Y. Yamane, "A design technique for a high-gain, 10-GHz class-bandwidth GaAs MESFET amplifier IC module," *IEEE J. Solid-State Circuits*, vol. 27, no. 4, pp. 554-562, 1992.

国際会議

- (1) E. Sano, N. Ishihara, Y. Imai, H. Kikuchi, and Y. Yamane, "A 10Gb/s GaAs MESFET equalizer IC module," in *VLSI Circuits Symp. Dig.* (Oiso, Japan), May 1991, pp. 79-80.
- (2) E. Sano, Y. Imai, and H. Ichino, "Lightwave communication ICs for 10 Gbit/s and beyond (invited)", in *Tech. Dig. OFC'95* (San Diego, CA), Feb. 1995, pp. 36-37.

レター、ショートノート

- (1) E. Sano, M. Shinagawa, and R. Takahashi, "Theoretical analysis of timing jitter in gain-switched semiconductor lasers," *Appl. Phys. Lett.*, vol. 55, no. 6, pp. 522-524, 1989.
- (2) E. Sano, M. Nakamura, Y. Imai, Y. Matsuoka, and T. Ishibashi, "18.5GHz bandwidth monolithic preamplifier using AlGaAs/GaAs ballistic collection transistors," *Electron. Lett.*, vol. 27, no. 22, pp. 2093-2094, 1991.
- (3) E. Sano, M. Yoneyama, T. Enoki, and T. Tamamura, "Performance dependence of InGaAs MSM photo-detectors on barrier-enhancement layer structures," *Electron. Lett.*, vol. 28, no. 13, pp. 1220-1221, 1992.
- (4) E. Sano, S. Yamahata, and Y. Matsuoka, "40 GHz bandwidth amplifier IC using AlGaAs/GaAs ballistic collection transistors with carbon-doped bases," *Electron. Lett.*, vol. 30, no. 8, pp. 635-636, 1994.
- (5) E. Sano, M. Yoneyama, S. Yamahata, and Y. Matsuoka, "23 GHz bandwidth monolithic photoreceiver compatible with InP/InGaAs double-heterojunction bipolar transistor fabrication process," *Electron. Lett.*, vol. 30, no. 24, pp. 2064-2065, 1994.
- (6) E. Sano and K. Murata, "An analytical delay expression for source-coupled FET logic (SCFL) inverters," *IEEE Trans. Electron Devices*, vol. 42, no. 4, pp. 785-786, 1995.
- (7) E. Sano, K. Kurishima, and S. Yamahata, "20Gbit/s regenerative receiver IC using InP/InGaAs double-heterostructure bipolar transistors," *Electron. Lett.*, vol. 33, no. 2, pp. 159-160, 1997.
- (8) E. Sano, K. Sano, T. Otsuji, K. Kurishima, and S. Yamahata, "Ultra-high speed, low-power monolithic photoreceiver using InP/InGaAs double-heterostructure bipolar transistors," *Electron. Lett.*, vol. 33, no. 12, pp. 1047-1048, 1997.

社内誌

- (1) 佐野、今井、富樫、小野、"超高速集積回路技術," *NTT R&D*, vol. 44, no. 3, pp. 259-264, 1995.

単行本分担執筆

- (1) 佐野、"光通信用高速集積回路," 阿部, 三村, 茅根編「光・マイクロ波半導体応用技術」、サイエンスフォーラム、1996.
- (2) E. Sano, "High Speed Electronics," I. P. Kaminow and T. L. Koch, Eds., *optical fiber telecommunications III*, Academic Press, 1997.

参考公表論文リスト

学術論文

- (1) E. Sano, R. Kasai, K. Ohwada, and H. Ariyoshi, "A two-dimensional analysis for MOSFET's fabricated on buried SiO₂ layer," *IEEE Trans. Electron Devices*, vol. ED-27, no. 11, pp. 2043-2050, 1980.
- (2) K. Ohwada, Y. Omura, and E. Sano, "A high-speed buried channel MOSFET isolated by an implanted silicon dioxide," *IEEE Trans. Electron Devices*, vol. ED-28, no. 9, pp. 1084-1087, 1981.
- (3) Y. Omura, E. Sano, and K. Ohwada, "A negative drain conductance property in super-thin film buried-channel MOSFET on a buried insulator," *IEEE Trans. Electron Devices*, vol. ED-30, no. 1, pp. 67-73, 1983.
- (4) E. Sano, T. Tsukahara, and T. Kimura, "A low-frequency noise analysis using two-dimensional numerical analysis method," *IEEE Trans. Electron Devices*, vol. ED-30, no. 12, pp. 1699-1704, 1983.
- (5) 佐野、木村、"任意構造半導体素子解析プログラム," 信学論, vol. J66-C, no. 6, pp. 470-477, 1983.
- (6) 石川、佐野、羽深、泉、木村、"CMOS/SIMOX 周波数シンセサイザ IC," 信学論, vol. J66-C, no. 7, pp. 497-504, 1983.
- (7) 佐野、木村、"MOS キャパシタにおける放射線損傷の数値解析," 信学論, vol. J69-C, no. 5, pp. 515-521, 1986.
- (8) 佐野、木村、"高精度回路解析用 CMOS デバイスモデル," 信学論, vol. J70-C, no. 2, pp. 135-142, 1987.
- (9) E. Sano, T. Tsukahara, and A. Iwata, "Performance limits of mixed analog/digital circuits with scaled MOSFET's," *IEEE J. Solid-State Circuits*, vol. 23, no. 4, pp. 942-949, 1988.
- (10) T. Nagatsuma, T. Shibata, E. Sano, and A. Iwata, "Subpicosecond sampling using a noncontact electro-optic probe," *J. Appl. Phys.*, vol. 66, no. 9, pp. 4001-4009, 1989.
- (11) E. Sano and T. Shibata, "Fullwave analysis of picosecond photoconductive switches," *IEEE J. Quantum Electron.*, vol. 26, no. 2, pp. 372-377, 1990.
- (12) T. Shibata and E. Sano, "Characterization of MIS structure coplanar transmission lines for investigation of signal propagation in integrated circuits," *IEEE Trans. Microwave Theory Tech.*, vol. 38, no. 7, pp. 881-890, 1990.
- (13) 柴田、佐野、"差分時間領域法によるコプレーナ線路の解析," 信学論, vol. J73-C-I, no. 2, pp. 61-70, 1990.
- (14) Y. Imai, E. Sano, and K. Asai, "Design and performance of wideband GaAs MMIC's for high-speed optical communication systems," *IEEE Trans. Microwave Theory Tech.*, vol. 40, no. 2, pp. 185-190, 1992.
- (15) M. Nakamura, Y. Imai, E. Sano, Y. Yamauchi, and O. Nakajima, "A limiting amplifier with low phase

- deviation using an AlGaAs/GaAs HBT," *IEEE J. Solid-State Circuits*, vol. 27, no. 10, pp. 1421-1427, 1992.
- (16) Y. Matsuoka, S. Yamahata, S. Yamaguchi, K. Murata, E. Sano, and T. Ishibashi, "IC-oriented self-aligned high-performance AlGaAs/GaAs ballistic collection transistors and their applications to high-speed ICs," *IEICE Trans. Electron.*, vol. E76-C, no. 9, pp. 1392-1401, 1993.
- (17) Y. Imai, E. Sano, M. Nakamura, and N. Ishihara, "Design and performance of clock-recovery GaAs ICs for high-speed optical communication systems," *IEEE Trans. Microwave Theory Tech.*, vol. 41, no. 5, pp. 745-751, 1993.
- (18) H. Ichino, M. Togashi, M. Ohhata, Y. Imai, N. Ishihara, and E. Sano, "Over-10-Gb/s IC's for future lightwave communication," *J. Lightwave Technol.*, vol. 12, no. 2, pp. 308-319, 1994.
- (19) T. Ishibashi, Y. Yamauchi, E. Sano, H. Nakajima, and Y. Matsuoka, "Ballistic collection transistors and their applications," *Int. J. High Speed Electronics and Systems*, vol. 5, no. 3, pp. 349-379, 1994.
- (20) Y. Matsuoka and E. Sano, "InP/InGaAs double-heterostructure bipolar transistors for high-speed ICs and OEICs," *Solid-State Electron.*, vol. 38, no. 9, pp. 1703-1709, 1995.
- (21) K. Murata, T. Otsuji, E. Sano, M. Ohhata, M. Togashi, and M. Suzuki, "A novel high-speed latching operation flip-flop (HLO-FF) circuit and its application to a 19 Gb/s decision circuit using 0.2 μm GaAs MESFET," *IEEE J. Solid-State Circuits*, vol. 30, no. 10, pp. 1101-1108, 1995.

国際会議

- (1) K. Ohwada, Y. Omura, and E. Sano, "A high speed buried channel MOSFET isolated by an implanted silicon dioxide layer," in *IEDM Tech. Dig.* (Washington, D. C.), Dec. 1980, pp. 756-759.
- (2) K. Izumi, Y. Omura, M. Ishikawa, and E. Sano, "SIMOX technology for CMOS LSIs," in *VLSI Tech. Symp. Dig.* (Oiso, Japan), Sept. 1982, pp. 10-11.
- (3) T. Nagatsuma, T. Shibata, E. Sano, and A. Iwata, "Non-contact electro-optic sampling system in subpicosecond regime," *IMTC* (San Jose, CA), Feb. 1990, pp. 152-158.
- (4) Y. Imai, E. Sano, and K. Asai, "DC-10GHz band GaAs MMICs for high-speed optical communication systems," in *Proc. ISCAS* (Singapore), 1991, pp. 1865-1868.
- (5) M. Nakamura, Y. Imai, E. Sano, Y. Yamauchi, and O. Nakajima, "A 15-GHz AlGaAs/GaAs HBT limiting amplifier with low phase deviation," in *IEEE GaAs IC Symp. Dig.* (Monterey, CA), Oct. 1991, pp. 45-48.
- (6) Y. Matsuoka, S. Yamahata, H. Ichino, E. Sano, and T. Ishibashi, "Application of AlGaAs/GaAs ballistic collection transistors to multiplexer and preamplifier circuits," in *IEDM Tech. Dig.* (Washington, D. C.),

Dec. 1991, pp. 797-800.

(7) Y. Matsuoka, H. Nakajima, K. Kurishima, T. Kobayashi, M. Yoneyama, and E. Sano, "Novel InP/InGaAs double-heterojunction bipolar transistors suitable for high-speed IC's and OEIC's (invited)," in *Proc. IPRM* (Santa Barbara, CA), March 1994, pp. 555-558.

(8) Y. Matsuoka and E. Sano, "InP/InGaAs double-heterojunction bipolar transistors for high-speed ICs," *Topical Workshop on Heterostructure Microelectronics* (Susono, Japan), Aug. 1994.

(9) Y. Matsuoka and E. Sano, "High-speed AlGaAs/GaAs HBTs and their applications to 40-Gbit/s-class ICs (invited)," in *IEEE GaAs IC Symp. Dig.* (Philadelphia, PA), Oct. 1994, pp. 185-188.

(10) K. Murata, T. Otsuji, M. Ohhata, M. Togashi, E. Sano, and M. Suzuki, "A novel high-speed latching operation flip-flop (HLO-FF) circuit and its application to a 19 Gb/s decision circuit using 0.2 μm GaAs MESFET," in *IEEE GaAs IC Symp. Dig.* (Philadelphia, PA), Oct. 1994, pp. 193-196.

(11) S. Yamahata, Y. Matsuoka, and E. Sano, "High-performance collector-up AlGaAs/GaAs HBT's and their application to preamplifier ICs," in *APMC Proc.* (Makuhari, Japan), Dec. 1994, pp. 1009-1012.

(12) M. Yoneyama, T. Shibata, E. Sano, Y. Kawamura, R. Takahashi, T. Enoki, T. Nagatsuma, and M. Yaita, "Differential photoconductive AND gate with low-temperature-grown InGaAs/InAlAs MQW MSM-PDs," in *Tech. Dig. OFC* (San Diego, CA), Feb. 1995, pp. 283-284.

(13) M. Yoneyama, E. Sano, S. Yamahata, and Y. Matsuoka, "A monolithically integrated logic photoreceiver with double-heterojunction bipolar transistors," in *Proc. IPRM* (Sapporo, Japan), May 1995, pp. 361-364.

(14) T. Otsuji, Y. Imai, and E. Sano, "Lightwave communication ICs beyond 10 Gb/s- Design and measurement challenges - (invited)," in *IEEE MMWMC* (Orlando, FL), May 1995, pp. 11-14.

(15) S. Yamaguchi, Y. Imai, T. Shibata, T. Otsuji, M. Hirano, and E. Sano, "An inverted microstrip line IC structure for ultra high-speed applications," in *IEEE MTT-S Dig.* (Orlando, FL), May 1995, pp. 1643-1646.

(16) T. Otsuji, M. Yaita, T. Nagatsuma, and E. Sano, "10- to 80-Gb/s, highly extinctive electrooptic pulse pattern generation," *Ultrafast Phenomena Topical Meeting* (San Diego, CA), May 1996, paper FE10.

(17) T. Otsuji, E. Sano, Y. Imai, and T. Enoki, "40-Gbit/s ICs for future lightwave communications systems (invited)," in *IEEE GaAs IC Symp. Dig.* (Orlando, FL), Nov. 1996, pp. 14-17.

(18) T. Otsuji, M. Yoneyama, K. Murata, and E. Sano, "A super-dynamic flip-flop circuit for broadband applications up to 24-Gbit/s utilizing production-level 0.2- μm GaAs MESFETs," in *IEEE GaAs IC Symp. Dig.* (Orlando, FL), Nov. 1996, pp. 145-148.

(19) H. Shiomi, M. Yoneyama, T. Shibata, E. Sano, and S. Kawasaki, "A simple microwave oscillator photodetector operating with optical signal designed by an illuminated FET model," *International Topical Meeting on Microwave Photonics* (Kyoto, Japan), Dec. 1996.

(20) S. Yamahata, K. Kurishima, H. Nakajima, and E. Sano, "Application of small scale InP/InGaAs DHBTs

to single-chip 20-Gbit/s regenerative receiver circuits with extremely low power dissipation (invited)," in *Topical Meet. Ultrafast Electron. Optoelectron.* (Incline Village, NV), March 1997, pp. 124-126.

(21) K. Narahara, T. Otsuji, T. Nagatsuma, and E. Sano, "A new concept for ultrafast digital circuits: Traveling-wave FET logic," in *Topical Meet. Ultrafast Electron. Optoelectron.* (Incline Village, NV), March 1997, pp. 127-129.

(22) S. Fukushima, E. Sano, Y. Yamane, K. Genda, and T. Matsumura, "10-Gbit/s asynchronous transfer-mode switch employing serial optical interconnection," in *Conf. on Lasers and Electro-Optics* (Baltimore, MD), May 1997, p. 52.

レター、ショートノート

(1) E. Sano, K. Ohwada, and T. Kimura, "A buried channel/surface channel CMOS IC isolated by an implanted silicon dioxide layer," *IEEE Trans. Electron Devices*, vol. ED-29, no. 3, pp. 459-461, 1982.

(2) Y. Omura, E. Sano, K. Ohwada, K. Hirata, and Y. Sakakibara, "A low-power and high-speed submicron buried-channel MOSFET fabricated on the buried oxide," *IEEE Trans. Electron Devices*, vol. ED-29, no. 8, pp. 1331-1332, 1982.

(3) E. Sano, T. Nagatsuma, T. Shibata, and A. Iwata, "Generation of picosecond electrical pulses by a pulse-forming optoelectronic device," *Appl. Phys. Lett.*, vol. 55, no. 2, pp. 151-152, 1989.

(4) E. Sano and T. Shibata, "Mechanism of subpicosecond electrical pulse generation by asymmetric excitation," *Appl. Phys. Lett.*, vol. 55, no. 26, pp. 2748-2750, 1989.

(5) T. Shibata, T. Nagatsuma, and E. Sano, "Effective optical transit time in direct electro-optic sampling of GaAs coplanar integrated circuits," *Electron. Lett.*, vol. 25, no. 12, pp. 771-773, 1989.

(6) M. Yoneyama, E. Sano, S. Yamahata, and Y. Matsuoka, "A 13-Gb/s pin-PD/decision circuit using InP-InGaAs double-heterojunction bipolar transistors," *IEEE Photon. Technol. Lett.*, vol. 8, no. 2, pp. 272-274, 1996.

(7) M. Yoneyama, E. Sano, S. Yamahata, and Y. Matsuoka, "17 Gbit/s pin-PD/decision circuit using InP-InGaAs double-heterojunction bipolar transistors," *Electron. Lett.*, vol. 32, no. 4, pp. 393-394, 1996.

(8) T. Otsuji, M. Yoneyama, Y. Imai, S. Yamaguchi, T. Enoki, Y. Umeda, and E. Sano, "46 Gbit/s multiplexer and 40 Gbit/s demultiplexer IC modules using InAlAs/InGaAs/InP HEMTs," *Electron. Lett.*, vol. 32, no. 7, pp. 685-686, 1996.

社内誌

- (1) 柴田、佐野、岩田、"マイクロ波回路の電磁界解析技術," *NTT R&D*, vol. 39, no. 5, pp. 811-820, 1990.
- (2) 永妻、佐野、岩田、"非接触テラヘルツICプローバ," *NTT R&D*, vol. 40, no. 1, pp. 109-118, 1991.
- (3) 柴田、木村、今井、佐野、"超広帯域集積回路・モジュール設計技術," *NTT R&D*, vol. 45, no. 1, pp. 39-46, 1996.
- (4) T. Shibata, S. Kimura, Y. Imai, and E. Sano, "Very-broadband IC module design technology," *NTT Review*, vol. 8, no. 6, pp. 17-25, 1996.