



Title	トランジスタ論理回路の遅延時間について
Author(s)	安住, 和彦; 黒部, 貞一
Citation	北海道大學工學部研究報告, 57, 141-152
Issue Date	1970-10-31
Doc URL	http://hdl.handle.net/2115/40995
Type	bulletin (article)
File Information	57_141-152.pdf



[Instructions for use](#)

トランジスタ論理回路の遅延時間について

安住和彦* 黒部貞一**

(昭和45年4月30日受理)

Delay Time of Transistor Logic Circuits

Kazuhiko AZUMI Teiichi KUROBE

Abstract

The authors proposed a new definition of the delay time which is applicable although an overshoot exists. Numerical calculations based on this definition and experiments on the delay time were carried out for various transistor logic circuits. The experimental results agreed well with the calculated values.

The following conclusions were obtained from the numerical calculations and experiments in which calculations of delay time of transistor logic circuits may be done for the step input in the case of any input waveforms and the total delay time of multistage transistor logic circuits is the sum of delay time of each stage if the overshoot does not exist.

目 次

1. 緒 言	141
2. 遅延時間の定義	142
3. 遅延時間の計算例	144
4. トランジスタ論理回路の遅延時間の計算	147
5. 実 験 結 果	151
6. 結 言	151

1. 緒 言

現在は電子計算機がひんぱんに使用されている。この計算機のなかには非常に多くのトランジスタ論理回路が組みこまれている。すぐれた論理回路とは、スイッチング時間(遅延時間、立ち上がり時間、下降時間、蓄積時間)が短いことおよび消費電力が少ないことである。実際に使用されているトランジスタ論理回路はスイッチング時間が短い回路、消費電力が少ない回路、ファインおよびファンアウトを多くとれる回路が使用する用途に応じて選ばれている。

ここではこのうち特に遅延時間に注目し、考察を加えた。筆者等は第2章で新しい遅延時間の定義を提案した。この定義は出力応答波形にオーバシュートがある場合でもない場合でも成り立ち両方の場合を統一的にあらわすものである。第3章では、この定義を用いているいろいろの入力波形に対する遅延時間について考察し、数値例でこの考えを確かめた。第4章ではいくつかのト

* 電子工学科電子回路工学講座, 現在北見工業大学電気工学科

** 電子工学科電子回路工学講座

ランジスタ論理回路のステップ入力に対する遅延時間を計算した。第5章において、以上の考えを用いていくつかのランジスタ論理回路を実際に作って、そのステップ入力に対する遅延時間を測定し理論値との比較を行なった。

2. 遅延時間の定義

ステップ応答の遅延時間としては、Elmore¹⁾の定義がふつう用いられているが、これは出力のオーバシュートが約5%以内でなければ成り立たない。そこで以下に述べるオーバシュートがある場合にも使用できる遅延時間の定義²⁾を提案し、それを用いることにする。

2.1 新しい遅延時間の定義

今、線形回路の伝達関数を

$$G(p) = k \frac{1 + b_1 p + b_2 p^2 + \dots + b_m p^m}{1 + a_1 p + a_2 p^2 + \dots + a_n p^n} = k' \frac{(p - p'_1)(p - p'_2) \dots (p - p'_m)}{(p - p_1)(p - p_2) \dots (p - p_n)} \quad (1)$$

とする。ただし k, k' は定数、 $p'_1, p'_2 \dots p'_m$ は伝達関数の分子の根であり、 $p_1, p_2 \dots p_n$ は分母の根、 $m \leq n$ とする。 $G(j\omega)$ の位相角 θ は

$$\begin{aligned} \theta = & - \sum_i \tan^{-1} \frac{\omega}{p'_i} - \sum_k \left(\tan^{-1} \frac{\omega - \omega'_k}{\sigma'_k} + \tan^{-1} \frac{\omega + \omega'_k}{\sigma'_k} \right) \\ & + \sum_i \tan^{-1} \frac{\omega}{p_i} + \sum_k \left(\tan^{-1} \frac{\omega - \omega_k}{\sigma_k} + \tan^{-1} \frac{\omega + \omega_k}{\sigma_k} \right) \end{aligned} \quad (2)$$

となる。ただし $p_k = \sigma_k \pm j\omega_k$, $p'_k = \sigma'_k \pm j\omega'_k$

また

$$\begin{aligned} t_d = \frac{d\theta}{d\omega} = & - \sum_i \frac{\frac{1}{p'_i}}{1 + \left(\frac{\omega}{p'_i}\right)^2} - \sum_k \left\{ \frac{\frac{1}{\sigma'_k}}{1 + \left(\frac{\omega - \omega'_k}{\sigma'_k}\right)^2} + \frac{\frac{1}{\sigma'_k}}{1 + \left(\frac{\omega + \omega'_k}{\sigma'_k}\right)^2} \right\} \\ & + \sum_i \frac{\frac{1}{p_i}}{1 + \left(\frac{\omega}{p_i}\right)^2} + \sum_k \left\{ \frac{\frac{1}{\sigma_k}}{1 + \left(\frac{\omega - \omega_k}{\sigma_k}\right)^2} + \frac{\frac{1}{\sigma_k}}{1 + \left(\frac{\omega + \omega_k}{\sigma_k}\right)^2} \right\} \end{aligned} \quad (3)$$

であり、この値は ω によって変化する。ここで遅延時間は入力波と回路を特徴づける ω の t_d の幾何平均と定義する。入力波の ω としては入力波のラプラス変換の極の虚数部をとり、回路の ω としては式(1)の極の虚数部をとることにする。

2.2 種々の入力に対する遅延時間

ここではステップ入力、ランプ入力、エクスponential入力に対する遅延時間について考える。

(1) ステップ入力

これは図-1に示される波形である。ステップ入力はあらゆる周波数成分を含んでいる為どの周波数を選ぶかが問題である。ここではステップ入力の代表周波数はステップ入力のラプラス変換の極の虚数部とする。すなわち $\omega = 0$ とする。又回路の代表周波数は伝達関数の極の虚数部とする。極が実数の時は $\omega = 0$ であり、伝達関数の極が複素数の時には $\omega = \pm \omega_k$ とする。

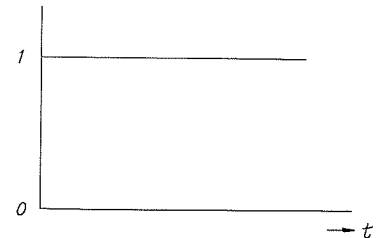


図-1 ステップ入力

従ってステップ入力に対する遅延時間 T_a は

$$T_a = - \sum_k \sqrt{|t'_{d_k(\omega=0)}| |t'_{d_k(\omega=0)}|} + \sum_k \sqrt{|t_{d_k(\omega=0)}| |t_{d_k(\omega=0)}|} - \sum_k \sqrt{|t'_{d_k(\omega=\pm\omega_k)}| |t'_{d_k(\omega=\pm\omega_k)}|} + \sum_k \sqrt{|t_{d_k(\omega=\pm\omega_k)}| |t_{d_k(\omega=\pm\omega_k)}|} \quad (4)$$

となる。ただしプライムのついたのが回路の伝達関数の分子を、つかないのが分母をあらわす。サフィックス i は伝達関数の極が実数の場合、 k は複素数の場合をあらわす。

回路の伝達関数の極がすべて実数である場合には

$$T_a = - \sum_i \sqrt{|t'_{d_i(\omega=0)}| |t'_{d_i(\omega=0)}|} + \sum_i \sqrt{|t_{d_i(\omega=0)}| |t_{d_i(\omega=0)}|} = - \sum_{i=1}^m \frac{1}{|p'_i|} + \sum_{i=1}^n \frac{1}{|p_i|} = a_1 - b_1 \quad (5)$$

となる。(5) 式は Elmore の定義から導いたものと全く同じである。すなわち(4) 式はオーバシュートがある場合およびない場合を統一的にあらわす式である。オーバシュートがない場合には(5) 式の意味する遅延時間は図-2 に示されているように面積 A_1 と A_2 とが等しくなる時間である³⁾。

(2) ランプ入力

ここで図-3 に示されるようなランプ入力に対する遅延時間を考えよう。図-3 に示されているランプ入力のラプラス変換は $1/p^2 \cdot (1 - e^{-p\tau})$ である。これを $1/p$ と $1/p \cdot (1 - e^{-p\tau})$ の積と考え図-4 に示されるようにステップ入力 $1/p \cdot (1 - e^{-p\tau})$ なる回路を通った後に供試回路に加わると考える。そこで全体の遅延時間はまず $1/p \cdot (1 - e^{-p\tau})$ なる回路のステップ入力に対する遅延時間を求め、次に供試回路のステップ入力に対する遅延時間を求め、これらの代数和を供試回路のランプ入力に対する遅延時間とする。

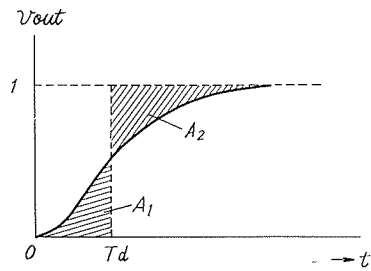


図-2 出力波形

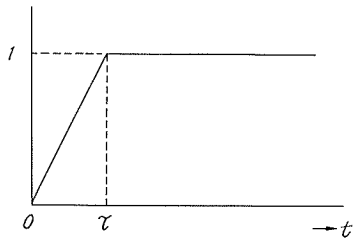


図-3 ランプ入力

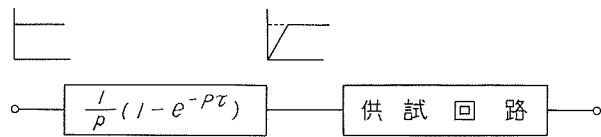


図-4 ランプ入力に対する遅延時間

(3) エクスポネンシャル入力

つぎに図-5 に示されるようなエクスポネンシャル入力に対する遅延時間を考えよう。図-5 に示されているエクスポネンシャル入力は $1 - e^{-at}$ であらわされ、そのラプラス変換は、 $1/p(p+a)$ である。これを $1/p$ と $1/(p+a)$ の積と考え図-6 に示されるよう

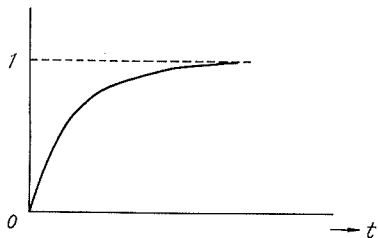


図-5 エクスポネンシャル入力

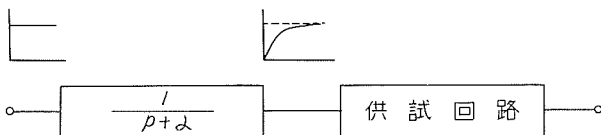


図-6 エクスポネンシャル入力に対する遅延時間

にステップ入力 $1/(p+\alpha)$ なる回路を通った後に供試回路に加わると考える。そこで全体の遅延時間は、まず $1/(p+\alpha)$ なる回路のステップ入力に対する遅延時間を求め、つぎに供試回路のステップ入力に対する遅延時間を求め、これらの代数和を供試回路のエクスポネンシャル入力に対する遅延時間とする。

3. 遅延時間の計算例

いままでの考えを用いていくつかの伝達関数に、ステップ入力・ランプ入力・エクスポネンシャル入力に加わった場合の遅延時間を求めてみよう。

3.1 ステップ入力

(1) 回路の伝達関数が実数極をもつ場合

この時の応答は、図-2の様になり出力にオーバシュートはあらわれない。ステップ入力に対する遅延時間 T_d は

$$T_d = |t_{d(\omega=0)}| = a_1 - b_1 \tag{6}$$

となる。ただし a_1, b_1 は(1)式における伝達関数の係数である。種々の伝達関数について、ステップ入力に対する遅延時間を求めると、表-1のようになる。この表における A_1 及び A_2 は図-2のハッチをほどこした部分の面積である。

表-1 種々の伝達関数の遅延時間 (ステップ入力)

伝達関数	$\frac{1}{p+\alpha}$	$\frac{1}{(p+\alpha)^2}$	$\frac{1}{(p+\alpha)(p+2\alpha)}$	$\frac{1}{(p+\alpha)(p+2\alpha)(p+3\alpha)}$	$\frac{p+3\alpha}{(p+\alpha)(p+2\alpha)}$
遅延時間	$\frac{1}{\alpha}$	$\frac{2}{\alpha}$	$\frac{3}{2\alpha}$	$\frac{11}{6\alpha}$	$\frac{7}{6\alpha}$
A_1	0.3679	0.5413	0.4214	0.4425	0.3992
A_2	0.3680	0.5413	0.4213	0.4427	0.3989

(2) 回路の伝達関数が複素極をもつ場合

回路の伝達関数としてつぎのものを考えよう。

$$G(p) = k \frac{1}{(p-p_1)(p-\bar{p}_1)} \tag{7}$$

ただし $p_1, \bar{p}_1 = \sigma_1 \pm j\omega_1$

この時ステップ入力に対する遅延時間 T_d は

$$T_d = \sqrt{|t_{d(\omega=0)}| |t_{d(\omega=\pm\omega_1)}|} = \frac{2}{\sqrt{\sigma_1^2 + \omega_1^2 + \frac{\omega_1^2 \sigma_1^2}{\sigma_1^2 + 2\omega_1^2}}} \tag{8}$$

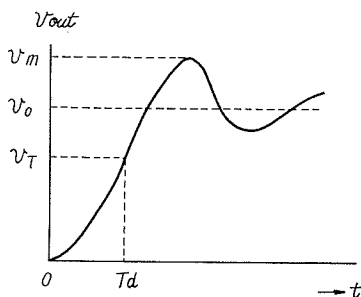


図-7 出力波形

表-2 K と遅延時間の関係 (ステップ入力)

K	2	3	5	10	15
遅延時間	$\frac{2}{\sigma_1} \sqrt{\frac{3}{10}}$	$\frac{2}{\sigma_1} \sqrt{\frac{5}{27}}$	$\frac{2}{\sigma_1} \sqrt{\frac{9}{85}}$	$\frac{2}{\sigma_1} \sqrt{\frac{19}{370}}$	$\frac{2}{\sigma_1} \sqrt{\frac{29}{855}}$
v_m/v_0	1.043	1.108	1.207	1.351	1.432
v_T/v_m	0.527	0.517	0.505	0.488	0.479

となる。

この時の応答は 図-7 のようになり出力にオーバシュートがあらわれる。

$K=(\sigma_1^2+\omega_1^2)/\sigma_1^2$ をパラメータとして遅延時間を求めると表-2 のようになる。なおこの表における v_m, v_0, v_T は 図-7 に示されているようにとるものとする。

3.2 ランプ入力

(1) 回路の伝達関数を実数極をもつ場合

この時の応答は 図-2 のようになり出力にオーバシュートはあらわれない。ランプ入力に対する遅延時間 T_d は

$$T_d = \frac{\tau}{2} + |t_{d(\omega=0)}| \tag{9}$$

となる。種々の伝達関数について、ランプ入力に対する遅延時間を求めると表-3 のようになる。ただし $\alpha\tau = 1$ とした。この表における A_1 及び A_2 は 図-2 のハッチをほどこした部分の面積である。

表-3 種々の伝達関数の遅延時間 (ランプ入力)

伝達関数	$\frac{1}{p+\alpha}$	$\frac{1}{(p+\alpha)^2}$	$\frac{1}{(p+\alpha)(p+2\alpha)}$	$\frac{1}{(p+\alpha)(p+2\alpha)(p+3\alpha)}$	$\frac{p+3\alpha}{(p+\alpha)(p+2\alpha)}$
遅延時間	$\frac{\tau}{2} + \frac{1}{\alpha}$	$\frac{\tau}{2} + \frac{2}{\alpha}$	$\frac{\tau}{2} + \frac{3}{2\alpha}$	$\frac{\tau}{2} + \frac{11}{6\alpha}$	$\frac{\tau}{2} + \frac{7}{6\alpha}$
A_1	0.3834	0.5526	0.4358	0.4566	0.4139
A_2	0.3835	0.5526	0.4358	0.4569	0.4136

(2) 回路の伝達関数が複素極をもつ場合

回路の伝達関数として前述の (7) 式で示されるものを考えよう。

この時ランプ入力に対する遅延時間 T_d は

$$T_d = \frac{\tau}{2} + \sqrt{|t_{d(\omega=0)}| |t_{d(\omega=\pm\omega_1)}|} \tag{10}$$

となる。この時の応答は 図-7 のようになり、出力にオーバシュートがあらわれる。

$K=(\sigma_1^2+\omega_1^2)/\sigma_1^2$ をパラメータとして遅延時間を求めると表-4 のようになる。なおこの表における v_m, v_0, v_T は 図-7 に示されているようにとるものとする。

表-4 K と遅延時間の関係 (ランプ入力)

K	2	3	5	10	15
遅延時間	$\frac{\tau}{2} + \frac{2}{\sigma_1} \sqrt{\frac{3}{10}}$	$\frac{\tau}{2} + \frac{2}{\sigma_1} \sqrt{\frac{5}{27}}$	$\frac{\tau}{2} + \frac{2}{\sigma_1} \sqrt{\frac{9}{85}}$	$\frac{\tau}{2} + \frac{2}{\sigma_1} \sqrt{\frac{19}{370}}$	$\frac{\tau}{2} + \frac{2}{\sigma_1} \sqrt{\frac{29}{855}}$
v_m/v_0	1.040	1.096	1.169	1.227	1.218
v_T/v_m	0.518	0.510	0.507	0.530	0.566

3.3 エクスポネンシャル入力

(1) 回路の伝達関数を実数極をもつ場合

この時の応答は 図-2 のようになり、出力にオーバシュートはあらわれない。エクスポネンシャル入力に対する遅延時間 T_d は

$$T_d = \frac{1}{\alpha} + |t_{d(\omega=0)}| \tag{11}$$

表-5 種々の伝達関数の遅延時間 (エクスポネンシャル入力)

伝達関数	$\frac{1}{p+\alpha}$	$\frac{p+3\alpha}{p+2\alpha}$	$\frac{1}{(p+2\alpha)^2}$	$\frac{1}{(p+2\alpha)(p+3\alpha)}$	$\frac{1}{(p+\alpha)(p+2\alpha)^2}$
	遅延時間	$\frac{2}{\alpha}$	$\frac{7}{6\alpha}$	$\frac{2}{\alpha}$	$\frac{11}{6\alpha}$
A_1	0.5413	0.3992	0.4681	0.4425	0.6123
A_2	0.5413	0.3989	0.4681	0.4427	0.6123

となる。種々の伝達関数についてエクスポネンシャル入力に対する遅延時間を求めると表-5 のようになる。この表における A_1 及び A_2 は図-2 のハッチした部分の面積である。

(2) 回路の伝達関数が複素極をもつ場合

回路の伝達関数としてつぎのものを考えよう。

$$G(p) = k \frac{1}{(p-p_1)(p-\bar{p}_1)}$$

ただし $p_1, \bar{p}_1 = \alpha \pm j\omega_1$

この時エクスポネンシャル入力に対する遅延時間 T_d は

$$T_d = \frac{1}{\alpha} + |t_{\alpha(\omega=0)}| \quad (12)$$

となる。この時の応答は図-8 のようになり、リングングは生ずるがオーバシュートは生じない。 $K = (\alpha^2 + \omega_1^2)/\alpha^2$ をパラメータとして遅延時間を求めると表-6 のようになる。この表における A_1 および A_2 は図-8 のハッチをほどこした部分の面積である。なおこの例では回路の伝達関数の極の実数部を入力波のラプラス変換の実数部と等しくとったので、出力にオーバシュートが生じなかったが、回路の伝達関数をかえてやると出力にオーバシュートが生じ前述の 3.1 (2) 及び 3.2 (2) と同様の結果を得る。

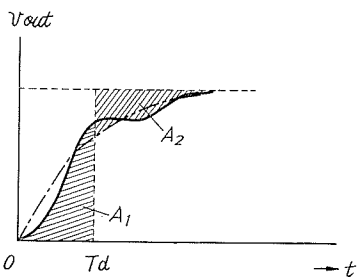


図-8 出力波形

表-6 K と遅延時間の関係 (エクスポネンシャル入力)

K	2	3	5	10	15
遅延時間	$\frac{2}{\alpha}$	$\frac{5}{3\alpha}$	$\frac{7}{5\alpha}$	$\frac{6}{5\alpha}$	$\frac{17}{15\alpha}$
A_1	0.3937	0.3241	0.2899	0.3018	0.3254
A_2	0.3937	0.3238	0.2899	0.3018	0.3258

3.3 まとめ

以上の計算例から結論づけることができるのは以下の点である。

- (1) 出力応答にオーバシュートが生じない場合には、遅延時間は Elmore の定義による A_1 と A_2 の面積が等しくなる時間であることがわかった。
- (2) 出力応答にオーバシュートが生じた場合には、遅延時間は Elmore の定義による A_1 と A_2 の面積が等しくなる時間であるということは意味をもたず、 v_T/v_m がほぼ 1/2 になる時間であらわされることが確かめられた。
- (3) 出力応答にオーバシュートが生じた場合でも生じない場合でも、ステップ入力に対する遅延時間は、(4) 式によって統一的にあらわすことができる。

(4) 線形回路の出力における種々の入力波形に対する遅延時間は、入力波そのものの遅延時間と供試回路のステップに対する遅延時間の和として考えてよいことがわかった。

従って供試回路を遅延時間の点からみてよし悪しを判断する時には、ステップ応答のみを比較すればよいことがわかった。

4. トランジスタ論理回路の遅延時間の計算

つぎに例として図-9に示される2つのトランジスタからなる9つの回路のステップに対する遅延時間を求めてみよう。この9つの回路はすべて論理演算を行なうことができ、前段がゲート、次段がその負荷として動作している。トランジスタはスイッチングの際には能動領域で動作しているので図-10のようなハイブリッドπ型モデルを用いることができる。前章の考え方か

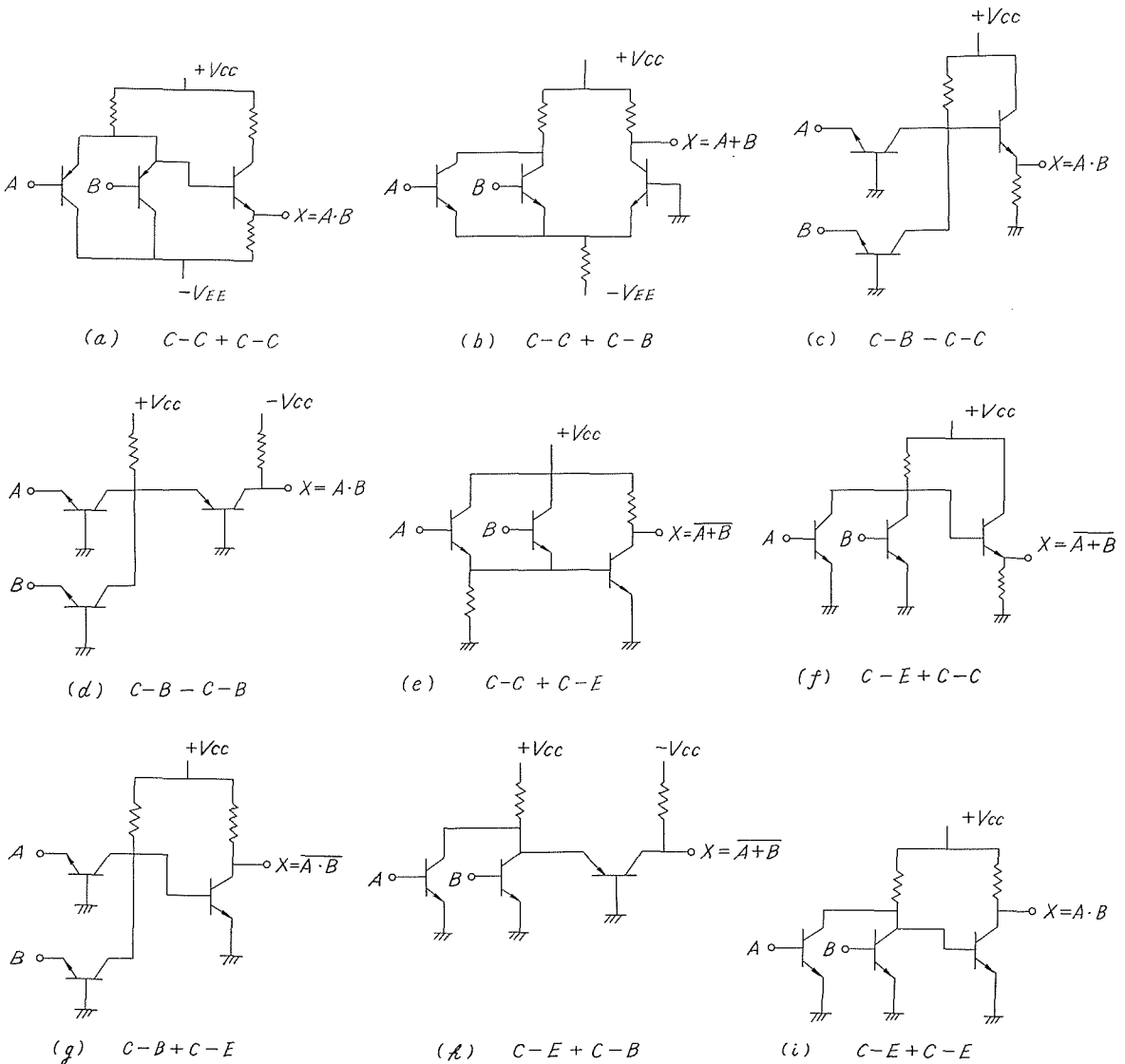
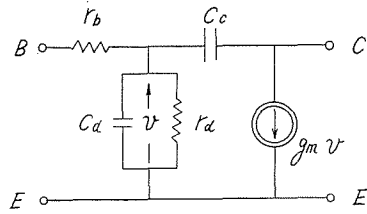


図-9 2つのトランジスタからなる論理回路



トランジスタ パラメータの代表値

- $r_b = 50 \Omega$
- $r_d = 250 \Omega$
- $C_c = 10 \text{ pF}$
- $C_d = 100 \text{ pF}$
- $g_m = 0.2 \text{ V}$

図-10 ハイブリッドπ型モデル

ら全体の遅延時間 T_d を前段のステップ入力に対する遅延時間 T_{d1} と次段のステップ入力に対する遅延時間 T_{d2} の和として考えた遅延時間 T'_d も計算した。

(例 1) 図-9 (a) の回路は前段がコレクタ接地、次段がコレクタ接地となっている。これはふつう CTL (Complementary Transistor Logic) といわれている。この回路は正論理 AND 動作を行なう。スイッチング時間を計算する際には、図-11 (a) の回路を考えればよくその等価回路は図-11 (b) に示されている。図-11 (b) から回路行列式を求め、伝達関数 $G(p) = v_3/v_s$ を求めると

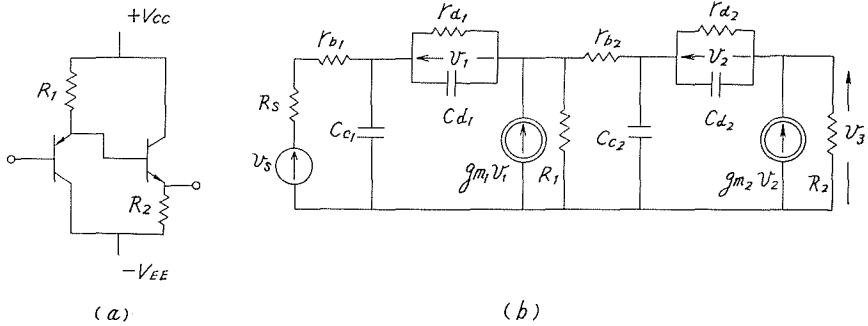


図-11 CTL とその等価回路

$$G(p) = \frac{b_2 p^2 + b_1 p + b_0}{a_4 p^4 + a_3 p^3 + a_2 p^2 + a_1 p + a_0}$$

となり、ステップ入力に対する遅延時間 T_d は

$$T_d = \frac{a_1}{a_0} - \frac{b_1}{b_0}$$

となる。

$$\begin{aligned} a_1 &= C_{c1} \{g_{d2}(g_1 + g_2 + g_{m2} + g_{a2}) + g_2 g_{a2}(g_1 + g_{d2} + g_{m1} + g_{a1})\} \\ &\quad + C_{c2} \{(g_{m2} + g_{a2} + g_2)(g_1 + g_{d2})(g_{d1} + g_{a1}) + g_{b1}(g_{m2} + g_{a2} + g_2)(g_{m1} + g_{a1})\} \\ &\quad + C_{d1} \{g_1 g_{d2}(g_{m2} + g_{a2} + g_2) + g_2 g_{a2}(g_1 + g_{d2}) + g_{b1} g_{d2}(g_{m2} + g_{a2}) + g_2 g_{b1}(g_{d2} + g_{a2})\} \\ &\quad + C_{a2} \{g_1(g_2 + g_{d2})(g_{d1} + g_{a1}) + g_2 g_{d2}(g_{d1} + g_{a1}) + g_{d1}(g_2 + g_{b2})(g_{m1} + g_{a1})\} \\ a_0 &= g_1 g_{d2}(g_{m2} + g_{a2} + g_2)(g_{d1} + g_{a1}) + g_2 g_{a2}(g_1 + g_{d2})(g_{d1} + g_{a1}) + g_{d1} g_{d2}(g_{m1} + g_{a1})(g_{m2} + g_{a2}) \\ &\quad + g_2 g_{b1}(g_{d2} + g_{a2})(g_{m1} + g_{a1}) \\ b_1 &= g_{d1} g_{d2}(g_{m2} + g_{a2}) C_{d1} + g_{d1} g_{d2}(g_{m1} + g_{a1}) C_{a2} \\ b_0 &= g_{d1} g_{d2}(g_{m1} + g_{a1})(g_{m2} + g_{a2}) \end{aligned}$$

ただし

$$g_{b1} = 1/(R_s + r_{b1}), \quad g_{d2} = 1/r_{d2}, \quad g_{a1} = 1/r_{a1}, \quad g_{a2} = 1/r_{a2}, \quad g_1 = 1/R_1, \quad g_2 = 1/R_2$$

今、数値例として

$$g_{b_1} = 8 \times 10^{-3} \text{ } \sigma, \quad g_{b_2} = 2 \times 10^{-2} \text{ } \sigma, \quad g_{a_1} = g_{a_2} = 4 \times 10^{-3} \text{ } \sigma, \quad g_1 = g_2 = 10^{-2} \text{ } \sigma,$$

$$g_{m_1} = g_{m_2} = 2 \times 10^{-1} \text{ } \sigma, \quad C_{c_1} = C_{c_2} = 3 \times 10^{-12} \text{ } F, \quad C_{d_1} = C_{d_2} = 10^{-10} \text{ } F$$

とすると

$$T_{d_1} = 1.49 \times 10^{-9} \text{ } \text{sec}$$

となる。

つぎに 図-11 (a) の回路を 図-12 のように 2 つの回路の縦続接続と考えると、それぞれの回路のステップ入力に対する遅延時間 T_{d_1}, T_{d_2} を計算する。

$$T_{d_1} = T_{d_2} = 9.04 \times 10^{-10} \text{ } \text{sec}$$

したがって

$$T'_d = T_{d_1} + T_{d_2} = 1.81 \times 10^{-9} \text{ } \text{sec}$$

となる。

(例 2) 図-9 (b) の回路は前段がコレクタ接地、次段がベース接地となっている。これはふつう CML (Current Mode Logic) とか ECL (Emitter Coupled Logic) といわれている。この回路は正論理 OR 動作を行なう。スイッチング時間を計算する際には、図-13 (a) の回路を考えればよくその等価回路は 図-13 (b) に示されている。図-13 (b) から回路行列式を求め、伝達関数 $G(p) = v_4/v_3$ を求めると

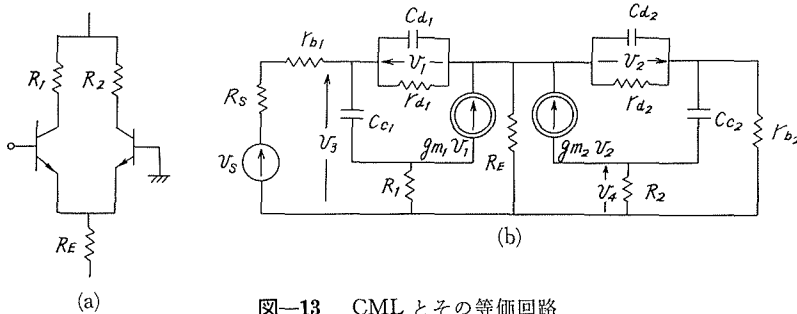


図-13 CML とその等価回路

$$G(p) = - \frac{b_4 p^4 + b_3 p^3 + b_2 p^2 + b_1 p + b_0}{a_4 p^4 + a_3 p^3 + a_2 p^2 + a_1 p + a_0}$$

となり、ステップ入力に対する遅延時間 T_d は

$$T_d = \frac{a_1}{a_0} - \frac{b_1}{b_0}$$

となる。

$$a_1 = C_{c_1} \{ g_e g_2 (g_{a_1} + g_{m_1}) (g_{b_2} + g_{a_2}) + g_2 g_{b_2} (g_{a_1} + g_1 + g_{b_1} + g_{m_1}) (g_{m_2} + g_{a_2})$$

$$+ g_2 (g_1 + g_{b_1}) (g_{b_2} + g_{a_2}) (g_{a_1} + g_{m_1} + g_e) \}$$

$$+ C_{c_2} \{ g_1 g_e g_{a_1} (g_{m_2} + g_{b_2} + g_{a_2} + g_2) + g_1 (g_{b_1} + g_{a_1}) (g_{b_2} + g_2) (g_{m_2} + g_{a_2})$$

$$+ g_1 g_{b_1} (g_{m_2} + g_{b_2} + g_{a_2} + g_2) (g_{a_1} + g_{m_1} + g_e) \}$$

$$+ C_{d_1} \{ g_1 g_2 (g_e + g_{b_1}) (g_{b_2} + g_{a_2}) + g_1 g_2 g_{b_2} (g_{m_2} + g_{a_2}) \}$$

$$+ C_{d_2} \{ g_1 g_2 g_{a_1} (g_e + g_{b_2}) + g_1 g_2 g_{b_1} (g_{a_1} + g_{m_1} + g_e + g_{b_2}) \}$$

$$\begin{aligned}
 a_0 &= g_1 g_2 \{ g_e g_{a_1} (g_{b_2} + g_{a_2}) + g_{b_1} (g_{b_2} + g_{a_2}) (g_{a_1} + g_{m_1} + g_e) + g_{b_2} (g_{b_1} + g_{a_1}) (g_{m_2} + g_{a_2}) \} \\
 b_1 &= g_{b_1} g_{b_2} g_{m_2} (g_{a_1} + g_{m_1}) C_{c_1} + g_1 g_{b_1} (g_{m_2} + g_{a_2}) (g_{a_1} + g_{m_1}) C_{c_2} + g_1 g_{b_2} g_{m_2} g_{b_1} C_{a_1} \\
 b_0 &= g_1 g_{b_1} g_{b_2} g_{m_2} (g_{a_2} + g_{m_1})
 \end{aligned}$$

ただし

$$\begin{aligned}
 g_{b_1} &= 1/(R_s + r_{b_1}), \quad g_{b_2} = 1/r_{b_2}, \quad g_{a_1} = 1/r_{a_1}, \quad g_{a_2} = 1/r_{a_2}, \\
 g_1 &= 1/R_1, \quad g_2 = 1/R_2, \quad g_e = 1/R_E
 \end{aligned}$$

今、数値例として

$$\begin{aligned}
 g_{b_1} &= 8 \times 10^{-3} \text{ } \bar{O}, \quad g_{b_2} = 2 \times 10^{-2} \text{ } \bar{O}, \quad g_{a_1} = g_{a_2} = 4 \times 10^{-3} \text{ } \bar{O}, \quad g_1 = g_2 = 10^{-2} \text{ } \bar{O}, \\
 g_e &= 1.667 \times 10^{-3} \text{ } \bar{O}, \quad g_{m_1} = g_{m_2} = 2 \times 10^{-1} \text{ } \bar{O}, \quad C_{c_1} = C_{c_2} = 3 \times 10^{-12} \text{ } F, \\
 C_{a_1} &= C_{a_2} = 10^{-10} \text{ } F
 \end{aligned}$$

とすると

$$T_d = 1.10 \times 10^{-8} \text{ sec}$$

となる。

つぎに図-13(a)の回路を図-14のように2つの回路の縦続接続と考えると、それぞれの回路のステップ入力に対する遅延時間 T_{d_1} , T_{d_2} を計算する。

$$T_{d_1} = 5.29 \times 10^{-10} \text{ sec}, \quad T_{d_2} = 6.95 \times 10^{-9} \text{ sec}$$

したがって

$$T'_d = T_{d_1} + T_{d_2} = 7.48 \times 10^{-9} \text{ sec}$$

となる。

以下同様にして、ステップ入力に対する遅延時間を計算する。

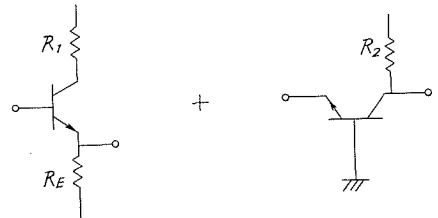


図-14 C-CとC-Bの縦続接続

(例 3) 図-9(c)の回路は前段がベース接地、次段がコレクタ接地となっている。この回路は正論理 AND 動作を行なう。

(例 4) 図-9(d)の回路は前段がベース接地、次段がベース接地となっている。この回路は正論理 AND 動作を行なう。なおこの数値例では、伝達関数に複素極が生じ、ステップ応答の出力波形にオーバーシュートがあらわれるので(4)式によって遅延時間を求めた。この原因を考えると、ベース接地の入力インピーダンスには等価的なインダクタンスがあり、これと前段の出力インピーダンスのキャパシタンスによって出力にオーバーシュートが生ずるものと思われる。

(例 5) 図-9(e)の回路は前段がコレクタ接地、次段がエミッタ接地となっている。この回路は正論理 NOR 動作を行なう。

(例 6) 図-9(f)の回路は前段がエミッタ接地、次段がコレクタ接地となっている。この回路は正論理 NOR 動作を行なう。

(例 7) 図-9(g)の回路は前段がベース接地、次段がエミッタ接地となっている。これはふつう TTL (Transistor Transistor Logic) とよばれている。この回路は正論理 NAND 動作を行なう。

(例 8) 図-9(h)の回路は前段がエミッタ接地、次段がベース接地となっている。この回路は正論理 NOR 動作を行なう。なおこの数値例では伝達関数に複素極が生じ、ステップ応答の出力波形にオーバーシュートがあらわれるので(4)式によって遅延時間を求めた。この原因を考えてみると、ベース接地の入力インピーダンスは等価的にインダクタンスがあり、これと前段の出力インピーダンスのキャパシタンスによって出力にオーバーシュートが生ずるものと思われる。

(例 9) 図-9 (i) の回路は前段がエミッタ接地, 次段がエミッタ接地となっている。これはふつう DCTL (Diect Coupled Transistor Logic) とよばれている。なお段間に抵抗を入れたものは RTL (Resistor Transistor Logic) といわれている。この回路は正論理 OR 動作を行なう。

以上の結果を表にまとめると表-7 のようになる。この章における数値例によって結論づけられることは、出力応答にオーバシュートが生じない場合のステップ入力に対する遅延時間は、回路を2つに分解しておのこのステップ入力に対する遅延時間の代数和をとったものとほぼ等しいということである。

5. 実験結果

第4章で解析した回路について実験を行なった結果を表-8 に示す。この表において、理論値は回路を分解して、おのこのステップに対する遅延時間の代数和をとったものである。又トランジスタはすべて非飽和あるいは飽和ぎりぎりの状態で動作させた。なお実験に使用したトランジスタは 2SA 278 と 2SC 13 で f_a は、ほぼ 11MHz である。なお(4)と(8)では、実験の際にはオーバシュートは生じなかった。

6. 結 言

第4章及び第5章のおわりにも述べてあるがここでもう一度得られた結果を箇条書きにすると以下ようになる。

(1) 回路の良し、悪しを決めるのはステップ応答のみでじゅうぶんであり、ステップ入力に対する遅延時間は(4)式によって求めればよい。

(2) トランジスタ論理回路のスイッチング時間を求める時には、図-9 に示される能動領域でのモデル(ハイブリッド π 型モデル)を用いればよい。

(3) 出力にオーバシュートが生じない時には、ステップ入力に対する遅延時間は回路を分解してそれぞれのステップ入力に対する遅延時間の代数和であらわすことができる。

以上のことから多段に接続されている論理回路のステップに対する遅延時間を求める際に、おのこの段のステップに対する遅延時間を求め、その代数和をとってやればよい。多段接続されている論理回路をそのまま解析することはほとんど不可能に近いのでこの方法は有効であろう。もしトランジスタが飽和および過飽和で動作している時には、前に述べた能動領域でのモデルでは不十分で、電荷制御モデルや Evers-Moll モデルによって飽和領域の時間を求めて、前述の遅延時間に加えてやればよいだろう。

おわりに、実験に際して協力され、かつ種々討論いただいた電子回路工学講座の方々に深く感謝する。

表-7 種々の回路の T_d 及び T_d' の値

回 路	T_d (sec)	T_d' (sec)
(1) C-C+C-C	1.49×10^{-9}	1.81×10^{-9}
(2) C-C+C-B	1.10×10^{-8}	7.48×10^{-9}
(3) C-B+C-C	3.52×10^{-8}	3.23×10^{-8}
(4) C-B+C-B	3.00×10^{-9}	—
(5) C-C+C-E	1.48×10^{-7}	1.47×10^{-7}
(6) C-E+C-C	1.50×10^{-7}	1.47×10^{-7}
(7) C-B+C-E	1.79×10^{-7}	1.76×10^{-7}
(8) C-E+C-B	2.46×10^{-8}	—
(9) C-E+C-E	2.48×10^{-7}	2.87×10^{-7}

表-8 種々の回路の T_d 及び T_d' の値

回 路	T_d (測定値)	T_d' (理論値)
(1) C-C+C-C	5 nsec	2.83 nsec
(2) C-C+C-B	22 "	33.8 "
(3) C-B+C-C	50 "	30.8 "
(4) C-B+C-B	75 "	71.2 "
(5) C-C+C-E	70 "	84.2 "
(6) C-E+C-C	85 "	83.1 "
(7) C-B+C-E	0.7 μ sec	0.727 μ sec
(8) C-E+C-B	0.2 "	0.307 "
(9) C-E+C-E	0.4 "	0.551 "

参 考 文 献

- 1) Elmore: Applied Phys. Vol. 19, Jan. 1948.
- 2) 黒部貞一: 電子通信学会論文誌 (C), Vol. 51-C, Nov. 1968.
- 3) 川上正光: 電子回路 IV, 共立出版.