



Title	高速化C-MOSプッシュプルメモリ
Author(s)	武智, 真; 黒部, 貞一; 小川, 吉彦
Citation	北海道大學工學部研究報告, 69, 107-115
Issue Date	1973-11-15
Doc URL	http://hdl.handle.net/2115/41178
Type	bulletin (article)
File Information	69_107-116.pdf



[Instructions for use](#)

高速化 C-MOS プッシュプルメモリ

武 智 真* 黒 部 貞 一* 小 川 吉 彦*

(昭和 48 年 4 月 28 日受理)

A High Speed C-MOS Push Pull Memory

Makoto TAKECHI, Teiichi KUROBE, Yoshihiko OGAWA

(Received April 28, 1973)

Abstract

When a memory cell is composed of C-MOS transistors, a flip-flop circuit is usually employed. As the flip-flop circuit has a positive feedback loop, it slows down the change from one state to another. Two ways have been used to aim at high performance namely the push-pull system and the feedback system. We have made improvements on the push-pull memory, which is free from the influences of the positive feedback loop. This new memory circuit performance was verified by experiments. Thus a memory cell with a high speed and low power dissipation was produced under appropriate operating conditions.

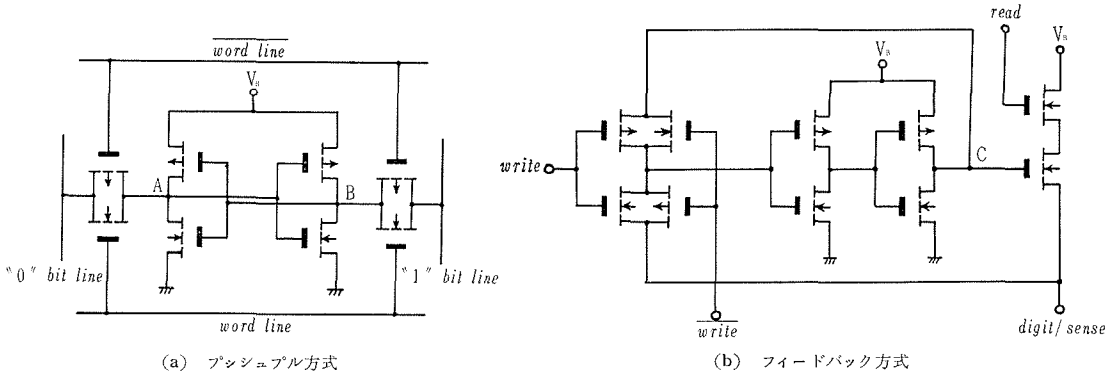
1. ま え が き

C-MOS (相補形 MOS トランジスタ) でメモリセルを構成する場合にはフリップフロップ回路 (以下 F. F. と略) が用いられる。しかし、F. F. は正帰還がある為に状態遷移初期にトリガー電流を妨げる方向に電流が流れて、状態遷移がしにくい。従来、高性能を目指してきた C-MOS メモリではこの欠点を排除する為に主に二つの方法を用いてきたが、ここではその一つのプッシュプル方式に改良を加えて可能な限り正帰還の影響を受けないようにし、実験でその効果を確かめた。この結果、動作点をうまく選べば、より高速で低電力なメモリが構成出来るようになった。

2. C-MOS メモリの問題点

従来用いられている C-MOS メモリ回路^{1,2)} には図 1 に示した二通りの方式がある。これらの回路は読み出し時には本質的に遅延はないが、書き込み時には遅延を生じる。図 1 (a) のプッシュプル方式は、書き込み時に二つの情報節点 A, B に同時にトリガーがかかり状態を反転させる。しかし、F. F. の正帰還路は閉じたままなので、両方の情報節点が同電位となるまではトリガー電流とは逆向きの電流が流れ遷移前の状態を保持しようとして、スイッチング速度を遅らせる。この遅延を小さくする為にはゲート素子の利得を大きくしなければならない。また図 1 (b) のフィードバック方式では、書き込み時のみ F. F. の正帰還路を開放し、C-MOS 伝達ゲートと二段のインバータとして動作させ、ソースフォロア動作を排除して情報節点 C を書き換えるようにしている。読み出しと静止状態では F. F. として動作するように正帰還路を閉じる。このセルの遅延の原因は二つのインバータの前後の三箇所の容量をソース接地動作で充放電する為である。

* 電子工学科 電子回路講座



(a) プッシュプル方式

(b) フィードバック方式

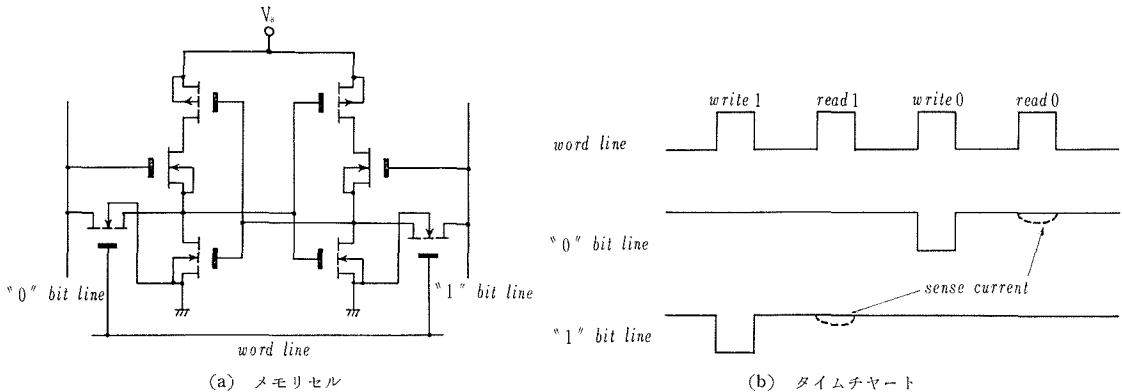
図1 C-MOS メモリ回路

P チャネル素子の基板は V_B に、 N チャネル素子の基板は接地側に接続されている。図中の A, B は (a) の、C は (b) の情報節点である。

3. 高速化プッシュプル回路

3.1 動作原理

書き込み時の正帰還の影響を除去する為にプッシュプル方式を改良し、図2に示した回路で実験を行なった。これはインバータの中に N チャネルディプレッションモードの素子を挿入したもので、引き下げ側で遷移時初期にトリガー電流と逆向きの充電電流を阻止出来る。この様子を“0”書き込みの場合を例にとって図3を用いて調べてみる。ただし、実際の過渡現象は正帰還がかかっている為に非常に複雑になるので、大まかな近似を用いて T_7, T_8 を挿入した効果を調べる。その為 T_3, T_4 は状態遷移が終了してからそれぞれオフ、オンとなり、それまでは T_3 は利得が十分大きく、また T_4 はオフであると仮定する。“0”を書き込む為に語線に V_w 、“0”ビット線に 0、“1”ビット線に V_{bl} の電圧を加える。図3の情報節点 A では引き下げの過渡現象が生じるが、節点 A の電位 v_A が $-V_p$ (V_p は T_7, T_8 のピンチオフ電圧) となるまでは T_7 はオフとなり、 v_A が $-V_p$ より小さくなると T_7 は導通し始める。この結果、 v_A が $-V_p$ より大きい領域では節点 A に流れ込む電流は T_7 によって阻止され、節点 A の容量にある電荷は T_6 を通ってソース接地動作で“0”ビット線に放出されるが、 v_A が $-V_p$ より小さくなると T_7 を通って節点 A に充電電流が流れ込み動作は遅くなる。節点 B では引き上げの過渡現象が起こり、“1”ビット線からソースフォロア動作の T_6 を通して節点 B に充電電流が流



(a) メモリセル

(b) タイムチャート

図2 実験回路

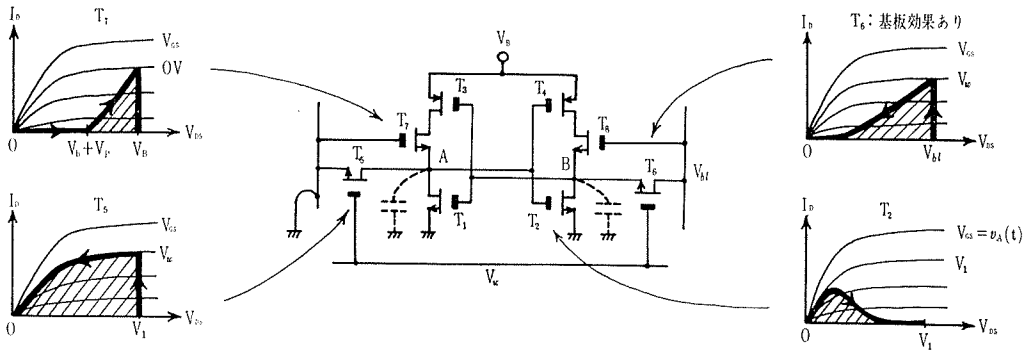


図3 遷移時の動作

“0”書き込み時の各素子の動作を特性曲線上で表わすと斜線で示した部分の電流が流れる。

れ込み、この動作中に基板効果によって T_6 のしきい値は増加しつつある。またこのとき T_2 は遷移初期には導通しているが、 v_A の変化とともにオフに近づくので T_2 による影響は小さい。全体として過渡現象を見積ると、 T_7 による効果を利用して節点 A を急速に引き下げると、正帰還路が閉じたままなので引き上げも幾分速くなる事が期待される。

3.2 過渡現象の計算

上に述べた近似を用いて T_7, T_8 の効果を定量的に扱う。ただし、MOS 素子はいずれも飽和領域で動作するものとし、静止時の高電位側の情報節点の電圧を V_1 、MOS 素子 T_i のしきい値を $V_{Ti}[V]$ 、 β を $\beta_i[A/V^2]$ とする。また両方の情報節点の容量を $C[F]$ とすると、 v_A は

$$v_A: (i) \quad V_1 \geq v_A \geq -V_p$$

$$\left. \begin{aligned} C \frac{dv_A}{dt} &= -\frac{\beta_5}{2}(V_w - V_{T5})^2 \\ v_A(0) &= V_1 \end{aligned} \right\} \quad (1)$$

(1) 式の解は

$$v_A(t) = V_1 - \frac{\beta_5}{2C}(V_w - V_{T5})^2 t \quad (2)$$

(2) 式の成立する領域は

$$0 \leq t \leq \frac{2C(V_1 + V_p)}{\beta_5(V_w - V)^2} \equiv t_1 \quad (3)$$

$$(ii) \quad -V_p \geq v_A \geq 0$$

$$\left. \begin{aligned} C \frac{dv_A}{dt} &= -\frac{\beta_5}{2}(V_w - V_{T5})^2 + \frac{\beta_7}{2}(-v_A - V_p)^2 \\ v_A(t_1) &= -V_p \end{aligned} \right\} \quad (4)$$

(4) 式を解くと

$$\left. \begin{aligned} v_A(t) &= -V_p - \sqrt{\frac{\beta_5}{\beta_7}}(V_w - V_{T5}) \tanh\left(\frac{t}{2\tau_A}\right) \\ \tau_A &= \frac{C}{\sqrt{\beta_5 \beta_7}(V_w - V_{T5})} \end{aligned} \right\} \quad (5)$$

(5) 式の成立する範囲は

$$t \geq t_1 \quad (6)$$

v_B を計算する際には T_2 による効果は小さいので無視する。また、基板とソース間の電圧を v とするときい値の変動は (7) 式で与えられる。

$$V_T = V_{T0} + K(\sqrt{v + 2\phi_F} - \sqrt{2\phi_F}) \tag{7}$$

ただし³⁾ $V_{T0} = V_T(v=0)$

$$K = \frac{t_0 x}{\epsilon_0 x} \sqrt{2e\epsilon_s N}$$

ϕ : 基板のフェルミレベル

このままでは計算上都合が悪いので (8) 式のような近似を用いる。

$$V_T = V_{T0} + kv \tag{8}$$

(8) 式の k は実験的に決定する。この仮定を用いると v_B を求める方程式は

$$C \frac{dv_B}{dt} = \frac{\beta_0}{2} \{V_w - v_B - (V_{T06} + kv_B)\}^2 \tag{9}$$

(9) 式の解は

$$v_B(t) = \frac{V_w - V_{T06}}{1+k} \frac{t}{t + \frac{2C}{\beta_0(1+k)(V_w - V_{T06})}} \tag{10}$$

$v_A(t), v_B(t)$ が求めれば

$$v_A(\tau) = v_B(\tau) \tag{11}$$

を満足する τ が状態遷移に必要な最小のパルス幅を与える事になる。

3.3 動作限界

このメモリセルは静止状態に T_7, T_8 がオフになると F. F. として動作しなくなる。これはビット線電圧 V_{bl} と T_7, T_8 のピンチオフ電圧 V_p 、および静止時の高電位側の情報節点の電圧 V_1 に関係している。 T_7, T_8 はゲート・ソース間の電圧 $V_{bl} - V_1$ が V_p に近づくとソース・ドレイン間の抵抗が大きくなり、ソース・ドレイン間にもオフ素子の抵抗との比で決まる電圧がかかる。しかし、メモリセルは他の論理回路と異なり電圧振幅が 0 から電源電圧 V_B である事はメモリの性能に影響しないので、 V_1 が V_B より小さくなくてもかまわないが T_7, T_8 がオフとなつてはならないので、

$$V_{bl} - V_1 > V_p \tag{12}$$

なる関係を満足しなければならない。

4. 実 験

実験は図4に示した単一ゲートの6素子プッシュプル方式のC-MOSメモリセルと比較する事により、図3の8素子回路の効果を確かめた。双方の回路を公平に比較する為に T_7, T_8 以外はすべて同じ規格の素子を用い、配線による浮遊容量を無視出来るように各回路の情報節点に正確に測定された $0.02 \mu F$ のコンデンサを挿入した。また、ビット線の電位は高低いずれの場合も

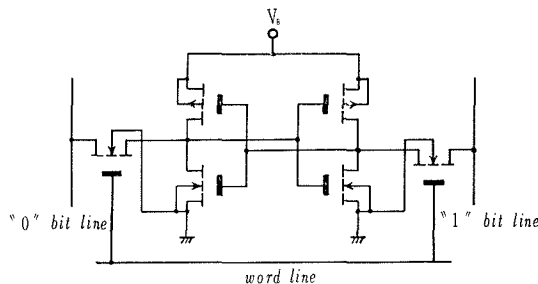


図4 比較回路

定電圧となるように、十分低いインピーダンスで駆動した。

4.1 書き込み特性

はじめに語線の電圧を変え、書き込みに必要な最小のパルス幅 τ を調べた。このとき、電源電圧 V_B を 8 V、ビット線電圧 V_{bl} を 7 V とした。実験結果を図 5 に示す。 τ の大きさはゲート素子 T_5, T_6 の利得と T_7, T_8 の充電電流阻止効果によって決まる。語線電圧を上げるとゲート素子の利得が大きくなり、いずれのセルの場合にも高速書き込みが可能になる。しかし、語線電圧を下げると、ゲート素子の利得が下がるので T_7, T_8 による充電電流阻止の効果が支配的になる。このとき $|V_p|$ を小さくすると阻止効果が大きくなるので、低電圧でメモリを動作させた場合には 6 素子セルよりも有利になる。

次に語線電圧を一定にし、ビット線電圧を変えて τ の変化を調べる。実際の集積回路ではパルス波形はセルに到達する前にビット線や語線の浮遊容量や抵抗の為に歪んでしまう。この影響をなるべく受けないようにビット線が低電圧でも書き込み可能なセルが望ましい。実験では $V_B=8\text{ V}$, $V_m=11\text{ V}$ とし、その結果を図 6 に示す。8 素子セルの場合 (12) 式の条件が満足される範囲で動作させなければならない。この為 V_{bl} を下げて T_7, T_8 の出力抵抗を大きくすると、 T_7 または T_8 のドレイン・ソース間に電圧がかかり V_1 が小さくなる。書き込み時には V_1 が小さければ、充放電される電荷量が少なくて済むので τ は小さくなる。しかし、 V_{bl} を下げていくと (12) 式の条件を満足しなくなり動作が不完全になる。図 6 では $V_p=-0.3\text{ V}$, -1.3 V , -2.8 V の場合には動作が不完全になり始める点が見られるが、 $V_p=-5.3\text{ V}$ の場合には 6 素子の場合と同じ傾向を示している。これは T_7 または T_8 が書き込み時に十分にオフとならず電流阻止効果が現われない事を示している。この場合、それぞれ T_7, T_8 を T_3, T_4 と一体と考えると等価回路的には 2 つの回路は等しくなるが、8 素子の場合には 6 素子に T_7, T_8 のオン抵抗が加わる為に電源から情報節点に流れ込む充電電流が減少するので、6 素子の場合よりやや高速に

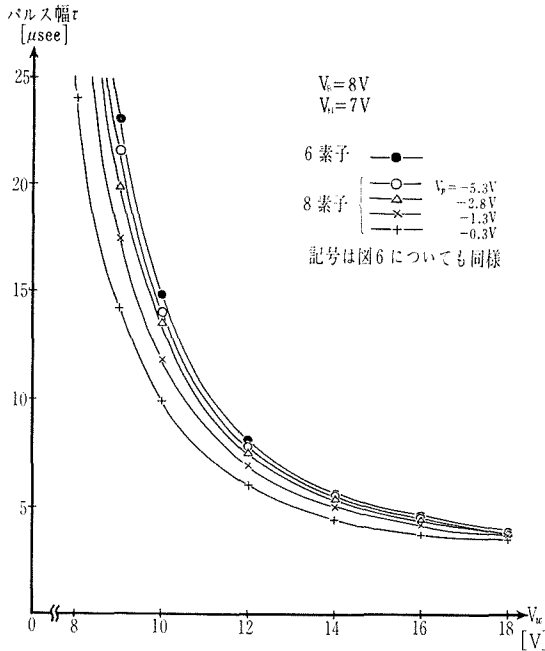


図 5 書き込み特性 (I)

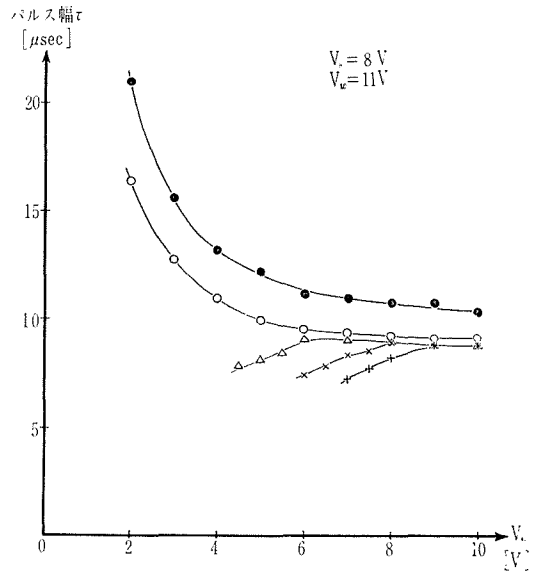


図 6 書き込み特性 (II)

なる。

4.2 理論値計算

各素子の β および V_T を実験によって求め、先に求めた式に代入し書き込みに必要な最小のパルス幅 τ を求める。 β は静特性から使用領域での平均値を求め、 V_T は便宜的にドレイン電流が $10 \mu A$ となるゲート・ソース間の電圧とした。その結果、 β_5 と β_6 は $0.73[mA/V^2]$ 、 β_7 は $0.36[mA/V^2]$ となり、しきい値は基板とソース間に電圧がかからない場合には、 V_{T_5} と V_{T_6} は $4.50 V$ となった。 T_7 、 T_8 のピンチオフ電圧はビット線とゲート間に電源を挿入して可変とする。また、ゲート素子 T_5 、 T_6 の基板とソース間に電圧を加えた場合のしきい値の変動を図7に示す。これより“0”書き込み時の T_6 の V_T は (8) 式に従って

$$V_{T_6} = 4.50 + 0.1833 v \tag{8'}$$

と実験的に決定した。式 (1) から (10) に実験で得られた値を代入すると、次のようになった。このとき、時間 t の単位を $[\mu sec]$ とした。

$$v_A(t): (i) V_1 \cong v_A \cong -V_p$$

$$v_A(t) = V_1 - 0.772 t \tag{2'}$$

$$0 \leqq t \leqq 1.295(V_1 + V_p) \equiv t_1 \tag{3'}$$

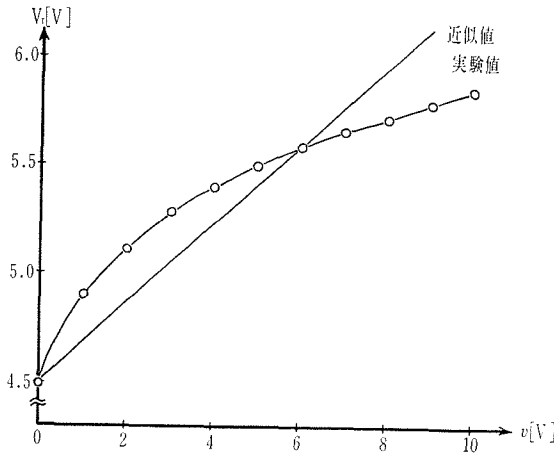


図7 T_5 および T_6 の基板効果

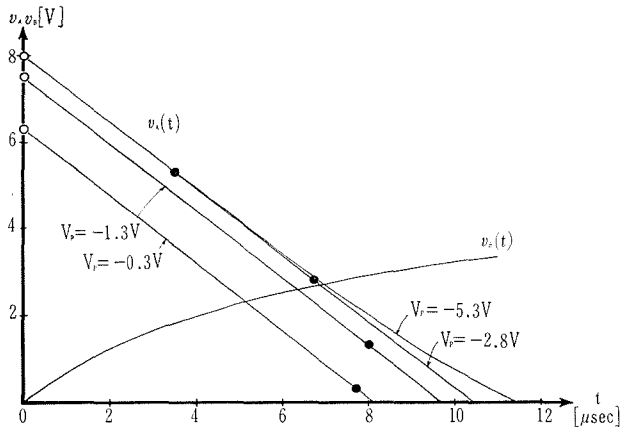


図8 $v_A(t)$ および $v_B(t)$ の計算値
 $v_A(t)$ では・印の点から T_7 が導通し始める。

表1 τ の計算値と実験値の比較

セル	τ	計 算 値	実 験 値
$V_p = -0.3 \text{ v}$ の場合		5.15 $\mu \text{ sec}$	7.3 $\mu \text{ sec}$
$V_p = -1.3 \text{ v}$		6.35	8.4
$V_p = -2.8 \text{ v}$		6.87	9.1
$V_p = -5.3 \text{ v}$		6.94	9.4

(ii) $-V_p \cong v_A \cong 0$

$$v_A(t) = -V_p - 9.24 \tanh\left(\frac{t}{2.99}\right) \quad (5')$$

$$t \cong t_1 \quad (6')$$

 $v_B(t)$:

$$v_B(t) = 5.49 \frac{t}{t + 7.11} \quad (10')$$

これらの式に実験で得られた V_1 , V_p を代入し $v_A(t)$, $v_B(t)$ を求めると図8のようになった。ただしこのときの条件は $V_B = 8 \text{ V}$, $V_w = 11 \text{ V}$, $V_m = 7 \text{ V}$ である。この計算のねらいは、二つの過渡現象をすべて記述するのは困難だが、初期条件を厳密に決めると飽和領域だけを考慮しても、 v_A と v_B が等しくなるまでは割合正確に表現出来る事にある。図8の $v_A(t)$, $v_B(t)$ 交点を求めると(8)式により書き込みに必要な最小のパルス幅 τ が求まる。表1にこのようにして求めた計算値と実験値を示した。これを見ると誤差はいずれも約30%程度なので、図8は比較的正確に $v_A(t)$, $v_B(t)$ を表現している。

4.3 消費電力

セルの消費電力 p は、電源電圧 V_B とセルの間に直流電流計を挿入してセルに流れ込む電流 I_B を測定し

$$p = V_B I_B \quad (13)$$

で表わされる平均電力で定義し、これで二つの回路の p を比較する。また、 T_5 または T_6 を通してビット線からセルに供給される電力は主に情報節点の電位によるので、8素子セルは6素子セルより大きくないと予想されるし、適当な測定法もないので比較の対象としない。静止状態では大部分の領域で $I_B = 0 \mu \text{ A}$ となり電力は消費しない。次に書き込み時の消費電力を調べた。語線、ビット線に加えたパルス幅 τ' を $40 \mu \text{ sec}$ 、書き換えの周期 T を 0.58 m sec 、 $V_B = 8 \text{ V}$ 、 $V_w = 11 \text{ V}$ とし、ビット線電圧 V_m と消費電力 p の関係を測定すると図9のようになった。 V_m が十分高い領域では8素子セルの V_1 はいずれも V_B に等しいので、各セルの p は T_7 または T_8 の電流阻止効果によって情報節点に流入する電荷量に関係している。 V_m を下げていくと8素子セルの $V_p = -0.3 \text{ V}$ と -1.3 V の場合には p は小さくなるが、さらに V_m を下げると p は逆に大きくなる。これは V_m が小さくなると T_7 , T_8 の出力抵抗が大きくなり V_1 が減少する為に、 p は小さくなる。しかし、 V_1 がさらに小さくなると静止状態に T_3 , T_4 のゲート・ソース間電圧が大きくなり導通し始める。この為低電位の情報節点をもつインバータの保持電力は0とならないので p は大きくなる。この保持電力を排除するには(14)式を満足するとよい。

$$V_B - V_1 < |V_{T_{3,4}}| \quad (14)$$

ここでは $V_B = 8 \text{ V}$, $|V_{T_{3,4}}| = 1.2 \text{ V}$ あるから保持電力が必要となる限界の V_1 は 6.8 V となる。実験で p が最小となる点はいずれも $V_1 = 7.1 \text{ V}$ なので(14)式とはほぼ一致する。また6素子

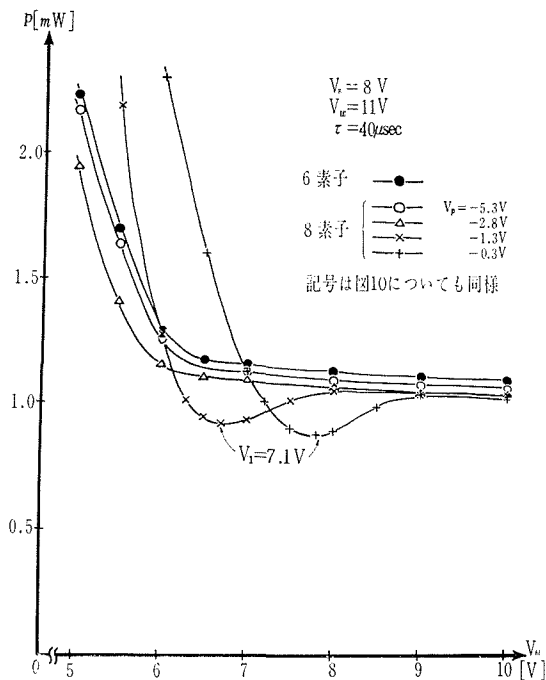


図9 消費電力 (I)

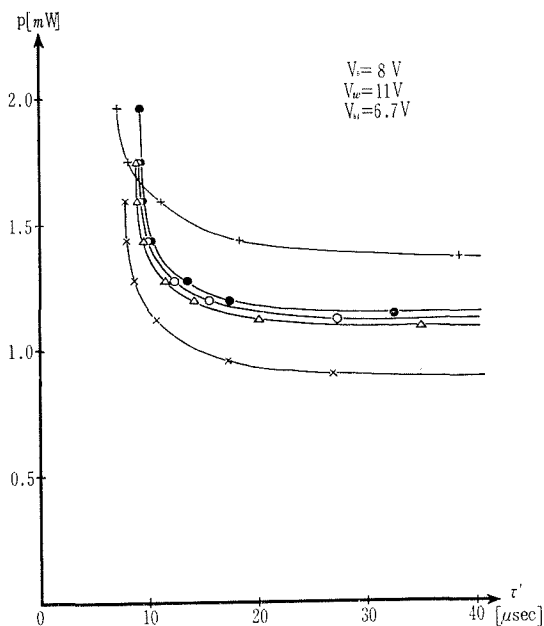


図10 消費電力 (II)

セルの場合にも V_{bi} を下げていくと p は大きくなるが、このときには V_1 は V_{bi} より大きいので書き込みパルス終了後に $V_1 - V_{bi}$ だけ高電位側の情報節点の電圧を引き上げる為に p は増加する。この結果、書き込みパルス幅 τ' が十分大きい部分では、動作点次第で約 20% 程度消費電力 p は小さくなる。次に τ' を変えて p を測定した。動作点は図9の8素子セルの $V_p = -1.3$ V の曲線の p が最小となる $V_{bi} = 6.7$ V に選び、他は同じ条件とする。実験の結果を図10に示す。 τ' の大きい領域では各セルの p はほぼ一定になっているが、これは v_B, v_A の過渡現象が終了している為である。 τ' を小さくすると v_B, v_A の過渡現象が終了しないうちにビット線とセルは遮断されるので、その時の状態から定常状態になるように電流 I_B が流入する。さらに τ' を小さくすると書き換えに必要なパルス幅 τ に近づき、このときに p は最大となる。 τ' が τ より小さくなると書き換えは行なわれず、 p は極端に減少する。従って、各セル間の p の大小は主に V_p と V_{bi} によって決定されると考えられる。

5. 結 論

語線電圧を下げるとゲート素子の利得が下がり、 T_7 や T_8 を挿入した効果が顕著になり、一電源でメモリを動作させる場合に有利になる。また、書き込み速度と消費電力はビット線電圧と T_7, T_8 のピンチオフ電圧に関係し、ある領域では従来のセルよりも高速でしかも低電力なセルが実現出来た。しかし、この回路でメモリシステムを作る場合には、各素子のしきい値を正確に制御出来る技術が要求される。材料の選択やイオン打ち込み法等によってしきい値の制御が確立されつつある現在、従来の C-MOS メモリの一電源動作、低電力、TTL や ECL 等との両立性等の利点に加え、書き込み時間の小さいこの実験回路は存在価値があると思う。

参 考 文 献

- 1) 渡部弘之：“デジタル記憶装置”産報(1972).
- 2) Allison, J. F., et al.：“Silicon-on-Sapphire Complementary MOS Memory Cells” IEEE Solid-State Circuit Vol. SC-2, No. 4 December 1967.
- 3) 山崎他：“MOS-IC と FET”産報(1969).
- 4) 吉村他：“高速 MOS メモリ回路”信学会研究資料 SSD 70-55.