



Title	超高速GaAs集積回路における配線の信号伝送特性の解析：配線抵抗の効果
Author(s)	工藤, 潤一; 長谷川, 英機; 大野, 英男; 飯塚, 浩一
Citation	北海道大學工學部研究報告, 140, 121-131
Issue Date	1988-05-30
Doc URL	<a href="http://hdl.handle.net/2115/42104">http://hdl.handle.net/2115/42104</a>
Type	bulletin (article)
File Information	140_121-132.pdf



[Instructions for use](#)

## 超高速 GaAs 集積回路における配線の信号伝送特性の解析 —配線抵抗の効果—

工藤 潤一 長谷川英機 大野 英男  
飯塚 浩一

(昭和 62 年 12 月 26 日受理)

## Signal Propagation Characteristics of Interconnect in GaAs Ultra High Speed Integrated Circuits —Effect of Interconnect Resistance—

Jun-ichi KUDOU, Hideki HASEGAWA, Hideo OHNO  
Kouichi IIZUKA

(Received December 26, 1987)

### Abstract

Using an MIS (metal-insulator-semiconductor) parallel stripline model of interconnects and its equivalent circuit representation, on-chip interconnection delay in a very high-speed GaAs LSI/VLSI's is analyzed in the time domain taking into account DC interconnect resistance and its skin effect.

The results show that 1) interconnect resistance limits the high speed performance of an integrated circuit when the interconnect is miniaturized for high level of integration, and that 2) the drive capability and effective sheet resistance must be optimized for realizing ultra high-speed performance. ( $t_d$  of below 100 psec)

### 1. 緒 言

ここ数年の III-V 族化合物半導体集積回路の研究開発の発展は目覚ましく、集積規模及び動作速度の目覚ましい向上が達成されている。また、III-V 族化合物半導体を用いたデバイス単体の高速化も著しいものがあり、最近の報告例として、デバイス遅延が 5.5 psec<sup>1)</sup> という値が報告されるにいたっている。しかし、このようなデバイス単体の超高速化のみでは、もはや集積回路の効果的な高速化は達成できない<sup>2)~7)</sup>。これは、従来はデバイス遅延に対して無視できた配線遅延が、デバイス遅延時間の大幅な改善により、動作速度の主要な律速要素となったためである。このような現状において、さらに集積回路を高速化するためには、集積回路をデバイスと伝達線路からなる一つの系として取り扱い、系一体として最適化を行なう必要がある。本報告は、配線遅延、そのなかでも特に、今後、以下に述べるような理由により集積回路の動作速度に重大な影響を与えることが予想される配線抵抗の影響に注目して、信号伝送特性の解析を行なったものである。すなわち、デバイスおよび配線の微細化により集積規模の増大を進めていくと配線抵抗が増大すること、また、回路の高速化すなわち信号成分の高周波化にともない表皮効果の影響が増大し、配線

抵抗が増大することが予想されるからである。ここでは、配線抵抗の効果を調べるために、第一次近似として、配線の抵抗率、断面で決まるところの直流抵抗を考慮した場合と、第二次近似として、簡単な仮定に基づき表皮効果を加味した場合についての配線の信号伝送の解析をしている。

以下、2章に集積回路内配線のモデル化について述べ、3章では、そのモデルを用いて周波数領域における信号伝送特性の解析を行ない、4章では、デバイスも含めた配線の信号伝送特性の時間領域における過渡解析を行なう。5章は結論にあてた。

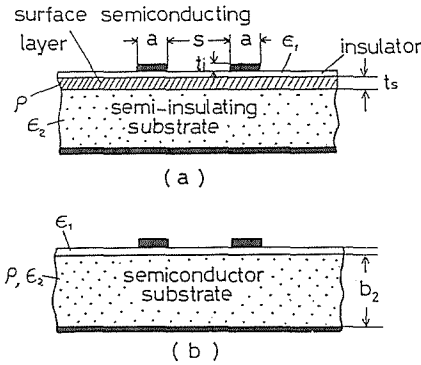


図 2-1 MIS 平行ストリップ線路モデル

## 2. 配線の伝送特性のモデル

### 2.1 配線の基本モデル

集積回路内配線の信号伝送特性を解析するために配線を適切な形でモデル化する必要がある。この際にモデルが集積回路の構造上の特徴をどれだけ多く反映しているかということが重要となる。本研究では、配線を分布定数線路として取り扱う為のモデルとして図 2-1 (a) に示すような断面を有する MIS (metal-insulator-semiconductor) 平行ストリップ線路モデル<sup>4)6)7)</sup>を用いた。このモデルの特徴は、

- 1) 基板表面上にもう一層別の半導体層 (表面半導体層) がある点。
- 2) 電流の復路が基板表面にある点。

の 2 点である。ここで、表面半導体層は、バッファ層や素子の活性層のような、半絶縁性基板上に形成された低抵抗半導体層に対応し、これにより低抵抗半導体層を含めた解析が可能である。さらに、微細化が著しい集積回路においては、基板裏側の接地板と配線との距離は、隣接する配線間の間隔に比べると極めて大きくなるため、基板裏側の接地板と配線との容量 (対地容量) は、隣接する配線間の容量に比べると極めて小さくなる。そのため、このモデルはマイクロストリップ線路<sup>4)5)</sup>より、より現実的なモデルであるといえる。また、このモデルは適当な極限をとると図 2-1 (b) のようになり、Si 集積回路の解析にも適用できる。

準静極限では、表面半導体層は、磁力線は通すが電気力線は通さないで、エネルギーは空間的に分離されて蓄積され遅波モードが伝搬<sup>8)</sup>する。周波数の増加とともに、界面分極の緩和と表皮効果によってモード遷移が起こる。図 2-2 に、通常用いられる半導体層と配線の厚さと、その抵抗率の関係を示す。この図より、100 GHz 以下の周波数では、表面半導体層の厚さは表皮厚に

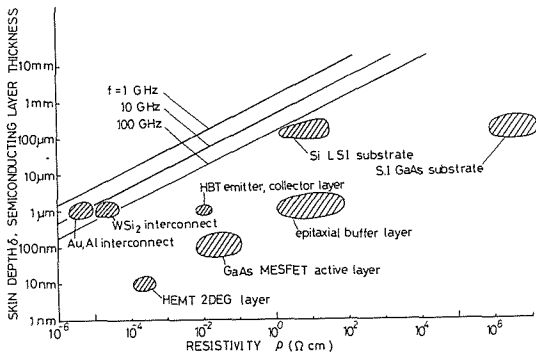


図 2-2 配線、半導体層の厚さと skin-depth の比較

比べると十分薄いので、磁力線は表面半導体層を通過する。このため、100 GHz 以下の周波数では、表面半導体層内の表皮効果は無視できる。これに対し、配線導体に関しては、10 GHz においてさえ、表皮厚は配線導体の厚さよりも薄いことが分かる。これより、配線抵抗に表皮効果を考慮することの必要性は高周波化とともに著しく増大することが予想される。

以上述べた点に注意して、この MIS 平行ストリップ線路の単位長当たりの等価回路を求

めると図 2-3 に示すようになる。ここで、 $C_a$  は空気部分の容量、 $C_1$  は MIS 容量、 $C_2$  は半導体層および基板の高周波極限での容量、 $G_2$  は表面半導体層のコンダクタンス、 $Z_m$  は配線導体のインピーダンス、 $L$  はインダクタンスである。等価回路のパラメータは、等角写像により求めることができる。その結果を以下に示す。但し、図 2-1 (a) (b) において、 $a > b_1$  とし、また容量計算に際してはストリップ導体の厚さは無視した。

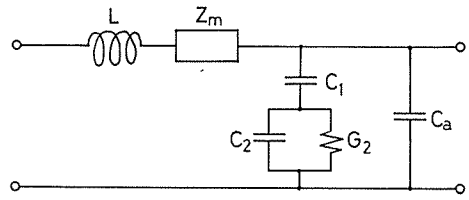


図 2-3 単位長さ当たりの等価回路

$$C_1 = \epsilon_1 \cdot a / (2 \cdot b_1) + \text{空乏層容量} \tag{1}$$

$$C_2 = \epsilon_2 \cdot K(k_1') / \{4 \cdot K(k_1)\} \tag{2}$$

$$C_a = \epsilon_0 \cdot K(k_a') / \{2 \cdot K(k_a)\} \tag{3}$$

$$G_2 = K(k_2') / \{4 \cdot \rho \cdot K(k_2)\} \tag{4}$$

$$L = 1 / \{v_0^2 \cdot (C_a + C_{20})\} \tag{5}$$

但し  $K(k)$  : 第一種完全楕円積分

$$K_1 = - (p_1 - \alpha_1)^{-1} / \{ (p_1 - 1)^{-1} (p_1 - \beta_1)^{-1} \}$$

$$K_1' = \sqrt{1 - k_1^2}$$

$$p_1 = \alpha_1 - \sqrt{(\alpha_1 - 1) \cdot (\alpha_1 - \beta_1)}$$

$$\alpha_1 = \cosh \{ (s + 2 \cdot a) / (2 \cdot b_2) \cdot \pi \}$$

$$\beta_1 = \cosh \{ s / (2 \cdot b_2) \cdot \pi \}$$

$$k_a = s / (2 \cdot a + s), \quad k_2' = \sqrt{1 - k_2^2}$$

$$k_2 = \{ (p_2 + 1)^{-1} - (p_2 - \alpha_2)^{-1} \} / \{ (p_2 - 1)^{-1} - (p_2 - \beta_2)^{-1} \}$$

$$k_2' = \sqrt{1 - k_2^2}$$

$$p_2 = \{ 2 \cdot \alpha_2 \cdot \beta_2 + \alpha_2 - \beta_2 \} / \{ \alpha_2 + \beta_2 + 2 \cdot (\alpha_2 - 1) \cdot (\beta_2 + 1) \}$$

$$\alpha_2 = \cosh \{ (s + 2a) / (2 \cdot t_s) \cdot \pi \}$$

$$\beta_2 = \cosh \{ s / (2 \cdot t_s) \cdot \pi \}$$

$v_0$  : 真空中の光速

$C_{20}$  : 半導体が存在しないときの  $C_2$  の値

表面半導体層のコンダクタンス  $G_2$  の効果を表わすのに、広がり抵抗を考慮した実効シート抵抗  $R_{\square \text{eff}}$  を用いることにする。 $G_2$  を  $R_{\square \text{eff}}$  を用いて表わすと次式のようなになる。

$$G_2 = 1 / (s \cdot R_{\square \text{eff}}) \tag{6}$$

図 2-4 に実効シート抵抗と通常のシート抵抗の比の配線間隔依存性を示す。この図より配線間隔が表面半導体層の厚さに比べて充分大きい場合通常のシート抵抗と一致する。しかし、配線間隔と表面半導体層の厚さが同程度になると、広がり抵抗が支配的になり、実効シート抵抗を用いなければならない。次に、図 2-2 と図 2-4 より、 $R_{\square \text{eff}}$  の値が

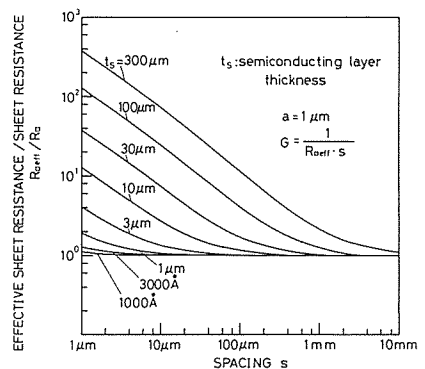


図 2-4 実効シート抵抗とシート抵抗の比の配線間隔依存性

$10^2-10^3 \Omega/\square$ は基板に Si を用いた場合

$10^2-10^7 \Omega/\square$ は半絶縁性基板上に低抵抗半導体層がある場合

$10^7 \Omega/\square$ 以上は半絶縁性基板上に低抵抗半導体層が無い場合

に対応していることが分かる。

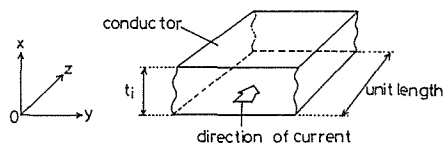
## 2.2 配線抵抗の取り扱い

配線抵抗が信号伝送特性に与える効果の目安を得る為に、本解析では配線抵抗を次のように取り扱った。最も簡単な近似は配線の抵抗率、断面で定まるところの直流抵抗を用いることである。今後この取り扱いを第一次近似と呼ぶことにする。この第一次近似は、微細化による配線幅の減少が配線の信号伝送特性にどのような影響を与えるのかを調べるのに、大変便利な方法である。

次に第一次近似を発展させて、配線抵抗に表皮効果を考慮して回路の高速化による影響も解析対象にした。しかし、表皮効果を厳密に取り扱うのは大変困難であることが知られている。ここでは、電流分布に関して以下のような仮定を施した。

- 1) 配線の電流密度は、横(水平)方向には均一である
- 2) 配線の電流密度は、高さ(垂直)方向に指数関数的に減少する

これより、図2-5において+Z軸方向、即ち、電磁波の伝搬方向に流れる電流の密度は上記の仮定より、xのみの関数で表わされる。



$$i(x) = \begin{cases} i_0 \cdot \exp(-x/\delta) : (0 \leq x \leq t_1) \\ 0 : (x \leq 0, x \geq t_1) \end{cases} \quad (7)$$

図2-5 配線に流れる電流の方向

ここで、 $\rho$ は配線材料の抵抗率、 $t_1$ は配線の厚さ、 $i_0$ は配線の裏面( $x=0$ )の電流密度、 $\delta$ は表皮厚であり

$$\delta = \sqrt{\rho / j\omega\mu_0} \quad (8)$$

である。電流  $i(x)$  を  $x=0$  から  $t_1$  まで積分すると、単位幅当たりに流れる電流  $I_s$  が得られる。また、配線の裏面( $x=0$ )のZ軸方向の電界を  $E_{z0}$  とすると

$$E_{z0} = \rho \cdot i_0 \quad (9)$$

これより、Z軸方向の単位長当たりの電圧降下は  $E_{z0}$  となる。よって、単位幅当たりの配線インピーダンスは、 $E_{z0}$  と  $I_s$  の比より次式のように求まる。

$$Z_m = \sqrt{j\omega \cdot \mu_0 \cdot \rho} / \{1 - \exp(-\sqrt{j\omega \cdot \mu_0 / \rho} \cdot t_1)\} \quad (10)$$

配線の幅が  $a$ 、電流の復路が直列に接続しているとして考えると、配線の直列インピーダンス

$$Z_m = 2/a \cdot \sqrt{j\omega \cdot \mu_0 \cdot \rho} / \{1 - \exp(-\sqrt{j\omega \cdot \mu_0 / \rho} \cdot t_1)\} \quad (11)$$

が、得られる。以下では、これを配線の第二次近似と呼ぶことにする。

## 3. 無限長配線の周波数領域での解析

本章では、ゲートが接続された集積回路内配線の過渡解析(パルス伝送特性解析)を進める前に、配線自身の周波数領域での信号伝送特性を把握するために、特性インピーダンス  $Z_0$ 、伝搬定数  $\tau_m$

の周波数依存性、及び寸法依存性についての検討をした。ことに配線寸法のうちでも特に損失(表面半導体層と配線抵抗)に関わる実効シート抵抗と配線幅に注目した。それ以外の寸法および数値として、配線の厚さは  $1\mu\text{m}$ 、間隔は  $100\mu\text{m}$ 、絶縁膜は厚さ  $1\mu\text{m}$  で比誘電率 7、基板は厚さ  $200\mu\text{m}$  で比誘電率 12 と一定の値とした。

図 3-1 に特性インピーダンスの実数部、減衰定数の実効シート抵抗依存性を示す。ここで配線は幅  $1\mu\text{m}$  の金である。なお、点線は配線の抵抗を無視した場合(以後これを第 0 次近似と呼ぶことにする)、破線は第一次近似、実線は第二次近似に対応している。この図より、線路幅が  $1\mu\text{m}$  と細かい場合には、配線抵抗は線路の主要な減衰要素となることが分かる。

図 3-2 に特性インピーダンスの実部、減衰定数の周波数依存性を示す。ここで、表面半導体層の実効シート抵抗は  $10^6\Omega/\square$  であり、配線幅をパラメータにしている。この図より、特性インピーダンスの実部、減衰定数はともに、配線幅が細い程大きくなる。また、配線幅が  $1\mu\text{m}$  と細かい場合には減衰定数の評価には第二次近似のような取り扱いが必要であることがわかる。

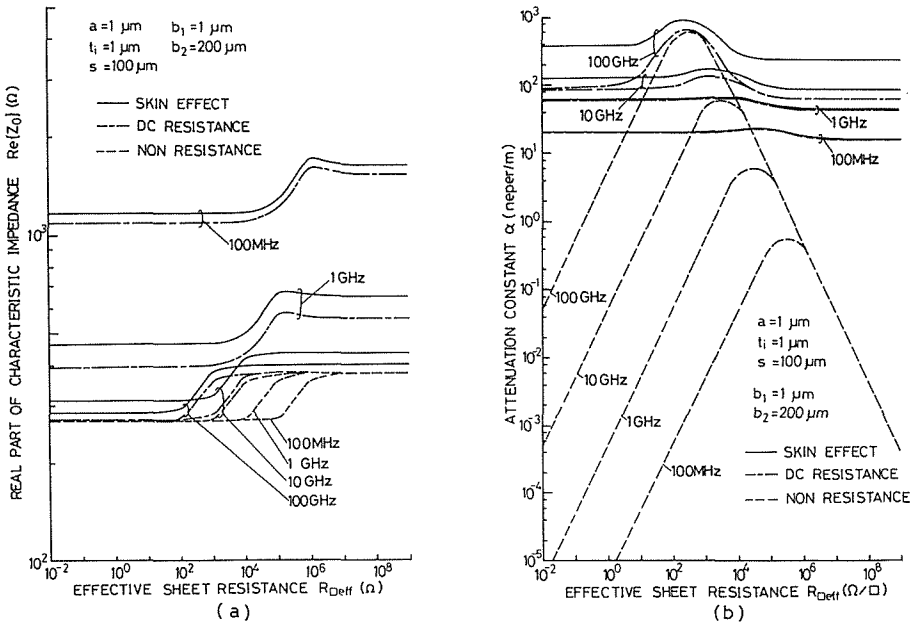


図 3-1 特性インピーダンス、減衰定数の実効シート抵抗依存性

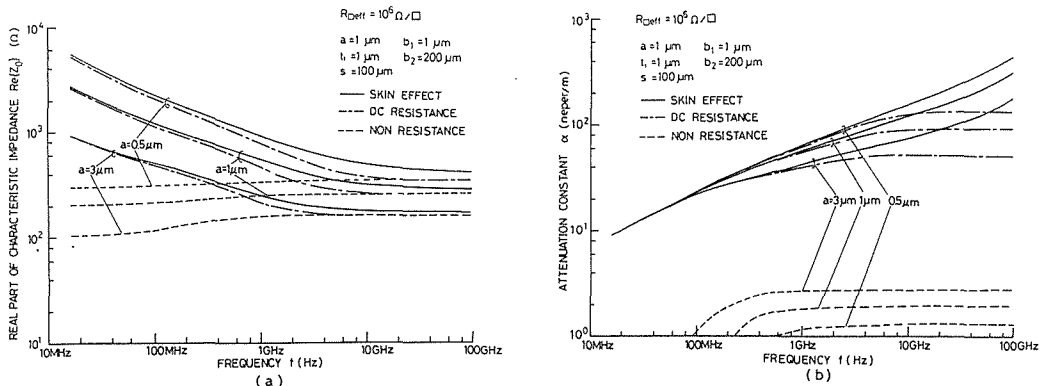


図 3-2 特性インピーダンス、減衰定数の周波数依存性

## 4. 配線のパルス伝送特性とその結果

### 4.1 配線を含む論理回路のモデル

集積回路の配線における信号伝送特性を議論する為には、論理ゲートを含めた解析が必要である。そのためには、論理ゲートを適切な形にモデル化する必要がある。論理集積回路で用いられる基本ゲート方式には、種々の方法が提案されているが、なかでも、E/D 構成の論理ゲートが LSI、

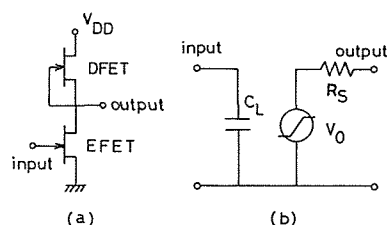


図 4-1 E/D 形インバータの回路図と等価回路

VLSI 化に適している。図 4-1 (a) に E/D 形のインバータの基本回路図を示す。ディプリーション形の負荷用 FET (D-FET) とエンハンスメント形のスイッチング用 FET (E-FET) とから構成されている。このゲートの最も簡単な等価回路を図 4-1 (b) に示す。簡単のため論理ゲートの入力インピーダンスは E-FET の入力容量で与えられるものとする。また、論理ゲートの出力は、D-FET を出力抵抗  $R_S$  をもつ線形電圧源として取扱う。FET のゲート電極幅は  $W_G = 20 \mu\text{m}$  (E-FET),  $W_G = 10 \mu\text{m}$  (D-FET) として、ゲート長はいずれも  $0.5 \mu\text{m}$  として考える。入力容量  $C_L$  は GaAs MESFET ではショットキーゲート容量, Si MOSFET では、酸化膜容量に対応する。キャリア濃度  $10^{17} \text{cm}^{-3}$  の動作層をもつ GaAs MESFET では空乏層厚を  $1000 \text{\AA}$  とするとゲート単位面積当たりの容量は  $1.17 \text{fF}/\mu\text{m}^2$ , また Si MOSFET では酸化膜厚を  $300 \text{\AA}$  とするとゲート容量は  $1.18 \text{fF}/\mu\text{m}^2$  となる。平均ファンアウト数を 2 とした。従って、本解析では  $C_L$  を  $20 \text{fF}$  として計算した。

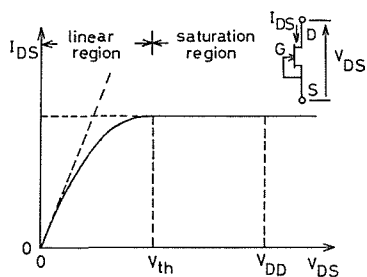


図 4-2 ディプリーション負荷の I-V 特性

ゲートの出力抵抗  $R_S$  は、ターンオフ、ターンオンに関する FET の等価抵抗に対応する。グラジュアルチャネル近似により、D-FET の I-V 特性は、図-2 に示すように、線形領域と飽和領域に分けられる。図のように非線形の負荷ではあるが、ここでは、主たる寄与が生ずる  $V_{DS} = 0$  における V-I 特性の傾きによって等価的な  $R_S$  を求めることにする。これより  $R_S$  は次式によって与えられる。

$$R_S = \left. \frac{dV_{DS}}{dI_{DS}} \right|_{V_{DS}=0} \quad (12)$$

つまり、 $R_S$  は相互コンダクタンス  $g_m$  の逆数で与えられる。バイポーラデバイスの過渡応答はより複雑ではあるが、やはり基本的には  $g_m$  の逆数で等価的信号源抵抗を評価できると考えられる。

これより、配線基本モデルと論理素子モデルを組み合わせ、図 4-3 に示すような配線遅延計算モデルが得られる。

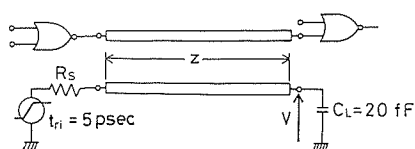


図 4-3 論理回路を含む配線系の配線遅延計算モデル

### 4.2 過渡応答解析の手法

過渡応答解析の手法として等価回路法を用いる。初めに周波数領域での伝達関数を等価回路から求め、それを数値的に逆ラプラス変換することにより時間領域に変換する。このような手順で過渡応答波形を得ることができる。なお、数値逆ラプラス変換には FILT (fast inversion of Laplace transform) 法<sup>9)</sup>を用いた。尚、配線長  $Z$  は  $3 \text{mm}$ , 入力信号の立ち上がり部分は立ち上がり  $5 \text{psec}$

のランプ信号とした。

### 4.3 配線遅延の素子特性依存性

図4-4に遅延時間  $t_d$  (50%立ち上がりまで)、立ち上がり時間  $t_r$  (10-90%のまでの立ち上がり)の論理ゲートの出力抵抗依存性を示す。図において点線は第0次近似、破線は第一次近似、実線は第2次近似に対応している。なお、配線は幅、厚さがともに  $1\mu\text{m}$  の金とした。

実効シート抵抗は  $10^6\ \Omega/\square$  であり、これは半絶縁性 GaAs 基板に対応している。配線幅が  $1\mu\text{m}$  と細くなると 100-200 ps 以下を問題にする場合、第0次近似ではもはや正しい結果が得られない。さらに、この領域では第一次近似でさえ不充分であり、第二次近似のような取り扱いが必要であることが分かる。

図4-5に第二次近似による遅延時間  $t_d$ 、立ち上がり時間  $t_r$  のゲート出力抵抗依存性を示す。ここで、寸法は図4-4と同じであるが、配線材料は金、タングステンシリサイドである。

この図より集積回路でよく使用される実効シート抵抗が  $10^4\ \Omega/\square$  でモード遷移による立ち上がりの劣化が著しいことが分かる。また、タングステンシリサイドのような抵抗率の大きな材料を配線に用いることは、高速信号伝送という観点からは極めて不利であることが分かる。またこの図より、 $t_d$ - $R_s$  特

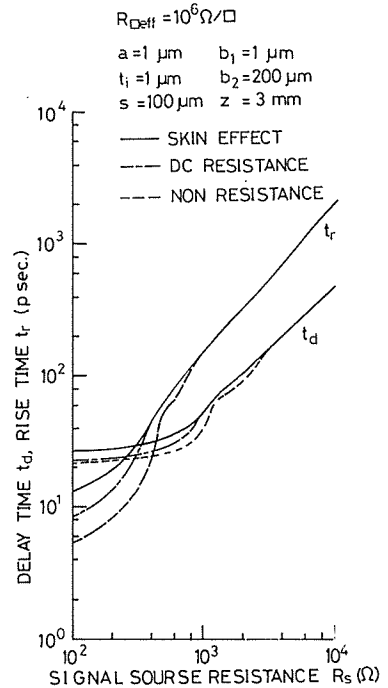


図4-4 遅延時間、立ち上がり時間の出力抵抗依存性

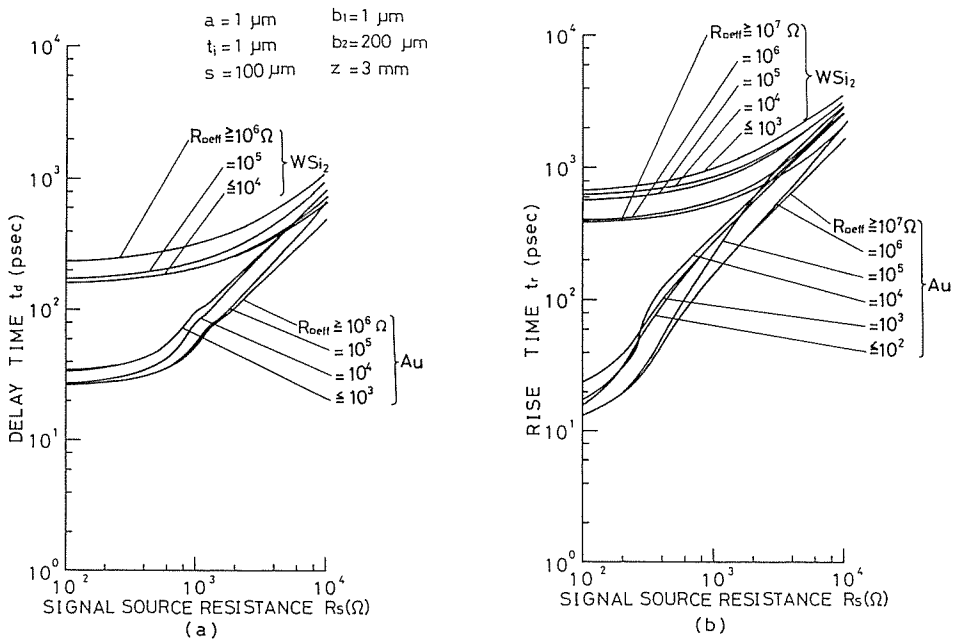


図4-5 遅延時間、立ち上がり時間の出力抵抗依存性



性は  $t_d$  が  $R_s$  と共に増加する領域と飽和している領域の 2 つに大別できる。これは、遅延時間  $t_d$  が 2 つの成分から成ることから容易に理解できる。つまり、遅延時間  $t_d$  は電磁波そのものの伝搬に必要な時間と、それ以後の波形の立ち上がり要する時間からなり、前者は  $R_s$  の値に依存しないのに対して、後者が  $R_s$  の値つまりデバイスの駆動力に強く依存している。それゆえ、高速化は、 $R_s$  の値を小さくすること、すなわちデバイスの駆動力を大きくすることで、波形の立ち上がり要する時間の短縮をはかることにより実現される。以上より高速化の為には、半導体層上を配線が通過する場合に、平均実効シート抵抗がモード遷移による立ち上がりの劣化が起こらない範囲にすること、配線には抵抗率の小さい材料を用いること、デバイス駆動力が大きいことが重要である。また、図 4-4、図 4-5 の結果に波打ちが見られるが、これは多重反射の影響である。この波打ちは、第二次近似では小さいが、これは、第二次近似では高周波成分程減衰が著しいので、多重反射した波頭が減衰したためであると考えられる。

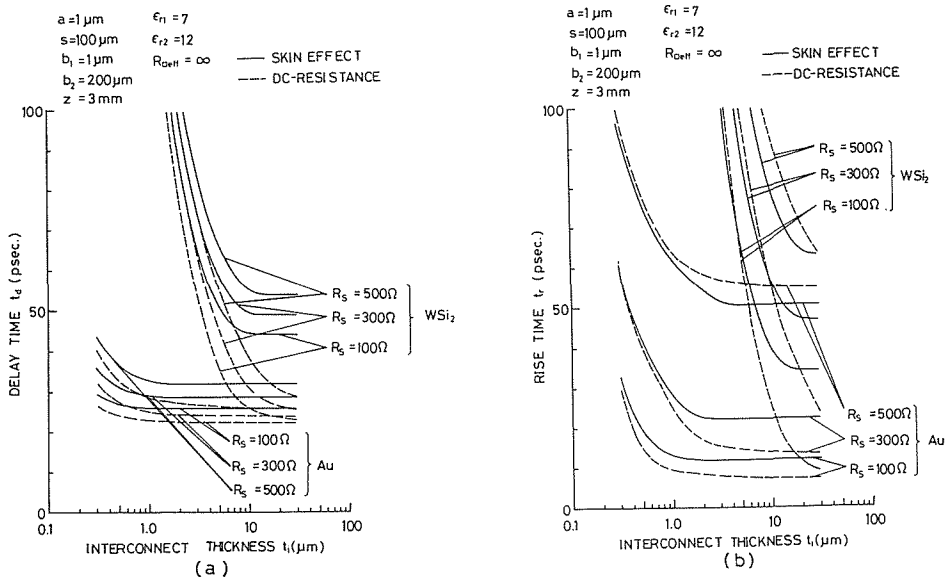


図 4-6 遅延時間，立ち上がり時間の配線厚依存性

4.4 配線遅延の配線構造依存性

次に、配線遅延の配線構造依存性を示す。図 4-6 に遅延時間  $t_d$ ，立ち上がり時間  $t_r$  の配線厚依存性を示す。なお、配線は幅は  $1 \mu\text{m}$  の金，タングステンシリサイド，また、配線間隔は  $100 \mu\text{m}$ ，実効シート抵抗は  $\infty \Omega/\square$  である。この図より、 $t_d$ - $t_i$  特性は、 $t_d$  が  $t_i$  に強く依存する領域と飽和する領域に大別できる。高速化には  $t_d$ ， $t_r$  が飽和領域に入るように配線厚さを選定してやるのが大切である。

図 4-7 に遅延時間  $t_d$ ，立ち上がり時間  $t_r$  の線路幅依存性を示す。なお、配線は金で、その厚さは  $1 \mu\text{m}$ ，配線間隔は  $100 \mu\text{m}$ ，実効シート抵抗は  $\infty \Omega/\square$  である。

図中の第一次、第二次近似の解析結果より、配線幅の減少による抵抗の増大のために立ち上がり特性が劣化しているのが一目で分かる。また、配線幅が  $3 \mu\text{m}$  未満になると、もはや第 0 次近似は正しい結果を与えなくなることがわかる。

次に、図 4-8 に遅延時間  $t_d$ ，立ち上がり時間  $t_r$  の実効シート抵抗依存性を示す。配線は幅、厚さともに  $1 \mu\text{m}$  の金であり、また、配線間隔は  $100 \mu\text{m}$  である。図より実効シート抵抗が、 $10^3$ — $10^4 \Omega/\square$  の範囲においてモード遷移による立ち上がりの劣化が著しいことが分かる。

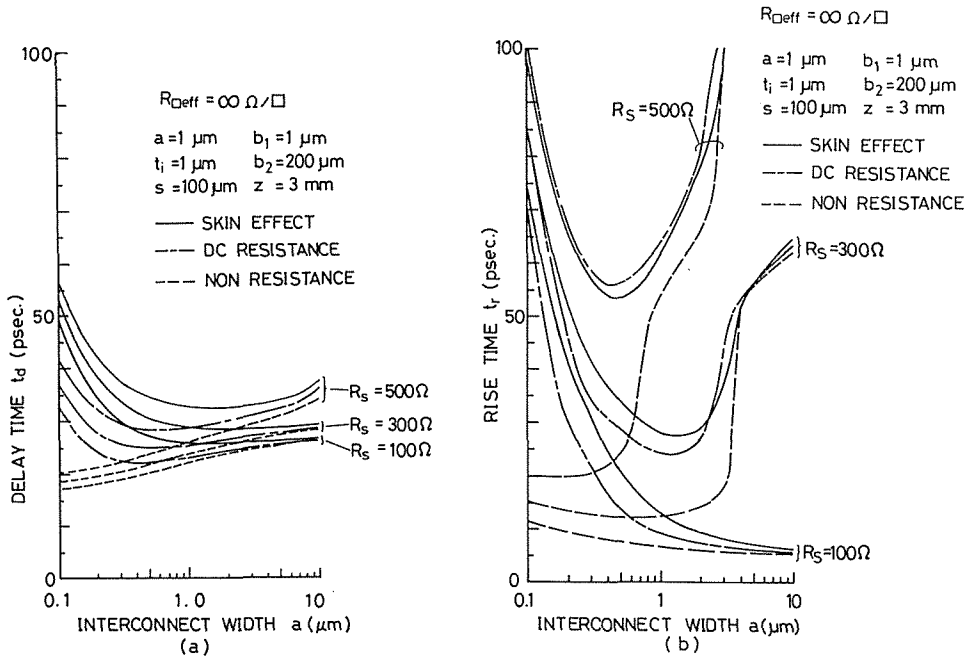


図 4-7 遅延時間, 立ち上がり時間の配線幅依存性

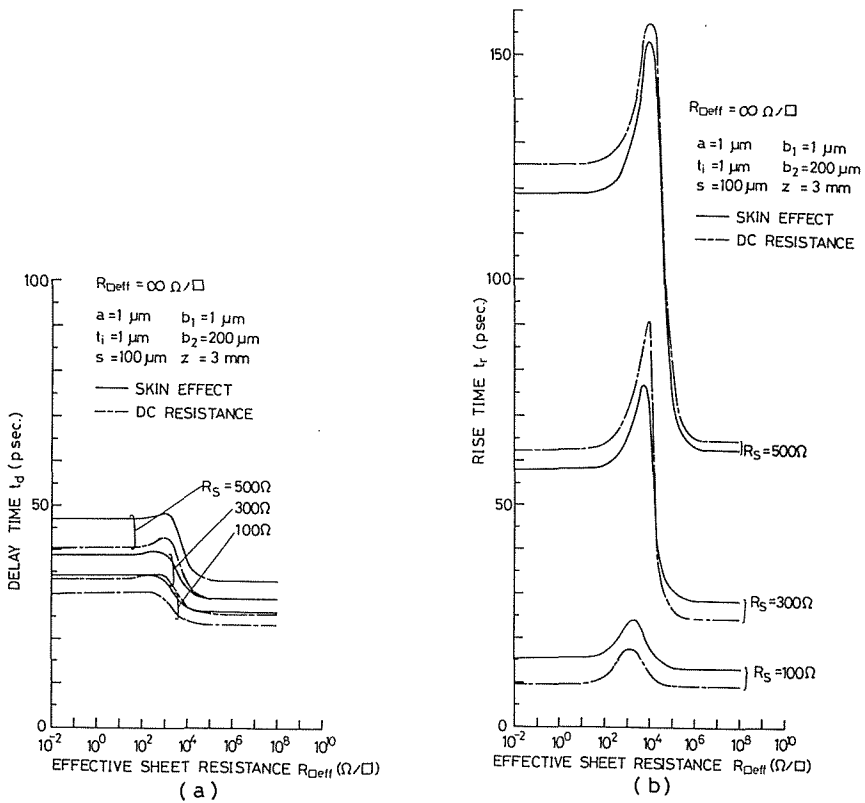


図 4-8 遅延時間, 立ち上がり時間の実効シート抵抗依存性

次に、図4-9に遅延時間 $t_d$ 、立ち上がり時間 $t_r$ の配線間隔依存性を示す。なお、配線は幅、厚さともに $1\mu\text{m}$ の金であり、実効シート抵抗は $\infty\Omega/\square$ である。この図より、配線間隔はデバイス駆動力が充分大きい場合には、配線遅延にほとんど影響しない。しかし、デバイス駆動力がさほど大きくない場合には、配線間隔が狭いと著しく立ち上がり特性を劣化させることが分かる。

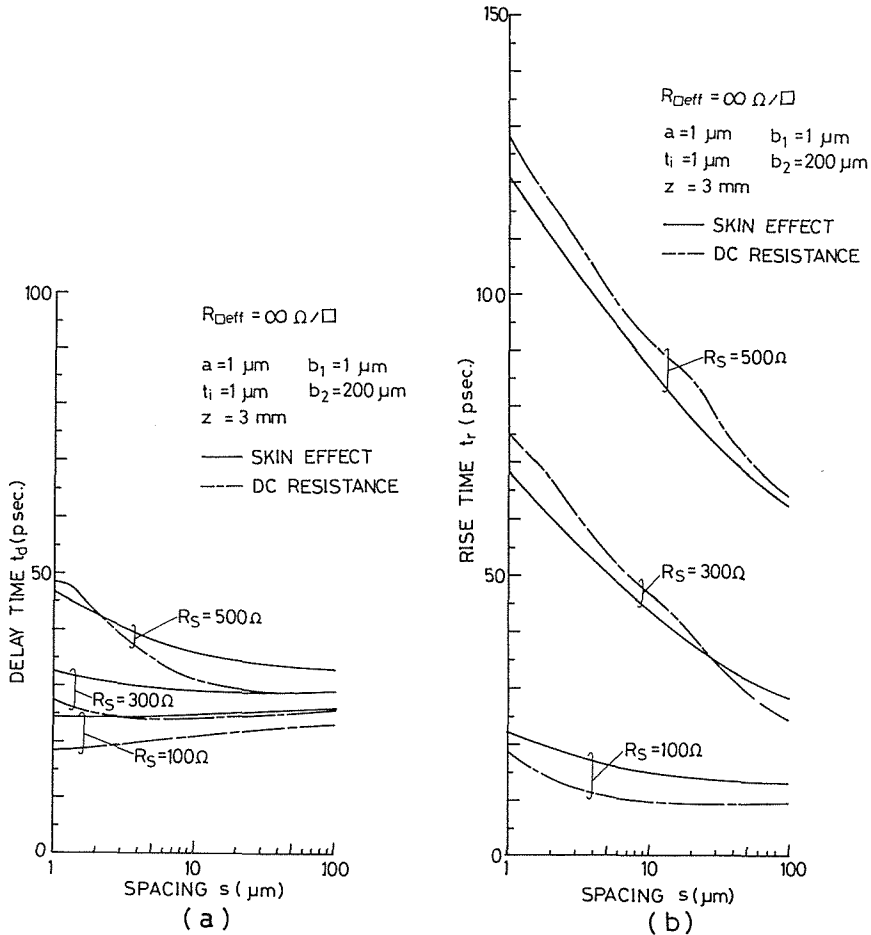


図4-9 遅延時間，立ち上がり時間の配線間隔依存性

## 5. 結 論

本報告では配線抵抗に簡単な近似を行ない、集積回路内の配線の信号伝送特性の解析を行なった。集積回路の動作速度を律速する遅延要素には、デバイス遅延と配線遅延がある。配線遅延律速領域で数 ps-数 100 ps の高速の伝搬遅延時間を議論するためには、配線を分布定数線路として取り扱う必要がある。微細化による配線幅の減少は配線抵抗の増大を招き、回路の高速性能を低下させる。集積回路の高速化を進めていく上で、配線遅延の低減のためには、デバイスを高駆動力化すること、モード遷移の起こらないような値に配線下の実効シートを設定すること、配線には、抵抗率の小さい材料を用いることが必要であることが定量的に示された。本報告で用いた第一次、第二次近似の解析結果を比較することより、素子駆動力を大きくして高速化をはかる場合

ほど、より正確な配線抵抗の取り扱いが必要であることが明らかであり、将来、表皮効果をより精密に取り入れた解析が必要とされる。また、本解析では、 $a \gg b_1$  の条件下で MIS 容量の  $C_1$  の値を平行平板コンデンサー近似により求めているので、配線幅が小さい場合は、この点の精度の改善も必要である。

#### 文 献

- 1) K. Nagata, O. Nakajima 45th DRC 1987. IVA-2.
- 2) 松井則夫, 昭和 58 年度電子通信学会総合全国大会予稿集 2, s-4-2.
- 3) S. Seki and H. Hasegawa, 1982 GaAs IC Symp. Tech. Dig. p. 119.
- 4) S. Seki and H. Hasegawa, IEEE MMIC Symp. Tech. Dig. p. 29.
- 5) H. Hasegawa and S. Seki, IEEE Microwave Theory and Tech., MTT-32, No. 12, December 1984 pp. 1721-1727.
- 6) 長谷川英機, 関 昇平, 信学技報 SSD84-111, pp. 61-68.
- 7) 関 昇平 'Analysis of Signal Properties of Interconnection in High-Speed Integrated Circuits Using MIS Stripline Models and Applications' 昭和 59 年度博士論文.
- 8) H. Hasegawa and H. Okizaki, Electron Lett., 13, p. 663 (1977).
- 9) T. Hosono, Radio Science, 16, p. 1015 (1981).