



Title	高融点金属ゲートを用いたセルフアライン形InP MISFETの製作プロセスの検討
Author(s)	田中, 利広; 石井, 敦司; 萩田, 晃一; 大野, 英男; 長谷川, 英機
Citation	北海道大學工學部研究報告, 141, 125-135
Issue Date	1988-07-29
Doc URL	<a href="http://hdl.handle.net/2115/42115">http://hdl.handle.net/2115/42115</a>
Type	bulletin (article)
File Information	141_125-136.pdf



[Instructions for use](#)

## 高融点金属ゲートを用いたセルフアライン形 InP MISFET の製作プロセスの検討

田中利広\* 石井敦司 萩田晃一  
大野英男 長谷川英機

(昭和63年3月31日受理)

### Fabrication Process of Self-Aligned InP MISFETs Using Refractory Metal Gates

Toshihiro TANAKA, Atsushi ISHII, Kouichi HAGITA,  
Hideo OHNO and Hideki HASEGAWA

(Received March 31, 1988)

#### Abstract

A successful fabrication process of self-aligned InP MISFETs using refractory metal gates is presented. A tungsten gate which was formed by electron beam evaporation on to a heated substrate, was used for the self-aligned formation of  $n^+$  contact regions by Si ion implantation. SiN films formed either by the plasma CVD process or by the photo CVD process, were used as gate insulators.

Optimum conditions for the gate metal formation, gate insulator formation and activation annealing were established. Contact resistance of Au/Ge/Ni source and drain contacts was determined by the TLM method and was found to be sufficient.

InP MISFETs were successfully fabricated on Fe-doped semi-insulating InP substrates, using the new self-alignment process. Superiority of the photo-CVD SiN film over the plasma CVD film for gate insulator was shown. The best mobility value in the devices with photo-CVD SiN films was  $1,100\text{cm}^2/\text{V} \cdot \text{sec}$  for  $L=10\mu\text{m}$ .

#### 1. 緒 言

III-V族化合物半導体である InP, GaAs を用いた超高速あるいは超高周波デバイスが活発に研究開発されている。これは主として, GaAs, InP が Si より大きい電子移動度やピークドリフト速度を有していることによる。GaAs ではショットキゲート電界効果トランジスタ (MESFET) の単体や集積回路がすでに実用化され, 高速性や高周波性能が求められる分野で応用されている。一方, InP は, GaAs より, ピークドリフト速度が大きく, かつ, 熱伝導率も大きいという利点があり, しかも, GaAs では高密度の界面準位のため実現困難な MIS (Metal Insulator Semicon-

ductor) ゲート構造の電界効果トランジスタ (FET) が製作できる特徴がある。このため、InP を用いた MIS 形電界効果トランジスタ (MISFET) によると、GaAs MESFET と比較して、さらにすぐれた高速性能、高周波性能、大電力性能をもつ単体デバイスや電子および光・電子集積回路を実現できる可能性がある<sup>2-7)</sup>。しかし、InP MISFET の高密度集積化のためには、Si や GaAs 集積回路からの類推からすると、プロセスの簡素化と寄生容量の低減が達成できるセルフアライン (自己整合) 形デバイスを実現するプロセスの研究開発が不可欠である。この点に関しては、これまでにいくつかの試みはあるものの<sup>4-6)</sup>、十分な検討がなされていない。

本論文は、高融点金属ゲートによるセルフアライン形 MISFET の製作に関して基礎的な立場から検討したものである。ゲート絶縁膜としてはプラズマ CVD および光 CVD 法による SiN 膜を用い、高融点ゲート金属としては W 膜を用いている。セルフアラインは、絶縁膜およびゲートを形成した後に、ゲート電極をマスクとしてソース・ドレインの n<sup>+</sup>領域の形成のために Si を注入することによって達成された。注入イオンの活性化アニールは 700°C で行われた。各工程のプロセス条件を確立すると共に、光 CVD 膜を用いた MISFET で実効移動度 1100cm<sup>2</sup>/V・sec が得られ、新しいプロセスの有効性を実証した。

本報告では、第 2 節でゲート絶縁膜 SiN の形成法と耐熱性評価、第 3 節で電子ビーム (EB) 蒸着法によるゲート金属膜の形成法、第 4 節でソース・ドレイン領域の形成法および電極の接触抵抗の測定結果、第 5 節で InP MISFET の作製プロセスと MISFET の試作結果についてそれぞれ述べ、第 6 節でまとめを述べる。

## 2. ゲート絶縁膜の形成法および耐熱性評価

ゲート絶縁膜としてはち密性が高く、耐電圧と比誘電率の大きい SiN 膜を採用した。SiN 膜の形成法としてはプラズマ CVD 法と光 CVD 法を検討した。プラズマ CVD 法では放電プラズマによって原料ガスを分解して反応を促進させ、基板上に SiN 膜を堆積させる。一方、光 CVD 法では光エネルギーを利用して、原料ガスを分解反応せしめ、膜を堆積する。表 1 に本報告でプラズマ CVD 法および光 CVD 法により SiN 膜を形成するのに用いた原料ガスおよび最適形成条件を示す。

表 1 SiN 膜の形成方法と形成条件

		プラズマ CVD 法	光 CVD 法
使用ガス 流 用 [SCCM]	SiH <sub>4</sub> 10%	25	90
	N <sub>2</sub>	50	90
	NH <sub>3</sub>		18
基板温度 [°C]		300	250
圧 力 [Torr]		1.0	5.4
堆積レート [Å/sec]		200	60

次にゲート絶縁膜のイオン注入活性化アニールに対する耐熱性を検討した。プラズマ CVD 法で形成した SiN 膜の耐熱性やキャップアニールの保護膜としての適性についてすでに各研究機関で検討がなされており、また、今回の結果でも、とくに大きな問題はないことが確認された。

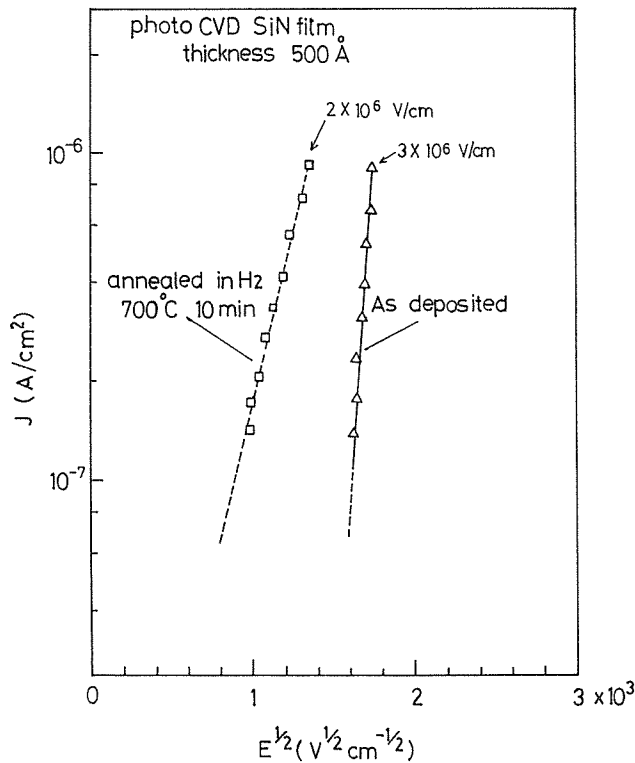


図1 光 CVD SiN 膜の I-V 特性の活性化アニール前後での変化

基板加熱温度のより低い光 CVD 法で堆積した SiN 膜の耐熱性について検討した結果を図 1 に示す。耐熱性はアニール前後の SiN 膜の電流電圧 (I-V) 特性により評価した。試料として, MIS 構造を用いた。これは  $n^+Si$  基板 ( $\rho=2\sim5\times 10^{-3}\Omega\text{cm}$ ) 上に光 CVD SiN 膜を  $500\text{\AA}$  堆積した後, 次節で述べる方法で W を基板加熱 EB 蒸着法で形成し, ついでフォトリソグラフィによりゲート電極を形成したものである。活性化アニール条件は温度  $700^\circ\text{C}$ , 10分であった。図からわかるように, アニールの前後の I-V 特性は, とともに Poole-Frenkel プロットにのったが,  $10^{-6}\text{A}/\text{cm}^2$  の電流密度で評価された絶縁耐圧はアニールによる  $3\times 10^6\text{V}/\text{cm}$  から,  $2\times 10^6\text{V}/\text{cm}$  に減少している。しかし, アニール後の耐電圧性能は MISFET のゲート絶縁膜として使用するには十分である。また, アニール後の InP の表面モロジやキャリア密度プロファイルの検討から, 光 CVD 法で堆積した SiN 膜は, 活性化アニール中に InP 基板からの P の脱離を防止する保護膜として十分利用できることが判明した。

### 3. 高融点金属ゲートの形成

ゲートをマスクとしてイオン注入するセルフアラインプロセスは, 高温での活性化アニールを伴うため, ゲート金属として, 耐熱性があり, しかも, 電気抵抗が低い材料を用いる必要がある。高融点金属としては Ta, Cr, Mo, W などがあるが, ここでは抵抗率, 融解温度および InP 基板や SiN 膜上でのエッチングの選択性の観点から W を選択した。また, W 薄膜の形成法としては,

電子ビーム (EB) 蒸着法, スパッタ法, CVD 法が考えられるが, 本報告では, 電子ビーム蒸着法を採用した。

まず, 電子ビーム蒸着法で形成した膜厚500-2000Åの W 薄膜の抵抗率と活性化アニールに対する耐熱性を検討した。抵抗率は四探針法により測定した。まず, 室温で電子ビーム蒸着した W 薄膜の抵抗率は $470\mu\Omega\text{cm}$ となった。これはバルクの値の約90倍であり, 非常に高い。また, 室温形成の W 薄膜は InP 基板上に形成された SiN 膜と密着性が悪く, イオン注入後の活性化アニール条件である $700^{\circ}\text{C}$ , 10分間の条件で熱処理を行なったところ, W 薄膜が剝離するのが認められた。そこで, 電子ビーム蒸着の際, 基板温度を上げることにより, 抵抗率と密着力の改善を図った。図2に, 活性化アニール処理の前および後における基板温度と抵抗率の関係を示した。図2

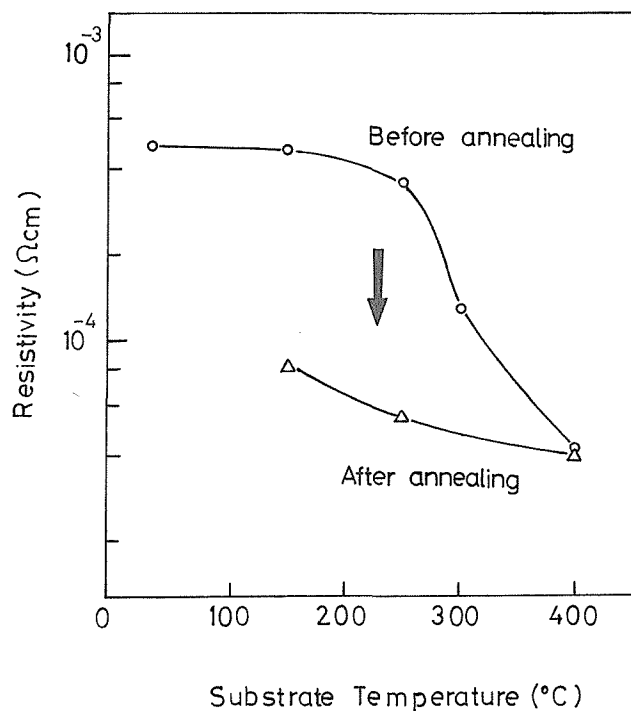


図2 電子ビーム蒸着によるタングステン薄膜の抵抗率の基板温度および前後での変化

からわかるように, 活性化アニール前の抵抗率は基板温度 $250^{\circ}\text{C}$ を境に顕著に低下する。また, アニール処理後は抵抗率は低下し,  $50\mu\Omega\text{cm}$ 程度の値をとる。アニール前に抵抗率が低下しはじめる温度 $250^{\circ}\text{C}$ は, W が柱状結晶構造をとる温度 $330^{\circ}\text{C}$ に比較的近く, 結晶粒の大きさが W 薄膜の電気抵抗に関係していることをうかがわせる。活性化アニール後さらに抵抗率が小さくなる理由としては, 結晶粒が大きくなること, および熱処理で不純物が蒸発することなどが関係していると考えられる。また, 基板加熱した場合, 活性化アニール後の W 薄膜の表面状態も SiN 膜との密着性も十分良好であった。光 CVD 法, プラズマ CVD 法により SiN 膜は, 基板加熱温度 $250^{\circ}\text{C}$ ,  $300^{\circ}\text{C}$ で堆積している。したがって, その後に形成される W 薄膜の蒸着工程において生ずる SiN 膜の膜質の変化を最小限にとどめるために, W 蒸着中の基板加熱温度を $250^{\circ}\text{C}$ とした。このとき

に得られる W 薄膜のアニール後の抵抗率の値 $50\mu\Omega\text{cm}$  はゲート電極として用いるのに十分な値である。

上記の検討の結果得られたゲート電極用 W 薄膜の電子ビーム蒸着条件を表 2 にまとめて示す。W 薄膜の堆積速度は $1\sim 2\text{Å}/\text{sec}$  にするのが適当であることが判明した。堆積速度をこれ以上

表 2 電子ビーム蒸着法による  
W 薄膜の形成条件

電 圧	4kV
電 流	200mA
真 空 度	$3\times 10^{-5}\text{Torr}$
基 板 温 度	250°C
堆 積 レー ト	2Å/sec

速くすると、抵抗率が高くなり、また、W 薄膜をエッチしゲート電極を形成する際、膜面内でのエッチレートのばらつきにより、エッチングのむらができる。

#### 4. ソース・ドレイン領域の形成と電極の接触抵抗の評価

MISFET のソース・ドレイン n<sup>+</sup>領域は、Si イオンのイオン注入により形成した。直列抵抗を十分低くするためには、イオンの注入量および活性化アニール後の注入イオンの活性化率、および n<sup>+</sup>領域へのオーム性接触の接触抵抗を適正な値とする必要がある。

イオン注入には、EXTRION 社の装置を用い、100-150keV の加速電圧で、ドーズ量 $10^{13}\sim 10^{14}\text{cm}^{-2}$  の Si<sup>+</sup>イオンを注入した。注入不純物を正しい格子位置に入れ、ドナとして活性化する活性化アニールは、InP の場合、少なくとも 700°C 程度の高温を必要とすることが知られている。一方、InP は 400°C 以上になると表面より P 原子が脱離する現象が起こる。化合物半導体の活性化アニールにおいては、この V 族元素の脱離をいかに制御するかがポイントとなる。本研究ではキャップ方式、キャップレス方式の 2 つの方式について検討を行なった。

キャップ方式ではゲート絶縁用 CVD SiN 膜を通して Si イオンを注入し (スルーインプラテーション)、その SiN 膜を活性化アニール時の保護膜 (キャップ) としても利用した。この方式では、SiN 膜を通してイオンを注入するため、イオンの到達率を考慮する必要がある。例えば、ゲート絶縁用 SiN 膜の膜厚を 500Å とし、加速電圧を 100KeV とすると基板に到達するイオンの到達率は 60% と見積られる。さらに、キャップ方式における活性化率を最適化するため、あらかじめドーズ量 $1\times 10^{14}\text{cm}^{-2}$  の Si イオンを注入した Fe ドープ半絶縁性 InP 基板に SiN 膜のキャップを施し、電気炉中でアニールする一連の実験を行なった。活性化アニールは水素中で行ない、アニール温度およびアニール時間を変化させつつ、活性化率をホール効果測定により求め、かつ InP の表面モロジの劣下を評下した結果、最適アニール条件として、700°C、10分間が得られた。このとき活性化率は約 30% であった。

次に、キャップレス方式について検討した結果について述べる。キャップレス方式ではゲート電極をフォトエッチングで形成後、ゲート電極をマスクとして SiN 膜を先にエッチングし、しかる後に、InP 基板に直接イオンを注入した。キャップレスアニールでは、アニールは P の脱離を

防ぐため P の蒸気圧をかける必要がある。本研究では P 圧をかける方法として、基板表面に別の InP 基板を表面を向かい合わせてのせる Face-to-Face 方式を用い、しかも、周囲に InP の粉末を置く方法をとった。アニール時間を短くするため、キャップレス方式では簡易型加熱試験器（スーパーオープン）を用いた。水素中で行なったキャップレス方式の最適アニール条件として、650°C、5分が得られ、このとき活性化率95%を得た。この温度でのキャップレスアニールでは、P の脱離による表面モロジの変化はほぼ認められなかった。

次に、ソース・ドレイン電極としては、次のように Ge/Au/Ni 電極を形成した。まず、フォトレジストを一様に塗布し、ソース・ドレイン電極のパターン部分に窓あけを行なう。次に、Ge/Au/Ni 膜を膜厚が500Å/1000Å/200Å となるように順次真空蒸着した後、フォトレジストを溶かして、ソース・ドレイン電極領域以外の金属をリフトオフする。最後に、420°C、5分間のアロイング熱処理をしてオーミック電極とする。

ソース・ドレイン電極とイオン注入 n<sup>+</sup>層の接触抵抗は、伝送線路法（TLM 法）によって評価した<sup>8)</sup>。図3に試料の構造を示す。この試料の電極間抵抗 R<sub>s</sub>は次式によって与えられることが知られている。

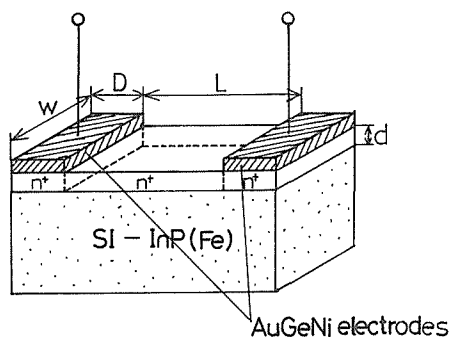


図3 伝送線路法 (TLM 法) による接触抵抗測定用の試料の構造

$$R_s = \rho \frac{L}{d \cdot W} + \frac{\sqrt{R_c \cdot \rho / d}}{W} \coth(D \sqrt{\frac{\rho}{R_c \cdot d}}) \quad (1)$$

ただし、 $\rho$  は n<sup>+</sup>層の抵抗率、 $R_c$ は接触抵抗、 $L$ ,  $W$ ,  $d$ ,  $D$ は図3中に示した試料の寸法である。式(1)は  $L \gg d$  の場合次式のように簡素化される。

$$R_s = \rho \frac{L}{d \cdot W} + R_c \frac{1}{WD} \quad (2)$$

したがって、 $L$ ,  $W$  の異なる試料について、電極間抵抗  $R_s$  を測定することにより、接触抵抗  $R_c$  を求めることができる。電極間距離  $L=5\text{-}55\mu\text{m}$  に対する電極間抵抗の測定結果は図4に示すようになった。n<sup>+</sup>層のドーザ量は  $2 \times 10^{14} \text{cm}^{-2}$ 、深さは200nmであった。図4の直線の勾配から求められる n<sup>+</sup>層の抵抗率  $\rho$  はホール効果測定で求めた値  $1.52 \times 10^{-3} \Omega\text{cm}$  とよく一致した。また、図4の縦軸の切片から決定される接触抵抗  $R_c$  は  $1.3 \times 10^{-3} \Omega\text{cm}^{-2}$  であった。これは、ソース・ドレイン電極パターンが  $250\mu\text{m}$  の場合の直列抵抗値  $2.1\Omega$  に相当し、今回試作した InP MISFET の電流電

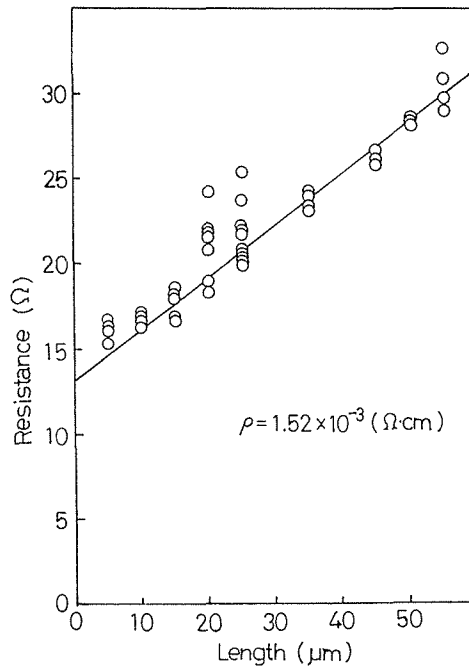


図4 電極間抵抗と電極間隔の関係

圧特性にさほど大きな影響を与えない値であることが判明した。

## 5. MISFET の製作プロセスと試作素子の特性

今回検討を行なった要素技術にともづくセルフアライン形 InP MISFET の製作プロセスの模式図を図5に示した。基板としては Fe ドープ半絶縁性 InP (抵抗率  $1 \times 10^6 \Omega \text{cm}$  以上) 基板を用い、面方位は (100) である。以下に製作プロセスの概要を順序に従って述べる。

- ① 基板を有機溶剤で超音波洗浄し脱脂後、硫酸系エッチ液 ( $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 3 : 1 : 1$ ) により表面を軽くエッチングし、さらに HF 系エッチング液 ( $\text{HF} : \text{CH}_3\text{OH} = 1 : 30$ ) で表面の自然酸化膜を除去する。
- ② ゲート絶縁膜となる SiN 膜を、プラズマ CVD 法または光 CVD 法により堆積する。膜厚は  $500 \text{ \AA}$  とした。
- ③ ゲート金属として W を、基板温度  $250^\circ\text{C}$  において電子ビーム蒸着する。膜厚は  $1500 \text{ \AA}$  とした。次に、フォトリソグラフィにより、ゲート電極を形成する。W のエッチングには、基板の InP および SiN 膜をエッチングしないエッチング液として、フェリシアン系液 ( $\text{KH}_2\text{PO}_4 : \text{KOH} : \text{K}_3\text{Fe}(\text{CN})_6 : \text{H}_2\text{O} = 3.4\text{g} : 1.34\text{g} : 3.3\text{g} : 100\text{g}$ ) を用いた。また、キャップレス方式では HF 液 ( $\text{NH}_4\text{F} : \text{HF} : \text{H}_2\text{O} = 20\text{g} : 3\text{cc} : 90\text{g}$ ) を用い、W のゲート電極をマスクとして SiN 絶縁膜をエッチングする。
- ④ W のゲート電極をマスクとして、Si イオンを総ドーズ量  $2 \times 10^{14} \text{ cm}^{-2}$ 、深さ  $200\text{nm}$  に注入する。



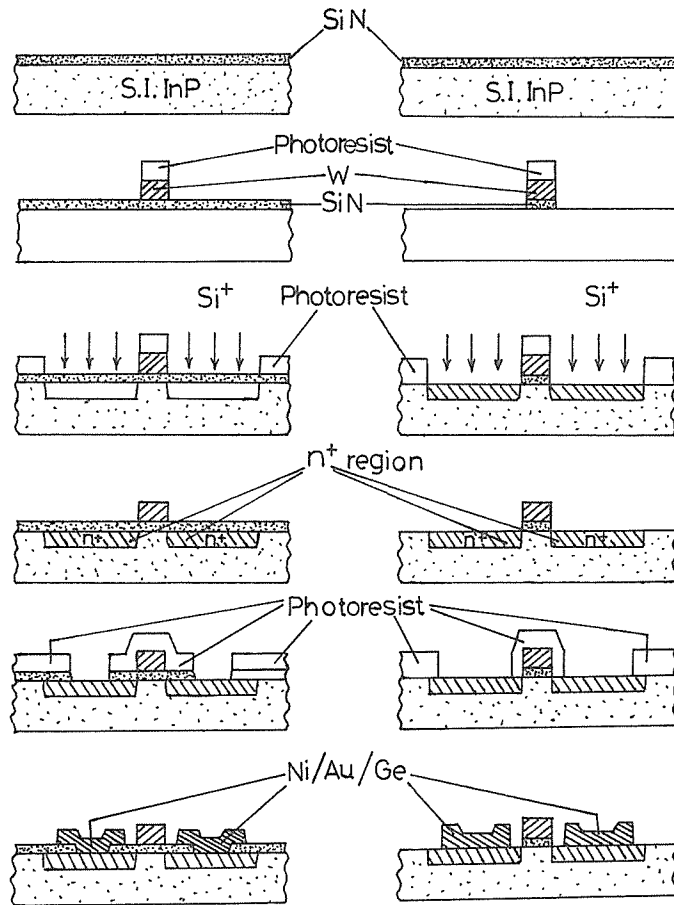


図5 セルフアライン形 InP MISFET の製作プロセス(左側：キャップ方式，右側：キャップレス方式)

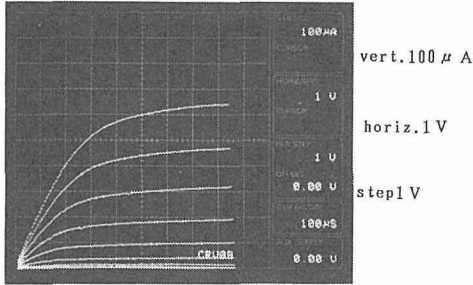
- ⑤ フォトリソを除去した後，活性化アニールを行なう。キャップ方式では電気炉を用い水素雰囲気中で $700^{\circ}\text{C}$ ，10分間のアニールを行なう。また，キャップレス方式では試料にPの蒸気圧をかけ，水素雰囲気中 $650^{\circ}\text{C}$ ，5分間のアニールを行なう。
- ⑥ キャップ方式ではSiN膜にソース・ドレイン領域に対するコンタクトホールをフォトリソによる形成する。
- ⑦ ソース・ドレイン電極のパターン窓をフォトリソで形成し，Ge/Au/Niを膜厚 $500\text{\AA}/1000\text{\AA}/200\text{\AA}$ 蒸着後，フォトリソによるリフトオフ法によりソース・ドレイン電極を形成する。さらに，水素雰囲気中で $400^{\circ}\text{C}$ ，5分間アロイング処理してオーミック電極化する。

上記製作プロセスの有用性を総合的に実証するために，これらのプロセスによるInP MISFETを試作し，その性能を評価した。

検討の結果，図5のいずれのプロセスによっても，正常に動作するMISFETが製作できることが確認された。図6(a)，(b)に，プラズマCVD SiN膜とキャップレスアニールを用いた素子および光CVD法のSiN膜とキャップアニールを用いた素子におけるドレイン電流 $I_D$ ，ドレイン電圧

$V_D$  の関係をゲート電圧  $V_G$  をパラメータとして示した。二つのデバイスともゲート長  $L=10\mu\text{m}$ 、ゲート幅  $W=250\mu\text{m}$  である。図 6 の  $I_D$ 、 $V_D$  特性から、次式にしたがって、素子の相互コンダクタンス  $g_m$  が求められる。

キャップレス方式、プラズマ CVD SiN を用いた  
InP MISFET  
 $I_D$ - $V_D$  特性



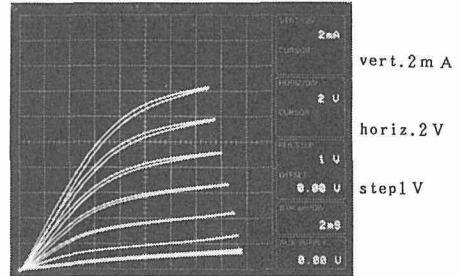
(a)

 $V_G$  max. 8 V

チャンネル長  $L=10\mu\text{m}$   
チャンネル幅  $W=250\mu\text{m}$

$g_m=0.72\text{mS/mm}$   
 $\mu_{eff}=11\text{cm}^2/\text{V}\cdot\text{sec}$

キャップ方式、光 CVD SiN を用いた  
InP MISFET  
 $I_D$ - $V_D$  特性



(b)

 $V_G$  max. 7 V

チャンネル長  $L=10\mu\text{m}$   
チャンネル幅  $W=250\mu\text{m}$

$g_m=11\text{mS/mm}$   
 $\mu_{eff}=1100\text{cm}^2/\text{V}\cdot\text{sec}$

図 6 試作 MISFET の  $I_D$ - $V_D$  特性 (a) プラズマ CVD 膜とキャップレス方式を用いた素子、 $L=10\mu\text{m}$ 、 $W=250\mu\text{m}$ 、 $g_m$  (最大値)  $=0.72\text{mS/mm}$ 、 $\mu_{eff}=11\text{cm}^2/\text{V}\cdot\text{S}$  (b) 光 CVD 膜とキャップ方式を用いた素子、 $L=10\mu\text{m}$ 、 $W=250\mu\text{m}$ 、 $g_m$  (最大値)  $=11\text{mS/mm}$ 、 $\mu_{eff}=1100\text{cm}^2/\text{V}\cdot\text{sec}$

$$g_m = \frac{dI_D}{dI_G} \quad (V_D = \text{const}) \quad (3)$$

また、クラジユアル近似によると、飽和領域における  $I_D$  は次式の様に表わすことができる。

$$I_D = \frac{W}{2L} \mu_{eff} \cdot C_1 (V_G - V_{th})^2 \quad (4)$$

ここに  $\mu_{eff}$  は実効電子移動度、 $V_{th}$  はしきい値電圧、 $C_1$  は単位面積当りの絶縁膜容量である。したがって、飽和領域における  $I_D^{1/2}$  と  $V_G$  との関係プロットすると、その切片と傾きより、 $V_{th}$  と  $\mu_{eff}$  を求めることができる。

プラズマ CVD SiN 膜とキャップレス方式を用いた MISFET の  $g_m$  は  $0.72\text{mS/mm}$  であり、飽和領域で求めた実効移動度  $\mu_{eff}$  は  $11\text{cm}^2/\text{V}\cdot\text{sec}$  であった。これに対して光 CVD SiN 膜とキャップ方式を用いた MISFET の  $g_m$  は  $11\text{mS/mm}$ 、 $\mu_{eff}$  は  $1100\text{cm}^2/\text{V}\cdot\text{sec}$  となり、前者よりはるかにすぐれた特性となった。

2 種類の方式で FET の実効移動度が大きく異なる主たる原因として、ゲート絶縁用 SiN 膜の

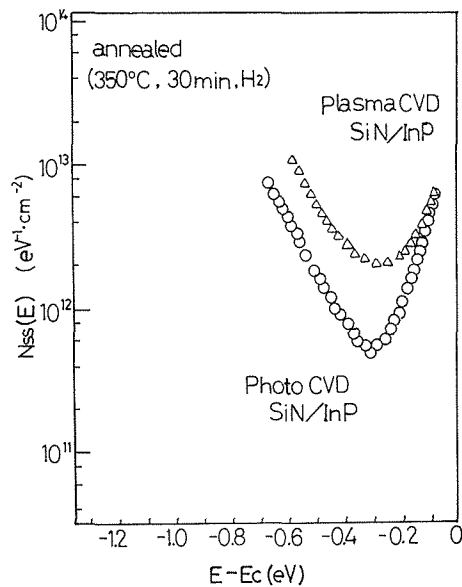


図7 プラズマ CVD SiN 膜と光 CVD SiN 膜が InP と形成する界面の界面準位密度の比較

堆積の際の界面損傷の程度の違いにあると考えている。それを示唆するものとして、図7に2つの異なる方法で SiN 膜を堆積し形成した MIS 界面準位密度分布を比較して示した。プラズマ CVD SiN 膜/InP の界面準位密度の最小値は  $2 \times 10^{12} \text{eV}^{-1} \cdot \text{cm}^{-2}$  であるのに対して、光 CVD SiN 膜/InP の最小値は  $4 \times 10^{11} \text{eV}^{-1} \cdot \text{cm}^{-2}$  である。プラズマ CVD SiN 膜/InP 界面のように、界面準位密度が高い界面で実効移動度が小さくなる理由としては、界面の乱れによるキャリアの散乱の他に、このような界面をもつ FET で、界面準位を無視した式(4)を用いると真の移動度より小さい実効移動度の値が得られることが挙げられる。これに対して、光 CVD 法で SiN 膜を堆積する場合には、プラズマ CVD 法で堆積する場合と比較して、基板の表面の損傷が少ないため、表面の格子秩序がよく保たれる結果、界面準位密度が小さくなり、これが FET 特性に反映されるものと考えられる。

## 6. 結 言

高融点金属ゲートを用いてセルフアライン InP MISFET を製作するためのプロセスについて、その要素技術を基礎的な立場から検討すると共に、実際に MISFET を試作・評価し、新しいプロセスの総合的有用性を実証した。主要な成果は次の通りである。:

- (1) 光 CVD 法により SiN 膜の形成条件を明らかにすると共に、この膜が活性化アニールを含むセルフアライン形 MISFET のゲート絶縁膜として使用できることを明らかにした。
- (2) セルフアライン用ゲート電極金属として W が適していることを示し、電子ビーム蒸着法によるその形成条件を明らかにした。
- (3)  $n^+$ ソース・ドレイン領域のイオン注入条件と活性化アニール条件を明らかにした。

(4)  $n^+$ 層と Ge/Au/Ni ソース・ドレイン電極の接触抵抗を伝送線路法により評価し、FET 特性に影響しない低い値を得た。

(5) 提案されたセルフアラインプロセスにより、正常に動作する InP MISFET が製作できることを実証した。

(6) 光 CVD 法で堆積した SiN 膜をゲート絶縁膜とする MISFET は、プラズマ CVD SiN 膜をもつものよりはるかにすぐれた特性をもつことを示した。ゲート長  $L=10\mu\text{m}$  の素子で  $g_m=11\text{ mS/mm}$ ,  $\mu_{\text{eff}}=1100\text{ cm}^2/\text{V}\cdot\text{sec}$  が得られている。

将来、光 CVD 膜と InP との間に界面制御層を挿入し、RTA (rapid thermal annealing) 法を適用することにより、一層の特性改善をはかることを検討する予定である。

謝辞：本研究の一部は、文部省科学研究費、特別推進研究「化合物半導体—絶縁体界面の物性と応用」の補助のもとになされた。また、著者の一人、田中は、北海道大学における研究の機会を与えていただいた日立製作所研究所の塚田俊久主管研究員はじめ所員各位に心より謝意を表す。

#### 参 考 文 献

- 1) 長谷川英機；応用物理, 50, (1981) 1289.
- 2) D. L. Lile et al., Electron. Lett. 14, (1978) 1458.
- 3) T. Kawakami and M. Okamura, Electron. Lett. 15, (1979) 502.
- 4) W. F. Tseng et al, IEEE Electron Device Lett., ED-2, (1981) 299.
- 5) D. C. Cameron, Electron Lett. 18, (1982) 534
- 6) T. Itoh and K. Ohata, IEEE Trans. Electron Devices. ED-30, (1983) 811
- 7) T. Sawada et al., IEEE Electron Devices, ED-31, (1984) 1038.
- 8) H. H. Berger, Solid-Sate Electron. 15, (1972) 145.