



Title	シリコン超薄膜を用いたInGaAsの表面不活性化とその応用
Author(s)	大植, 英司; 赤沢, 正道; 児玉, 聡; 長谷川, 英機
Citation	北海道大學工学部研究報告, 156, 51-58
Issue Date	1991-07-20
Doc URL	http://hdl.handle.net/2115/42285
Type	bulletin (article)
File Information	156_51-58.pdf



[Instructions for use](#)

シリコン超薄膜を用いた InGaAs の表面不活性化とその応用

大 植 英 司 赤 沢 正 道
児 玉 聡 長谷川 英 機
(平成3年3月29日受理)

A New Surface Passivation Method of InGaAs Using a Si Ultrathin Layer and Its Application

Eiji OHUE, Masamichi AKAZAWA, Satoshi KODAMA
and Hideki HASEGAWA
(Received March 29, 1991)

Abstract

A new method of passivating air-exposed InGaAs surfaces using an MBE-Si ultrathin layer is described.

HF treatment applied first, which reduces the Ga oxide and In oxide components of the native oxide, makes a As-rich surface. Then, an MBE-Si ultrathin interface control layer is deposited which reduces the As oxide component. Finally, a thick photo-CVD SiO₂ layer is deposited using an ArF excimer laser. A minimum interface state density of $4 \times 10^{11} \text{eV}^{-1} \text{cm}^{-2}$ is realized. An MISFET is fabricated using this surface passivation process and a maximum transconductance of $g_m = 48.6 \text{mS/mm}$ is obtained for a gate length of $L = 6.5 \mu\text{m}$.

1. はじめに

現在、半導体産業では元素半導体である Si を用いたデバイスが主流となっている。しかし、GaAs や InP といった化合物半導体は Si と比較して次のような優れた特徴を持っている。Si に比べ電子が高移動度である。半絶縁性基板が得られるため、Si に比べ配線容量などの寄生容量を減少することができる。3元、4元混晶の各組成比を変えることにより、格子定数を変えることが可能で、それによって他の半導体結晶との格子定数を合わせ、格子整合をとることができる。直接遷移型の半導体が多く、発光・受光デバイスとして使用できる。また、その発光波長は混晶比を変えることで変化させることができる。これらの優れた性質を持った化合物半導体を用いたデバイスの開発が期待されている。

化合物半導体を用いた MISFET ではゲート金属と半導体が絶縁膜で分離されているため、現在実用化されている MESFET などに比べ、大きなゲート電圧を印加できることから大きな雑音余裕が期待できる。また、LSI ではその集積度が上がる程、配線容量の充電による遅延時間が問題になるが、電流駆動力が大きい MISFET は高集積化に向いている。しかし、Si の場合とは異なり

絶縁体-化合物半導体間には高密度の界面準位が存在しているため、デバイスの動作特性が劣化する。このことが MISFET の開発の妨げになっている。

MIS 構造を作製するにあたっては、その保護膜は絶縁体である必要がある。絶縁膜には次のような特性が要求される。界面特性が良好であること、膜の抵抗率が高いこと ($\rho > 10^{13} \Omega \cdot \text{cm}$)、降伏電界が高いこと、化学的に安定であることなどである。Si ではその酸化物である SiO_2 は非常に良好な界面特性と絶縁特性をもつ絶縁膜であり、Si を熱酸化することで容易に得られる。しかし、化合物半導体ではその酸化物は不安定な膜である。従って、半導体上に他の絶縁膜を CVD 法等で堆積し、しかも、低い界面準位密度を実現しなければならない。

CVD 法は気相で材料ガスを化学反応を起こさせ、これを所定の基板上に堆積させて膜を形成する方法であり、この反応エネルギーを熱やプラズマ、光など様々な方法で与えることができる。III-V 族化合物半導体は 300°C 程度以上で V 族の脱離が起こり始めるので低温プロセスが要求されるが、光 CVD 法とプラズマ CVD 法では低温で絶縁膜形成が可能である。さらに、光 CVD 法はプラズマ CVD 法に比べ励起エネルギーは低く、反応時に生成されるのはラジカルのみで、イオンの寄与はなく、基板表面にイオン損傷を与えない特徴を持っている。従って、MIS 構造を形成する場合、絶縁体-半導体界面の状態が非常に重要であるため、光 CVD 法は有望な絶縁膜堆積法と言える。

また、すでに我々のグループが示したように $\text{SiO}_2/\text{InGaAs}$ MIS 界面は超高真空プロセスによって Si 超薄膜界面制御層を挿入することで界面準位密度が低減される¹⁾。しかし、デバイス作製プロセスの自由度を考慮すると、ゲートエッチングなど半導体表面を加工した後に MIS 構造を作製する必要があり、一度大気にさらされた InGaAs 表面を制御し、良好な絶縁体-半導体界面を形成することが重要になってくる。

本研究では一度大気にさらした InGaAs 表面を、光 CVD SiO_2 膜と超薄膜シリコン界面制御層を用いて表面不活性化する新しい方法を検討したものである。まず、MIS 構造の絶縁膜として用いた光 CVD 法による SiO_2 膜の形成と評価について述べ、次にそれを用いて一度大気にさらされた InGaAs 表面の表面処理法と Si 超薄膜界面制御層の形成とその MIS 構造による評価について述べる。最後に、この応用として $\text{SiO}_2/\text{InGaAs}$ MISFET を試作し評価した結果を述べる。

2. $\text{SiO}_2/\text{InGaAs}$ MIS 構造の作製と評価

2.1 光 CVD 法による SiO_2 絶縁膜堆積

本研究で用いた光 CVD 装置の概念図を図 1 に示す。光源として ArF エキシマレーザー ($\lambda = 193 \text{ nm}$) を用い、レーザー光を試料と平行に照射した。レーザー光導入窓には Ar を吹き付け、窓に反応物が付着してレーザー光を減衰させないようにした。 SiO_2 膜堆積を行なう場合、反応ガスは SiH_4 と N_2O を用いる。

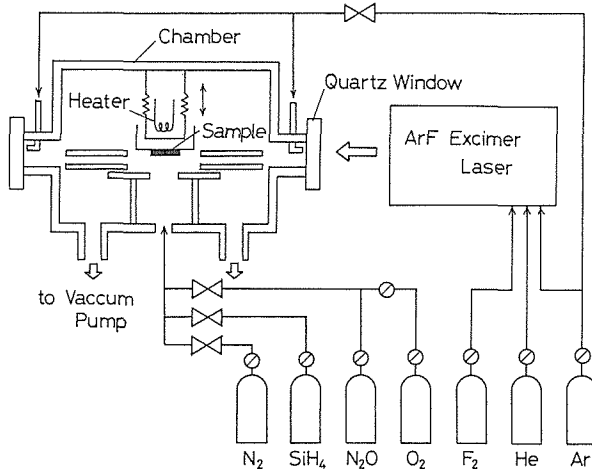
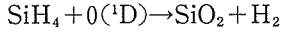
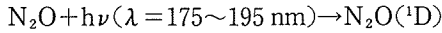


図 1 光 CVD 装置の概略図

SiH₄, N₂O の吸収波長域はそれぞれ 120 nm から 150 nm, 180 nm から 210 nm となっている。このため 193 nm の光エネルギーでは SiH₄ は分解しないが, N₂O は分解する。この N₂O が分解してできた活性な酸素が SiH₄ と反応して SiO₂ ができ, 基板上に堆積すると考えられる。反応式は次式で表わされる。



ただし O (¹D) は励起した酸素原子を表わす。

n⁺-Si 上に基板温度を 300°C, 200°C, 100°C と変えて SiO₂ 膜を堆積した試料の I-V 測定結果から求めた抵抗率-電界特性を図 2 に示した。抵抗率は印加電界の増加に伴い減少するが, 基板温度が低下すると減少の度合が大きくなることからわかる。したがって, 良好な絶縁膜を形成するためには基板温度が高くなければならないが, 先に述べたように化合物半導体上へ

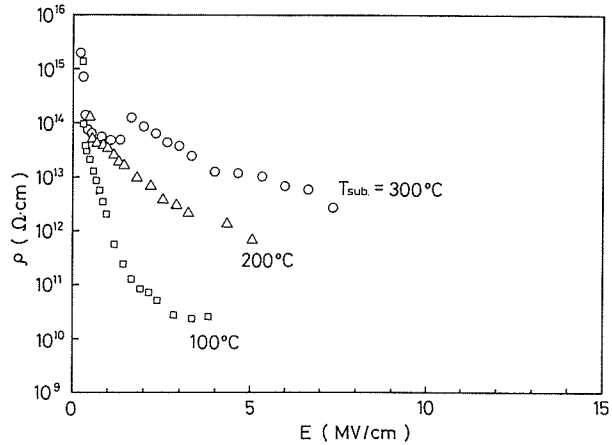


図 2 SiO₂膜の抵抗率-電界特性の堆積温度依存性

の絶縁膜形成温度は低温の方が良いので, 基板温度は 200°C から 300°C までが適当であると考えられる。一般に絶縁膜として要求される 10¹²Ω·cm 以上の抵抗率を基板温度 200°C の試料で 2MV/cm まで, 300°C では 5MV/cm 程度まで維持し, 実用的な印加電界の 2MV/cm まで絶縁膜としての条件を満たしていると言える。

2.2 MIS 構造の作製方法と評価

試料作製には図 3 に示すような真空装置系を用いた。これは試料表面を解析する XPS 装置, Si 超薄膜堆積を行なう MBE 装置, SiO₂ 絶縁膜堆積を行なう CVD 装置, さらにこれらに連結し, 超高真空で試料搬送を行うことができる搬送室, 試料を真空系に導入する準備室で構成されている。電極は真空蒸着法により Al を 1500 Å 蒸着し, リフトオフにより形成した。

表面処理の効果を比較するため次の 3 種類の試料を作製し比較検討した。

(1) 試料 1

化学エッチング (H₃PO₄ : H₂O₂ : H₂O = 1 : 1 : 38) を 1 分間行なった後, 直接, 光 CVD 法により SiO₂ 膜を堆積した試料のアニール後の C-V 特性を図 4 に示す。バイアス電圧の変化に対する容量の変化は破線で示した理想曲線に比

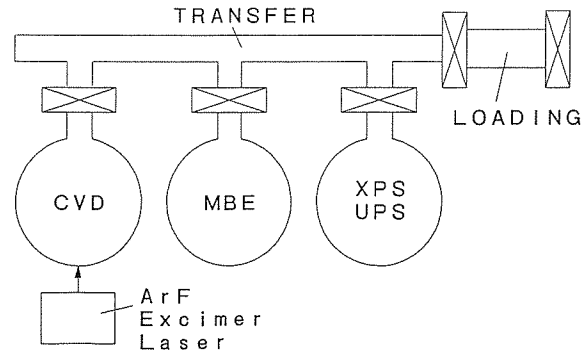


図 3 真空装置系の概略図

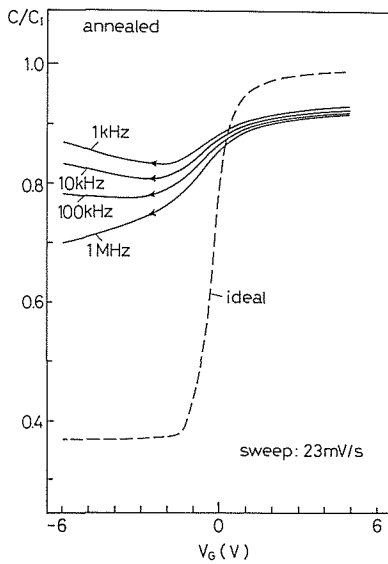


図 4 試料 1 の C-V 特性

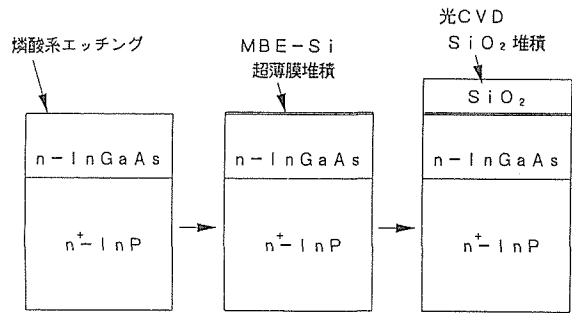


図 5 試料 2 の作製過程

べて極めて小さい。これは半導体-絶縁体界面に高密度の界面準位が存在することを示している。したがって、バイアス電圧印加によっても InGaAs 層の表面ポテンシャルの変化は小さく、それによる空乏層幅の変化の低減により、容量変化は小さいと考えられる。一般的に見られるアニールによる特性の改善は見られなかった。このように直接 SiO₂ 膜を堆積した場合、SiO₂/InGaAs 界面には InGaAs 自然酸化膜がそのまま残り、それによる界面での格子乱れが導入されたままであるため、界面準位密度は大きく、電気的特性は悪いと考えられる。

(2)試料 2

図 5 に示すように、化学エッチングを 1 分間行なった後、真空装置系に導入し、Si 超薄膜を堆積し、光 CVD 法により SiO₂ 膜を堆積した試料の評価を行なった。

試料を化学エッチングした直後の InGaAs 表面の XPS 測定結果を図 6 (a) に示す。In3d, Ga2p, As2p のそれぞれのスペクトルより、それぞれの酸化物のピーク分離を行なうと、化学エッチング表面には Ga, In, As の酸化物である Ga₂O₃, In₂O₃, As₂O₃ の組成比が 3 : 2 : 6 と求めら

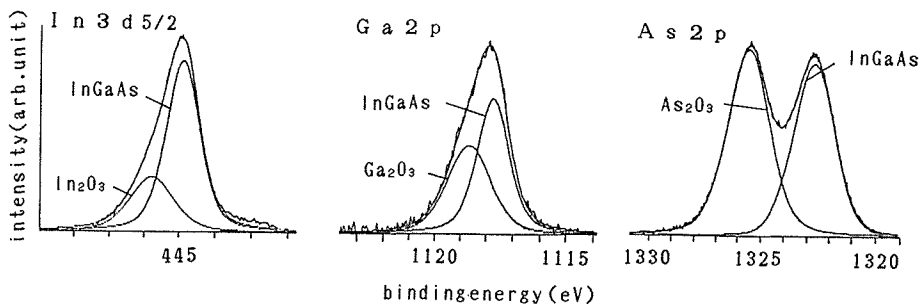


図 6(a) 試料 2 の化学エッチング直後の InGaAs 表面の XPS 測定結果

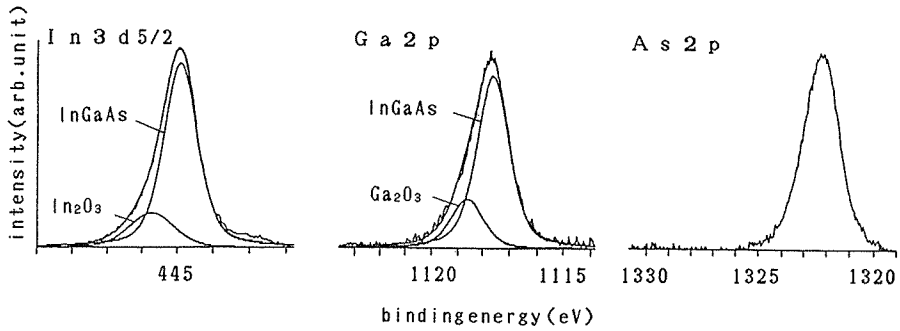


図 6(b) 試料 2 の Si 超薄膜堆積後の XPS 測定結果

れた。これはほぼ InGaAs 中の In, Ga, As の組成比と一致する。

次に Si 超薄膜堆積後および SiO₂ 絶縁膜堆積後の In3d, Ga2p, As2p のスペクトルを図 6 (b) 示す。As₂O₃ のピークは完全に消えており、Ga₂O₃, In₂O₃ のピーク強度も Si 超薄膜堆積前に比べて減衰している。これは Si 超薄膜堆積により InGaAs の自然酸化膜が還元されたことを示している。さらに、SiO₂ 膜堆積後もそれぞれのスペクトルに変化が見られなかったことから、SiO₂ 膜堆積時における活性な酸素による InGaAs 表面の酸化の進行が Si 超薄膜層によって防がれたと考えられる。

この試料のアニール後の C-V 特性を図 7 に示す。試料 1 に比べてバイアス掃引に対する容量の変化が増加している。このことは Si 超薄膜堆積による界面の制御によって界面準位が低減したことを示している。これは Si 超薄膜堆積により InGaAs の自然酸化膜の還元および SiO₂ 堆積時の InGaAs 表面の酸化の防止が、格子乱れの低減につながり界面準位密度が減少したものと考えられる。

このように、Si 超薄膜堆積により As 酸化物は完全に除去できるが、Ga 酸化物、In 酸化物は除去されにくいことがわかる。従って、Si 超薄膜堆積前に InGaAs 表面の酸化物、特に Ga, In 酸化物を低減できれば、Si 超薄膜堆積によって、より InGaAs 自然酸化膜が低減されることが考えられる。

(3) 試料 3

図 8 に示すように、化学エッチングを 1 分間行なっ

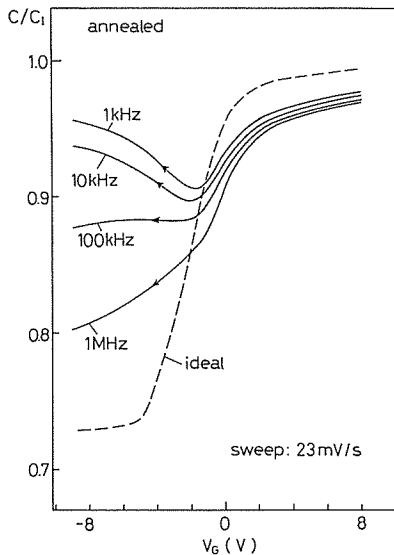


図 7 試料 2 の C-V 特性

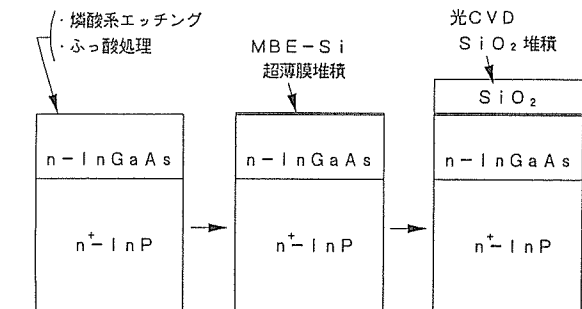


図 8 試料 3 の作製過程

その後、HF 処理をする。HF 処理は HF 46% に 1 分間浸し、超純水で洗浄、乾燥した。その後、真空装置系に導入し、Si 超薄膜を約 10 Å 堆積し、光 CVD 法により SiO₂ 膜を堆積した試料を評価した。

試料を HF 処理した直後の InGaAs 表面の XPS 測定結果を図 9 (a) に示す。HF 処理後の InGaAs 表面の組成は Ga₂O₃ : In₂O₃ : As₂O₃ = 1 : 1 : 5 となっており、化学エッチ面に比べて In₂O₃, Ga₂O₃ の割合の少ない表面になっている。これは HF 処理を施すことで InGaAs 表面に As 層が形成され、大気中にさらされたときに表面の As 層が優先的に酸化されるためと考えられる。

次に Si 超薄膜堆積後の XPS 測定結果を図 9 (b) に示す。Si 超薄膜堆積により InGaAs 表面の As₂O₃, In₂O₃ は完全に還元され、Ga₂O₃ も Si 超薄膜堆積前に比べ減少している。また、SiO₂ 膜堆積後の XPS 測定結果は図 9(b) と同様であり、SiO₂ 膜堆積による InGaAs 表面酸化も認められない。

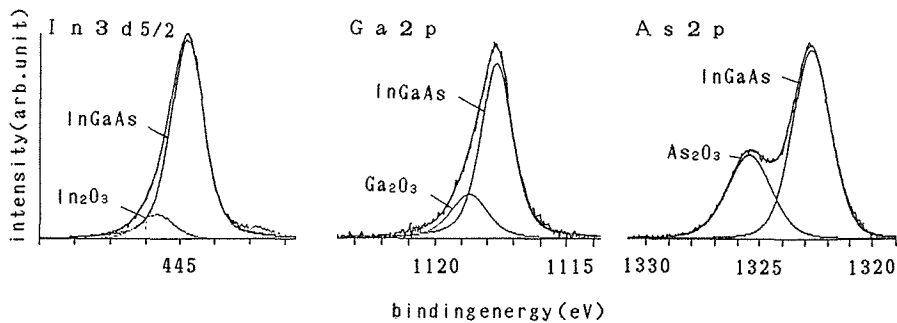


図 9(a) 試料 3 の HF 処理後の InGaAs 表面の XPS 測定結果

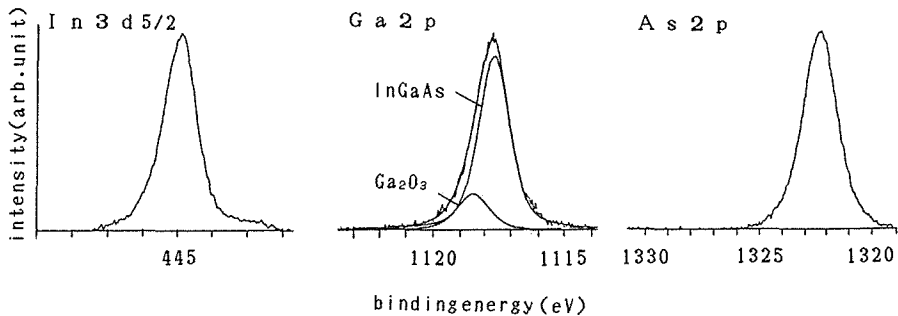


図 9(b) 試料 3 の Si 超薄膜堆積後の XPS 測定結果

この試料の C-V 特性を図 10 に示す。試料 1, 試料 2 に比べて容量の変化量は大きく非常に優れた特性を示す。これは HF 処理と Si 超薄膜堆積によって、さらに自然酸化膜が少なくなり、格子乱れが低減し、界面準位密度も低減したためと考えられる。このように HF 処理は InGaAs 表面の表面処理法として有効であると言える。これらの試料の界面準位密度分布は図 11 に示す。試料 1 では界面準位密度が大きく正確には求められないが $10^{13} \text{eV}^{-1} \cdot \text{cm}^{-2}$ 台の値を有している。試料 2 では Si 超薄膜を堆積することで界面準位密度は最小値 $1.3 \times 10^{12} \text{eV}^{-1} \cdot \text{cm}^{-2}$ まで減少した。さらに試料 3 では $4 \times 10^{11} \text{eV}^{-1} \cdot \text{cm}^{-2}$ の最小値まで低減し、これは、超高真空プロセスによる SiO₂/Si/InGaAs MIS 構造の界面準位密度分布に近い特性を示している。このように、Si 超

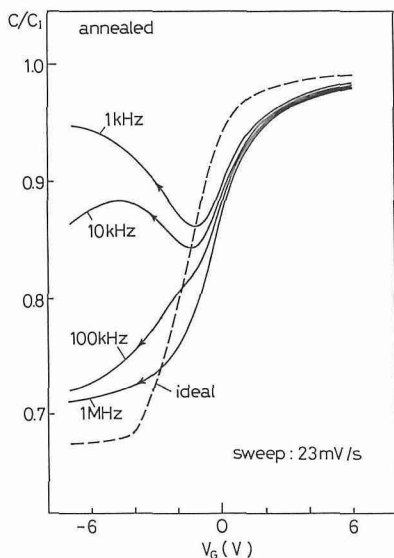


図 10 試料 3 の C-V 特性

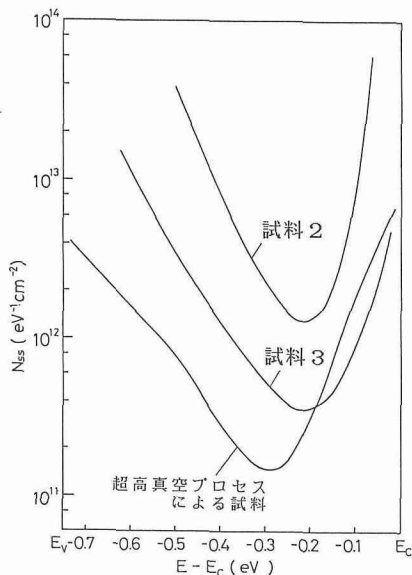


図 11 作製試料の界面準位密度分布

薄膜堆積と HF 処理を用いることにより界面準位密度を低減させるのに効果があることが示された。

3. MISFET の作製と評価

作製した MISFET はディプリーション形 FET で、これはゲート電圧を印加することによりゲート下に広がる空乏層幅を変化させ、電流が流れるチャンネルを制御するデバイスである。図 12 に作製した MISFET の構造の断面図を示す。半絶縁性 InP 基板上に、MBE 法により厚さ $1.3 \mu\text{m}$ のキャリア濃度 $N_D = 1 \times 10^{16} \text{cm}^{-3}$ の n 形 InGaAs 層を形成した。MP 2400 フォトリソパターンを用いてソース・ドレイン電極 (Ni/Au/Ge = $200 \text{ \AA}/1000 \text{ \AA}/500 \text{ \AA}$) 蒸着し、リフトオフにより形成し、 400°C 5 分間の熱処理を行いオーミック接触を得た。その後、素子間分離のため、メサエッチングを行い、ゲート部分を燐酸系のエッチング液 ($\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 38$) でゲートエッチングを行なった。ゲート下の絶縁体-半導体界面は本研究で行なわれた HF 処理および Si 超薄膜による表面不活性化法を用い、光 CVD-SiO₂ 絶縁膜を堆積した。最

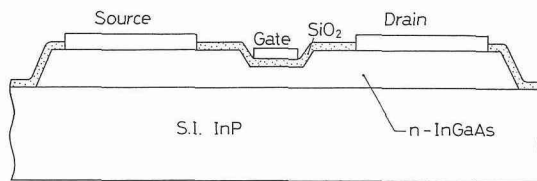
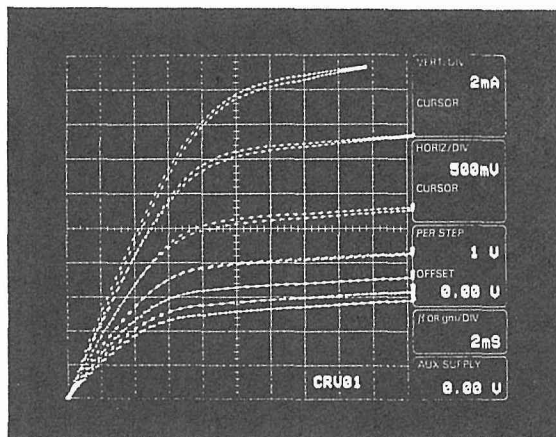


図 12 MISFET の構造概略図

図 13 作製した MISFET の $I_{D_S} - V_{D_S}$ 特性

後に Al ゲート電極を真空蒸着，リフトオフにより形成した。

試作した MISFET の $I_{DS}-V_{DS}$ 特性を図 13 に示す。線形領域と飽和領域が明確に存在し，負のゲート電圧印加によりソース・ドレイン電流 I_{DS} が減少する FET 動作が認められる。ゲート電圧を印加しても完全にソース・ドレイン電流を遮断できないのはゲートエッチングによって形成したゲート下の InGaAs 活性層幅が適当でないためと考えられる。また， $I_{DS}-V_{DS}$ 特性から求めたデバイスの電流駆動力を表わす値である相互コンダクタンス g_m は

$$g_m = dI_{DS}/dV_G \quad (V_{DS} = \text{const.})$$

で与えられる。 g_m はゲート電圧によるチャネルの変化量と考えられ，界面準位密度により g_m は異なってくる。図 14 に示すようにゲート長 $L=6.5 \mu\text{m}$ (ゲート幅 $185 \mu\text{m}$) で最大 48.6 mS/mm となった。また，理論的には g_m はゲート長 L に反比例することから，ゲート長 $6.5 \mu\text{m}$ の g_m をゲート長 $1 \mu\text{m}$ に換算すると $g_m (L=1 \mu\text{m})=316 \text{ mS/mm}$ となり，他に研究報告されている $\text{SiO}_2/\text{InGaAs}$ MISFET の 107 mS/mm ($L=0.9 \mu\text{m}$)²⁾ と比べても優れた値となる。これは界面準位密度の量に依存した結果と考えられる。実際には g_m はソース・ゲート間およびソース・ドレイン電極の寄生抵抗により減少するが，それには InGaAs 層のキャリア濃度を大きくすることで，寄生抵抗が低減でき，大きな g_m が期待できる。このように表面処理による絶縁体-半導体界面への効果は MISFET に対しても有効であるといえる。

4. ま と め

光 CVD 法により形成した SiO_2 膜は絶縁膜として十分な絶縁特性を有していると言える。 $\text{SiO}_2/\text{InGaAs}$ 界面に表面処理と Si 超薄膜の還元力を用いると，一度大気にさらされた InGaAs 表面を制御し，界面準位密度を低減することが可能である。表面処理を MISFET へ応用することで優れた特性が得られる可能性を示した。

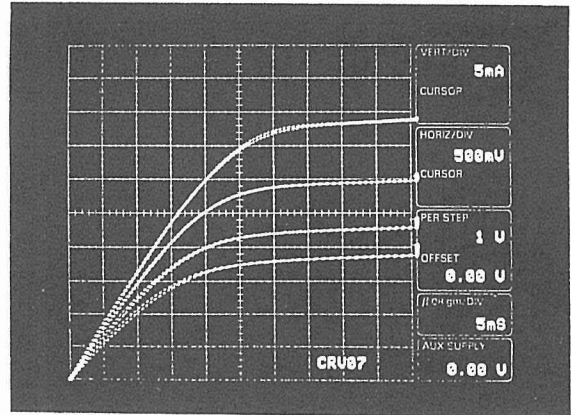


図 14 ゲート長 $6.5 \mu\text{m}$ の MISFET の $I_{DS}-V_{DS}$ の特性

- 1) H. Hasegawa et al. Jpn. J. Apl. Phys. , 27, L-2265(1988)
- 2) P. D. Gardner et al. IEEE Electron Device Lett. EDL-7, pp. 363(1986)