



Title	半絶縁性基板の表面電気伝導および表面不活性化
Author(s)	佐々木, 恵二; 赤沢, 正道; 塩原, 俊助; 長谷川, 英機
Citation	北海道大學工學部研究報告, 170, 35-43
Issue Date	1994-07-29
Doc URL	http://hdl.handle.net/2115/42433
Type	bulletin (article)
File Information	170_35-44.pdf



[Instructions for use](#)

半絶縁性基板の表面電気伝導および表面不活性化

佐々木 恵 二 赤 沢 正 道
塩 原 俊 助 長谷川 英 機
(平成6年3月31日受理)

Electrical conduction near surface of semi-insulating substrate and its surface passivation

Keiji SASAKI, Masamichi AKAZAWA, Syunsuke SHIOBARA and Hideki HASEGAWA
(Received March 31, 1994)

Abstract

Electrical conduction near the surface of the semi-insulating GaAs and InP substrates was studied. We measuring I-V characteristics for planar structures before and after surface treatments and surface passivation. Based on the experimental results, the relationship between surface states and the breakdown voltage V_B are discussed.

It was found that the breakdown voltage V_B is proportional to electrode distance. For the same distance, the breakdown voltage of the InP substrate was bound to be about one order of magnitude higher than that of the typical GaAs LEC (Liquid Encapsulated Czochralski) substrate. A new surface passivation scheme including MBE growth of Si on GaAs followed by deposition of silicon dioxide by photo-CVD process, was found to be very effective to reduce leakage current and increase the breakdown voltage. Electrical conduction near surface of semi-insulating substrate was concluded to be closely related to surface states.

1. はじめに

Si トランジスタを中心とする半導体技術の進歩は、コンピュータ製品、パワーエレクトロニクスなどの様に様々な領域に影響を与えてきた。そんな中、特に高速で情報伝達を行う領域の電子機器や、計算機において、その動作の高速化への要求が年々高まり、Si を材料とする半導体では近年限界がみえ始めている。そこで GaAs や InP を中心とする III-V 族化合物半導体およびその混晶に関心が集まりつつある。これらの材料には、1) 低電界での電子移動度が Si 材料に比べて大きく、飽和ドリフト速度も大きい。2) 直接遷移形のバンド構造を有するため光の吸収、放出における量子効率が大きい。3) 伝導帯と価電子帯のエネルギーギャップつまり禁制帯幅が、一般的に、Si よりも大きい (GaAs で 1.43eV, InP で 1.35eV)。などの利点を持っている。化合物半導体集積回路においては 3) の利点を生かしバンドギャップ中に深い準位を作る Cr, Fe などをドー

ブするか、意図的に結晶中に欠陥を導入させることにより、常温で、抵抗率 10^7 から $10^8 \Omega \text{cm}$ の半絶縁性基板が容易に得られる。この半絶縁性基板上に格子整合する半導体を成長させたり、基板中にイオンインプラネーションによりデバイス動作層を形成することにより、複数のデバイスを素子分離することが可能である。化合物この半絶縁性基板を用いるとデバイス間、またはデバイスと基板間に発生する寄生抵抗、寄生容量の低減に役立つ。Si集積回路で用いられるpn接合による素子間分離方式では、接合容量のため高速素子には適さない（最近では、Si集積回路の分野でも SiO_2 や、サファイアのような絶縁性基板の上にトランジスタを形成するSOI(Silicon-On-Insulator)の研究が盛んに行われている)。

化合物半導体を利用したデバイスは現在様々な応用例が考えられているが、Siに比べてまだまだ限られた場面のみでしか実用化されていない。この理由として、電子デバイスの動作原理は、エネルギーバンド図を変化させる(曲げる)ことによって、電子の流れを制御するというところにあるが、電子デバイスの構造は、金属-半導体、絶縁体-半導体、半導体-半導体界面のどれかは必ず含んでおり、これらの界面がSi/SiO₂界面のように良好でないため、バンドベンディングが従来の理論どうり起こらないためである。このような表面および界面の状態を不安定にしていると考えられているのが、表面(界面)準位である。表面準位は、表面近傍の禁制帯中に連続的に分布し、その分布は半導体材料で決まる特性量であるエネルギー位置 E_{H_0} で最小となるU字分布をしているというモデルが提案されている¹⁾。MIS(金属-絶縁体-半導体)電極のように外部から電圧を引加すると、電界の一部が、界面準位を電子が埋めるために使われ、電界が界面準位に終端して半導体に実質的にかかる電圧が減り、バンドを曲げることが困難になるシールド効果が生じる。この結果、フェルミレベルがバンドギャップ内の特定の位置(この位置は、 E_{H_0} に一致している)に固定される。これをフェルミレベルピンニングとよんでいる。このモデルによると表面準位の原因は、界面形成時のプロセスにおける損傷や、ダングリングボンドなどの原子配列の周期性の乱れ、組成に起因する結合欠陥によるものがあげられている。この様に化合物半導体表面は、元来活性で不安定である。このため、デバイスプロセス中またはデバイス作製後、特性、信頼性、再現性を向上させるために、表面準位を正確に定量的に測定する研究や、安定な絶縁膜で表面の不活性化を行う研究が盛んに行われている。今後化合物半導体デバイスを利用した集積回路は、ますます表面および界面の性質が重要となると思われるため、これらの研究は非常に重要となる。

また化合物半導体集積回路のさらなる高集積化を阻んでいるもう一つの理由は素子間の分離の不十分さも上げられる。化合物半導体デバイスの素子間の分離構造は、上述の方式をとって、集積度が低いときには、基板上のデバイス間の間隔も広く素子分離も十分といえた。しかし、集積度が上がるにつれてデバイス間の間隔も小さくなる。するとたとえば、数10ミクロン離れたデバイス間において、電位差がわずか数V以内の電圧でトランジスタのドレイン電流が変調され始める。そしてデバイス間の電位差が10V程度でドレイン電流が0になってしまい、デバイス動作させることができなくなるという現象(サイドゲーティング)が起こるようになることが報告されている²⁾⁻³⁾。またこれらは主にGaAs MESFET(Metal Semiconductor Field Effect Transistor)に関して多数報告されているが、HEMT(High Electron Mobility Transistor)構造⁴⁾⁻⁵⁾や、量子細線構造においてもサイドゲーティングは観察されている⁶⁾。このような現象がある限り、これ以上の高集積化は難しくなる。またサイドゲーティングの機構はまだ完全に理解されたとはいえず、今後この機構の解明を行い、サイドゲーティングを低減させるための研究がたいへん重要となってくると思われる。

現在、これらの対策としては主としてバルク材料の改良が研究されているが、表面処理によって、半絶縁性材料の電気的特性が変化したという報告もあり、バルクだけではなく表面状態とリーク電流、または表面状態とブレイクダウン電圧の関係も明らかにする必要がある。本研究ではプレーナ構造に対して表面処理を行い表面状態を変化させることにより、半絶縁性基板表面に高密度に存在するといわれている表面準位が半絶縁性基板に与える影響を調べる。

2. 実験方法

半絶縁性アンドープ GaAs LEC 基板と Fe ドープ InP LEC 基板の電気伝導について電気的評価として I-V 測定を行う。両方の材料について、図1の様に (a) 試料の表面のみに電極を形成したプレーナ構造と (b) 試料の表と裏面に電極を形成したサンドイッチ構造の I-V 測定を行う。また I-V 特性については GaAs の場合に冷凍機を用いて温度依存性も調べた。このとき、オーミック電極は Au/Ge の蒸着を行った後に 370°C5分間の熱処理を行い合金化して形成した。GaAs に対しては表面処理として H₂ 雰囲気中600°C10分間のアニールを行った後基板上に電極を形成した試料とプレーナ構造を形成した後に Si 界面制御層を形成した試料の両方について I-V 測定を行った。

Si 界面制御層の形成を含む一連のプロセスは、図2のような超高真空一連チャンバーで行う。XPS, MBE, CVD 装置が超高真空トランスファーチャンバーを介して連結されており、試料導入後一度も大気にさらすことなくプロセスを進めることができる。

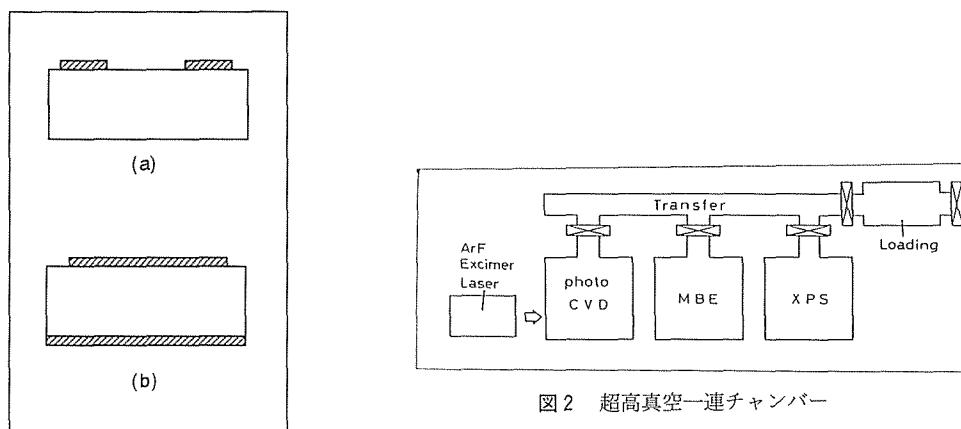


図2 超高真空一連チャンバー

図1 試料構造
(a) プレーナ構造
(b) サンドイッチ構造

InGaAs MIS 構造において InGaAs 表面に大気中 HF 処理を1分間した後に MBE 法により Si を基板温度250°Cで10 Å成長し、その後 SiO₂膜を半導体表面へのダメージの少ない ArF エキシマレーザを光源とする光 CVD 法により SiO₂を堆積すると直接 SiO₂膜を InGaAs 上に堆積したもののより界面準位密度が低下するという報告がある⁷⁾。これと同様のパッシベーションを GaAs プレーナ構造の表面に施すことにより、界面準位密度の低下を期待している。

これらのプロセスが界面準位密度を低下させる理由は次のように説明できる。まず Si を成長するのは、InGaAs 上に Si が臨界膜厚10 Å以下ならば擬似格子整合を保ったまま Si/InGaAs 界面を乱すことなく成長でき、界面準位密度も半導体-半導体界面なので低くなる。その後 Si と良好な

界面を形成する SiO_2 を堆積するために、最終的に全体として InGaAs MIS 構造の界面準位密度が低下するのである。試料導入前に大気中 HF 処理する理由は表面の酸化物を除去し表面状態を脱離しやすい As リッチさせるためである。そしてこの表面からは MBE 法により基板温度 250°C で Si を成長する際に As が脱離し清浄表面が表れることが XPS の測定によって示されている。

3. 実験結果

3.1 半絶縁性 GaAs と InP 基板の電気伝導の違い

図 3 に GaAs と InP 基板のプレーナ構造（電極間距離 $2.5\mu\text{m}$ ）の I-V 測定結果を示す。両方の材料については特性の傾向自体に違いはない。低電圧側では、両対数軸上で傾きがほぼ 1 であり、電流が電圧に比例するオーム性領域が現れ、さらに電圧を上げて行くにしたがいその関係がずれだす非線形領域に移行し、あるしきい値で電流が急激に増加するブレイクダウン領域になる。しかし両者の異なる点は、ブレイクダウン電圧 V_B と電極間隔 L の関係 ($2.5\sim 8.5\mu\text{m}$) を図 4 に示す。両者はともにばらつきはあるものの、ブレイクダウン電圧 V_B が電極間距離 L に比例することがわかる。この構造の違いはあるが Lampert の示した $V_B \propto L^2$ の関係ではないことがわかった。また InP の V_B の傾きは GaAs と比べて著しく大きく、この傾きから GaAs のブレイクダウン電界は $3\sim 4\text{kV/cm}$ 、InP で $30\sim 40\text{kV/cm}$ となり、GaAs と 10 倍近くも違うことがわかった。さらに図 5 にサンドイッチ構造の I-V 特性を示す。GaAs の場合は、電極間距離 $400\mu\text{m}$ で 55V 、 $370\mu\text{m}$ で 34V でブレイクダウンしたのに対し、InP 基板の場合には電極間距離

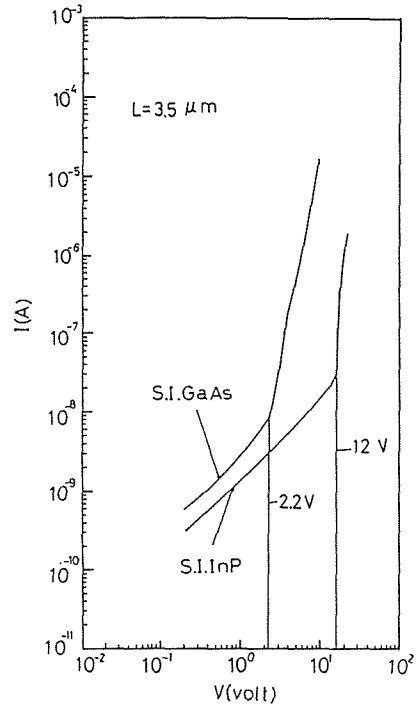


図 3 プレーナ構造の I-V 特性

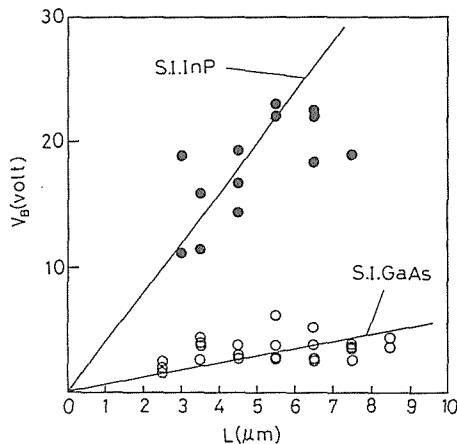


図 4 プレーナ構造のブレイクダウン電圧 V_B の電極間隔 L 依存性

350 μm まで薄くして100Vの電圧を印加してもブレイクダウンしなかった。また GaAs 基板サンドイッチ構造について、ブレイクダウン電圧の電極間隔依存性を図6に示す。図のようにサンドイッチ構造でもほぼ V_B は L に比例することがわかる。

なお LEC 基板においてはパルク中のディープレベル、抵抗率などが面内分布を持っていることが指摘されており、今回の実験のばらつきはそれによるものだと考えられる。

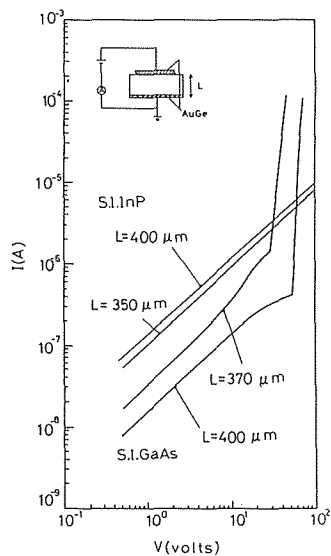


図5 サンドイッチ構造の I-V 特性の電極間隔 L 依存性

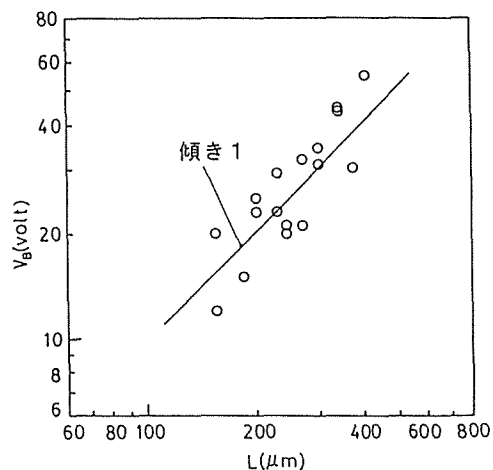


図6 サンドイッチ構造のブレイクダウン電圧 V_B

3.2 GaAs 基板への表面処理の効果

GaAs に対して SiO_2/Si 界面制御層を形成する表面パッシベーションを施す前後の I-V 測定結

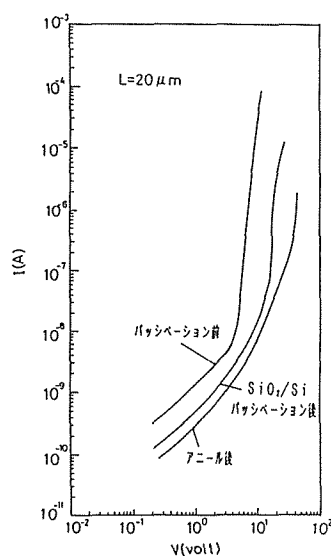


図7 Si/SiO_2 を形成する前後の I-V 特性

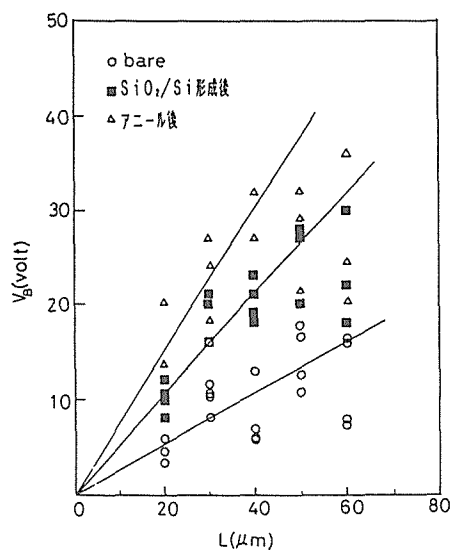


図8 Si/SiO_2 形成前後のブレイクダウン電圧 V_B の電極間隔 L 依存性

果を図7に示す。パッシベーション前にはブレイクダウン後の急激な電流増加が見られたがパッシベーション後にはブレイクダウンとオーム性領域の境界がはっきりせずに電流は増加していく。全体としてブレイクダウン電圧は高い方にシフトしており、リーク電流も減少していることがわかる。また350°C 1時間のアニール後の特性もこの傾向が進んでいる。これはMIS容量の界面準位密度測定時にも見られ、表面準位の減少を反映しているものと思われる。また図8に V_B と L の関係、図9に電極幅1 cmあたりの抵抗の L 依存性を示す。この図のように SiO_2/Si 形成後、アニール後となるにしたがい、ブレイクダウン電圧で3倍程度、抵抗で1桁近く上昇していることがわかる。また高温水素アニールをした試料の電極間距離 $30\mu\text{m}$ と $60\mu\text{m}$ の $I-V$ 測定結果を図10に示す。両方の特性ともばらつきが大きく極端にブレイクダウン電圧や抵抗の低いものも見られる。

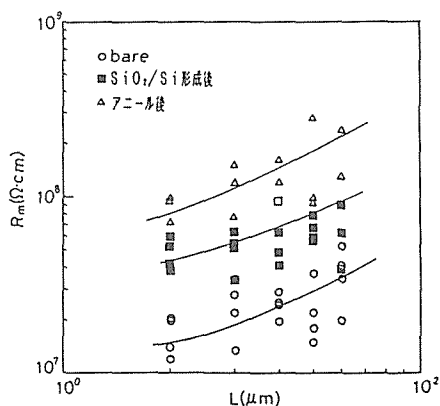


図9 SiO_2/Si 形成前後の抵抗 R の電極間隔 L 依存性

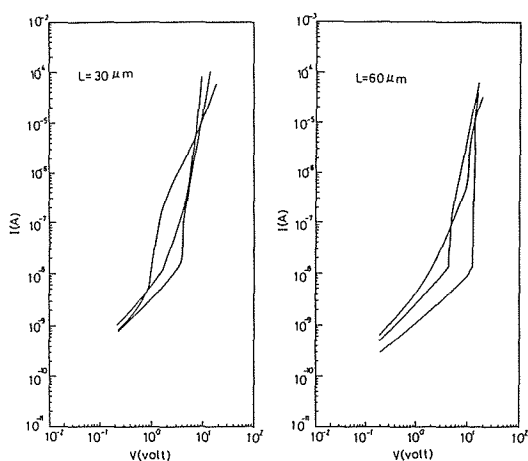


図10 高温 H_2 アニール後の $I-V$ 特性

3.3 半絶縁性GaAs基板の電気伝導の温度依存性

ここでは半絶縁性GaAs LEC基板のプレーナおよびサンドイッチ構造に対して、冷凍機をもちいて低温で $I-V$ 測定を行い、半絶縁性基板の電気伝導の温度依存性を調べる。温度は室温(300K)から140K付近まで変化させて $I-V$ 測定を行った。このプレーナ構造の結果を図11に、ブレイクダウン電圧 V_B と温度の逆数の関係を示したのが図12である。この図からわかるように250K付近までは温度を下げるにつれ、わずかにブレイクダウン電圧は低下していくが、250Kよりも低温になるあたりからブレイクダウン電圧は急激に増加していき90Kあたりではブレイクダウン電圧は40Vにもなる。そして V_B と温度の関係はちょうどU字分布の形状となる。この特性はバルクの場合も同様でありやはり、250から260K付近でブレイクダウン電圧が最小値となる。またサンドイッチ構造およびプレーナ構造のリ

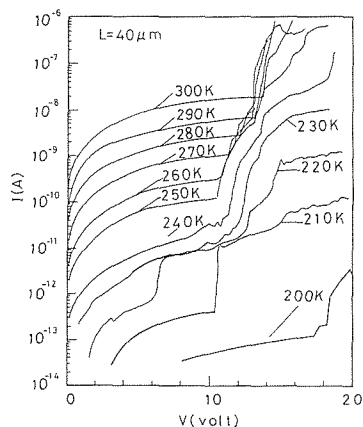


図11 GaAs LEC基板の $I-V$ 特性の温度依存性

ーク電流から求めた抵抗値と温度の逆数の関係をアレニウスプロットで図13に示す。このプロットは、測定値が $\exp(-\Delta E/kT)$ に比例するとき活性化エネルギー ΔE を求めるときに使い片対数軸上での傾きから ΔE が計算できる。両者の活性化エネルギーはサンドイッチ構造が 0.67eV でありプレーナ構造が 0.67eV となり電気伝導にリーク電流の機構には本質的な差はないといえる。

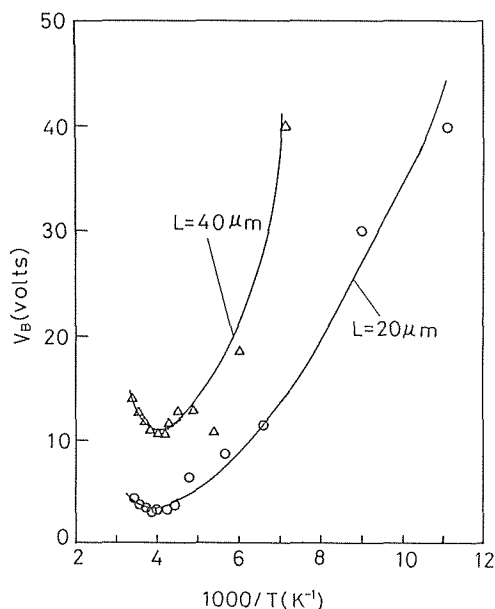


図12 ブレークダウン電圧 V_B の温度依存性

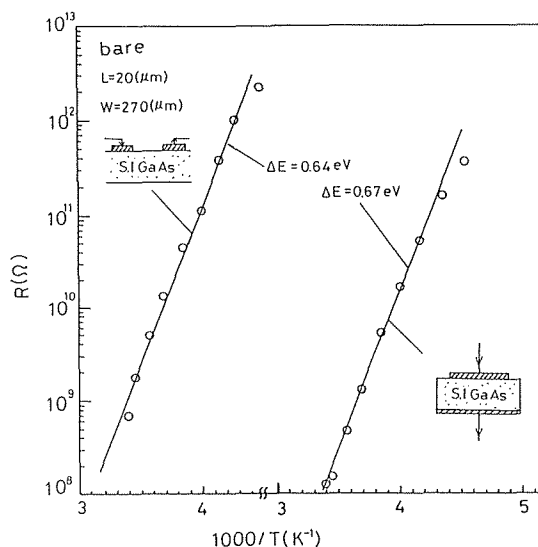


図13 抵抗 R の温度依存性

4. 考 察

半絶縁性基板の電気伝導については当初 Lampert によって示された深い準位を有する材料の電気伝導のモデル⁹⁾が支持されていた。このモデルによるとは半絶縁性基板両側の電極にかかる電圧を大きくしていくと、低い電圧では注入されたキャリアはトラップに捕らえられ、電流は元々存在する熱励起されたキャリアによるオーム性の電気伝を示す。さらに電圧を上げていきくと注入されたキャリアの密度がトラップしていない準位の密度に等しくなると、電流は急激に増加し、電圧の2乗に電流が従う空間電荷制限電流が流れるようになる。このときにブレークダウン領域へと移行し、この時の遷移電圧 V_B 次式で与えられる。

$$V_B = qN_t L^2 / 2\epsilon$$

(q : 電気素量, N_t : ディープレベルの密度, ϵ : 誘電率, L : 電極間距離)

これが Lampert のモデルであるが、以上の実験からから、Lampert の半絶縁性基板の電気伝導のモデルに矛盾するいくつかの結果が得られたので下に示す。

- 1) ブレークダウン電圧 V_B がサンドイッチ構造でもプレーナ構造でも電極間距離 L の2乗ではなく、ほぼ比例する関係にあるということ。
- 2) プレーナ構造における V_B は表面処理によって変化する。
- 3) GaAs 基板と InP 基板のトラップ密度はオーム性領域で同程度の電流が流れるためにほぼ同じオーダーと推定されるが、 V_B に一桁以上の差がでてしまうこと。

これらの矛盾点, 及びブレークダウンには Lampert のモデル以外の要因が関係している可能性がある。特にプレーナ構造の V_B が表面処理の影響を受け, SiO_2 堆積前に Si 界面制御層を挿入することにより V_B が上昇したことは表面準位の減少を反映している。そしてこの結果はプレーナ構造のブレークダウンは Hasegawa らの示した表面準位にトラップされた電子が作る電気力線の集中によりアバランシェブレークダウンが起きるといモデル⁹⁾から予想される結果に一致した結果となっている。このモデルでは半絶縁性基板の表面近傍には電圧の印加にともない電子によって準位が満たされ, 負に帯電した場合図14のようにトラップがない場合にくらべて正の電極端に高電界が形成されると考えている。

また GaAs と InP のプレーナ構造においてブレークダウン電界が一桁近くも異なる点については一般的に InP の表面準位が GaAs に比べて一桁近く低いという性質に起因するのではなく, この二つの材料の速度-電界特性に起因するものだと考えられる。なぜなら, 表面準位が関係しないサンドイッチ構造において GaAs と InP のトラップ密度に大差がないと考えられ, ブレークダウン電圧の値が近くなるはずであるが, 実際には100V までは InP のブレークダウンは観察されなかったからである。このためにこの違いは GaAs と InP の電気的特性の違いつまり速度-電界特性の違いを反映していると考えられる。

また冷凍機の実験で250K 付近までの V_B の温度に対する係数が正であるということは絶縁破壊がなだれ破壊の機構によるものであることを示している。つまり, 温度が増加すると, 電子がフォノンによって散乱される確率が高くなり, 低温に比べ同じ電界で同じ距離を移動する際, 電子が失うエネルギーが大きくなる。従って, このとき電子は衝突電離により電子-正孔対を形成するのに十分なエネルギーをもらう前に, より大きなポテンシャルを移動してしまうからである。しかし250K 付近より低温で, ブレークダウン電圧が急激に上昇する理由については, 低温になるとフォノン散乱がされにくくなり, 衝突電離するエネルギーは得安くなるが, 電離される対象がトラップに捉えられたまま電離しにくくなっているため結果的にブレークダウン電圧が高くなると考えられる。

5. ま と め

半絶縁性 GaAs と InP 基板を用いたサンドイッチ構造とプレーナ電極構造について, 電気伝導を調べた。

- 1) 半絶縁性 GaAs, InP 基板のプレーナ構造のブレークダウン電圧は, 電極間隔に比例するが, その比例定数は, GaAs で3~4kV/cm, InP で30~40kV/cm と著しく異なる。この違いは材料の速度-電界を反映していると考えられる。
- 2) GaAs プレーナ構造のブレークダウン電圧は表面処理の効果を受ける。

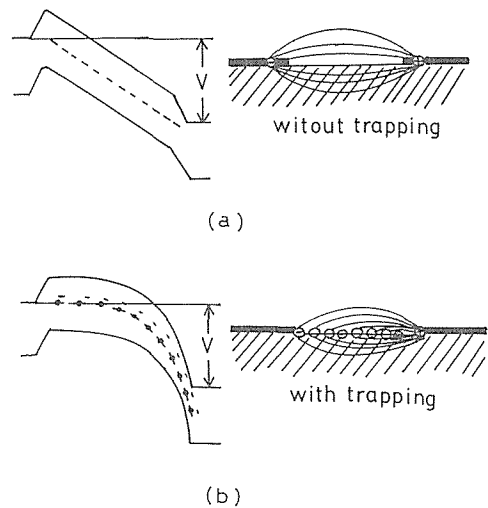


図14 半絶縁性基板のブレークダウンのモデル
(a)トラップがない場合
(b)トラップがある場合

- a) H_2 雰囲気中熱処理を施した試料は、特性のばらつきとブレークダウン電圧の低下が見られた。
 - b) Si 界面制御層を用いた試料は抵抗、ブレークダウン電圧ともに上昇した。
- 3) GaAs LEC 基板の I-V 特性の温度依存性はブレークダウン電圧は温度とともに減少して行くが250K 付近より下の温度では逆にブレークダウン電圧が上昇することが分かった。

参考文献

- 1) H. Hasegawa and H. Ohno, J. Vac. Sci. & Technol., **B4** (1986) 1130.
- 2) M. S. Birritella and W. C. Seelbach and H. Goronkin, IEEE Trans. on Electron Devices, **ED-29** (1982) 1135.
- 3) C. P. Lee, S. J. Lee and B. M. Welch, IEEE Electron Device Letters, **EDL-3** (1982) 97.
- 4) T. H. Vuong, W. C. Gibson, R. E. Ahrenz and J. M. Parsey, Jr, IEEE Trans. Electron Devices, **37** (1990) 51.
- 5) M. L. Gray, C. L. Reynolds and J. M. Parsey, Jr, J. Appl. Phys., **68** (1990) 169.
- 6) Y. Feng, T. J. Thornton, J. J. Harris and D. Williams, Appl. Phys. Lett., **60** (1992) 94.
- 7) M. Akazawa, H. Ishii and H. Hasegawa, Jpn. J. Appl. Phys, **30** (1991) 3744.
- 8) M. A. Lampert, and P. Mark, *Current Injection in Solids*, Chapter 11, (Academic Press, New York, 1970).
- 9) H. Hasegawa, T. Kitagawa, T. Sawada and H. Ohno, Proc. of 1984 Int. Symp. GaAs and Related Compounds, Biarritz, (Adam Hilger Ltd., Bristol, 1985) 521.