



Title	時間分解能型アナログ-デジタル変換器およびCMOSイメージセンサ応用に関する研究 [論文内容及び審査の要旨]
Author(s)	内田, 大輔
Issue Date	2017-03-23
Doc URL	http://hdl.handle.net/2115/65488
Rights(URL)	http://creativecommons.org/licenses/by-nc-sa/2.1/jp/
Type	theses (doctoral - abstract and summary of review)
Additional Information	There are other files related to this item in HUSCAP. Check the above URL.
File Information	Daisuke_Uchida_review.pdf (審査の要旨)



[Instructions for use](#)

学位論文審査の要旨

博士の専攻分野の名称 博士(工学) 氏名 内田 大輔

審査担当者 主査 教授 本村 真人
副査 特任教授 佐野 栄一
副査 教授 本久 順一
副査 教授 浅井 哲也

学位論文題名

時間分解能型アナログ-デジタル変換器および CMOS イメージセンサ応用に関する研究
(A Study on Time-Based Analog-to-Digital Converters for CMOS Image Sensors)

本学位論文における研究目的は、センシングデバイスに多用されるシングル・スロープ型 A/D 変換器について、精度を保持しながら高速化と低電力を両立する手法を確立したことである。本手法は単体での使用だけでなく、アレイ化によってイメージセンサの列並列型 A/D 変換器にも使用可能であり、高速・高精度・低電力な撮像を可能とする技術に寄与する。画像情報の取得機器としては、デジタルカメラが大きな地位を占め、現在、ほとんどのスマートフォンにその機能が搭載されている。デジタルカメラの心臓部は、CCD 及び CMOS イメージセンサであり、携帯用・監視用・車載用など様々な用途向けに開発が進んでいる。特に CMOS イメージセンサは、通常の CMOS プロセスを用いて周辺回路も同時に集積することが可能である。イメージセンサは高解像度が年々進み、撮像された情報をいかに高速にデジタル化して出力するという課題に関しても大学・企業間で研究が進められてきた。その中で列ごとに A/D 変換器を用意し、一行すべての情報を同時にデジタル化する列並列型 A/D 変換器技術が開発され、そこでは、最もシンプルで小面積なシングル・スロープ型 A/D 変換器が用いられている。しかしながら、この A/D 変換器は N ビットの精度向上を行うたびに、2 の N 乗の時間を必要とする欠点がある。そこで、時間量子化器 (TDC: Time to Digital Converter) をもちいて、微小時間の量子化誤差を N ビット精度で再計測し、2 の N 乗の高速化を行う手法とその低電力化手法を確立するための研究を行った。

(1) ハイブリッド型 A/D 変換器 (シングル・スロープ方式 + TDC 方式) の整合性確保

本論文は従来手法で生じていた速度低下の問題を解決するため、ハイブリッド型の A/D 変換器構成を用いる。ハイブリッド型 A/D 変換器では、アナログ信号を時間信号に変換し、基準クロックでカウンタを駆動する粗精度の変換と基準クロックよりも細かい時間間隔で駆動する TDC を用いた高精度な変換を同時に扱う。この場合、両変換に完全な同期機構が必要となる。そこで、TDC とカウンタの駆動に因果性を付与し、TDC の動作確定がカウンタの動作を確定する機構を開発した。申請者は本手法の考案から実証まで全てを担当し、従来手法では解決ができなかった同期機構について、理論的に完全な解決ができること示し、シミュレーションと試作評価により実証した。

(2) ハイブリッド型 A/D 変換器の低電力化手法の開発

ハイブリッド型 A/D 変換器に用いられる時間量子化器では、整合性を確保するために複数位相の基準クロック信号が入力され、常時駆動している。そのため、TDC の低電力化は難しい。そこで、固定遅延素子を用いて、本来の時間信号と時間信号 + 固定遅延の 2 つの信号から固定遅延分の間欠時間を作り出し、TDC を間欠動作する手法を開発した。固定遅延は、数クロック分の時間で十分であるため、消費電力は大幅に削減される。同時に固定遅延は変換後のオフセットとして扱われ、容易に除去することが可能である。申請者は、本手法の考案から実証まで全てを担当し、TDC のビット精度と変換速度・面積・消費電力の関係から最適な TDC ビット精度 (6 ビット以下) を示し、シミュレーションと試作評価により 50% 以上の低電力化を実証した。また、TDC の変換コードを高速でエンコードする機構の開発も行った。

(3) デルタ-シグマ A/D 変換器への拡張

複数位相クロックで動作する TDC を、電圧制御型発振器として動作させ、発振状態の量子化誤差を再利用するデルタ-シグマ A/D 変換器への拡張を研究した。このとき、アナログ信号は周波数と位相の状態をデジタル値として出力すれば良い。また、連続時間 A/D 変換器として動作するので、平均化によるランダム雑音の抑制が期待できる。直交型発振器を用いて瞬時電流を抑制する手法および、発振器の段数を減らしバラツキを低減する技術の開発、デルタ-シグマ A/D 変換器の高次化を理論実証した。

以上を要するに、本論文はセンシングデバイスに重要な A/D 変換器の構成において、小面積なシングル・スロープ方式を基に、高速・高精度・低電力化する手法を提案した。そして、理論とシミュレーション及び試作評価により従来手法より優れていることを実証した。また、低ノイズ化への拡張の検討と理論化を実現した。よって、本論文は、回路工学分野に大きく貢献するところであり、著者は北海道大学博士(工学)の学位を授与される資格があるものと認める。