



Title	Growth of III-V Compound Semiconductor Nanowire Heterostructures and Their Electron Device Applications [an abstract of dissertation and a summary of dissertation review]
Author(s)	蒲生, 浩憲
Citation	北海道大学. 博士(工学) 甲第15539号
Issue Date	2023-03-23
Doc URL	<a href="http://hdl.handle.net/2115/89756">http://hdl.handle.net/2115/89756</a>
Rights(URL)	<a href="https://creativecommons.org/licenses/by/4.0/">https://creativecommons.org/licenses/by/4.0/</a>
Type	theses (doctoral - abstract and summary of review)
Additional Information	There are other files related to this item in HUSCAP. Check the above URL.
File Information	Hironori_Gamo_abstract.pdf (論文内容の要旨)



[Instructions for use](#)

## 学位論文内容の要旨

博士の専攻分野の名称 博士（工学） 氏名 蒲生 浩憲

### 学位論文題名

#### Growth of III-V Compound Semiconductor Nanowire Heterostructures and Their Electron Device Applications

(III-V 族化合物半導体ナノワイヤヘテロ構造の成長と電子デバイス応用)

集積回路は、電界効果トランジスタ (FET) の微細化によって、機能あたりのコストを削減すると同時に性能を向上してきたが、短チャネル効果や電力密度増大が問題になり、幾何学的なスケールングによる高速化と低消費電力化の両立が難しくなっている。一方で、インターネットの普及にとともに、電力消費量はさらに増加することが予想されている。また近年、IoT や計算アルゴリズムなどこれまで以上の計算機能を必要とする応用技術が注目されており、さらなる低消費電力化/高速化が求められている。Complementary Metal-Oxide-Semiconductor (CMOS) をベースとした論理集積回路の消費電力は、駆動電圧の 2 乗に比例することから、高速化と低消費電力化を両立するためには、個々の FET を高性能化しつつ、駆動電圧を低減する必要がある。そこで、チャネルへの歪み導入や、新チャネル材料、high-k 絶縁膜/メタルゲート・ゲートスタック、コンタクト抵抗の低減、マルチゲート構造による高性能化が検討されている。FET のデバイス構造は、平面構造から Fin 型 FET を経て、ナノシートやナノワイヤのゲールオールアラウンドまたはサラウンディングゲート構造へ移行すると考えられており、サラウンディングゲート構造はチャネルを縦型ナノワイヤ構造にすることで導入できる。このようなマルチゲート構造は、ゲートの制御性を高めることができるため、スイッチングの急峻化や短チャネル効果によるオフリーク電流を抑制することができる。新チャネル材料では、高い移動度を有する III-V 族化合物半導体、Ge が検討されている。これらの材料は高い移動度によりオン電流を増大することができ、駆動電圧を低減することができるため、低消費電力化に寄与する。これらの技術革新を同時に進展させ、コスト・量産性の観点から Si 基板上に III-V 族化合物半導体や Ge といった新チャネル材料を形成することが重要である。また、混載集積において、ミスフィット転位を抑制できる縦型ナノワイヤはチャネルとして大きな役割を果たす。

本研究では、n 型チャネルとして InAs と InGaAs、p 型チャネルとして GaSb を検討した。世界的にも、III-V 族化合物半導体を用いた n 型 FET 素子の報告は近年増加傾向にある。一方で、p 型 FET 素子の報告例は少なく、良好なスイッチング特性が得られていない。これは、正孔移動度が高い Sb 系半導体の結晶成長技術が未熟で、高品質な結晶が得られていないためである。さらに、電子と正孔の移動度差は 2-10 倍であり、回路で電流密度を整合できない。したがって、電流密度を整合するために p 型の素子サイズを n 型よりも小さくし集積面積で調整することや p 型素子に特異な構造、技術を導入することで高性能化する必要がある。そこで、本研究では、III-V ナノワイヤからなる立体集積回路の基本素子作製技術の確立を目的として、有機金属気相選択成長法で、ナノワイヤをコアとして、その側壁に Sb 系半導体を製膜したコアシェルナノワイヤ構造に着目し、コアシェルナノワイヤによる n 型チャネル(コア)と p 型チャネル(シェル)の一括集積を提案した。InGaAs/GaSb コアシェルナノワイヤヘテロ構造を形成し、縦型トランジスタ応用することで単一素子で n 型、p 型トランジスタ動作する新奇デバイス作製技術を確立した。

本論文は第 1 章から第 8 章までで構成されている。以下に各章の要旨を示す。

第 1 章では、本研究の背景と目的について説明するとともに、各章の概要を示している。

第 2 章では、半導体ナノワイヤの歴史や特徴、作製方法と InAs, GaSb の基本的な物性に関して説明している。また、ナノワイヤを用いた縦型トランジスタの基本原理について述べている。

第 3 章では、本研究で用いた有機金属気相選択成長法の基本的な成長機構を述べるとともに、素子作製に使用したプロセス技術や評価に使用した装置について説明している。

第 4 章では、InAs ナノワイヤ縦型トランジスタにおいて、補償ドーピングによる疑似真性層形成や高濃度ドーピングによるコンタクト層形成でオフリーク特性の改善とスイッチングの急峻化を検討した。最小サブスレッショルド係数 (SS) は 68 mV/桁を示し、FET の SS の最小理論限界 (60 mV/桁) に近い値を達成した。また、疑似真性層の導入により、オフリーク電流を低減し、SS が大幅に低減することを明らかにした。次に、透過型電子顕微鏡観察により、InAs ナノワイヤの側面ファセットは原子層レベルで平坦になることを確認し、InAs ナノワイヤ/酸化膜界面は良好な界面特性を示すことを明らかにした。また、この界面特性が SS の低減に寄与していることを明らかにした。

第 5 章では、InAs/InP コアシェルナノワイヤの結晶構造評価と InAs/InP コアシェルナノワイヤ縦型トランジスタの電気特性評価を行った。X 線回折装置を用いてコアシェルナノワイヤ成長における InAs ナノワイヤと InP シェルの歪み量を概算した。次に、縦型トランジスタにおいて、コアシェル構造を導入することで二次元電子ガスを形成し、高電流化を検討した。シェル膜厚の厚膜化によって、オン電流が増大し、閾値電圧が負側にシフトすることを明らかにした。また、一次元ポアソン-シュレーディンガー方程式を解くことで、InAs/InP のバンド構造と波動関数を計算し、ヘテロ界面近傍でキャリア閉じ込めが生じ、二次元電子ガスが形成されることを理論的にも確認した。これらの結果から、コアシェル構造によるデバイス性能への影響について調査し、InP シェル膜厚の厚膜化によって、酸化膜容量が小さくなり SS が劣化することを示し、オン電流増大と SS の低減にはトレードオフがあることを明らかにした。これにより、高性能化における重要な設計指針を得た。

第 6 章では、選択成長ナノワイヤの原子層レベルで平坦なファセット面をテンプレートとすることで、平坦な GaSb 層を形成できることに注目し、InGaAs/GaSb コアシェルナノワイヤの成長温度依存性と成長時間依存性を調査した。GaSb の成長温度 450 °C では横方向に成長し平坦なファセットを形成した。500 °C では横方向成長とナノワイヤ上部に二次元島成長が生じた。540 °C ではナノワイヤ成長し、側面ファセットのラフネスが大きくなることが分かった。次に、二端子デバイスを作製することで、InGaAs/GaSb ヘテロ接合の電気特性を評価し、良好な整流特性を示すことを確認した。

第 7 章では、Si 上 InGaAs/GaSb コアシェルナノワイヤを用いて縦型トランジスタを作製し、電気特性を評価した。ゲート電圧によってドレイン電流が変調され、スイッチング動作を確認した。負のゲート電圧では on/off 比が 2 桁の p 型スイッチング動作を示し、正のゲート電圧では on/off 比が 3 桁の n 型スイッチング動作を示した。負のゲート電圧では、InGaAs ナノワイヤの障壁が変調され、正孔が拡散することによりキャリア伝導することが分かった。一方で、正のゲート電圧では、InGaAs/Si ヘテロ接合におけるトンネリングによって伝導することが分かった。これらの結果から、単一素子で n 型、p 型 FET 動作を実現し、III-V 材料をチャンネルとした立体集積回路の基本素子を構築し、III-V ナノワイヤを用いた立体集積回路の実現に向けた重要な知見を得た。

第 8 章では、本論文を総括し、展望を述べている。