



Title	Study on Atomic Layer Deposition (ALD) of Dielectric Films Using Novel Liquid Homoleptic Precursors for Advanced CMOS Devices [an abstract of dissertation and a summary of dissertation review]
Author(s)	西田, 章浩
Citation	北海道大学. 博士(理学) 甲第15868号
Issue Date	2024-03-25
Doc URL	http://hdl.handle.net/2115/92345
Rights(URL)	https://creativecommons.org/licenses/by/4.0/
Type	theses (doctoral - abstract and summary of review)
Additional Information	There are other files related to this item in HUSCAP. Check the above URL.
File Information	NISHIDA_Akihiro_abstract.pdf (論文内容の要旨)



[Instructions for use](#)

学位論文内容の要旨

博士の専攻分野の名称 博士 (理学)

氏名 西田 章浩

学位論文題名

Study on Atomic Layer Deposition (ALD) of Dielectric Films Using Novel Liquid Homoleptic Precursors for Advanced CMOS Devices

(次世代の CMOS デバイス向けの新規な液体ホモレプティック前駆体を用いた原子層堆積法による高誘電膜に関する研究)

半導体は、IoT (Internet of Things)、AI (人工知能)、Beyond 5G/6G、スーパーコンピューター、ビッグデータ、ロボット技術、自動運転技術など、デジタル社会のさまざまな要素を支える重要な技術である。これらデジタル技術を実現させるために、大量のデータを高速かつ低消費電力で処理できる半導体デバイスの研究が盛んに行われている。加えて、近年、世界情勢の影響により、半導体は国家安全保障上の極めて重要な戦略技術となっており、各国政府は経済安全保障の観点から、半導体開発を加速するための産業支援を行い、半導体関連企業各社の設備投資も増加している。したがって、さらなる性能向上、省エネルギー化、コストダウンを図るために、半導体デバイスの微細化の要求が高まっている。半導体は微細化によるトランジスタの物理的寸法を縮小したことにより、短チャネル効果による消費電力の増大や動作信頼性の低下が問題になっている。そのため、トランジスタの構造は従来の平面構造からフィン型電界効果トランジスタ (FinFET) 構造が主流になっている。さらに、FinFET よりも短チャネル効果に対する耐性がさらに高いゲートオールアラウンド (GAA) FET が 3nm 世代以降で登場しつつある。将来的にはコンプリメンタリ FET (CFET) と呼ばれる CMOS デバイスと積層した構造に移行することが予想されている。このように、半導体デバイスは、構造がより緻密で立体的な構造へ変化することが求められている。よって、半導体製造技術も、緻密な立体構造を形成できる技術が必須である。

本研究では、半導体製造技術における薄膜製造技術である原子層堆積法 (Atomic Layer Deposition: ALD) に着目した。ALD 法は、同じく薄膜製造技術であるスパッタ法や化学気相堆積法 (Chemical vapor Deposition: CVD) と比較し、原子層レベルでの膜厚制御特性と立体構造への被覆性が優れており、立体構造へと変化する半導体デバイスの製造技術として、その重要性が高まっている。しかし、ALD 法では原料に用いる前駆体材料 (金属錯体) の物性により、ALD が発現する温度帯などの条件が決定するため、必ずしも半導体デバイスに適した成膜温度で膜を堆積させることができない。また、金属錯体であることから固体材料やハロゲン化物である場合も多く、生産性や環境負荷への課題が多くある。そこで、本論文では、工業的に使いやすい特性を有する、新規液体ホモレプティック前駆体を用いた原子層堆積法による高誘電膜の成膜に関する研究を行った結果を報告する。

第 1 章では、半導体の必要性、トランジスタの発明、微細化の歴史、半導体デバイスと高誘電膜、成膜技術、ALD 材料に関する背景情報について述べる。

第 2 章では、 Y_2O_3 ALD 材料について報告する。Y 材料は一般的に固体、低蒸気圧、低成膜速度といった問題を抱えている。種々の配位子を検討した結果、Cyclopentadiene (Cp) 系錯体が比較的良好な膜成長速度を有すること

から、Cp 系錯体をベースに置換基を導入し物性の改善を行った。その結果、Secondary Butyl Cp 構造が液体・高蒸気圧を示すことを見出した。Y(ⁱBuCp)₃を用い ALD を行った結果、200-300°Cの温度範囲で純度の高い Y₂O₃ 膜が GPC 1.4 Å/cycle 以上で成膜されることが確認された。得られた Y₂O₃ 膜は、絶縁破壊電界-6.5 MV/cm, リーク電流密度~3.2 × 10⁻³ A/cm², 誘電率 11.5 であった。

第3章では、HfO₂ ALD 材料について報告する。Hf 材料はハロゲン系の HfCl₄ が高い熱安定性・反応性を有するため幅広く利用されているが、固体・低蒸気圧であり、なおかつ Cl コンタミの問題がある。また、アミド系の TDMAH, TEMAH は低融点かつ良好な成膜特性を有するものの熱安定性が低く 300°C以上の高温成膜ができない欠点がある。アミド系の改良型として Hf-Cp アミド錯体も報告されており高温成膜特性が改善されているものの、heteroleptic であるため不均化や製造コストの問題がある。そこで、homoleptic で高温成膜が可能な有機金属錯体を検討した結果、アミノアルコキサイド系錯体が高い熱安定性を有することが確認された。その一例として、Tetrakis(1-(N,N-dimethylamino)-2-propoxy)hafnium: Hf(dmap)₄について ALD を行った結果、300-400°Cの高温領域で純度の高い HfO₂ 膜が得られることが確認された。得られた HfO₂ 膜は、絶縁破壊電界-6.4 MV/cm, リーク電流密度~1.7 × 10⁻⁷ A/cm², 誘電率 19.4 であった。

第4章では、ZrO₂ ALD 材料について報告する。Zr 材料はアミド系の TEMAZ や TDMAZ が良好な成膜特性を有する材料である。しかしながら、上記 Hf のアミド系材料と同様に熱安定性が低いことが問題であり、250°C以上の成膜ができない欠点を有している。高温成膜特性を改善するために Zr-Cp アミド系材料も検討されているが、熱安定性が良好な ZrCp(DMA)₃を用いても ALD 上限は 280°Cである。Zr は Hf と同時に使用されることも多く、成膜プロセス上、同一温度で使用する必要がある。そのため、Hf と Zr の成膜上限温度の差は、Hf 材料の成膜プロセスの温度範囲を Zr 材料の使用限界温度にまで狭めてしまい、プロセス設計上の制約となっている。また、低温での成膜は、膜特性の悪化につながる懸念される。そこで、熱安定性が良好なアミノアルコキサイド系配位子を用い、新規な Zr アミノアルコキサイド系錯体 Tetrakis(1-(N,N-dimethylamino)-2-propoxy)Zirconium: Zr(dmap)₄の開発を行った。Zr(dmap)₄について ALD を行った結果、300-400°Cの高温領域で純度の高い ZrO₂ 膜が得られることが確認された。得られた ZrO₂ 膜は、絶縁破壊電界-5.2 MV/cm, リーク電流密度~5.2 × 10⁻⁷ A/cm², 誘電率 23.6 であった。

第5章では、Hf_{1-x}Zr_xO₂ (HZO) ALD について報告する。近年 HZO 膜は CMOS プロセスとの親和性が高い強誘電膜として注目されており、FeRAM や FeFET 等への利用が期待されている。これらデバイスを製造するためには、ALD による HZO 膜の成膜と、その結晶性の制御が必要である。従来のアミド系材料や Cp-アミド系材料では、その熱安定性から 320°Cまでの成膜温度に制限されていた。そこで、Hf(dmap)₄ と Zr(dmap)₄ を等 mol 比で混合した ALD 材料 (FER-1)を調製し、ALD 特性及び膜特性の確認を行った。その結果、300-380°Cで HfZr 比 1:1 の純度の高い HZO 膜が得られることが確認された。また、340°C成膜サンプルでは残留分極 36.9 μC/cm² という優れた強誘電性が発現することが確認された。

以上のように、ALD 材料の分子構造を修飾することで、ALD 材料のプロセス上での問題点を改善し、良好な成膜特性を発現させ、高純度な膜を成膜できることが実証された。したがって、目的とする半導体デバイスに適した成膜プロセス・ALD 材料を実現させることが、今後の半導体微細化のため重要である。本論文では、高誘電膜に着目し研究を行ったが、同様のアプローチは金属膜や Low-K 膜等の ALD 材料でも有効であると考えられる。今後も新規 ALD 材料を用いた成膜及びデバイス特性の実証を行い、次世代半導体製造技術の発展のための研究に取り組む。