



# HOKKAIDO UNIVERSITY

Title	ニュープロセッサ
Author(s)	久間, 和生
Citation	電子科学研究, 2, 49-52
Issue Date	1995-01
Doc URL	<a href="https://hdl.handle.net/2115/24305">https://hdl.handle.net/2115/24305</a>
Type	departmental bulletin paper
File Information	2_P49-52.pdf



# ニューロプロセッサ

並列分散処理研究分野 久 間 和 生

ニューロプロセッサと人工網膜チップを中心に、並列分散処理研究分野で開発したニューラルネットワーク応用技術の最近の状況を報告する。まず、ニューラルネットワークの情報処理技術としての特徴と、具体的な応用例として顔画像認識システムと部品最適配置 CAD を紹介する。次に、これらの演算を高速にかつ知的に行うハードウェア技術として、デジタルニューロプロセッサと人工網膜チップの構造、原理、性能を紹介する。

## 1. はじめに<sup>[1]</sup>

ニューラルネットワークの処理機能の特徴は、学習機能と探索機能に大別できる。学習機能は、従来のノイマン型処理ではプログラムが著しく複雑で、プログラムの作成が不可能か、あるいは可能であっても現実的な長さで書き下すことが困難な問題（パターン認識、制御、予測）に適用される。一方、探索機能は、取り扱うデータ量が膨大で場合の数の極端な増大が発生し、ノイマン型処理では現実的な時間で処理できない問題（組合せ最適化問題）に適用できる。

ニューラルネットの演算は、ネットワークの規模が大きくなると、演算時間が長くなる。そこで、演算の高速化とハードウェアの小型化を目的としたニューロプロセッサの開発が進められている。ニューロプロセッサの実現方式には、種々のモデルに適用できるように設計されたデジタルプロセッサ、ニューラルネットのアナログ性に着目した高速・大規模アナログプロセッサ、画像処理に適した光プロセッサに分類される。

本稿では、ニューラルネットの機能と応用について簡単に述べたのち、ニューロプロセッサの原理と開発の現状を解説する。

## 2. ニューラルネットによる情報処理の例

### (1) 顔画像検索システム<sup>[2]</sup>

ニューラルネットは、不完全な画像、音声、文字など、問題そのものが大規模な並列情報であるパターン認識等への応用が期待される。一例として、筆者らが

開発した人の顔画像検索システムを図 1 に示す。テレビカメラから取り込まれた顔画像は、拡大・縮小によって解像度の異なる 5 種類（図では 3 種類）の画像に変換され、5 個のサブモジュールでそれぞれ認識される。各サブモジュールの出力信号を統合して、入力画像が登録された画像データベースの中の誰のものであるか、あるいは未登録であるかを識別する。従来の画像探索システムと異なり、入力画像を画像データベースに蓄積されているすべてのデータと同時並列に照合できるので、画像データベースの規模に無関係に高速検索できる特徴がある。現在、116 人の実験システムにおいて、認識率 98%、未登録検出誤り率 5% が得られている。

### (2) プリント基板用部品の配置 CAD<sup>[3]</sup>

ニューラルネットの重要な応用として、組み合わせ最適化問題がある。組合せ最適化問題とは、膨大な数の解答の候補の中から、与えられた制約条件の下で、ある目的関数を最小（または最大）にする解答を求める問題である。これらの問題は NP（Non-Deterministic Polynomial）完全と呼ばれる問題で、解析的な解法が存在せず、すべての組合せをしらみつぶしに調べるほかない。そのため、ノイマン型コンピュータで解くと膨大な時間がかかる。

ここでは、プリント基板上への部品の最適配置問題を紹介する。この問題は、「N 個の部品と各部品間の配線の本数が与えられた時に、総配線長（配線の長さの総和）を最短とする部品の配置方法を求める問題」である。筆者らが開発した自己組織化モデルによる処理

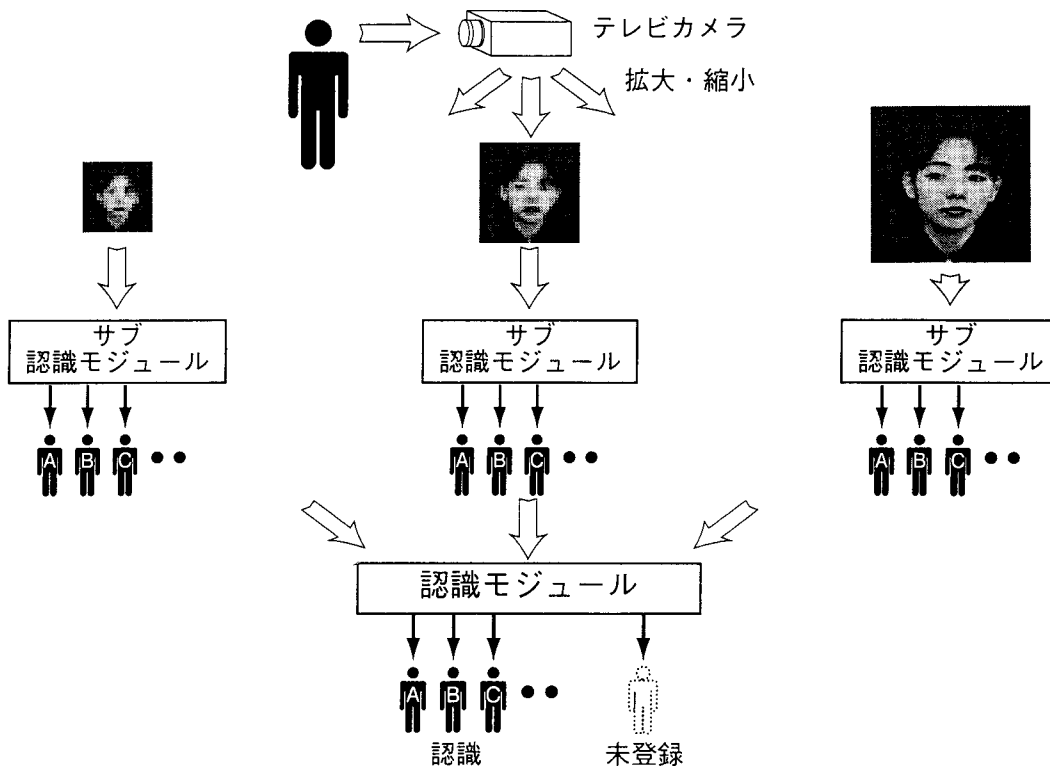


図1 顔画像検索システム

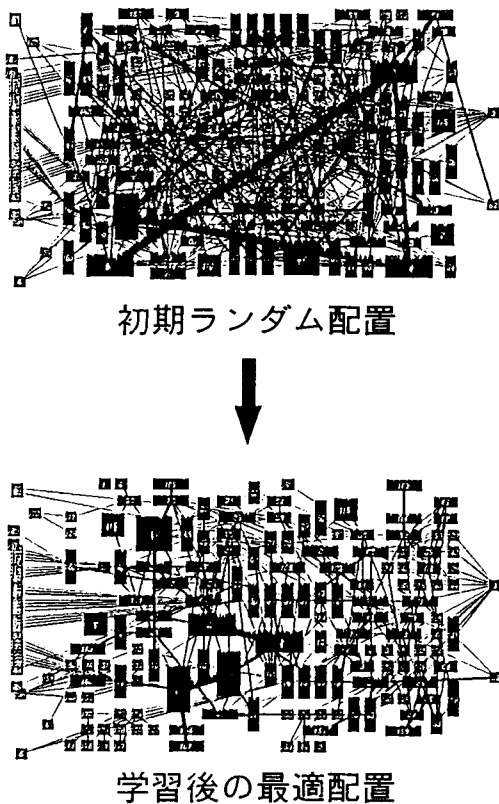


図2 部品の最適配置問題のシミュレーション結果

結果を図2に示す。200個の大きさの異なるLSIをプリント基板上に最適配置する問題で、計算時間はEWSで1～2分である。従来のホップフィールドモデルに比べると計算時間は約8桁短縮された。

### 3. デジタルニューロプロセッサ<sup>[4]</sup>

筆者らは、24ビット精度の浮動小数点表示のプロセッサ12個と、1.28Kw×12のローカルメモリ、制御ユニット、非線形演算ユニットをワンチップに集積化した、演算速度1.2GFLOPS(@50MHz)のデジタルニューロチップを開発した。ニューラルネットの積和演算は12個のプロセッサ(乗算器、加算器)で並列に、またニューロンの非線形演算は非線形演算ユニット(数値変換テーブル)で行われる。また、シナプス荷重値などの演算に必要な情報はローカルメモリに記憶される。各プロセッサユニットは、図3に示すように、リングバスで接続されており、各々のユニットの演算結果が他のユニットに転送される。本チップは最先端の0.5 $\mu$ mCMOSプロセスで作製され、340万トランジスタを搭載した、新しい概念の「並列プロセッサ」、  
「システムオンチップ」である。高速性、高精度性に加

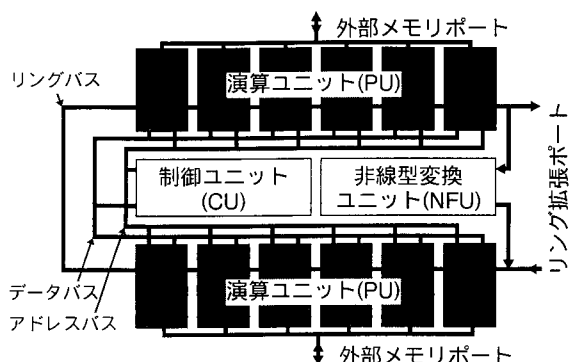


図3 デジタルニューロチップの構成図

え、外部メモリやニューロチップを複数接続するマルチチップ拡張方式に工夫を凝らしている。また、ニューラルネットの他に、科学計算用並列プロセッサとしても利用できる。

筆者らは、最近、上述したニューロチップをワンボードに4個搭載したニューロプロセッサボードを開発した。本ボードは、EWS(エンジニアリングワークステーション)を宿主コンピュータとして接続して動作させるニューロエンジンで、2.88 GFLOPS(@30 MHz)の速度性能が得られた。表1に本ボードの性能を示す。本ボードを10枚接続すると、スーパーコンピュータと同程度の28.8 GFLOPSの速度性能が得られる。また、一

般の利用者を対象としたC-コンパイラも開発中である。

#### 4. 人工網膜チップ<sup>[5,6]</sup>

生物の網膜は、入力画像情報を圧縮して、画像の輪郭や動的物体などの重要な情報のみを脳に送る、柔軟なプリプロセッサとして働いている。2次元画像情報は網膜に並列入力され、並列処理され、並列出力される。この情報圧縮能力と並列処理能力が、生物が画像を実時間処理できる所以である。

図4に、筆者らが開発した人工網膜チップの構造図を示す。N×N個の感度可変受光素子(VSPD, variable sensitivity photodiode)を2次元アレイに配列した素子である。感度可変受光素子とは、光電変換、光

表1 ニューロプロセッサボードの特性

搭載ニューロチップ	NEURO4 × 4
搭載メモリ	24b × 4Mw
速度性能(ピーク)	2.88GFLOPS
基本クロック	30MHz
消費電力	約12W
ボードサイズ	233.3mm × 220.0mm
ボード制御機能	VMEインターフェース データ分配シーケンス NEURO4の起動、終了

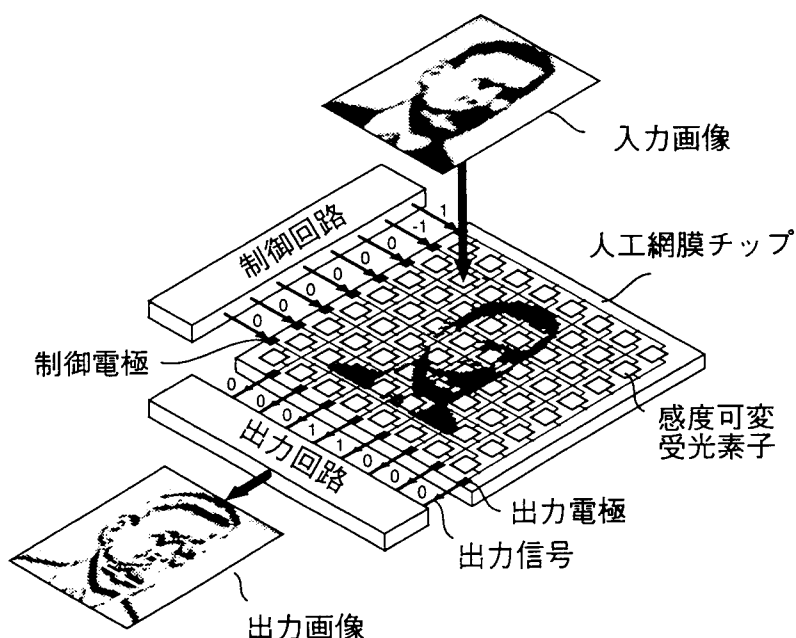


図4 人工網膜チップの構成図

変調, 記憶の3つの機能をかねそなえた受光素子である。図4において, 入力信号は $N \times N$ 画素の光画像情報(行列)と $N$ 個の制御電圧(ベクトル)である。出力には制御電圧と光画像情報の積和が光電流(ベクトル)として得られる。

例えば, 図に示すように, 制御電圧のパターンを $(1, -1)$ として, これを1行目から $N$ 行目まで周期的にシフトすると, 隣接する行間の差が得られるので, 出力信号として画像の輪郭が得られる。処理時間は $200 \mu\text{s}$ 以下である。制御電圧のパターンを変えれば, さまざまな画像処理を行うことができる。従来のイ

メージセンサ機能, 画像の一時記憶, 2次元フーリエ変換, 画像のマッチング機能, 画像の平滑化, 画像圧縮機能などの機能を実証した。

## 5. おわりに

ニューロコンピュータの実用化には, 装置の小型化, 低コスト化, 高速処理化という点で, ニューラルネットワークそのものを模倣した専用プロセッサが必要である。本稿で述べたように, 最近, 実用的なニューロチップや人工網膜チップが開発され, ニューロコンピュータの本格的実用化も, そう遠くないと思われる。

---

## 【参考文献】

- [1] 久間, 中山編著, ニューロコンピュータ工学, 工業調査会(平成4年2月)。
- [2] F.Goudail, E.Lange, T.Iwamoto, K.Kyuma, and N. Ohtsu, Proc. of 1993 International Joint Conference on Neural Networks, Nagoya, Japan, p.1297 (October, 1993).
- [3] M.Takahashi, K.Kyuma, and E.Funada, Proc. of 1993 International Joint Conference on Neural Networks, Nagoya, Japan, p.2417 (October, 1993).
- [4] K.Kyuma, S.Tai, and H.Mori, International Conference on Neural Information Processing (ICONIP'94), Seoul, Korea, p.1609 (October, 1994).
- [5] K.Kyuma and S.Tai, IEICE TRANS.ELECTRON., VOL.E76-C, NO.7, p.1070 (1993).
- [6] E.Lange, E.Funatsu, K.Hara, and K.Kyuma, Proc. of 1993 International Joint Conference on Neural Networks, Nagoya, Japan, p.801 (October, 1993).