HOKKAIDO UNIVERSITY

Title	シリコンMOSダイオードの雑音とその原因に関する研究
Author(s)	前田, 正雄; 村野井, 徹夫
Citation	北海道大學工學部研究報告, 44, 113-137
Issue Date	1967-09-05
Doc URL	https://hdl.handle.net/2115/40832
Type	departmental bulletin paper
File Information	44_113-138.pdf

Hokkaido University Collection of Scholarly and Academic Papers : HUSCAP

シリコンMOSダイオードの雑音とその原因に関する研究

前田正雄*
村野井徹夫*
(昭和42年4月24日受理)

Studies on the Noise of Silicon MOS Diode and Its Origin

Masao MAEDA
Tetsuo MURANOI
Department of Electronics, Faculty of Engineering,
Hokkaido University, Sapporo, JAPAN.
(Received April 24, 1967)

Abstract

Various instabilities of MOS structures, such as the noise and life time, are attributed to the surface states which lie at the interface between the semiconductor and the oxide film. The present paper describes experimental results concerned with the relation between the noise and surface treatment of Si MOS diode.

Two kinds of samples were prepared. The noise spectrum shows $1/f$ characteristics for both samples. The samples, which were chemically polished for a short time (2 min.), show a considerable peak in the noise-bias voltage diagram at a given bias voltage.

The C-V (capacitance-voltage) characteristics and pulsed field effect were measured in order to explain the relation between the noise and surface states. Experimental results obtained show that the surface states, which contribute to the noise peak, are in the shallow levels lying near the bottom of the conduction band. Further it was shown that longer polishing time gives a more stable surface.

目　次

1. 緒　　論 …… 114
2. 実験方法 …… 116
2·1 試料の作製 …… 116
2·2 雑音の測定 …… 118
2·3 容量—電圧特性 …… 118
2·3·1 定性的な考え方 …… 118

* 電子工学科固体電子工学講座

2・3・2 半導体の空間電荷 …… 119
2・3・3 表面状態及び仕事関数の差の影響 …… 120
2・4 パルス縦電場効果 …… 122
2・4・1 理 論 …… 122
2・4・2 緩和時間τの測定 …… 124
2・4・3 測定回路及び装置 …… 126
3. 実 験 結 果 …… 127
3・1 雑音の周波数特性 …… 127
3・2 雑音の電圧依存性 …… 128
3・3 容量—電圧特性 …… 128
3・4 パルス縦電場効果 …… 132
4. 考 察 …… 134
5. 結 論 …… 136
6. 謝 辞 …… 136

1. 緒 論

電子回路素子・装置を用いるにあたって，その雑音・寿命・劣化などの不安定性は，重要な問題である。半導体素子の場合，特にSiにおいては素子に対する雰囲気の影響を避けるためと，トランジスタや集積回路に応用する時に必要な選択拡散のため，表面に酸化膜をつけることが多い。MOS (Metal-Oxide-Semiconductor) 型の素子では，半導体と酸化膜との境界面にある表面状態，或いは，酸化物内にあるトラップや再結合中心・可動イオンがこれらの不安定性の原因となっている。

ここで，上に述べた不安定性のうち，半導体素子の雑音について考えてみると，その発生原因により次のように分類することが出来る。

① 熱 雑 音

半導体も抵抗体であるから，電流を流さない熱平衡状態で熱雑音を発生する。いわゆるジョンソン雑音であって，ふつうの周波数域では白色雑音として観測される。この雑音はキャリアの不規則な熱運動，すなわち格子衝突による速度分布の遙らぎに起因する。

② ショット雑音

電界を加えた時のキャリアのドリフト速度によるもので，電子—正孔対の生成又は再結合過程の遙らぎによる電子密度の遙らぎが起因している。ダイオードでは，キャリアが障壁を通過する時の初速度の遙らぎもこの雑音の原因の1つである。この雑音は低周波域でほぼ一定の値を有する。

③ 変調雑音又は $1/f$ 雑音

キャリアの放射中心の遙らぎ，すなわち活性点の遙らぎによるもので，表面の状態や格子欠陥に敏感である。単結晶では表面の処理法，雰囲気による影響が顕著であり，塑性変形を与えて転位を導入すると，雑音が顕著に増大する。$1/f$ 雑音の生ずる周波数域では，雑音スペク

トルは $1/f^n$ $(0.8<n<1.5)$ に比例して観測されるが，熱雑音やショット雑音を引き去るとほとんど $1/f$ に比例する。

上の三種類の雑音のうち，第2，第3のものは電流を流すことによって生じる雑音であって，熱雑音に付加するという意味でそれら2つを合わせて過剰雑音とよぶ。半導体ではキャリアが少なく，熱的に励起されて平衡状態を保っているために電子数の遥らぎが多く，この過剰雑音が多い。

MOSダイオードの雑音については，従来枝川ら[1]が，シリコンを水蒸気雰囲気中，1,000°C以上で酸化し，酸化膜の厚さが2,000 Å以上のものについて報告している。しかしながら，熱酸化によって得たシリコン酸化膜 SiO_2 は非常によく出来た場合その抵抗率は $10^{16}\Omega$-cm に達し[2]，2,000 Å程度の酸化膜では，事実上電流は流れないと考えてよい。従って，彼等の場合は酸化膜が不均一であったということが言える。

我々の研究では，水蒸気を含んだ酸素雰囲気中で酸化した約220 Åのシリコン酸化膜について，雑音の周波数スペクトルが $1/f$ 特性を示したことから，表面状態が関与していると考えられ，雑音と表面処理の関係を調べた。

表面状態は，1932年初めてTamm[3]によってきれいな表面において理論的に予言されたが，これはGeやSiのような共有結合結晶を2つに割ると，表面に相手との結合を切断された原子軌道が出来ることに起因している。この軌道は中性状態で1個の電子をもち，さらに1個の電子をとって負にイオン化することが出来る。しかしながら，表面状態の実験的重要性というものは1948年のSchckleyとPearson[4]の実験まで充分に評価されなかった。その実験はGeに隣接平行板電極によって電界を加えた時のコンダクタンスの変化が予期した値よりも小さいというもので，誘起された電荷の一部が表面状態に捕えられてしまったため，その電荷は動くことが出来ず，従って電流を運ぶことが出来ないことに起因している。

表面状態の他の実験的証拠は，1947年のMeyerhof[5]の実験で，金属—半導体接触における整流特性が，用いた金属の種類には依存しないというものであり，金属の仕事関数の違いに依存するという予想に反したものであった。これは，Bardeen[5]の説明によると，表面状態中の電子が半導体表面に電気二重層をつくり，半導体内部は帯電した表面状態によって金属から遮弊されて仕事関数の違いはほとんど寄与しないというものである。

半導体表面の性質に関する研究には，電圧—容量特性，交流（又は直流）縦電場効果，パルス縦電場効果の3つの方法がよく用いられる。以下にこれら3つの方法の特徴を述べる。

1. 電圧—容量特性[6),7),8),9)]

① 表面状態のエネルギー準位及び濃度はデータ解析の計算が複雑である点を除いて比較的容易に求められる。

② 静的状態で測定するため半導体表面での電子又は正孔の移動度を知る必要がない。

③ エネルギー帯の表面での曲がり，すなわち，表面電位がわかる。

④ 表面状態と伝導帯の電子又は，価電子帯の正孔の遷移を特徴づける緩和時間が求めにくい。

⑤ 電子と正孔の捕獲確率が求められない。

2. 交流（又は直流）縦電場効果[2),10),11)]

① 1の場合の①③④⑤と同じ。

② データ解析のためには伝導度の変化に極小値が出る必要がある。ただし，極小値が得られない時にも少なくとも表面がn型かP型かということはわかる。

③ 電子又は正孔の表面での移動度が必要である。これは空間電荷層の厚さが平均自由行程 λ よりも小さいと，λ だけ動く前に散乱されて自由走行時間が短かくなるためであり，従って移動度が小さくなる。しかし，普通は表面での移動度を知らなくても，母体の移動度と等しいと仮定して解析する。

3. パルス縦電場効果[11),12),13),14)]

① 表面状態のエネルギー準位及び緩和時間，伝導帯の電子又は価電子帯の正孔に対する実効捕獲断面積が求められる。

② 表面状態の濃度は求めにくい。

③ 表面電位はわからない。

④ 表面状態に捕獲された電子のスピンの向きがわからないため，統計的重みという未知の量を導入しなければならず，得られる捕獲断面積は実効的なものである。

本論文ではMOSダイオードの雑音の周波数スペクトルから出発して，雑音の電圧依存性・電圧—容量特性・パルス縦電場効果による，表面状態と表面処理の関係について述べる。

2. 実験方法

2·1 試料の作製

n型 60 Ω-cm のSi単結晶を (111) 面に沿って 2.0 mm 程度の厚さにスライスし，緑色酸化クロムによりバフ研摩して鏡面に仕上げた後切断し，HNO_3 (62%)，HF (48%) の混液によって化学研摩した。化学研摩には magnetic stirrer を使用して液を攪拌しながら行なった。試料は Table 1 のように2通りの処理をしたが，熱酸化の前に HF と HNO_3 による処理をしているのは，HF によって，空気中で出来た数10 Å 程度の酸化膜を取除き，HNO_3 に浸すと不活性

Table 1. Oxidizing process

	Polishing*	Oxidization		
		HF	HNO_3	900°C
Sample A Sample B	2 min. 4 min.	30 sec.	1 min.	10 min.

* Mixing ratio of HNO_3 (62%) and HF (48%) 5 : 3

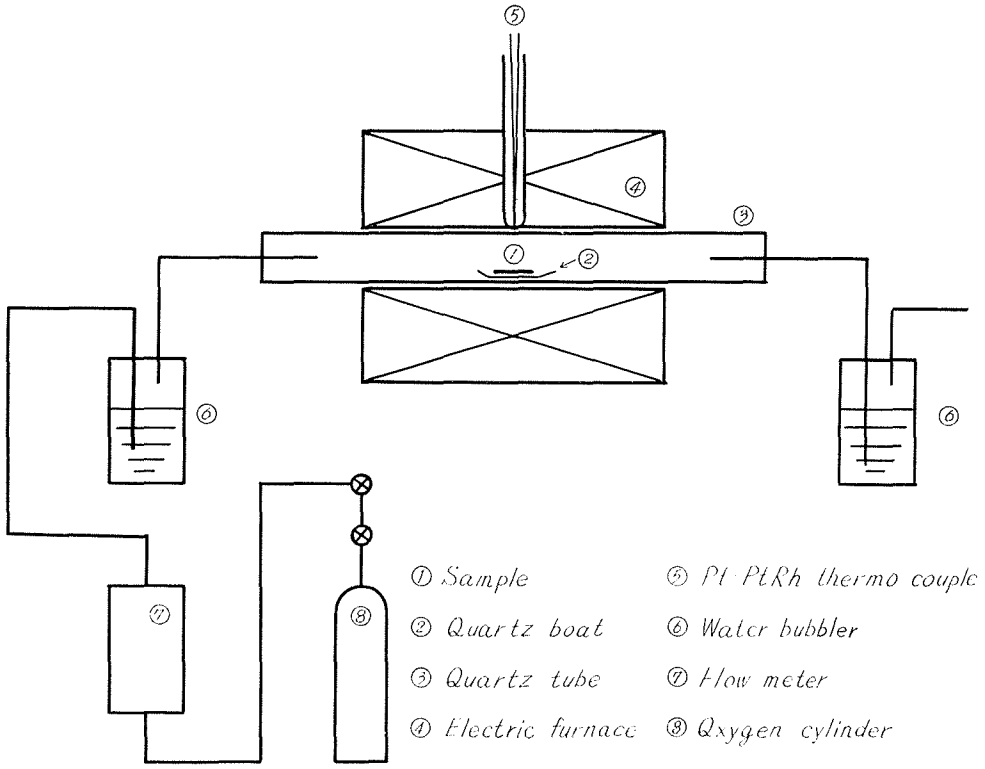

Fig. 1. Oxidizing apparatus

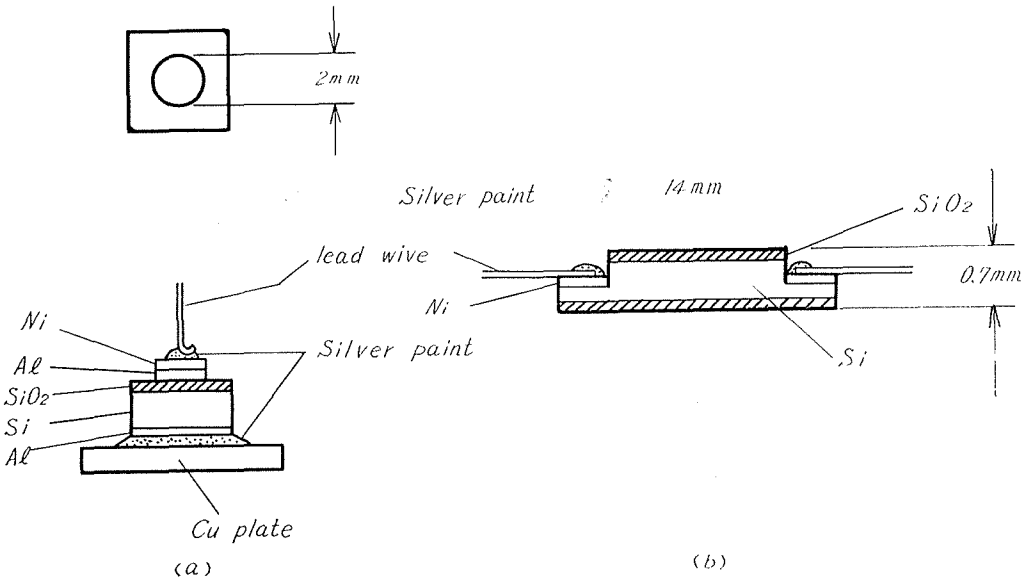

Fig. 2. Schematic diagram for measuring samples

化された薄い酸化膜を生成するためである[15]。又，HNO_3 は強い酸化剤であるから，水洗いのみでは除去出来ない特定の吸着イオンを取除く効果がある[16]。熱酸化の方法は Fig. 1 に模型的に示す。この時の酸素流量は 100 cc/min である。

このようにして得た酸化膜の厚さは，後に述べる容量—電圧特性における容量の飽和値から，熱酸化 SiO_2 の比誘電率 4[8),17)] を用いて計算した結果，約 220 Å であった。

Fig. 2 に試料の概略図を示す。(a) の試料は雑音，容量—電圧特性の測定に使い，パルス縦電場効果では絶縁耐力の点で酸化膜だけでは不充分なので (b) の試料を用いてフィールドプレートとの間に厚さ 16 μ 程度の雲母板をはさんだ。(b) の試料では測定面と反対側の面は 2～8 分間 Table 1 の研摩液で化学研摩した。オーム性接触は，砥石によって酸化膜を取除き，その部分に (a) では試料を 300°C に熱して Al を真空蒸着し，(b) では Table 2 の溶液中で煮沸する無電界メッキによった。(a) では酸化膜上の電極に Al と Ni を二重に真空蒸着したが Ni は Al 表面が酸化することを防ぐためである。又，リード線はすべて抵抗率 1～2 Ω-cm の導電性塗料 (銀塗料) を用いてつけた。

Table 2. Solutio.n for electro-less plating

$NiCl_2 \cdot 6H_2O$	30 g/ℓ
$NaH_2PO_2 \cdot H_2O$	15
$(NH_4)_2HC_6H_5O_2$	65
NH_4Cl	50
Add. NH_4OH till it turns blue.	

2·2 雑音の測定

Fig. 3 に雑音測定回路のブロックダイアグラムを示す。前置増幅器の増幅度は 80 db，帯域濾波器の増幅度は 60 db 程度で帯域濾波器は 10 db ごとの減衰器を内蔵している。

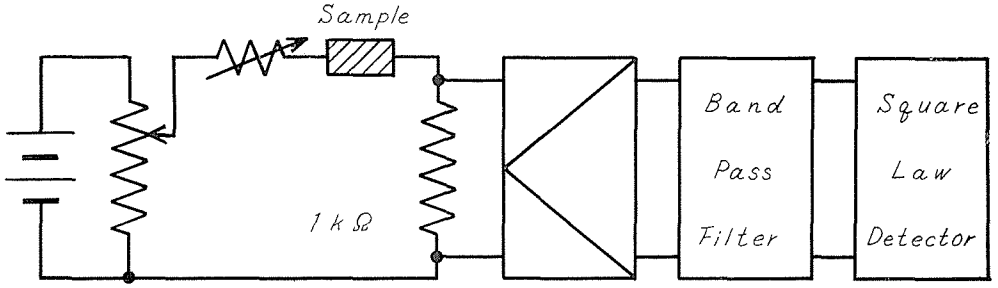

Fig. 3. Schematic diagram for noise measurement

雑音電力を測定するには普通は標準雑音源として，例えば雑音二極管を用いて比較校正する。しかし我々は測定の便宜上標準雑音源を使用せず，雑音電力を相対値によって表わした。又，帯域濾波器の各帯域の帯域幅 B は既知の値であるから，自乗検波器で測定される出力を B で割れば，その中心周波数における単位帯域幅あたりの雑音電力，すなわち雑音スペクトルが得られる。

2·3 容量—電圧特性

2·3·1 定性的な考え方

ここでは n 型半導体を用いた MOS ダイオードのバイアスと電荷分布について，表面状態

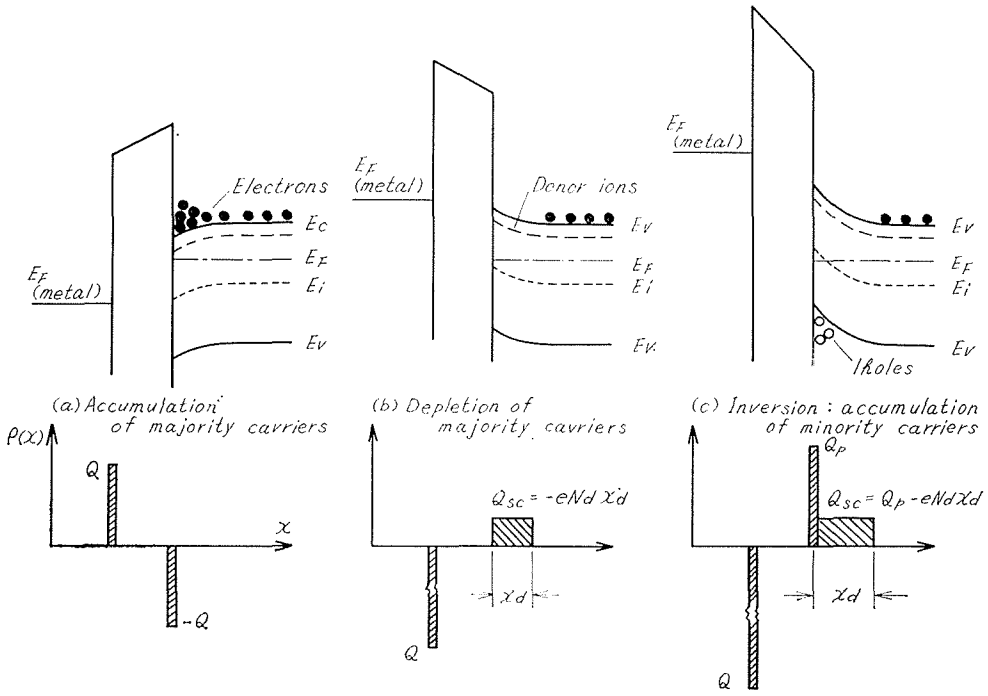

Fig. 4. Energy bands and charge distribution in MOS structure under various bias conditions, in the absence of surface states and work function difference.

の存在しない場合について金属と半導体間の仕事関数の差を無視して定性的に考える。MOSダイオードの主要な3つのバイアス条件に対する，エネルギー帯図と電荷分布をFig. 4に示す。(a)は金属側に半導体に対して正の電圧を加えた時で，この場合多数キャリアである電子は半導体—酸化膜の界面に引き寄せられて，電子による電荷分布はδ関数で近似できる。小さな負の電圧の(b)に対しては，電子は界面からバルクの方に追いやられて，あとにイオン化したドナーによる空間電荷層を残す。この領域ではキャリア濃度は不純物濃度に比較して無視できるから，空乏層となる。さらに負の電圧を増すと，正孔が界面に引き寄せられ，逆転層ができる(c)。

2·3·2 半導体の空間電荷

半導体の不純物が一様に分布しており，完全にイオン化している時，半導体の各点での電荷密度ρは

$$\rho = e[(p-p_0)-(n-n_0)] \tag{1}$$

である。但し，p_0及びn_0はバルクでの正孔及び電子濃度であり Shockley[18] に従うと

$$\left.\begin{aligned} p &= n_i\, e^{\beta(\varphi_p-\psi)} \\ n &= n_i\, e^{\beta(\psi-\varphi_n)} \end{aligned}\right\} \tag{2}$$

ここで

φ_p, φ_n： 正孔と電子の擬フェルミ電位

ψ： 静電電位

n_i： 真性半導体のキャリア濃度

$\beta = e/kT$

e： 電子電荷

k： ボルツマン定数

T： 絶対温度

従って，半導体内の正味の全電荷 Q_{SC} は，半導体—酸化膜の界面を距離の原点 $x=0$ にとり，半導体内部に向って x をとると，

$$Q_{SC} = \int_0^\infty \rho(x)\,dx \tag{3}$$

となる。

(1), (2) 式をポアソンの式

$$\frac{d^2\psi}{dx^2} = -\frac{1}{\varepsilon\varepsilon_0}\rho(x) \tag{4}$$

に代入して解き，(3) 式に代入すると

$$Q_{SC} = e n_i L F(Y.\lambda) \tag{5}$$

となる。ここで

$$F(Y.\lambda) = \pm[\lambda(e^{-Y}-1)+\lambda^{-1}(e^{Y}-1)+(\lambda-\lambda^{-1})Y]^{1/2} \tag{6}$$

$Y>0$ の時 (−)　　$Y<0$ の時 (+)

$$L = \sqrt{\frac{2\varepsilon\varepsilon_0}{e n_i \beta}}$$

$$\lambda = [p_0/n_0]^{1/2} = p_0/n_i = n_i/n_0 = e^{\beta(\varphi_0-\psi_0)}$$

$$Y = \beta(\psi_S-\psi_0)$$

ψ_0： バルクでの静電ポテンシャル

ψ_S： 表面での静電ポテンシャル

2·3·3　表面状態及び仕事関数の差の影響

2·3·1 で述べたようにして電圧を加えると半導体に空間電荷が誘起されるが，このほかに表面状態中の電荷或いは金属とシリコンの仕事関数の差によっても空間電荷が誘起される。ここでは2つの場合について，電圧を加えない場合について考える。

仕事関数の異なる金属と半導体を電気的に接続させればフェルミ準位が等しくなるように電荷の移動が生じ，金属—酸化膜界面の電荷と半導体の空間電荷によって電気二重層が出来る。又，表面状態中の電荷は金属と半導体に逆符号の電荷を誘起する。この結果できるエネル

ギー帯図と電荷分布を Fig. 5 に示す。

金属と半導体のフェルミ準位が等しいから

$$\phi_M + V_{00} = \chi - \phi_{S0} + E_g/2 - \phi_F \tag{7}$$

$$\phi'_{MS} \equiv \phi_M - (\chi + E_g/2 - \phi_F) = -(\phi_{S0} + V_{00}) \tag{8}$$

これが仕事関数の差である。

χ：　半導体の電子親和力

ϕ_M：　金属の仕事関数

V_{00}：　酸化膜中の電圧降下

2·3·4　容量—電圧特性 (C-V 特性)

Fig. 6 に仕事関数の差と表面状態を考慮して直流電圧 V_a を加えた時のエネルギー帯図と電荷分布を示す。従って

$$V_a = V_0 - V_{00} + \phi_S - \phi_{S0} \tag{9}$$

(8) 式を用いて

$$V_a = V_0 + \phi_S + \phi'_{MS} \tag{10}$$

$$\phi_S = Y/\beta$$

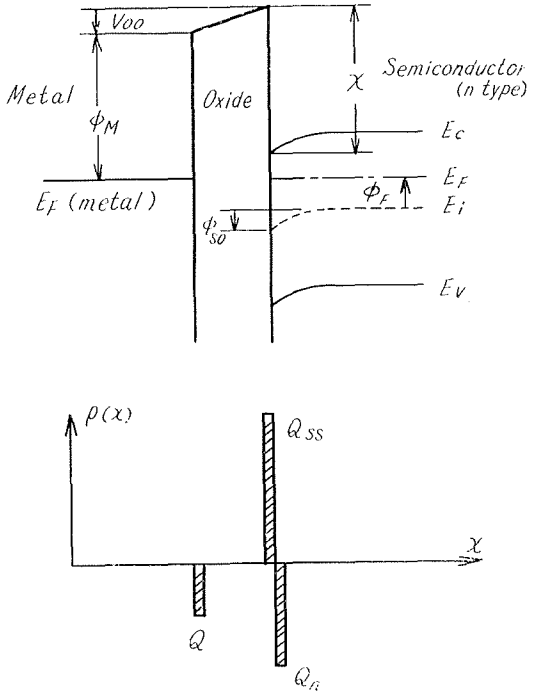

Fig. 5. The effect of surface states and work function difference on the energy band and charge distribution for zero bias.

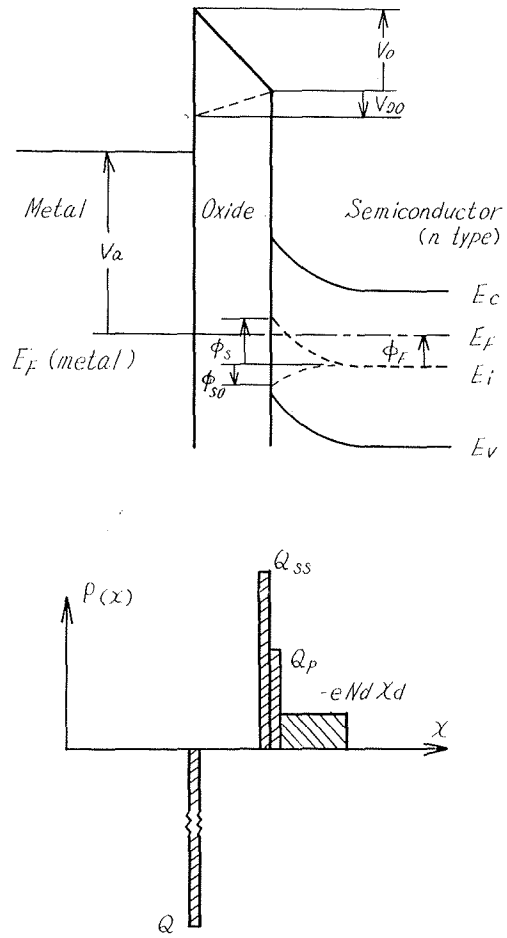

Fig. 6. The energy bands and charge distribution in MOS structure under applied bias and with the effect of surface states and work function difference included.

全電荷を Q，表面状態中の電荷を Q_{ss}，酸化膜の容量を C_0 とすると，

$$Q = Q_{ss} + Q_{sc} = C_0 V_0 \tag{11}$$

(10)，(11) 式より

$$V_a - \phi'_{MS} - Q_{ss}/C_0 = Y/\beta + Q_{sc}/C_0 \tag{12}$$

MOS ダイオードの容量は $C = dQ/dV_a$ で与えられ，(10) 式より $dV_a = dV_0 + d(Y/\beta)$ だから

$$C = \frac{1}{dV_0/dQ + d(Y/\beta)/dQ} = \frac{1}{1/C_0 + 1/(C_{sc}+C_{ss})} \tag{13}$$

C_{sc} は空間電荷の容量で，(15) 式より

$$C_{sc} = \beta \frac{dQ_{sc}}{dY} = \frac{\varepsilon\varepsilon_0[\lambda(1-e^{-Y}) - \lambda^{-1}(1-e^{Y})}{L[\lambda(e^{-Y}-1) + \lambda^{-1}(e^{Y}-1) + (\lambda-\lambda^{-1})Y]^{1/2}} \tag{14}$$

また

$$C_{ss} = \beta \frac{dQ_{ss}}{dY} \quad ; \quad \text{表面状態による容量}$$

ここで，半導体の多数キャリアの誘電緩和時間は $\sim 10^{-12}$ sec 程度であるから，実用に供されるあらゆる測定周波数に対し追随することが出来る。これに対して少数キャリアと表面状態の電荷は測定周波数を充分に高くすればその変化に追随できなくなってしまう。従ってそのような実験条件を選べば $dQ_{ss} = 0$ 即ち $C_{ss} = 0$ となって

$$C = \frac{1}{1/C_0 + 1/C_{sc}} \tag{15}$$

これを Y の値を変えて印加電圧 V_a に対してプロットすれば表面状態を無視した場合の C-V 特性に対する理論曲線が得られる。

実験曲線と比較するとき，両曲線上の容量の等しい点では空間電荷容量 C_{sc} も等しい。即ち Y もまた等しい。従って $V_0 = C_0^{-1}(Q_{sc}+Q_{ss})$ の関係より表面状態の電荷 Q_{ss} を求めることが出来る。但し，金属と半導体の仕事関係の差は理論曲線と実測曲線に対して同じ寄与をするから理論値と実験値の差には寄与しないので無視して考える。

我々の実験では 10 kc/s の交流を直流電圧に重畳して測定した。試料に加わる交流電圧は 20 mV 以下であった。10 kc/s ではすべての表面状態に対して充分に高い周波数であるとは必ずしも言えないけれども，我々の試料の酸化膜は 220 Å と薄い上に電極面積も Fig. 2 に示したものよりは小さくすることが出来ず，容量が非常に大きい値となるため，充分に高い周波数とすることができなかった。我々は測定周波数の 1 周期よりも長い緩和時間をもった表面状態以外は無視して考える。又，少数キャリアについて述べれば，後に述べる測定結果より，少数キャリアはこの 10 kc/s という周波数に対して既に追随できなくなっていると考えてよい。

2·4 パルス縦電場効果

2·4·1 理論的基礎

n 半導体の表面に局在する表面状態と伝導帯の電子との間の関係は Rupprecht[13] によって

次のような方程式で表わされた。

$$\frac{dn_T}{dt}=-gn_T(N_C-n_S)+rn_S(N_T-n_T) \tag{16}$$

ここで

N_T: 表面状態の密度　cm^{-2}

n_T: 表面状態を占めている電子密度　cm^{-2}

N_C: 伝導帯の実効状態密度　cm^{-3}

n_S: 表面での自由電子密度　cm^{-3}

g: キャリアの生成速度

r: キャリアの再結合速度

熱平衡状態では $dn_T/dt=0$ であるから

$$\frac{g}{r}=\frac{n_S(N_T-n_T)}{n_T(N_C-n_S)} \tag{17}$$

n_S と n_T はフェルミディラックの分布則に従い

$$n_S=N_Cf_C=\frac{N_C}{\exp(E_C-E_F)/kT+1} \tag{18}$$

$$n_T=N_Tf_T=\frac{N_T}{\gamma\exp(E_T-E_F)/kT+1} \tag{19}$$

である。ここで

E_F: フェルミ準位

E_C: 伝導帯の底のエネルギ準位

E_T: 表面状態のエネルギ準位

γ: 表面状態を占める電子のスピンの向きがわからないため生じる統計的重み

(16)式は生成項・再結合項共に n_T を含んでいるが，金属電極に負のパルスを加えれば表面の自由電子濃度は多数キャリアの誘電緩和時間 $\sim10^{-12}$ sec 程度の時間で n_S から $n_S'(n_S\gg n_S')$ に減少させることが出来るから，再結合項は消去されて表面状態の電子濃度の変化は

$$\frac{dn_T}{dt}=-gN_Cn_T \tag{20}$$

と表わされる。従って

$$\tau=(gN_C)^{-1} \tag{21}$$

という時定数をもつ熱的な生成過程によって新しい平衡状態に達する。

電子の捕獲断面積 $\sigma_n(T)$ と熱速度 v_T は

$$r=\sigma_n(T)v_T \tag{22}$$

によって定義されるので(16), (21), (22)式より表面状態と伝導帯の電子の間には

$$\frac{1}{\tau N_C v_T} = \tau \sigma_n(T) \exp(E_T - E_C)/kT \tag{23}$$

が成立する。N_C, v_Tは既知の量であるから，$\sigma_n(T)$の温度依存性が小さいとすれば，τの温度変化を測定することによって，表面状態のエネルギ準位E_Tと実効捕獲断面積を求めることができる。

2·4·2 緩和時間τの測定

試料と金属電極間に雲母板をはさんだ平行平板コンデンサーについて次の量を定義する。

Q_{SS}: 表面状態中の電荷
Q_{SC}: 半導体の空間電荷
Q: 全電荷
C_p: 酸化膜及び雲母板による容量
C_S: Q_{SS}及びQ_{SC}による容量
C: C_pとC_Sの直列容量
V: 印加電圧
V_p: C_pに加わる電圧
V_S: C_Sに加わる電圧
Σ: 表面電気伝導度
μ_S: 半導体中の電子の移動度
N_d: イオン化した不純物濃度

従って全電荷Qは

$$Q = CV = C_p \cdot V(1 + C_p/C_S)^{-1} = Q_{SC}(t, V) + Q_{SS}(t, V) \tag{24}$$

と書ける。(24)式の時間微分をとると

$$\frac{dQ_{SC}}{dt} + \frac{dQ_{SS}}{dt} = C_p V \frac{d}{dt}\left[1 + \frac{C_p}{C_S}\right]^{-1} = V\left(\frac{C_p}{C_S}\right)^2 \left[1 + \frac{C_p}{C_S}\right]^{-2} \frac{dC_S}{dt}. \tag{25}$$

ショットキー近似においては

$$\frac{dC_S}{dt} = \frac{d}{dt}\left(\frac{2\varepsilon\varepsilon_0 e N_d}{Q_{SC}}\right) = -\frac{2\varepsilon\varepsilon_0 e N_d}{Q_{SC}^2} \cdot \frac{dQ_{SC}}{dt} = -\frac{1}{V_S} \cdot \frac{dQ_{SC}}{dt}. \tag{26}$$

(25), (26)式より

$$\frac{dQ_{SS}}{dt} = -\frac{dQ_{SC}}{dt}\left[1 + \frac{V}{V_S}\left(\frac{C_p}{C_S}\right)^2 \left\{1 + \frac{C_p}{C_S}\right\}^{-2}\right], \tag{27}$$

$$\frac{V}{V_S} = 1 + \frac{V_p}{V_S} = 1 + \frac{C_S}{C_p}. \tag{28}$$

(27), (28)式より

$$\frac{dQ_{ss}}{dt} = -\frac{dQ_{sc}}{dt} \cdot \frac{1+2C_p/C_s}{1+C_p/C_s}. \tag{29}$$

よって，我々の実験条件では $C_p \gg C_s$ が実現されるから

$$\frac{dQ_{ss}}{dt} \simeq -\frac{dQ_{sc}}{dt} = -e\frac{dn_s}{dt} \tag{30}$$

$$\frac{dQ_{ss}}{dt} = e\frac{dn_T}{dt}. \tag{31}$$

表面近傍とバルクでの電子の移動度が等しいと仮定すると

$$\Sigma = en_s\mu_n \tag{32}$$

であるから，(30), (31), (32) 式より

$$\frac{d\Sigma}{dt} = e\mu_n\frac{dn_s}{dt} = -e\mu_n\frac{dn_T}{dt}. \tag{33}$$

という関係が得られる。これは表面状態を占める電子濃度 n_T の時間変化は表面電気伝導度 Σ

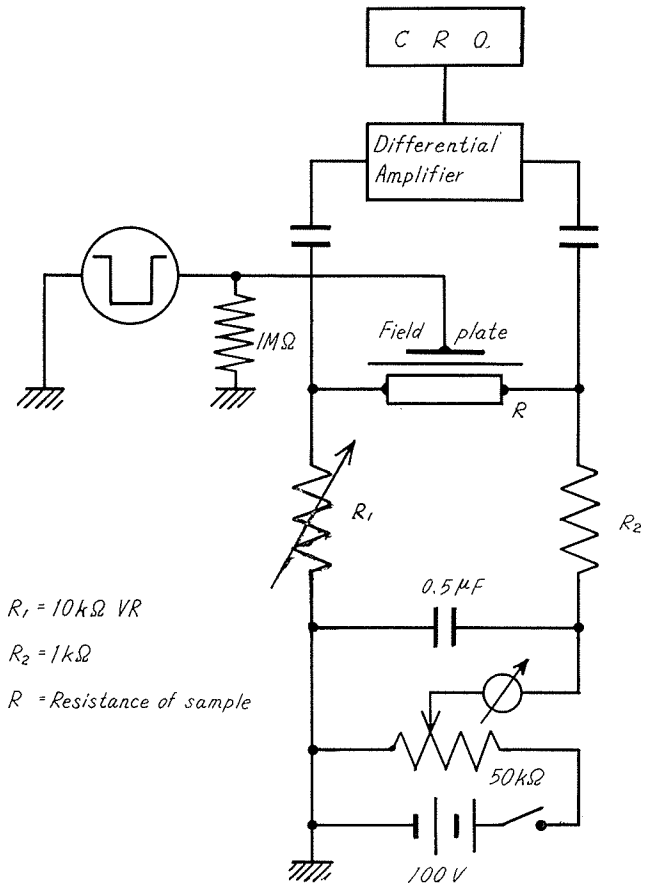

Fig. 7. Measuring circuit for pulsed field effect experiment.

の時間変化に比例することを示しており，$d\sum/dt$ の時定数は求めようとする (23) 式の緩和時間 τ に等しいことがわかる。

2·4·3 測定回路及び装置

Fig. 7 にパルス縦電場効果の測定回路を示す。金属電極に負のステップ電圧 V を加えて変位電流を打消すよう回路の平衡をとってから，試料に直流電流 I_0 を流した時の差動入力すなわち電圧変化分 ΔV は次式で表わされる。

$$\Delta V = -\frac{ER^2(R_1+R_2)^2}{(R+R_1+R_2)^2}\Delta\sum \tag{34}$$

従って ΔV の時間変化が電気伝導度の変化 $\Delta\sum$ の時間変化に比例しているので，双方の時定数は等しい。

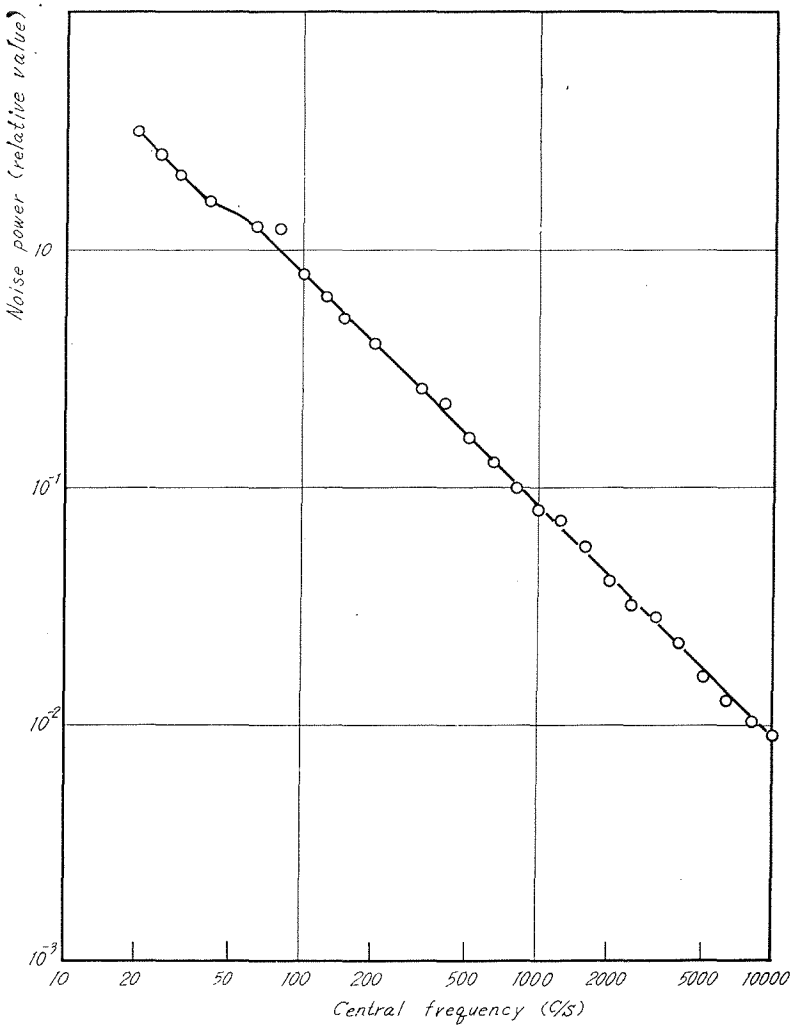

Fig. 8. Typical Noise Spectrum.

試料は温度制御のできるガラス製容器に入れ，10^{-2} mmHg 程度の真空中で測定した。温度制御は PID 制御を行ない，はじめ動作状態で室温から 370°K まで昇温しその 10 分後に冷却させ，100°K に下がった時から測定を開始して，再び昇温させて 370°K まで測定した。

ステップ電圧は直流電源を水銀チョッパーによってチョップして得た。ステップ電圧の高さは 300 V で，その立上がり時間は 1 μS 程度である。試料に流した直流電流は 2 mA である。

3. 実験結果

3·1 雑音の周波数特性

前述の方法に従って得た雑音スペクトルの代表例を Fig. 8 に示す。我々の用いた装置で雑音測定可能な電流が流れるまで酸化膜を薄くした結果 220 Å という厚さを得たもので，この

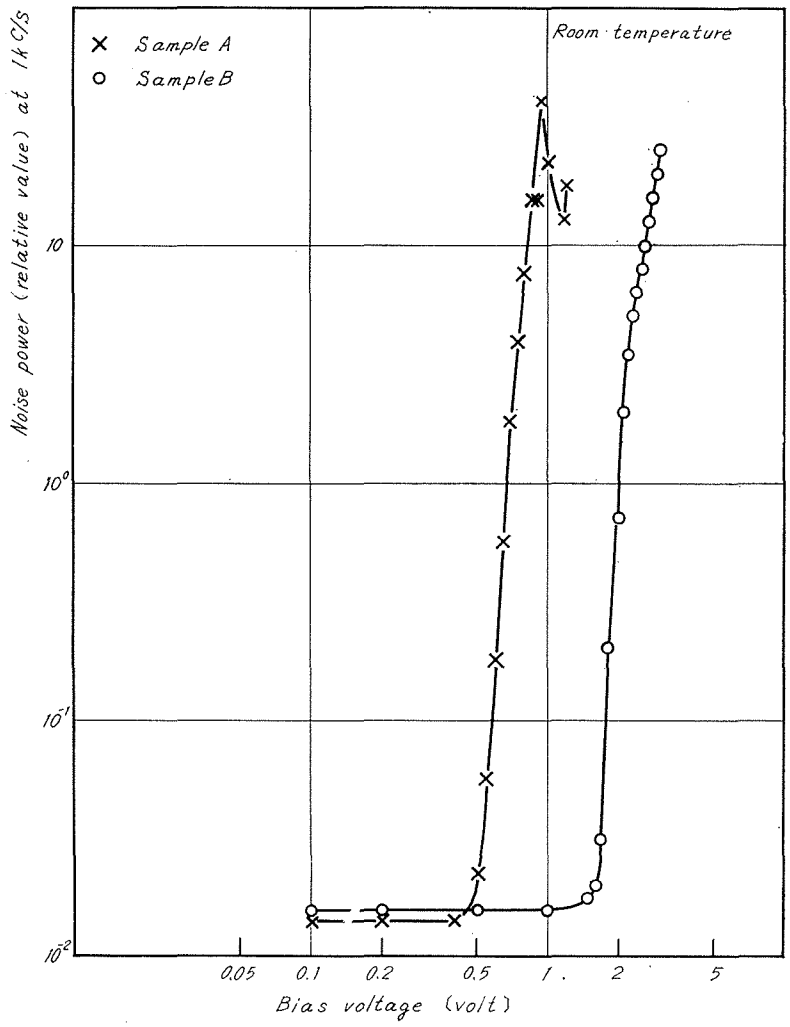

Fig. 9. Bias dependency of noise power.

図は金属側正で1 volt のバイアスを加えた時の実測例を示す。図からわかるように，これはほぼ $1/f$ 特性を示しているので表面状態が関与しているものと考えられる。

3·2 雑音の電圧依存性

この測定においては中心周波数を1 kc/s に固定してバイアスを変化させた。結果を Fig. 9 に示す。0.5 V 以下で得られる一定値は装置のバックグラウンドノイズである。

試料 A ではバイアス1 volt 付近に雑音にピークが現われるが，試料 B では観測されない。これは試料 A の表面には試料 B とは異なった表面状態が存在することを示すものと考えられ，バイアスを加えていくことによって表面でのフェルミ準位が伝導帯に近づいて行き，その表面状態を越したため表面状態に電子が捕捉されてしまい。伝導帯と表面状態の間で電子のやりとりが行なわれなくなったためと考えられる。よって，表面状態のエネルギ準位と密度を求めるために容量—電圧特性を測定することにした。

3·3 容量—電圧特性 (C-V 特性)

試料 A, B についての容量—電圧特性を Fig. 10 に示す。飽和容量は Si 側負のバイアスで得られるから電子は Si-SiO_2 界面に引き寄せられて電子の蓄積層が出来る。従って空間電荷容量は酸化膜の容量に比較して非常に大きい。従って，飽和容量は酸化膜のみによる容量を示しているので，SiO_2 の比誘電率 4[8),17)] を用いて厚さを求めると 220 Å という値を得た。

この曲線において Si 側正のバイアスでは電子が Si-SiO_2 界面から追い出され空乏層が出

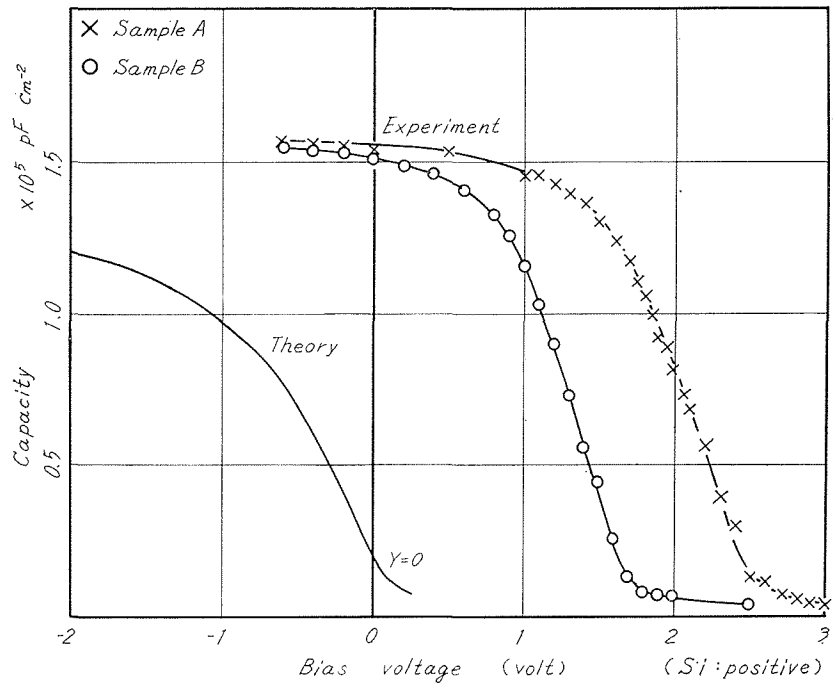

Fig. 10. Capacity vs. voltage characteristics

来，さらに正孔が界面に引き寄せられて逆転層が出来る領域である。しかしながら容量が再び大きくなって酸化膜容量に近づいていないという事実は測定周波数に対して少数キャリアが既に追随出来なくなっていることを示していると考えられる。

ここで容量の実測値と表面状態がないとした時の理論値と比較するにあたって，理論曲線をプロットすることを考える。すなわち，表面電位 Y を与えれば，空間電荷 Q_{SC} は (5) 式より得られ，酸化膜に加わる電圧 V_0 は酸化膜容量 C_0 を用いて $V_0=C_0^{-1}Q_{SC}$ と表わされる。又，酸化膜容量と空間電荷容量 C_{SC} の直列合成容量 C は，(14)，(15) 式より求められる。シリコンに加わる電圧，すなわち空間電荷層に加わる電圧 ϕ_S は $\phi_S=Y/\beta$ の関係で表わされるから印加電圧 V_a は $V_a=V_0+\phi_S$ となる。従って，Y の値に対する容量と印加電圧が与えられるから C-V 座標の位置が決定できる。

この理論値と実験値を比較すれば，表面状態のエネルギ準位と密度が求められるはずである。しかしながら，実際には Fig. 11 のように極めて誤差の大きい結果しか得られなかった。特に雑音にピークの生ずるバイアス値では容量が飽和領域にあるので理論値との比較において Y の誤差は非常に大きい。しかしながら，理論曲線の $Y=0$，即ち，エネルギ帯が表面まで平担なとき (flat band) の容量が，実験曲線における $Y=0$ の時の容量を与え，従ってその時のバイアス値がわかるから，その点のバイアス値と雑音にピークを生じた時のバイアスとの差 V_a は $Y=0$ からその時の Y の値までバンドを曲げるに要した電圧と考えられる。従って，酸化膜

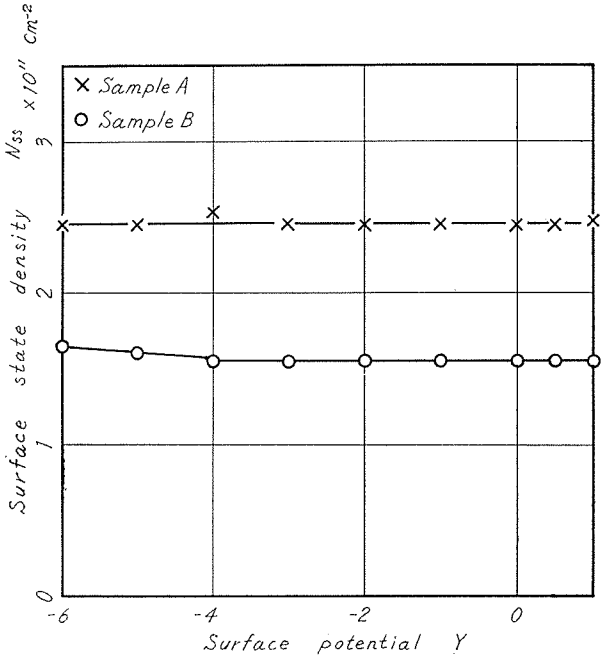

Fig. 11. Typical results of surface state density vs. surface potential.

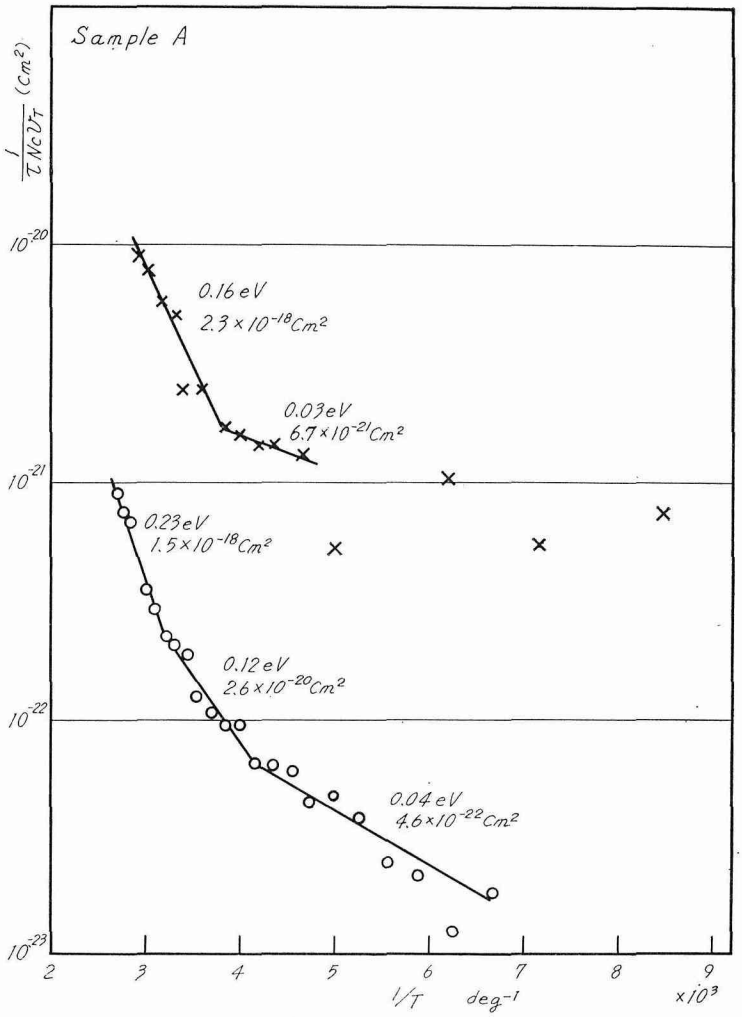

Fig. 12. $\frac{1}{\tau N_C v_T}$ versus $\frac{1}{T}$ for Sample A

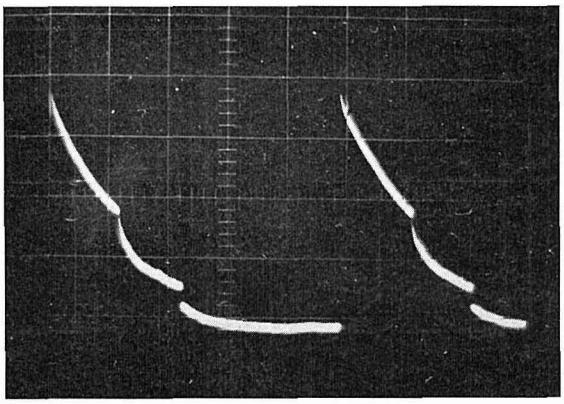

Fig. 13. Typical curves for relaxation effect concerned with some surface states. 105°K. 100 mV/div. 5 ms/div.

中の電圧降下が $Q_{SC}(Y)/C_0$，空間電荷層にかかる電圧が Y/β であるから，

$$V_a=\frac{Q_{SC}(Y)}{C_0}+\frac{Y}{\beta}\simeq\frac{en_iL\lambda^{-1/2}}{C_0}e^{Y/2}+\frac{Y}{\beta}\qquad(Y\gg1)\tag{35}$$

の関係から Y の値を求めると $Y=12.3$ となりバルクより 0.31 eV だけエネルギ帯が曲がっていることになる。ところが，我々の n 型 60 Ω-cm の試料のフェルミ準位はバルクにおいて伝導帯の底より 0.26 eV だけ低いところにある。このことは表面でフェルミ準位が伝導帯中にはいりこんでいることを示すが，表面状態の電荷に加わる電圧と仕事関数の差を無視していることを考えれば，結果はやはり不正確と考えるべきである。そこで表面におけるフェルミ準位の位置は伝導帯は極めて近いとしか言えない。但し，フェルミ準位の計算にあたってはシリコンの伝導電子の有効質量を 0.25 m (m は電子の静止質量) ととった[19]。

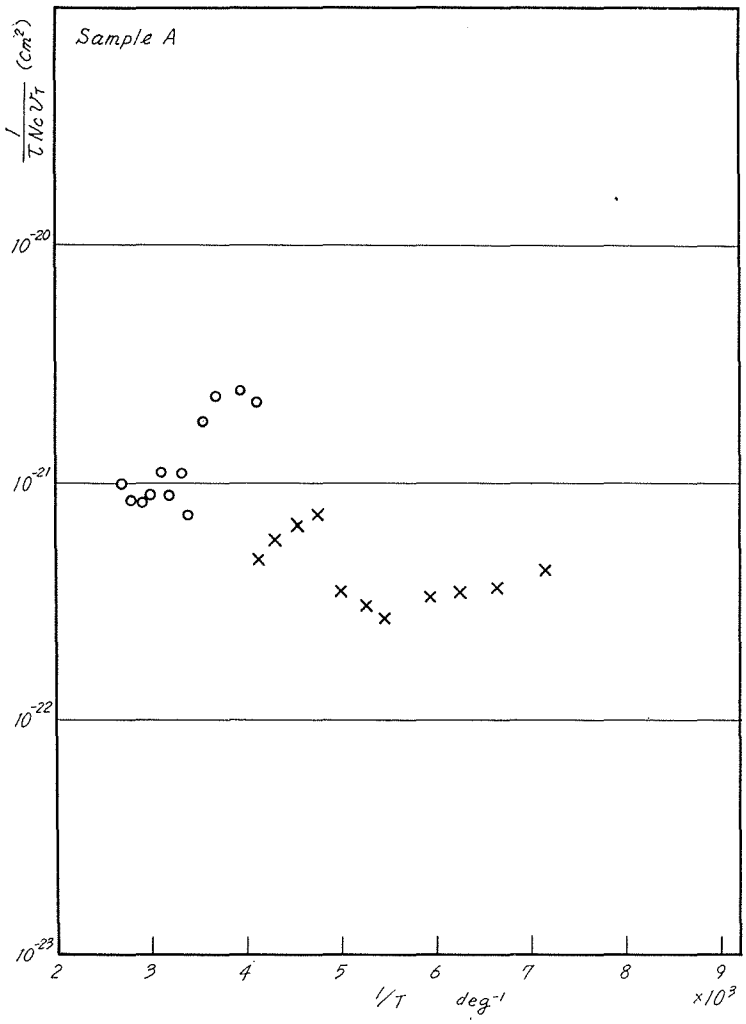

Fig. 14. $\frac{1}{\tau N_C \nu_T}$ versus $\frac{1}{T}$ for sample A

Fig. 11 から $Y=0$ に対する表面状態の密度 N_{FB} は試料 B は試料 A の約 3 分の 2 となっている。

このように電圧一容量特性からは表面状態のエネルギ準位を求める目的は達せられなかったので，パルス縦電場効果により求めることにした。

3·4 パルス縦電場効果

2·4 で述べた方法に従って試料 A, B について縦和時間 τ の温度依存性を測定した。

ここで伝導帯の実効状態密度 N_C 及び電子の熱速度 v_T は次のように表わされる[19]。

$$N_C = 2\left(\frac{2\pi m_e kT}{h^2}\right)^{3/2} = 6.04\times10^{14}T^{3/2} \qquad \mathrm{cm}^{-3}$$

$$v_T = \sqrt{\frac{8kT}{\pi m_e}} = 1.20\times10^{6}T^{1/2} \qquad \mathrm{cm/sec.}$$

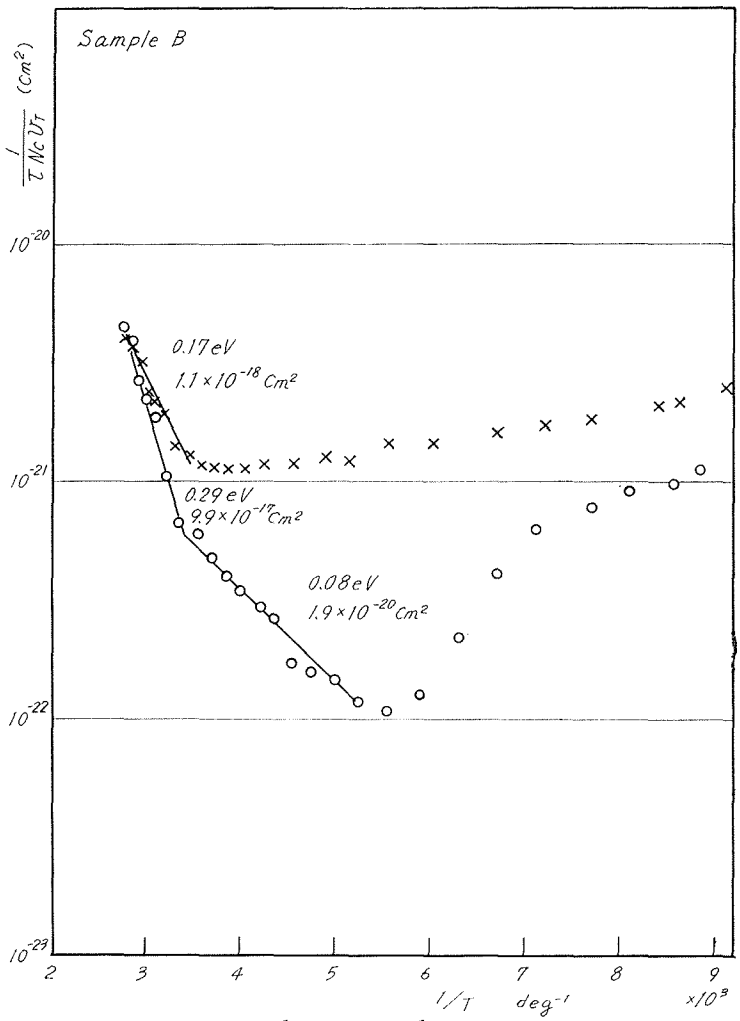

Fig. 15. $\frac{1}{\tau N_C v_T}$ versus $\frac{1}{T}$ for Sample B

$m_e = 0.25\,\mathrm{m}$： 電子の有効質量

m： 電子の静止質量

k： ボルツマン定数

h： プランク定数

T： 絶対温度

Fig. 12 に試料Aについての測定例を示す。この場合低温側ではバラつきが多く，エネルギ準位が求められないものが多くあった。試料Aについては，Fig. 13 に示すように 160°K 以下で異なった2つ以上の緩和時間が同時に観測されたが，それぞれのエネルギ準位は具体的に求まっていない。

Fig. 14 は試料Aにおいて全温度範囲で直線関係を示さない例で，○印と×印にわけてかいてあるのは Fig. 13 に示したような異なった準位についてのもので，温度によってその範囲が大きくなったり小さくなったり消えてしまったため，計算できたのがこの2つである。

Fig. 15 に試料Bに対する例を示す。低温側で傾きが逆になっているのはやはり浅い準位の存在に起因すると考えられる。これは (23) 式中の実効捕獲断面積の温度依存性は小さいものと仮定したが，浅い準位に対してはその温度依存性が無視できないための結果と考えられる。しかしながら，試料Aの場合と違って2つ以上の緩和時間が同時に観測されることはなく，また低温側で傾斜が逆になるとはいってもバラつきがないという事実は多種類の表面準位が存在するのではなく，単一の準位の存在を示していると考えられる。

Table 3 にパルス縦電場効果の測定結果をまとめる。試料Aでは 0.04 eV 以下の浅い準位がいくつか測定されているのに対して，試料Bでは多くは 0.06 eV 以上であり，0.03 eV という準位は例外的である。

Table 3. Energy levels and effective capture cross sections observed by pulsed field effect.

Sample A		Sample B	
Energy Level E_C-E_T	Effective Capture Cross Section $\gamma\sigma$	Energy Level E_C-E_T	Effective Capture Cross Section $\gamma\sigma$
0.16 eV	$2.3\times10^{-18}\,\mathrm{cm}^2$	0.37 eV	$6.8\times10^{-15}\,\mathrm{cm}^2$
0.03	6.7×10^{-21}	0.06	7.7×10^{-18}
0.23	1.5×10^{-18}	0.21	3.5×10^{-18}
0.12	2.6×10^{-20}	0.21	3.5×10^{-18}
0.04	4.6×10^{-22}	0.03	9.5×10^{-22}
0.04	3.9×10^{-19}	0.29	9.9×10^{-17}
0.25	2.2×10^{-21}	0.08	1.9×10^{-20}
0.32	1.8×10^{-17}	0.17	1.1×10^{-18}

4. 考　　察

枝川ら[1]の水蒸気中における酸化による2,000 Å以上の酸化膜の場合，順方向バイアス（金属側⊕）では，雑音—バイアス特性には300°Kで0.35 V，477°Kで0.25 Vに雑音のピークが現われ，周波数スペクトルには$1/f$雑音は300°K，476°Kのいずれの場合にも観測されない。又，逆方向では$1/f$雑音を観測している。

一方，我々の場合には前述の如く雑音測定可能な電流が流れるまで酸化膜を薄くした結果220 Åの酸化膜が得られ，これは逆方向では雑音測定不可能であった。この場合，順方向，室温で$1/f$雑音となり，雑音—バイアス特性は試料Aでは1 volt付近に雑音のピークが出来，試料Bではそれがない。雑音—バイアス特性において，Si側負のバイアスを加えることは，バルクでの電圧降下は無視できるからバルクのフェルミ準位は変わらないが，表面でのフェルミ準位が伝導帯に近づくことを意味する。従って，表面状態よりも上にフェルミ準位がくれば表面状態中に電子が捕捉されて伝導帯と電子のやりとりが行なわれなくなる。一方，温度変化に対するフェルミ準位の位置はn型60 Ω-cmのSiに対しては，Fig. 16に示すように変化する。従って，パルス縦電場効果ではFig. 17 (a). (b)に示すようにステップ電圧を加えていない時と加えた時でエネルギ帯が変化するから，ステップ電圧を加えてもなおかつフェルミ準位より下にある準位は緩和効果に寄与しない。従って，低温側では浅い表面状態，高温側では深い表面状態が観測される。

容量—電圧特性については前述の如く，我々の測定周波数10 kc/sに対して少数キャリア

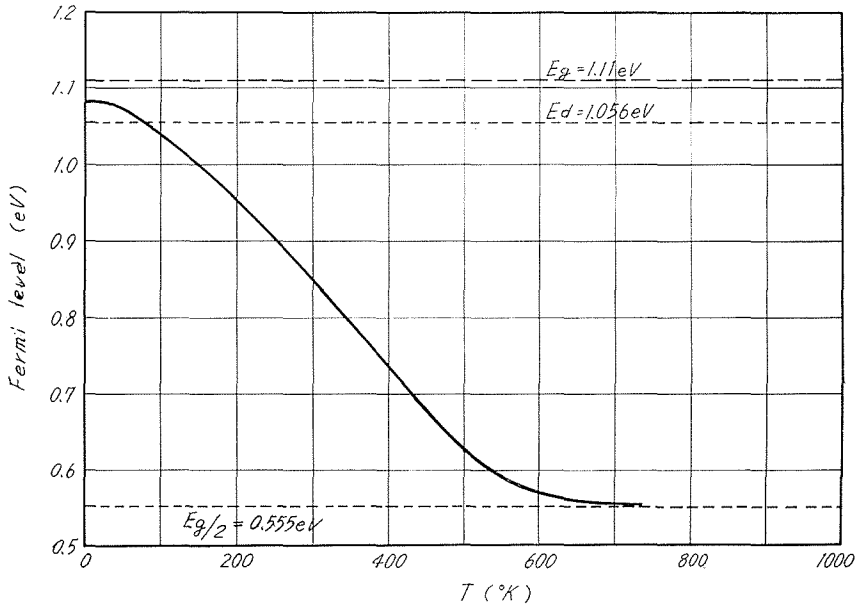

Fig. 16. Temperature dependency of Fermi level for n type Si (60 Ω. cm)

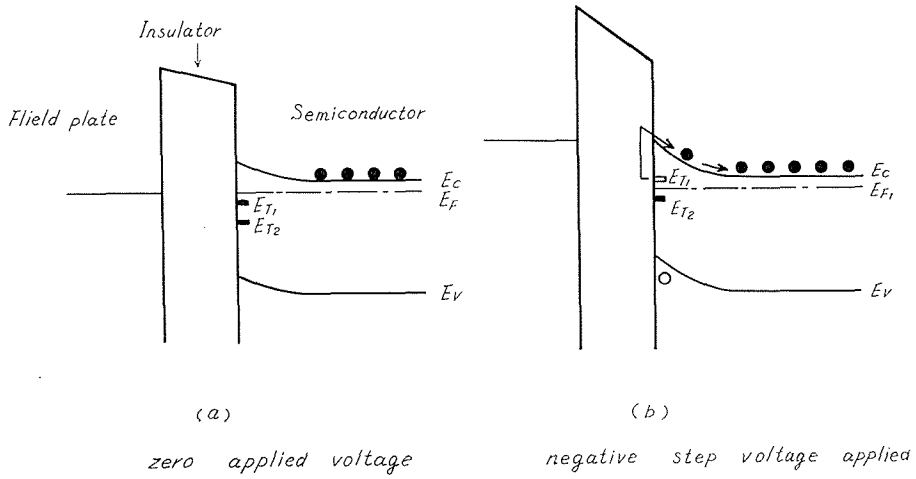

Fig. 17. Energy bands for pulsed field effect.

は既に追随していないとみなしてよい。しかし，表面状態について考えてみれば，充分に高周波とは言えないことがパルス縦電場効果よりわかる。なぜならば，パルス縦電場効果の $(\tau N_C v_T)^{-1}$ vs. T^{-1} のグラフの各々の直線部分を室温まで延長してその時の $(\tau N_e v_T)^{-1}$ の値から τ を逆算すると 100 μS 程度のものもあって，これはちょうど 10 kc/s の周波数に相当しているので，表面状態による容量を無視することが出来ないことを示している。雑音にピークを生ずるバイアス点での容量は飽和してきているので，表面電位 Y の値の読みに誤差が生じるため，浅い表面状態が求まらないことは当然であったが，深い表面状態も求め得なかったのはこのことが原因となっているのであろう。

パルス縦電場効果用の試料は測定面のみならず，裏面も 2～8 分間化学研摩したが，これは，はじめ裏面は機械研摩により鏡面仕上げしたものを使用したけれども，その時は雑音が大きくブラウン管面で表面状態の緩和時間を測定することは出来なかった。このことは裏面での表面再結合速度が大きく，表面再結合過程の遙らぎによる雑音が大きく寄与したためと考えられる。裏面をも化学研摩するとこの難点は除かれる。この化学研摩に際しては，試料 A, B を同じ厚さにするため同一のウェーファーから切出した試料では両面の化学研摩の時間の和を試料 A と B で同じにした。従って，裏面の化学研摩の時間は試料 A は試料 B よりも常に 2 分間だけ長いことになる。しかし，ウェーファーは必ずしも同じ厚さではなかったので，ウェーファーによってその時間は異なる。

以上の考察から雑音にピークの生ずるバイアス点ではフェルミ準位が伝導帯に非常に近いということ，試料 A については 0.04 eV 以下の浅い表面状態が多く存在し，試料 B については 0.06 eV 以上の深い表面状態しか存在しないことから，雑音—バイアス特性にピークを生じせしめた表面状態は 0.04 eV 以下の浅い表面状態であると結論づけることが出来る。

ここで“安定な表面”について考えてみると，一般的な意味においては雰囲気に影響され

ないということと，経時変化がないということであろう。しかし，緒論で述べた雑音・寿命・劣化などの不安定性の原因となる表面状態に限ってみれば，本来除去出来ない表面状態であれば除こうとしても無理であるが，それをいつでも一定密度におさえられれば安定と言えるし，表面処理，あるいは熱処理・BT 処理 (Bias-Temperature Treatment) などでなくすることのできる表面状態を実際に消失させることも安定化の一手段と言える。この意味で試料 B は試料 A よりも安定である。

5. 結　　論

(1) 試料 A の雑音—バイアス特性においてピークを生じたバイアス点でのフェルミ準位の位置は伝導帯の底に非常に近い。

(2) Flat band bias における表面状態の密度 N_{FB} は，試料 B では試料 A の 3 分の 2 である。

(3) 試料 A の雑音—バイアス特性にピークを生じさせた表面状態は 0.04 eV 以下の浅い準位であって，試料 B に対して行なった表面処理はそのような浅い表面状態を消失させる。従って，試料 B の表面処理の方が試料 A よりも安定な表面を得ることが出来る。

6. 謝　　辞

本稿を終るにあたり，終始有益な討論・助言を与えてくれた当研究室の小林君・道券君及び実験の一部を手伝ってくれた浜野君・稲垣君，そして御不便をかえりみずこころよく測定器具を貸して下さった工業教員養成所 (電気)，電子機器研究室，自動制御研究室の方々に深く感謝の意を表する。

参 考 文 献

1) 枝川, 森田, 前川： 信学会, 電子回路部品材料研専資料 (1965. 1. 23).
2) Atalla, M. M.: Bell Sys. Tech. J., **38**, 749 (1959).
3) 前田正雄： 電極の化学, 314 (昭 36) 技報堂.
4) Shockley, W. and Pearson, G. L.: Phys. Rev., **74**, 232 (1948).
5) Plummer, A. R.: The Electrochemistry of Semiconductors, 73 (1963) Academic Press.
6) Terman, L. M.: Solid State Electronics, **5**, 285 (1963).
7) Lehovec, K. and Slobodskoy, A. et al.: Phys. Stat. Sol., **3**, 447 (1963).
8) Grove, A. S. and Sah, C. T. et al.: Solid State Electronics **8**, 145 (1965).
9) Horiuchi, S. and Shibata, K. et al.: Japan. J. appl. Phys., **4**, 394 (1965).
10) Montgomery, H. G. and Brown, W. L.: Phys. Rev., **103**, 865 (1956).
11) 佐藤, 川路, 小林： 通研実報 **13-3**, 389 (1964).
12) Low, G. G. E.: Proc. Phys. Soc., **68 (B)**, 1154 (1955).
13) Rupprecht: Annals of New York Academy of Science **101**, 960 (1963).
14) Sawamoto, J. et al.: Japan. J. appl. Phys., **5**, 191 (1966).
15) Forlani, F. and Minaja, N.: Phys. Stat. Sol., **5**, 407 (1964).

16) Holmes, P. J.: The Electrochemistry of Semiconductors, 330 (1962) Academic Press.
17) Lindner., L.: Bell Syst. Tech. J., **41**, 803 (1962).
18) Shochley, W.: Bell Syst. Tech. J., **28**, 435 (1949).
19) Kittel, C.: Introduction to Solid State Physics, 2nd Ed., 356 (1956) Wiley.
20) 前田正雄: 電子物性大要. 97 (昭41) 養賢堂.