



HOKKAIDO UNIVERSITY

Title	シリコンMOSダイオードの表面状態の研究
Author(s)	前田, 正雄; Maeda, Masao; 小林, 敬三 他
Citation	北海道大學工学部研究報告, 44, 93-112
Issue Date	1967-09-05
Doc URL	https://hdl.handle.net/2115/40835
Type	departmental bulletin paper
File Information	44_93-112.pdf



シリコン MOS ダイオードの表面状態の研究

前田 正雄*

小林 敬三*

水野 政利*

(昭和42年4月24日受理)

Studies on the Surface States of Silicon MOS Diode

Masao MAEDA

Keizo KOBAYASHI

Masatoshi MIZUNO

Department of Electronics, Faculty of Engineering,
Hokkaido University, Sapporo, JAPAN

(Received April 24, 1967)

Abstract

The studies on the surface states at the interface between silicon dioxide and silicon are very important in the fabrication of electronic devices. A considerable amount of work has been reported on this subject, but the density, the energy level and origin of the surface states are not fully understood. In the present report, the surface states of silicon MOS diode oxidized at a high temperature range were studied by the use of the MOS capacitance method. The surface states lie at 0.06, 0.25 and 0.35 eV above the centre of the forbidden band, and their density is of the order of $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$.

Further, the influence of B. T. (bias-temperature) treatment, heat treatment and Na^+ ion contained in the oxide film were also investigated.

The main conclusions obtained are as follows;

(1) Na^+ ions, mobile charges in oxide film, are responsible for the surface states at 0.35 eV.

(2) Recrystallization of oxide film does not change the energy level of the surface state.

(3) Heat treatment at 200°C in vacuum does not change the energy level, but increases the surface state density.

目 次

1. 緒 言	94
1・1 Si-MOS ダイオードの表面状態	94
1・2 表面状態の測定方法	95

* 電子工学科固体電子工学講座

2. MOS capacitance method の理論	96
3. 実験と結果	101
3.1 実験方法	101
3.2 表面状態の実験結果	103
3.3 BT 処理の表面状態に及ぼす影響	103
3.4 熱処理の表面状態及び Si 酸化膜に及ぼす影響	106
3.5 0.35 eV の表面状態に及ぼす Na^+ の影響	107
4. 考察	108
5. 結論	111

1. 緒 言

1.1 Si-MOS ダイオードの表面状態

半導体の表面状態には完全結晶の周期性が表面で終結することによって生じるその結晶固有の Tamm and Shockley 型表面状態 (intrinsic surface state) と雰囲気等の外部的要因によって変り得る表面状態 (extrinsic surface state) がある。

この表面状態は接合の逆耐電圧と逆電流, 表面再結合速度, 雑音, チャンネル電流, 表面電位, トランジスターの電流増幅率及びその他の現象に密接に関連している。又外部的要因によって変り得る表面状態の存在は半導体を素子として用いる上において長期間に亘る特性の安定化を非常に困難にしていた。Si においては近年その表面に酸化被膜を作るにことにより Si 表面の安定化に役立つと同時に, 不純物拡散に際して酸化膜がマスキング作用を持つことから集積回路 (integrated circuit) のような技術を可能にした。又 Si の酸化膜を利用した MOS (metal-oxide-semiconductor) 構造はダイオード, トランジスター及びバラクター等の素子として用いられる。

このような MOS 構造に於ける Si-SiO₂ 界面の表面状態についての研究は近年活発に行なわれているが, 表面状態を特徴づけるエネルギー準位, 状態密度, 緩和時間の定量的測定には, 縦電場による表面伝導度の変化を調べる方法 (field effect method) か, MOS 構造における容量-電圧特性, すなわちいわゆる $C-V$ 特性から求める方法 (MOS capacitance method) が用いられている。

2つの測定方法の比較は次節で検討する。

MOS 構造における Si の表面状態の最初の組織的な研究は Attala¹⁾ によって行なわれた。彼は Si を 1,000°C で熱酸化して field-effect method で測定し, p-type floating zone Si について (禁止帯中央より上方に向けて測った表面状態のエネルギー準位として, -0.4 eV, 0.0 eV, 0.3 eV の表面状態を見出した。又これらの表面状態は 3,000 時間後でも変化せず安定で, slow state (緩和時間の長い表面状態) が存在しないことも報告した。禁止帯の中央付近の表面状態については Champion²⁾, 堀内³⁾ 等によっても報告されている。

Terman⁴⁾ は約 800°C で熱酸化した Si について禁止帯中で連続な、全体の密度が約 $3 \times 10^{12} \text{ cm}^{-2}$ の表面状態を報告した。

Lehovec⁵⁾ も 1,000°C で熱酸化した試料について同様の結果を得た。

Zeininger⁶⁾ も wet oxidation を行なった p-type の Si でおおよそ禁止帯の下半分に $6.5 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ の連続で一様な表面状態の存在を報告している。しかしこれは酸化膜中に一様に分布する高密度の深いトラップ準位の存在を仮定しても説明され得ることを指摘した。dry-oxidized Si では -0.15 eV に不連続な表面状態の存在を報告している。

堀内^{3),7)} は n-type Si で禁止帯の上半分, p-type Si で禁止帯の下半分を測定し, 0.24 eV , 0.0 eV , -0.13 eV 近辺, -0.32 eV , -0.45 eV の表面状態を報告した。

河村⁸⁾ も同様の実験から 0.20 eV , -0.25 eV の表面状態を見出し, 又基材 Si の結晶面の違いの状態密度への影響を調べた。以上はいずれも 800°C 以上で高温酸化した試料についての報告であるが, 沢本⁹⁾ は 200°C で低温酸化を行ない, 種々の酸化前処理の表面状態への影響を調べた。しかし 1,200°C で高温酸化した場合には伝導帯の底近辺の表面状態しか求まらなかった。

以上の他にも Si-SiO₂ 界面の表面状態について調べた報告^{10)~12)} 等があるが, これらの実験結果は表面状態のエネルギー準位においても, またその密度においても必ずしも良い一致をみていないようである。又各表面状態とその発生原因との対応はほとんどついていない。

MOS 構造における Si-SiO₂ 界面の研究は上に述べた表面状態の研究の他に, それと密接な関連をもつ酸化膜中の荷電体及びトラップ, Si 表面の不純物分布, 雑音, 電極としての金属, Si 酸化膜の結晶化及び Si-SiO₂ 界面の熱応力と歪その他の広範囲な研究がなされている。

著者らは高温酸化 n-type Si について MOS capacitance method によって表面状態を測定し 0.06 eV , 0.25 eV , 0.35 eV の 3 つの表面状態を見出し, その熱処理, BT 処理, NaCl に浸すことによって導入される Na⁺ イオンの影響から 0.35 eV のエネルギー準位をもつ表面状態の形成には酸化膜中の可動電荷である Na⁺ が重要な役割をしていることを結論した。

1.2 表面状態の測定方法

表面状態の測定方法としては MOS capacitance method, field effect method, channel 効果を調べる方法, 雑音を調べる方法, 接触電位差を調べる方法, 光学的測定に基づく方法 (光電子放出, 表面での光吸収), 高電場を加えて表面状態からのトンネル電流を測る方法等がある¹³⁾ が, 表面状態の定量的測定には MOS capacitance method, field effect method が最も有力である。MOS の Si-SiO₂ 界面における表面状態の測定も主にこの 2 つの方法に依っているので, ここで 2 つの方法の相異点を述べてみる。

2 つの方法は共に空間電荷層にバイアスを加えて surface excess を変化させるのであるが, MOS capacitance method は capacitance の変化として測定し, field effect method はバイアスと直角方向の電気伝導度の変化として測定する。従って MOS capacitance method は

field effect method における時のように表面移動度及び移動度に対する空間電荷層の厚さの影響を知る必要がない。又バイアスをかけない状態における表面電位の値を知り得る。

実験技術上においては電極が2つで済むこと、基盤の半導体を field effect method における時のように薄くする必要がない等の利点がある。

一方測定出来得る空間電荷容量の上限は直列の酸化膜容量で限定されている。その上逆転層の範囲を解析することは少数キャリアの複雑な振舞の為困難である。従って測定出来得る表面状態の禁止帯中における位置は著しく制限を受ける。比抵抗数 $+2\text{ cm}$ の n-type Si においては $0.0\sim 0.45\text{ eV}$, p-type Si においては $-0.0\sim -0.45\text{ eV}$ 程度である。

又、MOS capacitance method は酸化物-半導体界面の表面状態のみを仮定しているので、酸化膜中に分布する slow state の存在は特に表面状態の密度の測定に誤差を生ずる。MOS capacitance method は表面状態のエネルギー準位と密度を知るのに適した方法である。緩和時間の測定は $C-V$ 特性の周波数依存性を等価回路的に解析して求める方法⁴⁾があるが粗い評価しか得られない。この測定には pulse field effect method が最も直接的である。pulsed method は表面状態のエネルギー準位の測定も可能であるが、状態密度の測定は実験技術上困難である。又この方法は MOS capacitance method や D. C., A. C. field effect method における時のように逆転層が形成される迄バイアスをかけなくても解析が出来るという長所がある。逆転層が生ずる迄バイアスをかけることは禁止帯幅の広い半導体 (CdS, Ga As 等) においてはしばしば困難である¹⁴⁾。D. C., A. C. field effect method は表面状態のエネルギー準位、密度、緩和時間の3つの諸量の測定が可能である。

MOS capacitance method は主に Si-SiO₂ 系で研究されてきた。それは SiO₂ が高耐圧の良質な絶縁体となり得るからである。今後 Si 以外の半導体に SiO₂ を外部から被着した系、MIS (酸化物の代りに窒化シリコン等の絶縁体を用いた系) についても活発な研究がなされるであろう。

2. MOS capacitance method の理論

MOS 型構造の $C-V$ 特性から表面状態を測定する原理を述べる。MOS を一種のコンデンサーと考え表面状態、表面状態を形成しない酸化膜中の電荷及び金属と半導体との仕事関数の差を無視して $C-V$ 特性の理論曲線を描く。後の2つは $C-V$ 特性を V に関して一定値平行移動させるだけであるから理論曲線と実験曲線の差のうちで平行移動以外のものを解析することにより表面状態を定量的に求め得る。

次に Garrett と Brattain¹⁵⁾ の空間電荷層の理論をもとにして Lidner¹⁶⁾ が解析した MOS の $C-V$ 特性の高周波領域における理論式を以下に示す。表面の縮退していない半導体ですべての不純物がイオン化している場合、surface excess Q_{sc} は次式で与えられる。

$$Q_{sc} = \pm en_i L [\lambda(e^{-Y}-1) + \lambda^{-1}(e^Y-1) + (\lambda - \lambda^{-1}) Y]^{1/2} \quad (1)$$

但し複号は $Y < 0$; + $Y > 0$; -

- ここで e : 電子の電荷の絶対値
 n_i : 真性半導体の電子濃度
 L : $\sqrt{2\varepsilon_s e n_i \beta}$ …… デバイ距離の 2 倍
 ε_s : 半導体の誘電率
 β : $\beta = e/kT$
 k : ボルツマン定数
 T : 絶対温度
 λ : $\lambda = n_i/n_B$
 n_B : bulk の電子濃度

高周波においては少数キャリアは容量に寄与出来ないことを考慮して n 型試料に対して空間電荷容量 $C_{sc} = \beta d Q_{sc} / dY$ (Y は表面電位) を求めると次式を得る。

I) $-Y-1 > e^{-Y} \lambda^2$ (蓄積層, 空乏層) に対しては

$$C_{sc} = \frac{\varepsilon_s \lambda^{-1/2} (1 - e^Y)}{L (e^Y - 1 - Y)^{1/2}} \quad (2)$$

II) $-Y-1 < e^{-Y} \lambda^2$ (逆転層) に対しては

$$C_{sc} = \frac{\varepsilon_s \lambda^{-1/2} (-y_1 - 1)^{1/2}}{L \{y_1 - e^{1/2(Y-y_1)}\}} \quad (3)$$

III) $Y=0$ (flat band) に対しては

$$C_{sc} = \frac{\varepsilon_s}{L} \sqrt{\frac{2}{\lambda}} \quad (4)$$

ここで y_1 : $-y_1 - 1 = e^{-y_1} \lambda^2$

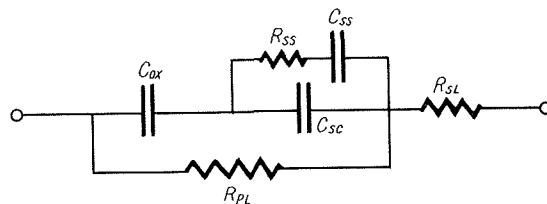


Fig. 1. (a) Equivalent circuit of the MOS diode.



Fig. 1. (b) Equivalent circuit of the MOS diode at high frequency.

C_{ox} : oxide capacitance. R_{ss} : loss resistance due to surface state.
 C_{ss} : capacitance due to surface state. C_{sc} : space charge capacitance.
 R_{pl} : parallel leakage resistance through oxide and semiconductor surface.
 R_{sl} : series loss resistance due to bulk semiconductor.

一方高周波での測定であるから MOS ダイオードの等価回路⁴⁾は Fig. 1 (b) のようになる。従って全体の容量 C_t は次式で与えられる。

$$C_t = \frac{C_{sc}C_{ox}}{C_{sc}+C_{ox}} \quad (5)$$

上式によって表面電位 Y に対する全体の容量 C_t を得る。

また表面電位と印加電圧 V との対応は表面状態、表面状態を形成しない酸化膜中の電荷及び金属と半導体との仕事関数の差を無視して次式となる。

$$V = V_s + V_{ox} = -\frac{Y}{\beta} + Q_{sc} \frac{\delta}{\epsilon_{ox}}$$

但し電圧の方向は半導体 (+), 金属 (-) を V の + の方向とした。

ここで V_s : 半導体にかかる電圧

δ : 酸化膜の厚さ

ϵ_{ox} : 酸化膜の誘電率

上式に (1) 式を代入して次式を得る。

$$V = \frac{Y}{\beta} \pm \frac{\delta}{\epsilon_{ox}} \cdot en_i L [\lambda(e^{-Y}-1) + \lambda^{-1}(e^Y-1) + (\lambda - \lambda^{-1})Y]^{1/2} \quad (6)$$

但し複号は $Y < 0$; + $Y > 0$; -

(2), (3), (4), (5), (6) 式を組み合わせ表面電位 Y をパラメーターとして, n 型半導体における印加電圧対容量の高周波における理論曲線が求められる。

Fig. 2 にこのようにして求めた, 比抵抗 $70 \Omega \text{ cm}$ Si において酸化膜の厚さ, 700 \AA の場合の理論曲線及び実験曲線の 1 例を図示した。高周波領域の測定では表面状態は容量に寄与しないから, 表面状態の影響は理論曲線を電圧軸の方向にずらすだけである。従って, 理論曲線と実験曲線において同じ容量を与える点は表面電位 Y も同じ値をとる。 Y をパラメーターとして, 同じ Y を与える電圧の差 V_a から $Q_{ss} = C_{ox}V_a$ を求めて図示したのが Fig. 3 である。

Q_{ss} は Si-SiO₂ 界面にのみ存在すると仮定した表面状態の電荷と, Y に依存しないある定数の和である。この定数は金属と半導体との仕事関数の差, 表面状態を形成しない酸化膜中の電荷によって実験曲線が理論曲線より一定電圧ずれたことによるものである。 $Y=0$ のときの V_a を V_{FB} と書いて flat band bias と称し, $N_{FB} = C_{ox}V_{FB}/e$ で定義される N_{FB} を実効表面状態電荷密度という。これらの量は表面状態の電荷密度及び表面状態を形成しない酸化膜中の電荷について定性的な知見を与える。

Fig. 3 において表面状態のエネルギー準位が不連続であると仮定し, あるエネルギー準位にある表面状態の電子が入り出す時に, 他のエネルギー準位の電子の出入りはない程充分互

に離れているものとする。又、表面状態の電子分布を Fermi 分布関数で表わし、一つの状態には電子のスピンの向きを決めて電子 1 個入れるか、あるいはスピンの向きが逆の電子が 2 個入れるものだとすると

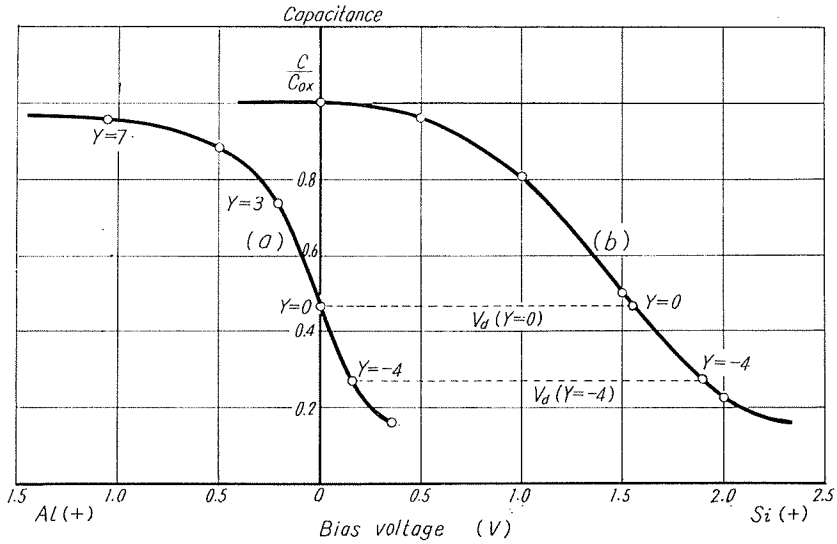


Fig. 2. Examples of C-V characteristic.
 (a) theoretical curve (b) experimental curve

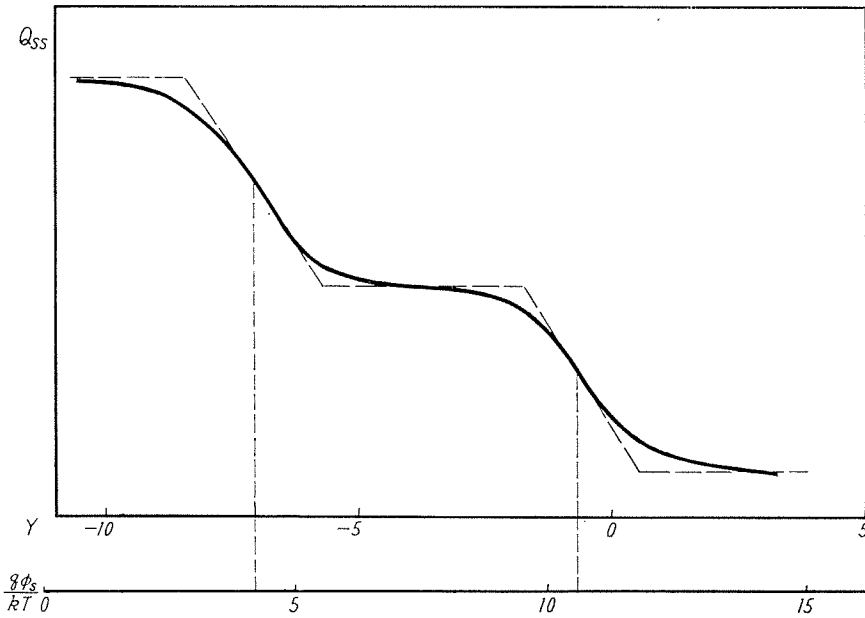


Fig. 3. Characteristic curve of Y ($\frac{q\phi_s}{kT}$) vs. Q_{ss} .

$$\left. \begin{aligned}
 Q_{SS} &= -\frac{e N_{SS}}{1 + \exp\left(\frac{E_t - E_f}{kT}\right)} + \text{const.} \\
 &= -\frac{e N_{SS}}{1 + \exp\left(\frac{E_t - E_i}{kT} - \frac{e\phi_s}{kT}\right)} + \text{const.}
 \end{aligned} \right\} \quad (7)$$

となる。ここで

N_{SS} : 表面状態の状態密度

E_t : 表面状態のエネルギー準位

E_i : 禁止帯中央のエネルギー準位

E_f : Fermi エネルギー

$$E_f = E_i + e\phi_s$$

ϕ_s : 表面における Fermi 電位と禁止帯中央の電位との差で n-type 表面の場合 (Fermi エネルギー E_f が伝導帯の底のエネルギーと E_i の間にある場合) を正にとる。

E_f は Si の比抵抗の値から求められ、 E_i は Si の禁止帯幅を $1.10 \text{ eV}^{17)}$ として求め伝導帯の底から -0.55 eV となる。Fig. 3 における横軸の Y と $e\phi_s/kT$ は、 $Y=0$ のときの $\phi_s = (E_f - E_i)/e$ を求め (bulk と同じ値をとる。), $e\phi_s/kT$ が定まり他の $e\phi_s/kT$ の点は基準点が Y とずれただけの関係になっていることから定まる。Fig. 3 における $e\phi_s/kT - Q_{SS}$ 曲線と (7) 式が一致するように $E_t - E_i$ 及び N_{SS} を定める。

(7) 式において Q_{SS} を $e\phi_s/kT$ で一階微分及び二階微分すると次式となる。

$$\frac{dQ_{SS}}{d\left(\frac{e\phi_s}{kT}\right)} = \frac{e N_{SS} \exp\left(\frac{E_t - E_i}{kT} - \frac{e\phi_s}{kT}\right)}{\left\{1 + \exp\left(\frac{E_t - E_i}{kT} - \frac{e\phi_s}{kT}\right)\right\}} \quad (8)$$

$$\frac{d^2 Q_{SS}}{d\left(\frac{e\phi_s}{kT}\right)^2} = \frac{e N_{SS} \exp\left(\frac{E_t - E_i}{kT} - \frac{e\phi_s}{kT}\right) \left\{1 - \exp\left(\frac{E_t - E_i}{kT} - \frac{e\phi_s}{kT}\right)\right\}}{\left\{1 + \exp\left(\frac{E_t - E_i}{kT} - \frac{e\phi_s}{kT}\right)\right\}^3} \quad (9)$$

(8), (9) 式に $E_t - E_i = e\phi_s$ を代入すると、

$$\frac{dQ_{SS}}{d\left(\frac{e\phi_s}{kT}\right)} = \frac{e N_{SS}}{4} \quad (8')$$

$$\frac{d^2 Q_{SS}}{d\left(\frac{e\phi_s}{kT}\right)^2} = 0 \quad (9')$$

となる。従って Fig. 3 における $e\phi_s/kT - Q_{SS}$ 曲線の変曲点を与える $e\phi_s/kT$ の値を求め、 $E_t - E_i = e\phi_s$ によって表面状態のエネルギー準位 ($E_t - E_i$) を求める。表面状態の密度 N_{SS} は (8') 式により変曲点における接線 $dQ_{SS}/d(e\phi_s/kT)$ より求められる。

3. 実験と結果

3.1 実験方法

基材は $58 \Omega\text{-cm}$, $68 \Omega\text{-cm}$, $70 \Omega\text{-cm}$ の Floating-zone 法で作られた n-type Si 単結晶を用いた。ドナー不純物は P である。

まず (111) 面に沿って 2 mm の厚さにスライスし、片面をカーボランダムあるいはアランドムの #1,000 で研磨して後緑色酸化クロムで鏡面にした。次に約 7 mm 平方に切り出して、 $5\text{HNO}_3\text{-3HF}$ 混液で 3~4 分間室温で化学研磨を行なった。研磨後脱イオン水にて約 3 分間水洗した。次に表面をトリクレン、アルコールで充分洗浄してから高温酸化した。酸化条件は流量 360 cc/min で脱イオン水 (室温) を通した酸素ガス中で $1,000\sim 1,100^\circ\text{C}$ で 30 分から 2 時間酸化した。酸化後は室温迄急冷した。その後オーミックコンタクト側はカーボランダムあるいはアランドムの #1,000 で研磨して、試料を高温にして Al を蒸着した。対極の金属電極側は Al を蒸着し、その酸化を防ぐ為に更に Ni を蒸着した。1 個の試料には通常 4 個の金属電極をつけた。最後に導電塗料 (アルゼライト) を電極の上に塗布した。Fig. 4 に試料の形状を示す。

試料の C-V 特性の測定は Q メータ

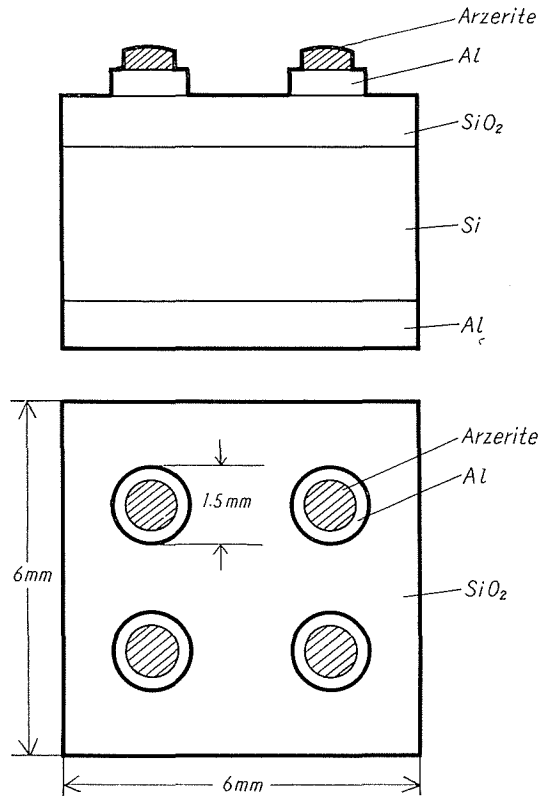


Fig. 4. Structure of MOS diode.

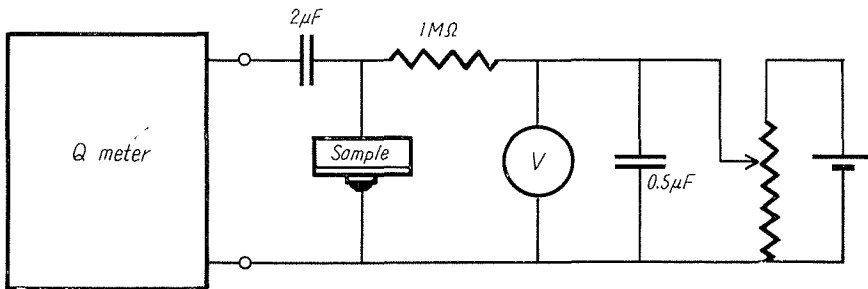


Fig. 5. Measuring circuit for the C-V characteristics.

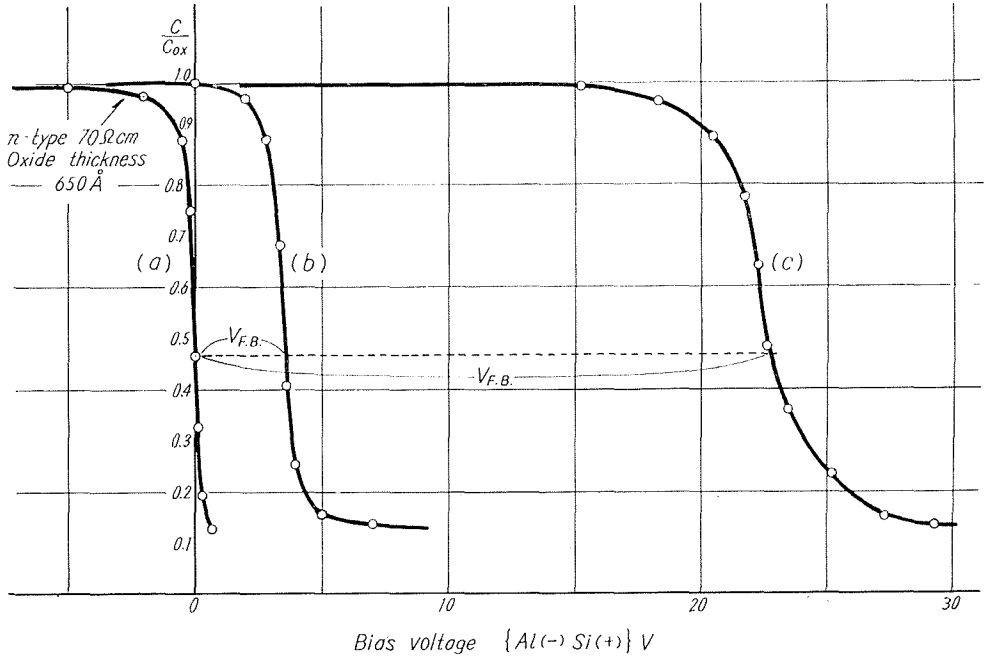


Fig. 6. Theoretical and experimental C-V characteristics.
 (a) theoretical curve. (b), (c) experimental curve.

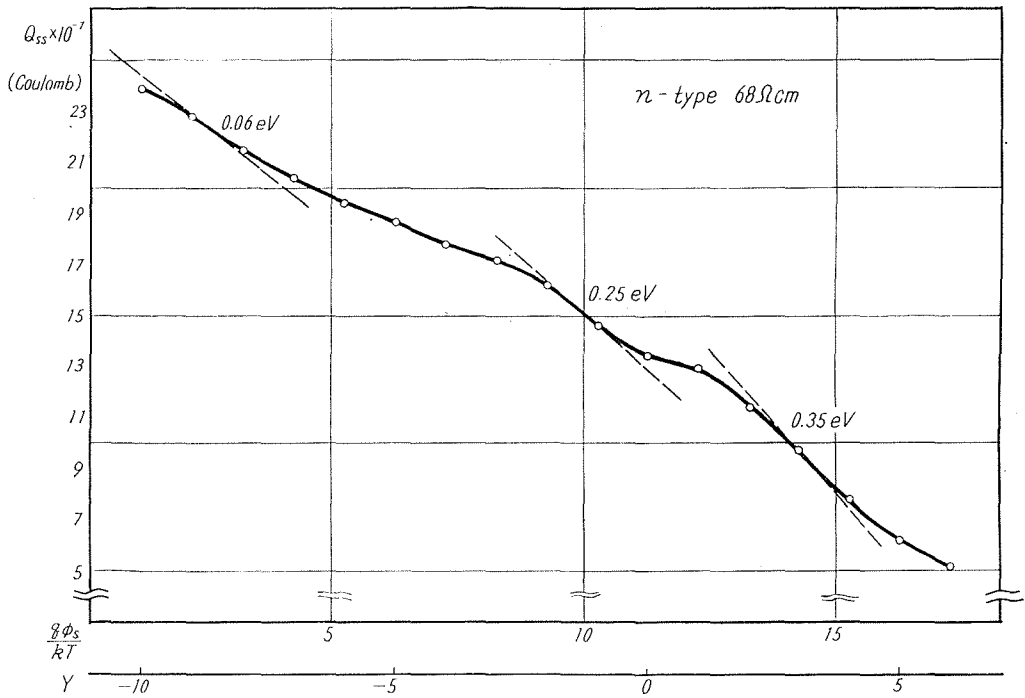


Fig. 7. curve of $Y \left(\frac{q\phi_s}{kT} \right)$ vs. Q_{ss} .

を用いた。測定周波数は 800 kc 前後である。測定回路図を Fig. 5 に示す。測定はいずれも空気中で、室温において行なった。

3.2 実験結果

Q メーターによって測定された代表的な実験曲線及び理論曲線を Fig. 6 に示す。曲線 (b), (c) に示されているように実験曲線は試料により flat band bias $V_{F.B}$ (実験曲線で $Y=0$ の場合の印加電圧) がかなり異なっている。 $V_{F.B}$ は 4~40 V の範囲に広がり、実効表面状態電荷密度 $N_{F.B}(=C_{OX}V_{F.B}/e)$ は $6 \times 10^{11} \sim 6 \times 10^{12} \text{ cm}^{-2}$ の程度であった。理論曲線と実験曲線の差から求めた典型的な $Y-Q_{SS}$ 曲線を Fig. 7 に示す。この曲線より表面状態のエネルギー準位 $E_t - E_i$ と状態密度 N_{SS} を求めた。基材の Si の比抵抗の違いによる表面状態の差はなかった。試料による $E_t - E_i$ のバラツキは $\pm 0.02 \text{ eV}$ の範囲であるが、 N_{SS} は試料によってかなり異なっていた。

Table 1 に得られた結果をまとめておく。

Table 1. Energy level and density of surface state

	Surface state		
	I	II	III
energy level	0.06 eV	0.25 eV	0.35 eV
state density	$1 \sim 5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$	$1 \sim 7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$	$1 \sim 7 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$

3.3 BT 処理の表面状態に及ぼす影響

BT 処理 (Bias Temperature treatment) とは試料を高温にしてバイアスを加え、酸化膜に $\sim 10^6 \text{ V/cm}$ 程度の電界を加えることである。この処理により酸化膜中の可動電荷を Al-SiO₂ 界

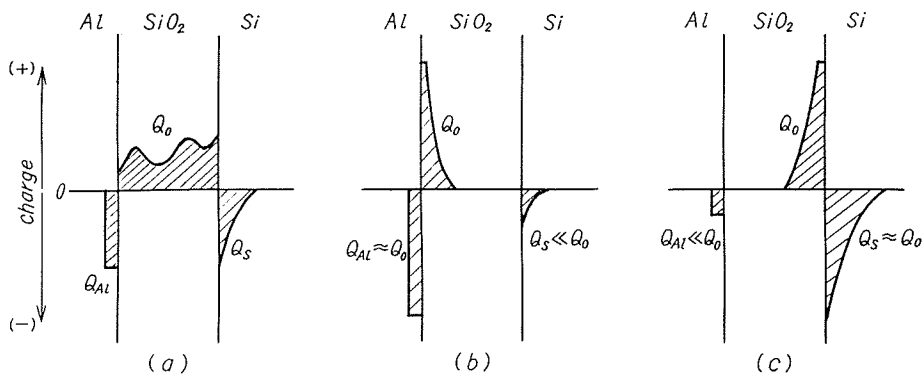


Fig. 8. Schematic representation of charge distribution.

(a) before BT treatment

(b) after BT treatment Al(-) Si(+)

(c) after BT treatment Al(+) Si(-)

Q_{Al} : charge on Al Q_0 : charge in SiO₂ Q_S : charge in Si

$$-(Q_{Al} + Q_S) = Q_0$$

面,あるいは SiO_2 -Si界面にひきよせることが可能となる。従来,酸化膜中の可動電荷 Q_0 として知られているものは正の電荷である。 Q_0 はAl電極とSi表面にそれぞれ負の電荷 Q_{Al} と Q_S を誘起し,試料全体としては $-(Q_{Al}+Q_S)=Q_0$ の中性条件を満たしている{Fig. 8 (a)}。(-)BT処理では正の可動電荷はAl-SiO₂側へひきよせられ Q_S は減少してSi表面での電子の蓄積が少なくなる{Fig. 8 (b)}。(+)BT処理{Al(+)Si(-)}では正の可動電荷はSiO₂-Si側へひきよせられ, Q_S は増加しSi表面での電子の蓄積は増大する{Fig. 8 (c)}。

1,100°Cで30分酸化した試料を200°C, 10 V (電界 $\sim 10^6$ V/cm)で1時間真空中でBT処理した場合のC-V特性の変化をFig. 9に示す。BT処理前,(-)BT処理後,(+)BT処理後のC-V特性をそれぞれ(a),(b),(c)の曲線で示す。これはそれぞれFig. 8の(a),(b),(c)の場合のような電荷分布に対応する。

Table 2にそれぞれのC-V特性から求めた表面状態を示す。表面状態のエネルギー単位

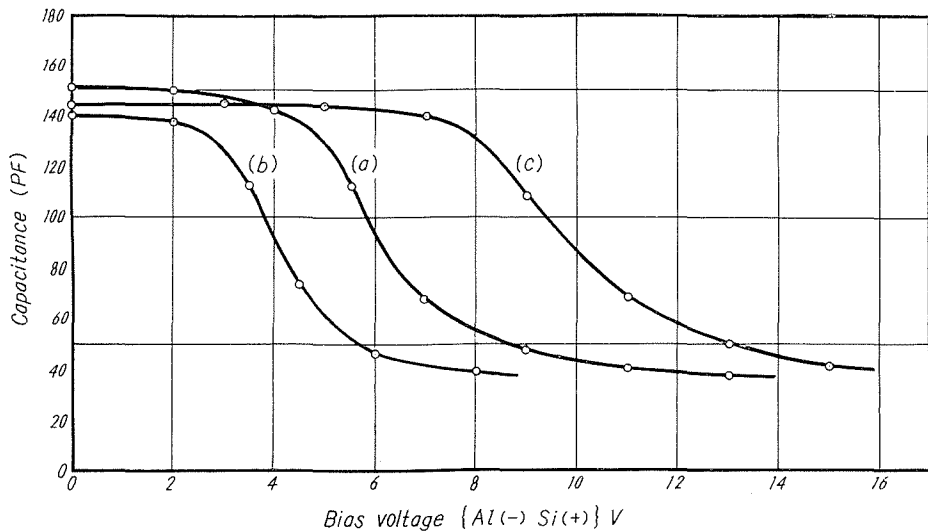


Fig. 9. Effect of BT treatment on the C-V characteristics.

- (a) before BT treatment
- (b) after BT treatment {Al(-) Si(+)}
- (c) after BT treatment {Al(+) Si(-)}

Table 2. Effect of BT treatment on the surface state.

BT treatment	Surface state					
	I		II		III	
	energy level (eV)	state density ($\text{cm}^{-2} \text{eV}^{-1}$)	energy level (eV)	state density ($\text{cm}^{-2} \text{eV}^{-1}$)	energy level (eV)	state density ($\text{cm}^{-2} \text{eV}^{-1}$)
(a) before BT treatment	0.06	1.7×10^{11}	0.23	4.6×10^{11}	0.32	2.7×10^{11}
(b) after BT treatment {Al(+) Si(-)}	0.06	1.6	0.26	3.7		3.7
(c) after BT treatment {Al(+) Si(-)}	0.04	1.6	0.24	2.5	0.35	2.5

にいくらかバラツキがあるが、測定の精度から見て同一の表面状態であると考えてよい。特に注目すべきことは III の 0.35 ± 0.02 eV のエネルギー準位をもつ表面状態が、(+)BT 処理で状態密度が増加し (-)BT 処理で消滅することである。

この実験結果は BT 処理における可動電荷の移動によるのか、BT 処理の際単に熱を加えられたことによるのかを調べる為に、次に熱処理による表面状態の変化を調べた。

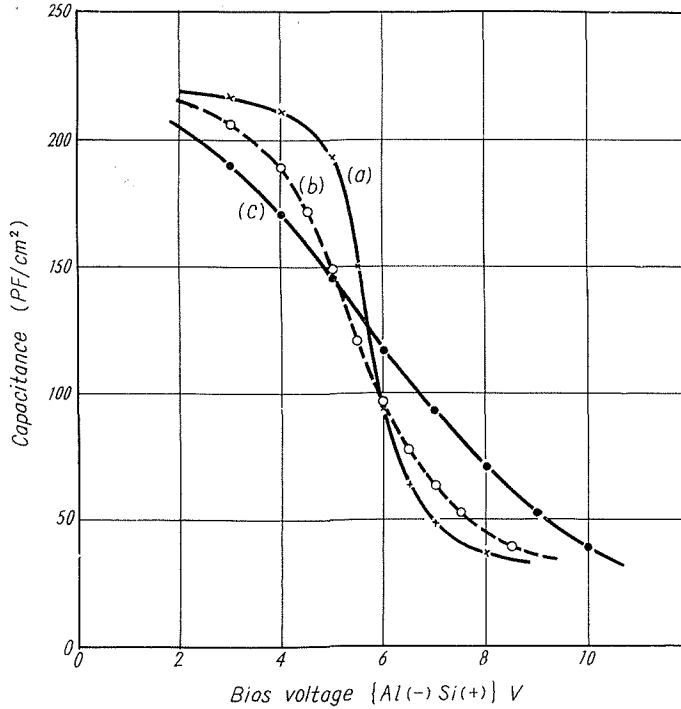


Fig. 10. C-V characteristics after heat treatment at 200°C in the vacuum.

(a) heat treatment 1 hr. (b) heat treatment 2 hr. (c) heat treatment 7 hr.

Table 3. Effect of heat treatment on the surface state

Sample	heat treatment	Surfac state					
		I		II		III	
		energy level (eV)	state density ($\text{cm}^{-2} \text{eV}^{-1}$)	energy level (eV)	state density ($\text{cm}^{-2} \text{eV}^{-1}$)	energy level (eV)	state density ($\text{cm}^{-2} \text{eV}^{-1}$)
No. 1	before heat treatment	0.06	2.1×10^{11}	0.26	1.5×10^{11}	0.34	1.2×10^{11}
	heat treatment 1 hr	0.10	2.3×10^{11}	0.24	1.8×10^{11}	0.32	1.7×10^{11}
No. 2	before heat treatment	0.10	5.0×10^{10}	0.24	1.4×10^{11}	0.38	2.4×10^{11}
	heat treatment 2 hr	0.10	1.4×10^{11}	0.26	3.8×10^{11}	0.36	6.8×10^{11}
No. 3	before heat treatment	0.10	3.9×10^{11}	0.26	2.5×10^{11}	0.34	3.3×10^{11}
	heat treatment 7 hr	0.08	1.4×10^{12}	0.29	6.7×10^{11}	0.33	6.8×10^{11}

3.4 熱処理の表面状態及び Si 酸化膜に及ぼす影響

1,100°C で 30 分酸化した試料を真空中、200°C で 1 hr., 2 hr., 7 hr. 熱処理した場合の $C-V$ 特性に及ぼす影響を Fig. 10 に示し表面状態に及ぼす影響を Table 3 に示す。この熱処理条件は、BT 処理における条件と一致するようにした。

Table 3 の結果より熱処理の効果は表面状態のエネルギー準位を変えないが、状態密度を増加させることを知った。この傾向は熱処理時間を長くする程顕著である。従って、熱処理の効果として (一) BT 処理による 0.35 ± 0.02 eV の表面状態の消滅を説明することは出来ない。BT 処理による酸化膜中の可動電荷の移動が本質的要因であると考えられる。

又、熱処理の Si 酸化膜の結晶構造に及ぼす影響を反射法による電子回折で調べた。

Fig. 11 に熱処理前と熱処理後の回折像を示す。図には示さなかったが熱処理 1 時間でも、熱処理前と同様回折環はあらわれなかった。

高温酸化で得られる Si 酸化膜は枝川¹⁸⁾、菅野¹⁹⁾等の報告を除いては非晶質であると云われている。著者らの実験結果も熱処理前、あるいは 1 時間程度の熱処理では非晶質で、熱処理 2 時間以上では α -quartz の多結晶構造をとることを知った。熱処理の表面状態に及ぼす影響と酸化膜に及ぼす影響



(a)



(b)



(c)

Fig. 11. Electron diffraction patterns of SiO_2 .

- (a) before heat treatment
- (b) after heat treatment 1 hr.
- (c) after heat treatment 2 hr.

とを対照させてみると酸化膜の結晶化は禁止帯中央から上方の表面状態のエネルギー準位には影響を及ぼさないことがわかる。

3.5 0.35 eV の表面状態に及ぼす Na^+ の影響

3.3 節と 3.4 節に述べた BT 処理と熱処理に関する実験結果から、酸化膜中の可動電荷が 0.35 eV のエネルギー準位をもつ表面状態の形成に重要な役割を演じていることを知った。

酸化膜中の荷電体として従来知られているものは正の荷電体で、酸素空孔、 Na^+ 等のアルカリイオン、 H_2O を含んだ酸素中に生ずる H^+ 等がある。BT 処理による C-V 特性の変化もこれらの荷電体が原因であるとされているが、いずれの荷電体が原因になっているかは種々の説^{20)~23)} 等があって明確ではない。著者らはどの荷電体が 0.35 eV のエネルギー準位をもつ表面状態を形成しているかを知る為、まず Na^+ の 0.35 eV の表面状態に及ぼす影響を調べた。

実験方法としては、1,100°C、1 時間酸化した試料に直ちに Al を蒸着した試料と、酸化後 NaCl 飽和溶液中に約 5 分間浸してその後 Al を蒸着した試料を用いた。まず表面状態を測定し、(+) BT 処理 {Al(+), Si(-)} で 20 V の電圧を与え、真空中にて 200°C で 1 時間 BT 処理後、もう一度表面状態を測定して、0.35 eV の表面状態の状態密度の変化を調べた。Fig. 12 に

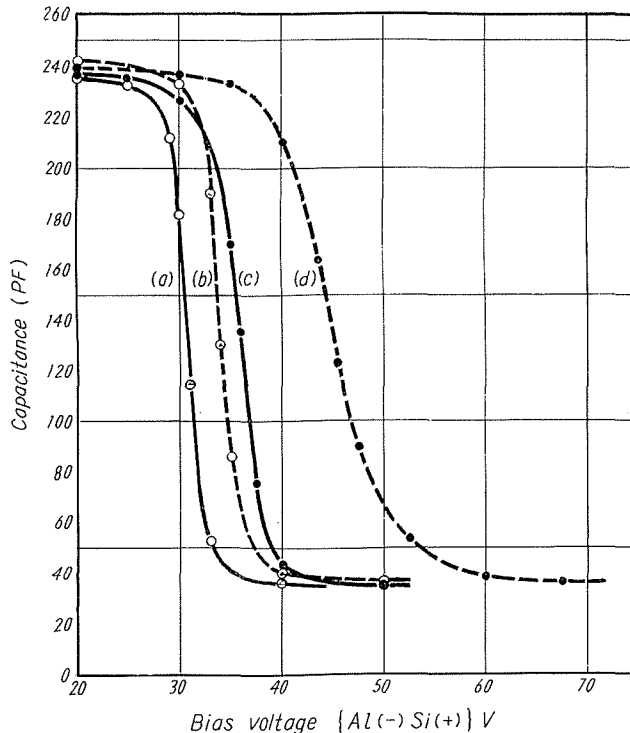


Fig. 12. Effect of Na^+ on the C-V characteristics.

- No. 2 the sample dipped in NaCl before evaporation of ohmic contact
 No. 3 the sample without dipping treatment
 (a) sample No. 3 before BT treatment (b) sample No. 2 before BT treatment
 (c) sample No. 3 after BT treatment (d) sample No. 2 after BT treatment

Table 4. Influence of the Na^+ on the surface state density at 0.35 eV

Sample		State density of the surface state at 0.35 eV		
		before BT treatment ($\text{cm}^{-2} \text{eV}^{-1}$)	after BT treatment ($\text{cm}^{-2} \text{eV}^{-1}$)	increment by BT treatment ($\text{cm}^{-2} \text{eV}^{-1}$)
sample dipped in NaCl	No. 1	2.9×10^{11}	9.6×10^{11}	6.7×10^{11}
	No. 2	2.8×10^{11}	1.1×10^{12}	7.9×10^{11}
no dipped sample	No. 3	3.1×10^{11}	6.7×10^{11}	3.7×10^{11}
	No. 4	2.5×10^{11}	8.4×10^{11}	3.4×10^{11}

BT 処理前と BT 処理後の C - V 特性を示した。NaCl に浸した試料の方が、浸さない試料より BT 処理によるバイアス軸のずれは大きい。

Table 4 に得られた結果をまとめておく。BT 処理前は No. 4 の試料を除いては NaCl に浸した試料でも浸さない試料でもほぼ同じ状態密度である。BT 処理すると状態密度は増加する。しかし NaCl 飽和溶液中に浸した試料の方が浸さない試料にくらべて状態密度の増加は約 2 倍である。これは NaCl 飽和溶液中に浸した際に吸着した Na^+ が BT 処理中に酸化膜中を移動して Si-SiO₂ 界面に到達し、0.35 eV の表面状態の密度を一層増加させたものである。NaCl 飽和溶液中に故意に浸さない試料でも Na^+ の混入がある為、0.35 eV の表面状態の状態密度が増加したものと考えられる。

上記の実験結果より、酸化膜中の可動電荷である Na^+ が、0.35 eV のエネルギー準位をもつ表面状態の形成に重要な役割をしていることがわかる。

4. 考 察

上に得られた結果と、Attala¹⁾、堀内³⁾及び河村⁸⁾の結果を比較して Table 5 に示す。但し禁止帯の中央より上方のエネルギー準位をもつ表面状態のみを記した。Attala, 堀内及び河村

Table 5. Surface state reported by various authors

Author	Method	Surface state	
		energy level (eV)	state density ($\text{cm}^{-2} \text{eV}^{-1}$)
Attala et al.	field effect method	0.0	$\sim 10^{10}$
		0.3	$\sim 10^9$
Horiuchi et al.	MOS capacitance method	0.0	4×10^{11}
		0.24	1×10^{11}
Kawamura	method	0.20	7×10^{10}
This Work	MOS capacitance method	0.06 ± 0.02	$1 \sim 5 \times 10^{11}$
		0.25 ± 0.02	$1 \sim 7 \times 10^{11}$
		0.35 ± 0.02	$1 \sim 7 \times 10^{11}$

らの求めた表面状態とその発生原因との対応はわかっていない。本実験で得た 0.06 eV と 0.25 eV の表面状態はその状態密度も考え合わせると、堀内の報告している 0.0 eV 及び 0.24 eV の表面状態と同一のものであると思われる。

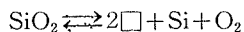
われわれの得た従来報告されていなかった 0.35 eV の表面状態は、酸化膜中の可動電荷である Na^+ が重要な形成原因になっていることを知った。 Na^+ はガラス容器、ピンセット及び酸化装置 (ゴム管, ガラス管) 等から混入したものと考えられるが、そのコントロールは非常に困難である。

同一条件で作製した試料でも、試料作製日の違いにより実効表面状態電荷密度が $10^{11} \sim 10^{12} \text{ cm}^{-2}$ の間の種々の値が観測された。この原因としては、基材の Si 結晶面が (111) 面から傾いていること、 Na^+ 等の不純物混入度の違い、wet oxidation における H_2O の分圧の違い (H_2O を多く含む程、Si 表面には電子が多く蓄積される²⁴⁾。), 及び Si の研磨面の状態、特に roughness の違い等が考えられる。これらはいずれも実験の際コントロールしにくかったものである。しかしながら、どの過程が実効表面状態電荷密度の変化における支配的原因になっていたかは著者らの実験では明らかではなかった。

次に表面状態を測定した後、BT 処理をした理由について述べる。従来、高温酸化 Si MOS ダイオードでは、0.35 eV の表面状態の存在は報告されていなかった。従って著者らの実験で測定されたこの表面状態は Si-SiO₂ 界面に固有な表面状態ではなく、外部的要因によって生じた表面状態であることが予想された。もし、酸化膜中の可動電荷 (酸素空孔, Na^+ , H^+ 等) に基因する表面状態なら BT 処理により著るしい影響を受けるであろう。即ち可動電荷が Al-SiO₂ にひきよせられた状態では表面状態は観測されないであろうし、SiO₂-Si 界面にひきよせられた状態では表面状態の密度は著るしく増加するであろう。このような予想のもとに BT 処理を行ない、予期通りの結果を得た。

最後に酸素空孔の表面状態への影響を調べる為に、低圧で酸化した実験について触れておく。これは未だ実験途上の段階で定量的実験結果が得られてないので第 3 章には記さなかった。

従来考えられているように^{19), 26)}, 酸素イオンが酸素空孔を媒介にして Si 界面へ移動し SiO₂ を形成するとすれば、酸化反応は次式に従う。



但し \Box : 酸素イオン空孔

質量作用の法則から

$$P_{\text{O}_2} \cdot C_{\Box}^2 = \text{const.}$$

$$\therefore C_{\Box} \propto P_{\text{O}_2}^{-1/2}$$

但し C_{\Box} : 酸素空孔濃度, P_{O_2} : 酸素圧

即ち、酸素空孔の濃度は酸素圧の $-1/2$ 乗に比例するという結果を得る。

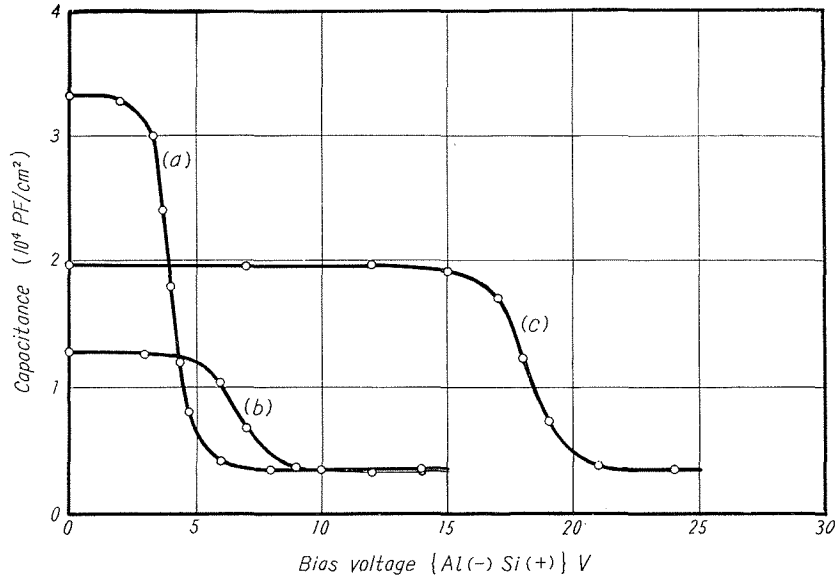


Fig. 13. Effects of oxygen pressure on the C-V characteristics.

- (a) 120 mmHg 1,100°C 1.5 hr. $N_{SS}=9.9 \times 10^{11} \text{ cm}^{-2}$
 (b) 120 mmHg 1,100°C 4 hr. $N_{SS}=3.1 \times 10^{11} \text{ cm}^{-2}$
 (c) 770 mmHg 1,100°C 1.5 hr. $N_{SS}=1.3 \times 10^{12} \text{ cm}^{-2}$

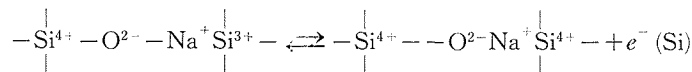
Fig. 13 (a), (c) に 120 mmHg と 770 mmHg で 1,100°C, 1 時間半低圧酸化した場合の C-V 特性を示す。酸素空孔濃度の比は 2.54:1 となる。低圧の方が酸化速度が遅い為、酸化膜厚が薄くなり容量が大きい。実効表面状態電荷密度 N_{SS} が 120 mmHg で $8.7 \times 10^{11} \text{ cm}^{-2}$, 770 mmHg で $2.3 \times 10^{12} \text{ cm}^{-2}$ と大きな差がある。120 mmHg における酸化時間を 4 時間とし、酸化膜を厚くした場合 {Fig. 13 (b)} でも $N_{SS}=5.5 \times 10^{11} \text{ cm}^{-2}$ で同様の差が認められた。したがって表面状態の密度に対する酸化膜厚の影響は小さいと考えてよい。酸素圧の影響はきわめて顕著である。

低圧で酸化した場合に実効表面状態電荷密度 N_{SS} が減少する原因と考えられるものは、

(1) 低圧の為に外部から Na^+ 等の不純物イオンが入りにくくなり、それがドナー型表面状態密度を減少させた。その結果 Si 表面での電子の蓄積が少なくなった。

(2) 酸素空孔はアクセプター型表面状態を形成すると想定する¹⁾。従って、低圧にすることにより酸素空孔の濃度を増し、それがアクセプター型表面状態密度を増加させた。その結果 Si 表面での電子の蓄積が減少した。

(3) Kooi²⁶⁾ の model によれば、Si 表面で電子の蓄積層が出来る原因は酸化膜中の Na^+ イオンで、 SiO_2 が Na によって還元された形になっており Na^+ イオンは Si 表面の電子によって中和されると考える。



上の反応は酸化の過程に関連しているから、酸化速度が遅くなる程減少する。即ち Si 表面における電子の蓄積は少なくなる。

低圧にすると酸化速度は遅くなる。(Ligenza 及び Attala¹⁾によれば、wet oxidation では、酸化速度は圧力の 4/5 乗に比例する。)

従って表面での電子の蓄積量が少なくなり、実効的表面状態密度 N_{SS} を減少させる。

上に述べた 3 つの model のいずれが原因か、あるいはその他の原因によるのかは、低圧熱酸化の表面状態、酸化速度と実効的表面状態電荷密度の関係及び酸化機構の研究をさらに詳細に行なう必要がある。

又、圧力を変えて酸化した表面について表面状態の変化を調べることは酸素空孔の作る表面状態についての情報を提供するであろう。

5. 結 論

以上の実験結果から次の結論を得た。

(1) 高温酸化した n-type Si で $E_t - E_i = 0.06$ eV, 0.25 eV, 0.35 eV の位置に 10^{11} のオーダーの状態密度をもつ表面状態が存在する。

(2) 0.35 eV の表面状態の形成には、酸化膜中の可動電荷である Na^+ が重要な役割をしている。

(3) 200°C で真空中熱処理の効果は、表面状態の位置は変えないがその状態密度を増加させる。この傾向は熱処理時間を長くする程、顕著である。

(4) Si 酸化膜は高温酸化 (1,100°C) して室温迄急冷した状態では非晶質である。しかし、200°C, 2 時間以上熱処理すると α -quartz の多結晶構造をとる。この結晶化は禁止帯の上半分の表面状態のエネルギー準位を変化させない。

今後の問題として次の点が指摘される。すなわち同一条件で作製した試料でも、実効表面状態電荷密度に著しい差が出来る原因の究明。低圧酸化における実効的表面状態電荷密度の著しい減少の原因の究明。酸素空孔濃度を酸素圧、酸化温度等によって変化させ、酸素空孔が形成する表面状態の究明等である。

謝 辞

本報告を終るに当たり、終始有益な討論、助言を与えて下さった当研究室の上田助手を始め、村野井君、道券君、電子回析像を撮っていただいた理学第 2 講座及び測定器の面でお骨折り下さった電子管講座、工業教員養成所 (電気) の方々に深く感謝の意を表します。

References

- 1) Attala, M. M. et al.: Bell Syst. tech. J., 38 (1959), p. 749.
- 2) Champion: Proc. Phys. Soc. (London), 79 (1962), p. 662.
- 3) Shiro Horiuchi: Japan. J. Appl. phys., 4 (1965), p. 233.
- 4) Terman, L. M.: Solid State Electronics, 5 (1962), p. 285.
- 5) Lehovec, et al.: Phys. Stat. Soli. 3 (1963), 3, p. 447.
- 6) Zeininger, et al.: I. E. E. E. Trans. 12. (1965), 4, p. 179.
- 7) Shiro Horiuchi: Japan. J. Appl. Phys. 4 (1965), 8, p. 613.
- 8) Nobuo Kawamura: Japan. J. Appl. Phys. 5 (1966), 3, p. 254.
- 9) Kenichi Sawamoto: Japan. J. Appl. Phys. 5 (1966), 3, p. 191.
- 10) Millia, et al.: J. Phys. Chem. Solids. 23 (1962), p. 611.
- 11) Grove, A. S. et al.: Solid State Electronics, 8 (1965), p. 145.
- 12) 垂井康夫・他: トランジスタ研究会資料 (1965. 4. 1), 電子通信学会.
- 13) Many, A. et al.: Semiconductor Surfaces p. 257 (1965), North-Holland.
- 14) Kenichi Sawamoto: Japan. J. Appl. Phys. 4 (1965), 3, p. 173.
- 15) Garrett, C. G. B.: Phys. Rev. 99 (1955), p. 376.
- 16) Lindner, R.: Bell Syst. tech. J., 41 (1962), 3, p. 803.
- 17) Kittel: In trodution to Solid State Physics, 2nd Ed., p. 351 (1956), Wiley.
- 18) Hiroshi Edagawa et al.: Japan. J. Appl. Phys. 2 (1963), 12, p. 765.
- 19) 菅野卓雄・他: トランジスタ研究会資料 (1965. 4. 1), 電気通信学会.
- 20) Snow, E. H. et al.: J. appl. Phys. 36 (1965), 5, p. 1664.
- 21) Hofstein, S. R.: I. E. E. E. Trans. 13. (1966), 2, p. 222.
- 22) Yoshio Miura et al.: Japan; J. Appl. Phys 5 (1966), 2, 130.
- 23) 河村信雄・他: トランジスタ研究会資料 (1965. 4. 1), 電気通信学会,
- 24) Kuper, A. B.: J. Electrochem. Soc. 112 (1965), 5, p. 528.
- 25) Ligenza, J. R.: J. Phys. Chem. Solids 14 (1960), p. 131.
- 26) Kooi, E. et al.: Appl. Phys. Letters, 9 (1966), 8, p. 314.