HOKKAIDO UNIVERSITY

| | |
|---|---|
| Title | トランジスタ論理回路の一構成法 |
| Author(s) | 黒部, 貞一 |
| Citation | 北海道大學工學部研究報告, 59, 35-38 |
| Issue Date | 1971-03-10 |
| Doc URL | https://hdl.handle.net/2115/41035 |
| Type | departmental bulletin paper |
| File Information | 59_35-38.pdf |

Hokkaido University Collection of Scholarly and Academic Papers : HUSCAP

# トランジスタ論理回路の一構成法

黒　部　貞　一*

(昭和45年9月30日受理)

# Development of Transistor Logic Circuit Configurations

Teiichi KUROBE

(Received September 30, 1970)


## Abstract

Generally configurations of transistor logic circuits are developed empirically. The author has attempted in this paper to establish order systematically in the usual circuits and as a result arrived at a new method to arrange or otherwise systematize the various circuits.

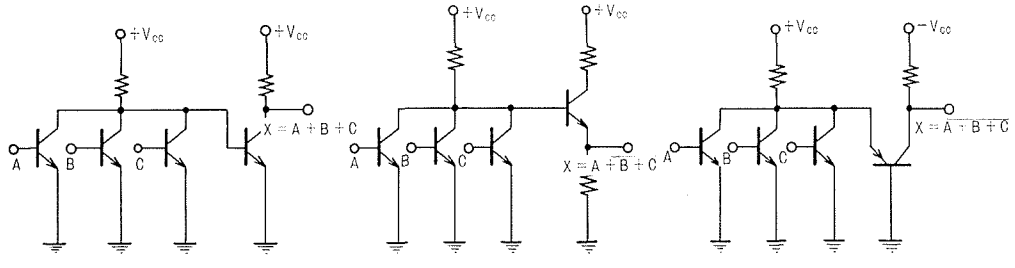
Logic circuits are divided into six classes which are grounded-emitter gates, gronded-collector gates, grounded-base gates, unsaturated circuits, speed-up circuits and large noise margin circuits.


## 1. 緒　　言

論理回路としては種々の形式があるが，集積回路では能動論理回路特にトランジスタを能動素子としたトランジスタ論理回路が望ましい。この回路構成は経験的に導かれてきたもので，特に構成法というようなものはない。筆者はこの構成法に関して，従来の回路を系統的に整理し，新しい構成法を導いた。従来用いられている回路はすべてこの方法から導かれるし，また未だ発表されていない新しい回路も導くことができる。特性の要求に応じて必要な回路構成が決定される。

## 2. エミッタ接地ゲート構成

ゲートとしてエミッタ接地トランジスタを用いた構成で，出力回路トランジスタの接地形式により，**図1**(a)(b)(c)の3種ができる。図(a)は出力回路がエミッタ接地で，OR論理を行ない，




(a)　　(b)　　(c)

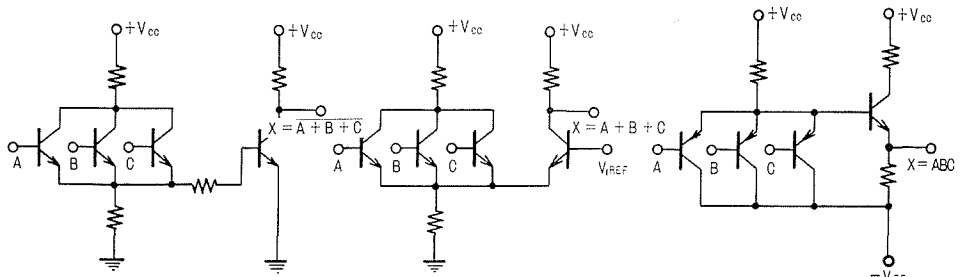
**図1**　エミッタ接地ゲート構成

DCTL回路である。図(b)は出力回路がコレクタ接地で，NOR論理を行なうが，実際には使用されていない。図(a)に比べて出力インピーダンスが低く，過渡応答が速い。図(c)は出力回路がベース接地で，NOR論理を行なうが，実際には使用されていない。出力回路の入力電流が大きいので，ファンアウトがとれない。

* 電子工学科　電子回路工学講座

### 3. コレクタ接地ゲート構成

ゲートとしてコレクタ接地トランジスタを用いた構成で，出力回路トランジスタの接地形式により，**図 2** (a) b) (c) の 3 種ができる。図 (a) は出力回路がエミッタ接地で，NOR 論理を行なうが，



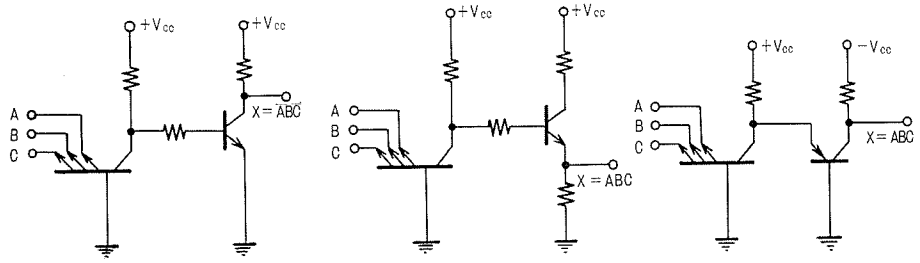

(a) (b) (c)

**図 2** コレクタ接地ゲート構成

実際には使用されていない。図 (b) は出力回路がベース接地で OR 論理を行ない，CML 回路である。1 レベルおよび 0 レベルは基準電圧 $V_{REF}$ より高い電圧と低い電圧に設定する。図 (c) は出力回路がコレクタ接地で AND 論理を行ない，CTL 回路である。過渡応答が最も速い。

### 4. ベース接地ゲート構成

ゲートとしてベース接地トランジスタを用いた構成で，出力回路トランジスタの接地形式により，**図 3** (a) (b) (c) の 3 種ができる。図 (a) は出力回路がエミッタ接地で NAND 論理を行ない，




(a) (b) (c)

**図 3** ベース接地ゲート構成

TTL 回路である。図 (b) は出力回路がコレクタ接地で，AND 論理を行なうが，実際には使用されていない。図 (a) に比べ出力インピーダンスが低く，過渡応答が速い。図 (c) は出力回路がベース接地で AND 動作を行なうが，実際には使用されていない。出力回路の入力話流が大きいので，ファンアウトがとれない。

### 5. 不飽和論理回路構成

不飽和論理回路ではコレクタ電流を飽和値以下のある値に保持しなければならないので，エミッタに直列に高抵抗を挿入することによって回路を構成する。そのとき，トランジスタのエミッタ・ベース間電圧に比べて，エミッタ抵抗の電圧降下ははるかに大きく，入力電圧の大部分はエミッタ抵抗にかかり，したがってエミッタ電流は一定値に押えられる。

図 2 (b) の CML 回路および図 2 (c) の CTL 回路はこのようにして構成されたもので，いずれも不飽和回路である。その外にも，たとえば**図 4** (a) (b) (c) のように構成することができる。図 (a)

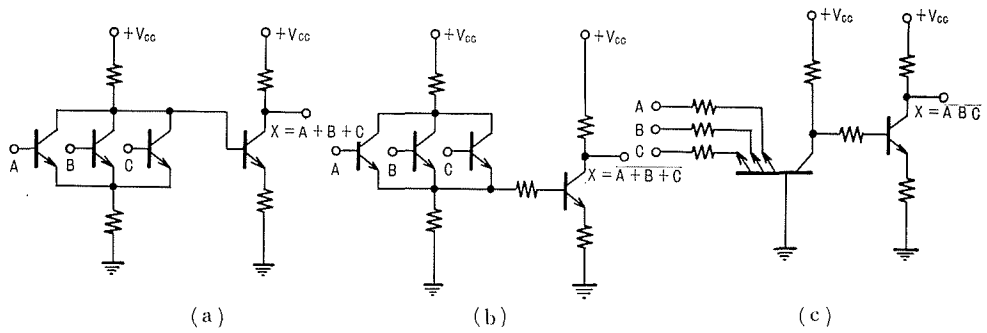



図 4　不飽和論理回路構成

は図 1 (a) の DCTL 回路のゲートトランジスタおよび出力トランジスタのエミッタ・アース間に高抵抗を挿入したもので，NTL 回路といわれるものである。図 (b) は図 2 (a) のコレクタ接地・エミッタ接地回路構成の出力トランジスタのエミック・アース間に高抵抗を挿入したもので，実際には使用されていない。図 (c) は図 3 (a) のベース接地・エミッタ接地回路構成のゲートトランジスタのエミッタに直列に高抵抗，出力トランジスタのエミッタ・アース間に高抵抗を挿入したもので，実際には使用されていない。同様にしてこの外にもいくつかの回路が構成できる。

## 6.　時定数回路構成

時定数回路構成は**図 5** (a) (b) のように，ゲートトランジスタまたは出力トランジスタのベースまたはエミッタと直列に CR 回路を挿入したものである。**図 6** (a) (b) は図 5 (a) (b) の等価回路である。図 (a) において $CR = C_i R_i$ とすれば，$V_{out}/V_{in} = -g_m R_c R_i/(R_i+R)$ となり，出力波形はと入力波形と等しく，立上り時間 0 となる。同様に図 (b) において $C_B R_B = C_i R_i/(\beta_0+1)$ とすれば，$V_{out}/V_{in} = -g_m R_c R_i/[R_B(\beta_0+1)+R_i]$ となり立上り時間 0 となる。ただし $g_m R_i = \beta_0$ である。

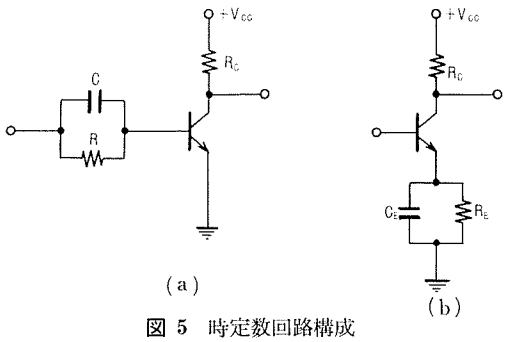



図 5　時定数回路構成

前述のエミッタ接地ゲート，コレクタ接地ゲート，ベース接地ゲートの各回路に図 5 (a) (b) のような時定数回路を挿入すれば，立上り時間の小さな回路構成ができる。たとえば図 1 (a) の DCTL 回路のベースに図 5 (a) の CR 回路を挿入したものは RCTL 回路である。なおここに挿入した $C$ または $C_B$ はスイッチ・オフのときにベースに蓄積した少数キャリヤを中和して蓄積時間を短くする作用ももつ。

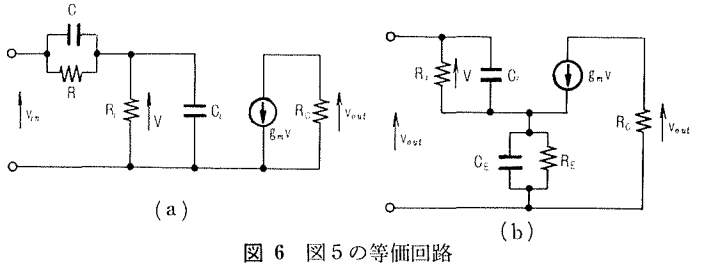



図 6　図 5 の等価回路

## 7.　出力回路構成

出力の容量負荷 $C_L$ に対して，時定数を小さくするための回路構成としては，**図 7** のように

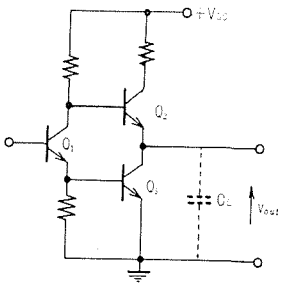



図 7 出力応答改善回路構成

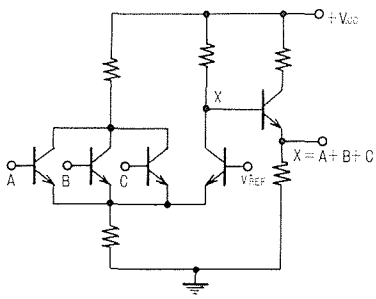



図 8 出力レベルシフト回路構成

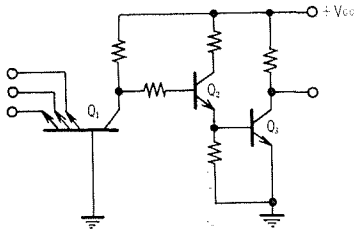



図 9 雑音余裕度改善回路構成

図 2 (a) の回路にトランジスタ $Q_2$ を挿入して，出力インピーダンスを下げることができる。このとき出力インピーダンスはエミッタ接地トランジスタ $Q_3$ とコレクタ接地トランジスタ $Q_2$ の並列となり，非常に小さな値になる。したがって時定数 $C_L R_{out}$ は小さくなり，立上り時間を速くすることができる。

出力レベルと入力レベルの間にレベル差がある場合たとえば図 2 (b) の CML 回路の場合の回路構成としては，レベルシフトトランジスタとしてエミッタフオロアを付加すればよい。すなわち図 8 のように，$X$ の後にエミッタフオロアをつけてレベルシフトを行なうとともに，回路の出力インピーダンスを下げる。

雑音余裕度を増すための回路構成としては，ゲートトランジスタと出力トランジスタの間にレベルシフト用のトランジスタを挿入すればよい。たとえば図 9 は図 3 (a) の回路にレベルシフトトランジスタ $Q_2$ を挿入したものである。$Q_1$ はゲートトランジスタ，$Q_3$ は出力トランジスタである。

## 8. 結　　言

従来のトランジスタ論理回路を統一整理し，新しい構成法を導いた。それはゲートトランジスタの接地形式による構成法，不飽和論理回路とするための構成法，立上り時間を速くするための構成法，雑音余裕度を増すための構成法などである。これらの結果，目的に合った新しい回路の構成が期待できる。