HOKKAIDO UNIVERSITY

Title	CdSe真空蒸着膜の諸性質
Author(s)	酒井, 修; 小川, 吉彦; 黒部, 貞一
Citation	北海道大學工學部研究報告, 72, 61-71
Issue Date	1974-09-14
Doc URL	https://hdl.handle.net/2115/41225
Type	departmental bulletin paper
File Information	72_61-72.pdf

Hokkaido University Collection of Scholarly and Academic Papers : HUSCAP

北海道大学工学部研究報告
第72号（昭和49年）

Bulletin of the Faculty of Eugineering,
Hokkaido University, No. 72 (1974)

"CdSe 真空蒸着膜の諸性質"

酒井　修　小川吉彦　黒部貞一

（昭和49年3月30日受理）

The Properties of Vacuum Deposited CdSe Films

Osamu SAKAI　Yoshihiko OGAWA　Teiichi KUROBE

(Received March 30, 1974)

Abstract

This paper presents the crystallographic and electrical properties of CdSe films prepared by a vacuum evaporation.

we employed electron diffraction and x-ray diffraction patterns to analyze the structure of the CdSe films.

The Hall effect and resistivity measurements were carried out for these films at various substrate temperatures. Furthermore, temperature dependence of resistivity from room temperature to liquid nitrogen temperature and photoconductivity characteristics were investigated for the samples under different conditions of evaporation and heat treatment processes. From the result of these measurments, we have discussed the conduction mechanism of CdSe films using a band model.

1. はじめに

CdSe は II-VI 族化合物半導体であり，CdS と並んで著しい光導電特性を示すことで知られている。近年，これらの CdS, CdSe 蒸着膜を用いた TFT (Thin Film Transistor) が試作され，薄膜集積回路の能動素子として実用化の期待がもたれている。

このように光導電素子あるいは TFT として注目されている CdSe 蒸着膜について，将来の応用を目的として，結晶学的，電気的あるいは光学的性質を調べ蒸着膜の最適の生成条件を求めようとした。まず，X 線・電子線回折によって CdSe 蒸着膜の結晶性，結晶形などを調べた。また，ホール効果，比抵抗の測定を種々の基板温度の試料に対して行った。さらに低温での比抵抗の温度依存性を調べ，これらの電気的測定の結果を CdSe 蒸着膜にバンド理論を適用することによって説明を試みた。

2. 試料の製作方法[1),2)]

2.1 蒸着装置

図 2.1-1 に蒸着装置の概略を示す。蒸発源にはアルミナ・コーティング・タングステン・ルツボを使用した。また，基板のガス出しと蒸着時の基板温度の制御のために図のような電気炉を使用した。基板温度の測定は基板の蒸発源に対して反対側から Pt-PtRh 熱電対を接触させて行っ

電子回路工学講座

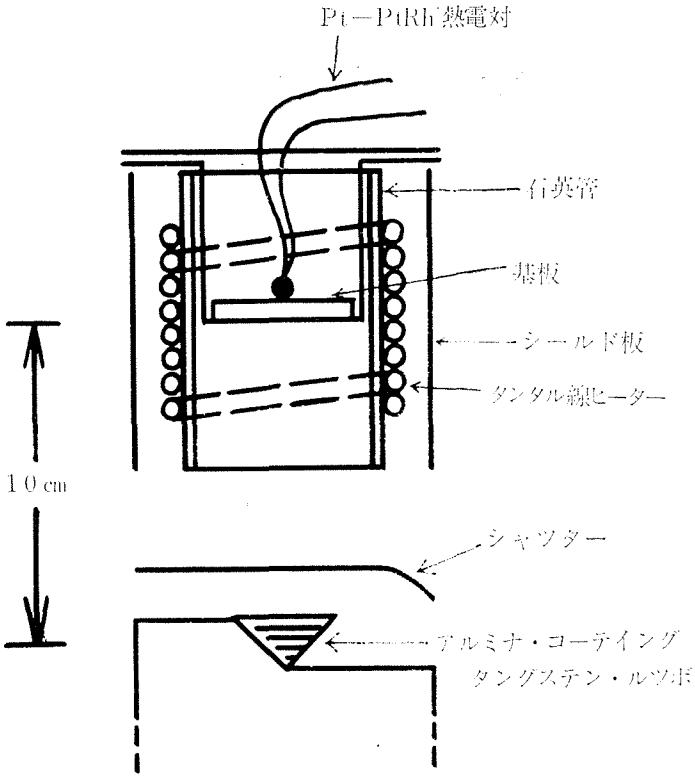


図2.1—1　蒸着装置

た。蒸発源のガス出し中はシャッターによって基板の汚染を附いだ。ルツボは基板の真下に約10 cm の距離をもつようにセットした。

2.2　基板と蒸発源材料

基板としては18×18 mm のマイクロ・カバー・ガラスを使用した。これらの基板の洗浄は化学洗浄と蒸着直前に行われるガス出しすなわち熱洗浄の2種類行った。

蒸発源材料は高純度(5 N)の CdSe 粉末(YAMANAKA CHEMICAL INDUSTRIES LTD.)を用いた。

2.3　蒸着方法

まず，蒸着直前に約300°C で20～30 分，基板のガス出しを行ったが，これは蒸着膜の基板に対する付着強度に相当，影響があるようである。また，同じように蒸発源のガス出しも行った。

蒸発源の温度は600～650°C とし，蒸着速度は100～300 Å/分以下になるように制御した。蒸着速度をこのように小さくしたのは蒸着膜の基板への付着強度や物理的性質が良好となるといわれていることを考慮したからである。

基板のガス出しは真空度が 3×10^{-5} mm Hg に達してから開始し，真空度が再びこの値以下になったところで蒸着を行った。

2.4　熱処理方法

熱処理を行うことによって蒸着膜の特性を向上させることは一般に広く行われている。これら熱処理には不活性ガスその他の雰囲気中で数百°C，数時間の加熱を行う方法，不純物を導入して再結晶化を促進させる方法などがあるが，本研究では不純物の導入は行わず，真空中および大

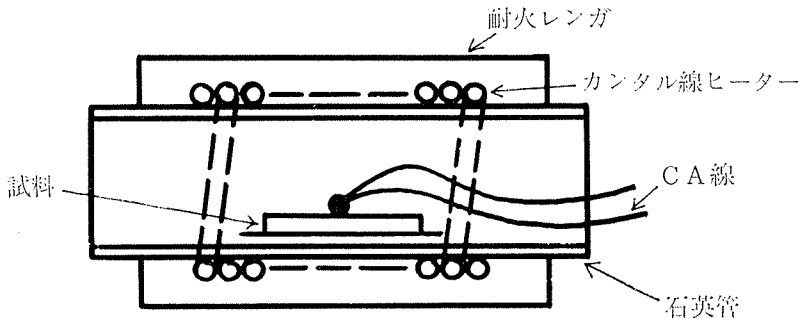


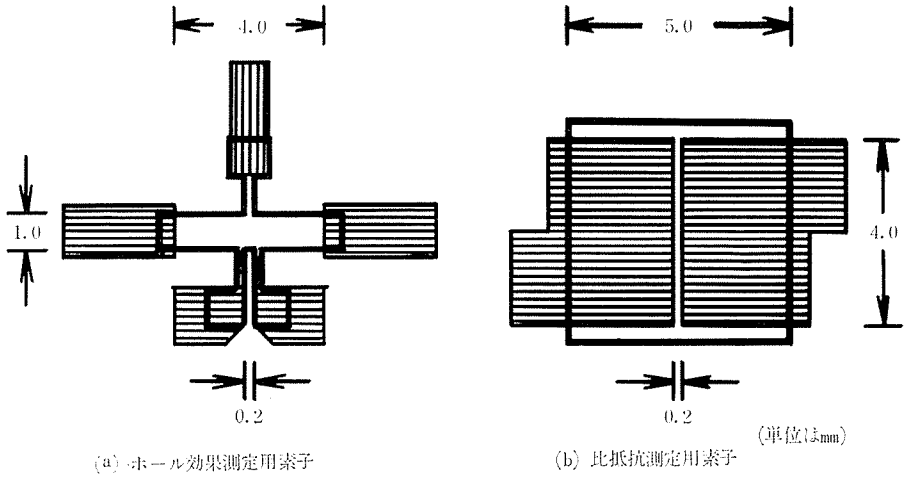
図 2.4—1 大気中の熱処理

気中の熱処理だけに限った。真空中の熱処理には基板加熱用の電気炉を利用し，大気中の熱処理には図 2.4-1 に示すような電気炉を使用した。

熱処理時間はすべて 30 分であり，熱処理温度は通常は 300°C で，特別の場合にだけ 500°C とした。

2.5 試料の形状と寸法

図 2.5-1 (a), (b) にそれぞれホール効果測定用素子，比抵抗測定用素子の形状と寸法を示す。



(a) ホール効果測定用素子　　(b) 比抵抗測定用素子

図 2.5—1 試料の形状と寸法

表 2—1 試料の製作条件

条件			条件		
蒸発源材料		CdSe 粉末 (5 N)	蒸着条件	真空度	3×10^{-5} mm Hg
				蒸着距離	10 cm
基板		マイクロ・カバー・ガラス	熱処理	温度	300°C, 500°C
ルツボ		アルミナ・コーティング タングステン・ルツボ		時間	30 分
				雰囲気	真空中，大気中
蒸着条件	基板温度	30, 100, 200, 300°C	蒸着速度		100～300 Å/分
	ルツボ温度	650°C	膜厚		3000～9000 Å

電極はCdSeとオーミックな接触をするといわれているAlを用いた。

以上の試料の製作条件を表2-1にまとめて示す。

3. 電子線・X線回折

蒸着膜の結晶状態を調べるために，反射型電子顕微鏡法，X線ディフラクト・メーター法によって，マイクロ・カバー・ガラス基板上に蒸着したCdSe膜の回折パターンを得た。これらの回折パターンの例は図3-1, 2に示す。

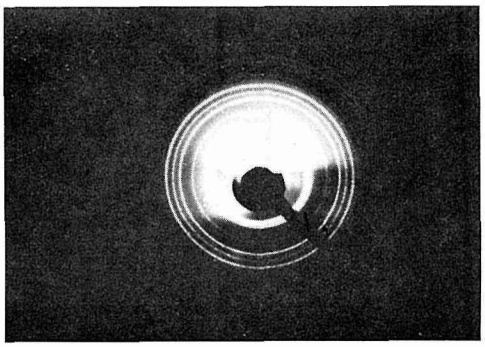


図3—1　CaSe 蒸着膜の電子線回折写真
Ts＝200°C　未処理

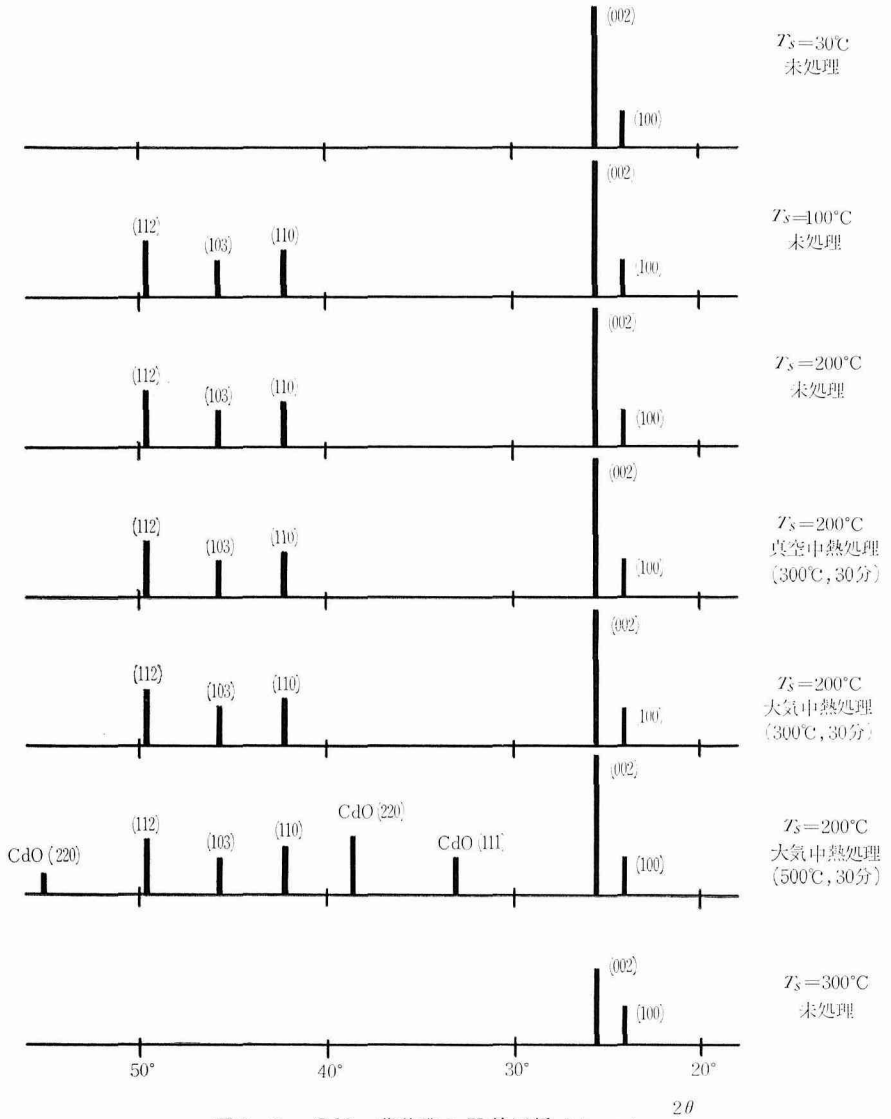


図3—2　CdSe 蒸着膜のX線回折パターン

3.1 結 晶 性

強い回折線が認められたので結晶性は比較的良いと思われる。ただし，基板温度が 300°C の場合には他と比べて回折線が弱くなっている。これは基板温度が高いと成分元素の蒸気圧差による化学量論比からのずれが大きくなり，結晶性が悪くなるからであろう。また，この時，過剰となった Cd が析出する傾向があるようである。ところで基板温度が室温の場合でも強い回折線が現われたが，これは蒸着速度が小さいことが影響していると思われる。

3.2 結 晶 形

CdSe 蒸着膜の回折パターンには六方ウルツ鉱構造の回折線が主に認められた。CdSe 蒸着膜の微結晶には六方晶に立方晶が混入しているという報告もあり[1),3)]，実際，回折線の角度によっては立方であるか六方であるか判断がむずかしい部分もあるが，立方に特有な (200), (400) 面による回折線が認められなかったので，この場合は六方晶よりのみなっていると考えた。

3.3 配 向 性

六方 (002) 面からの反射が他の面からの反射に比べて強く，六方 C 軸が基板に垂直に配向している。

配向性に対する基板温度の影響は 300°C の場合に現われてくる。すなわち，(002) 面からの反射が弱まり，基板に対する配向性が乱れてくるようである。

また，真空中および大気中での熱処理による効果であるが，300°C で行った場合には回折パターンにはあまり変化がみられない。ところが，大気中 500°C で熱処理を行ったものについては，X 線回折パターンに CdSe の各面からの反射に重なって立方 CdO の反射が現われてくる。これは結晶粒界で過剰の Cd と導入された酸素が結合して CdO の結晶として成長してくるからであろう。

4. ホール効果の測定[1),2)]

測定は電場，磁場とも直流を用いる直流法で行った。著しく高抵抗の試料では試料に大きな電圧が印加されねばならず，電極配置の不整や膜の不均一性による不平衡電圧や誘導電圧が磁場のないときでもホール端子に現われ，ホール電圧の数十から数百倍にも達するので測定はきわめて困難になる。そこで，これらの不平衡電圧を打ち消すために試料のホール電圧測定端子を 3 端子とし，また，各装置はすべてシールドを施し相互間の接続は同軸ケーブルを用いて行った。以上の測定装置の概略は 図 4-1 に示す。磁場は約 6,000 Gouss で試料へは最大 45 V を印加した。

ホール効果の測定より CdSe の伝導形は n 形であることが判明した。これは CdSe が蒸着時に Cd と Se に分解し，これらが基板上で結晶化するとき Cd に比べて蒸気圧の高い Se が欠乏し，この Se 空孔がドナとして働くためと思われる。

ホール係数の基板温度依存性であるが，基板温度が 100°C，200°C の場合に比べて 300°C では少し，室温では数桁小さくなっているのが特徴的である。この傾向は後に述べる比抵抗の基板温度依存性と一致している。

ホール効果の測定より求められたホール係数，キャリア濃度，導電率，移動度の値を 表 4-1 にまとめて示す。

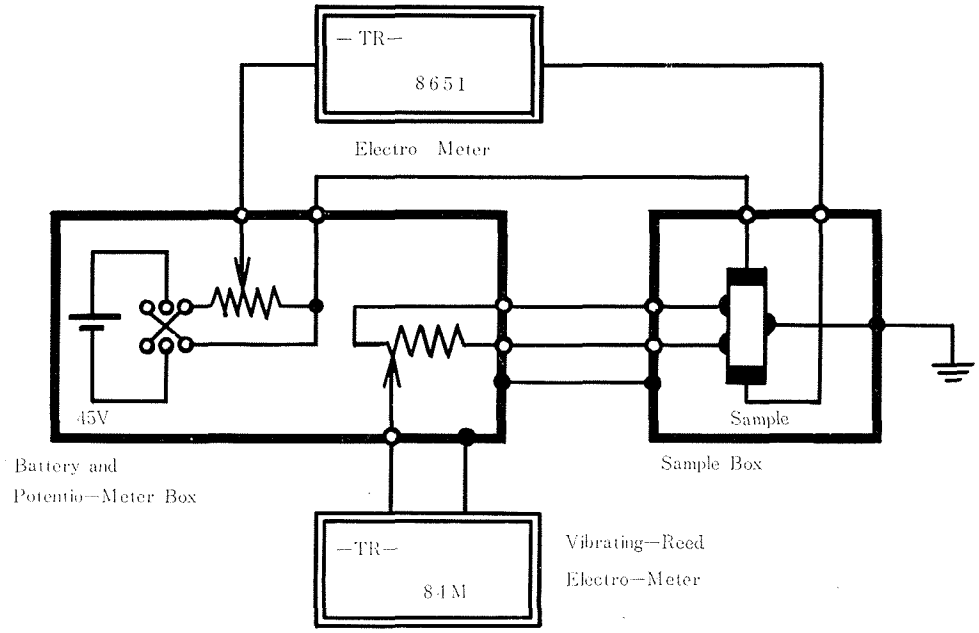


図 4—1 ホール効果の測定回路

表 4—1 ホール効果の測定値

基板温度	ホール係数	キャリア濃度	導電率	移動度
30°C	$1.88\times10\ cm^3/C$	$3.31\times10^{16}\ 1/cm^3$	2.65×10^{-1} $1/\Omega\cdot cm$	$4.99\ cm^2/V\cdot sec$
100	5.25×10^5	1.18×10^{12}	3.27×10^{-5}	1.72×10^1
	7.02×10^5	8.88×10^{11}	2.32×10^{-5}	1.63×10^1
200	9.14×10^5	6.82×10^{11}	1.22×10^{-5}	1.12×10^1
	7.03×10^5	8.86×10^{11}	1.53×10^{-5}	1.07×10^1
300	2.19×10^5	2.83×10^{12}	4.75×10^{-5}	1.04×10^1
	1.20×10^5	5.18×10^{12}	7.54×10^{-5}	9.08×10^0

5. 比抵抗の測定

5.1 基板温度依存性

基板温度が 100°C, 200°C のときと比較して 300°C では少し，室温では数桁，比抵抗が小さくなっている。これは前章で述べたホール係数の基板温度依存性と一致した傾向を示している。この理由としては，基板温度が 300°C の場合には過剰となった Cd が析出しだすことが考えられる。また，室温の場合には考察で議論する CdSe 蒸着膜の微結晶粒界の酸化物層によるバリアがあまり発達せず，そのために比抵抗が数桁にわたって低下するのであろう。ホール係数および比抵抗の基板温度依存性は図 5. 1-1, 2 にまとめて示す。

5.2 低温での温度特性

室温から液体窒素温度までの範囲で CdSe 蒸着膜の比抵抗を測定し，これを比抵抗の対数と絶対温度の逆数の関係で表わすと，図 5, 2-1 に示すように比較的良好な直線関係が得られた。

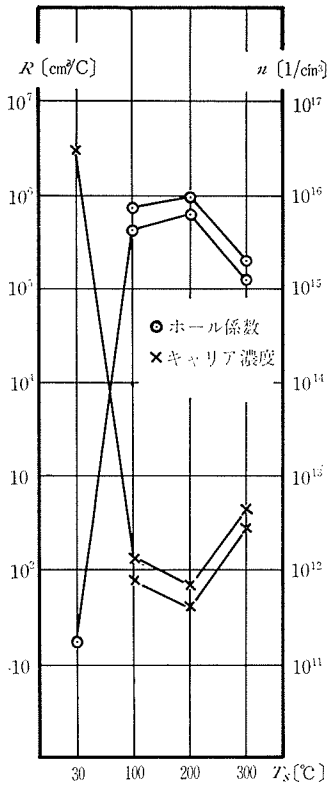


図 5.1—1 基板温度—ホール係数

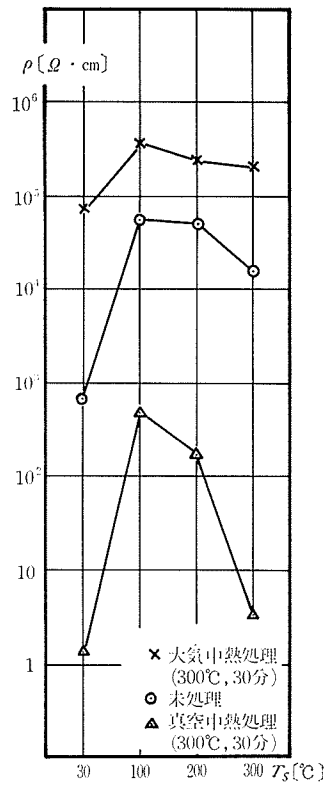


図 5.1—2 基板温度—比抵抗

これらより求めた活性化エネルギー ΔW を各基板温度，熱処理条件に応じて表 5.2-1 に示す。これによると ΔW の値は大気中で熱処理したものについては大きく，逆に真空中で熱処理すると小さくなる傾向があることがわかる。これらの活性化エネルギーが結晶粒界のバリア $\phi(=\Delta W)$ に関係するものか，あるいは Se 空孔のドナ準位 $Ed(=2\Delta W)$ に関係するものかについての議論は考察で行う。また図 5.2-2 に低温での温度特性の測定回路の概略を示す。

5.3 光導電特性

図 5.3-1 に暗時での比抵抗 ρ dark と 3000 lx 照射（白色光源）時での比抵抗 ρ photo の比 ρ dark/ρ photo を熱処理条件をパラメータとして基板温度についてプロットした。これより大気中の熱処理でこの比が増加し，逆に真空中の熱処理で減少することがわかる。

5.4 考　察

比抵抗に関する 5.1～5.3 の測定結果を説明するために CdSe 蒸着膜に関して次のようなバンドモデルを考える[4),5),6)]。

CdSe 蒸着膜は n 形微結晶から成り立っているが，このモデルでは粒界に高抵抗あるいは p 形に反転した酸化物層ができており，この酸化物層は酸化が進むにつれて微結晶の表面から内部へと厚さを増して行く。また，逆に真空中で熱処理すると酸素を放出するのでもとの酸化物層は薄くなる。このように粒界に酸化物層ができることは，大気中 500°C で熱処理した CdSe 蒸着膜の X 線回折パターンに CdO の反射が現われていたことから考えて実際に行っているものと思われる。

図 5.4-1 の (a) は未処理の場合のモデルであり，微結晶の表面は少ししか酸化されておらず，

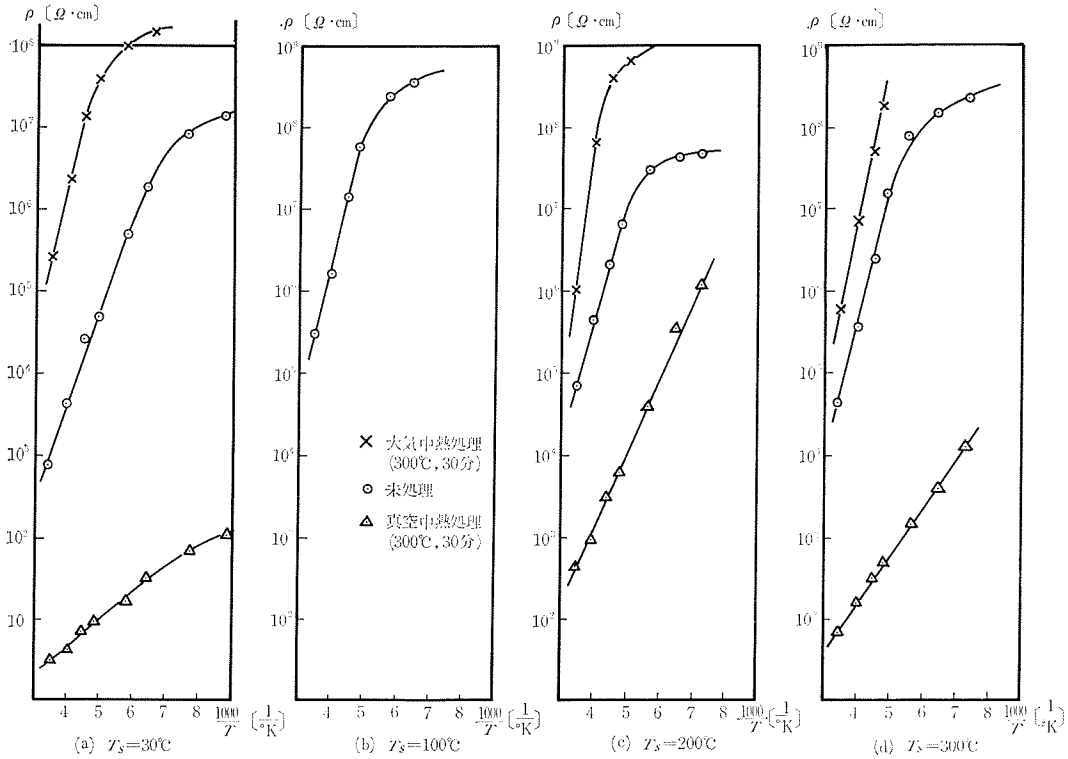


図 5.2—1 比抵抗の低温での温度特性

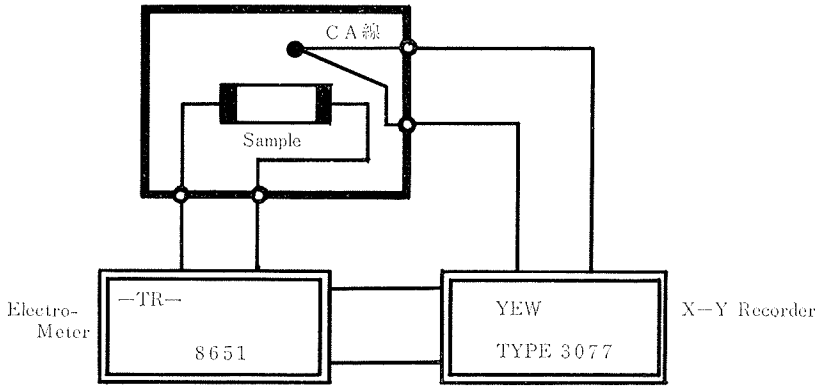


図 5.2—2 低温での温度特性の測定回路

表 5.2—1 活性化エネルギー

基板温度 (°C)	処理条件		
	未処理 (eV)	真空中 (eV)	大気中 (eV)
30	0.27	0.07	0.56
100	0.42	—	—
200	0.35	0.21	0.73
300	0.29	0.11	0.38

熱処理は真空中，大気中ともに 300C°，30分

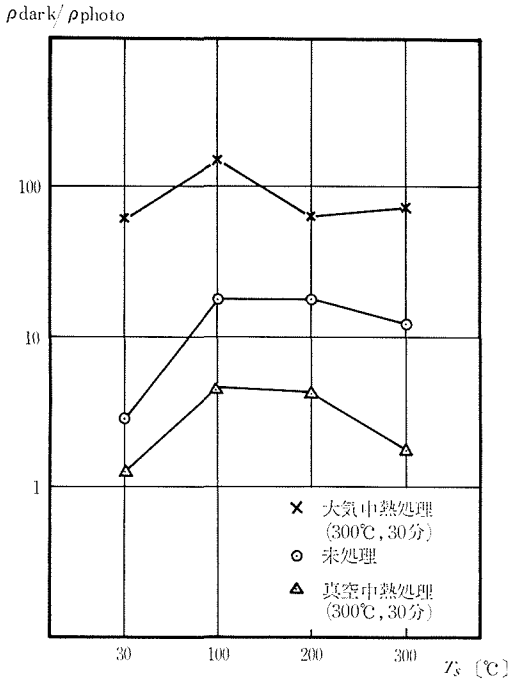


図 5.3—1 基板温度—ρ dork/ρ photo

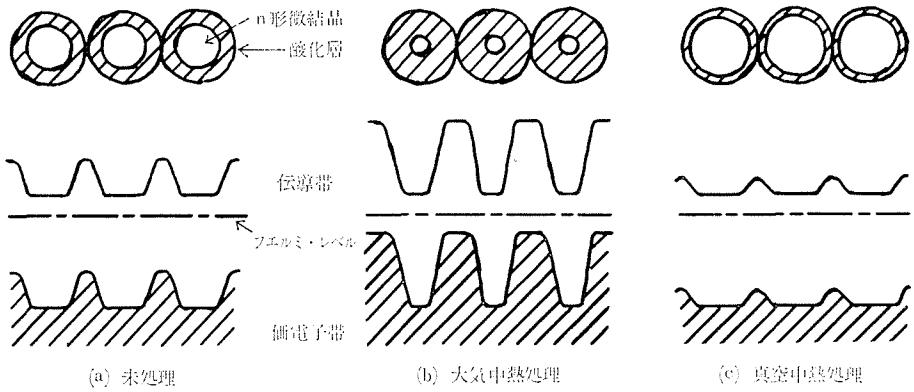


図 5.4—1 CaSe 着蒸膜のバンド・モデル

酸化物層が薄いので接合部に電気的2重層があまり発達せず，この部分でのバリアはそれほど大きくならない。

(b) のように大気中の熱処理によって酸化が進み酸化物層が微結晶と同じ程度の幅をもってくると完全に *p-n* 接合に等価な層ができあがりバリアは未処理の場合に比べて大きくなる。

また (c) は真空中で熱処理したものを示し，この場合には酸化物層の酸素の放出によって *n* 形微結晶が大きくなりその結果，酸化物層がより薄くなるので未処理の場合よりもバリアは小さくなる。

もし $\log \rho - 1/T$ のプロットの直線部分が成り立つ温度範囲ではドナはすべてイオン化しており，他の温度因子の変化が無視できるとすれば，この伝導機構を支配するのは微結晶粒界のバリアの高さである。すなわち，バリアの高さを ϕ とすると

$$\rho \propto e^{\frac{\phi}{kT}} \qquad (\phi = \Delta W)$$

の関係が成り立つであろう。したがって，大気中の熱処理によって比抵抗が増加し，真空中の熱処理で比抵抗が減少することが容易に説明される。

ところで，CdSe 多結晶膜の Se 空孔によるドナのイオン化エネルギーは 0.14 eV と報告されているが[7]，真空中の熱処理で粒界のバリアが低くなると，これらのバリアよりもドナのイオン化によるキャリア濃度の温度変化が伝導機構に支配的になってくるものと思われる。したがって，この場合にはイオン化エネルギーを Ed とすると

$$\rho \propto e^{\frac{Ed}{2kT}} \qquad (Ed = 2\Delta W)$$

の関係が成り立つであろう。実際，$Ed = 2\Delta W$ として求めたイオン化エネルギーは先の 0·14 eV に近い値となっている。

以上のように，非常に簡単化して考えた訳であるが，実際の伝導機構は上の 2 つの機構にさらに他の温度因子および析出した金属元素の影響が加わったもっと複雑なものであろう。

次に光導電特性について考察するが，これも粒界に酸化物層を考えることによって説明することができる。図 5.4-2 は光導電機構を説明するものである。すなわち，光照射によって粒界の酸化物層および微結晶部分に電子—正孔対が発生するが，これらのキャリアはバリアの電気的 2 重層を打ち消してバリアを低め光導電を増加させる。この効果は ρ dark/ρ photo の比について考えると，もともとバリアが高くて暗電流が小さいものについて顕著に現われる。したがって，ρ dark/ρ photo の値は大気中で熱処理した場合にもっとも大きくなる。

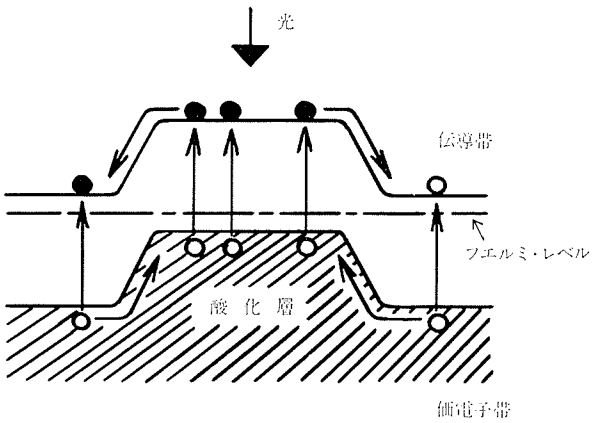


図 5.4—2　CdSe 蒸着膜の光導電

6. 結　　論

以上のように CdSe 蒸着膜について結晶学的あるいは電気的な見地から種々の測定を行ってきた訳であるが，この研究を通して得られた結論や問題点を次に要約する。

まず，CdSe 蒸着の基板温度としては，電子線・X 線回折，ホール効果・比抵抗の測定の結果および一般に基板温度が高い程，結晶粒が大きくなるといわれていることを考慮すると，100～200°C の間に最適値，すなわちエピタキシー温度があると思われる。ただし，本研究では結晶粒の大きさについて CdSe 蒸着膜の表面の電子顕微鏡写真を撮って確認することはできなかった

が，これは今後の課題である。

次に，熱処理についてであるが，CdSe 膜の比抵抗の測定結果からわかるように光導電素子として応用するためには，大気中で熱処理を行って結晶粒界に酸化物層を発達させバリアを大きくすることが望ましい。ところで，筆者らの本来の目的は真空蒸着によって CdSe-CdSe ヘテロ接合の光電変換素子を試作することにあり[8]，その意味では真空中で熱処理を行って微結晶粒を成長させ，粒界のバリアを小さくして接合の特性を改善することが必要であろう。ところで，本研究では熱処理の雰囲気を大気中と真空中の2種類に限ったが，アルゴン雰囲気中での熱処理によって著しく光導電特性を向上させている例もあり[9]，今後，熱処理方法の検討が必要であろう。

蒸着膜を用いた素子は試作が容易であるなどの利点もあり，また，薄膜集積回路への応用という点からも期待されている訳であるが，その特性の制御が非常にむずかしくこれが大きな欠点となっている。一般に蒸着の条件を変えたり，種々の雰囲気中で熱処理を行うことによって蒸着膜の特性をある程度，向上させることも可能であるが，それにも限界があり，蒸着膜で単結晶の素子に匹敵するような応用素子を作るにはまだまだ検討すべき点が多いと思われる。

参 考 文 献

1) 寺崎他：“CdS および CdSe 真空蒸着膜”，通研実報，15 (1966), p. 1321.
2) 堀内：“CdS 真空蒸着膜の電気的性質について”，北大工学部電子工学科修士論文，(昭 43).
3) F. V. Shallcross: RCA Rev. 24 (1936), 676.
4) R. L. Petritz: Phys. Rev. 104 (1956), 1508.
5) J. Volger: Phys. Rev. 79 (1950), 1023.
6) J. C. Slater: Phys. Rev. 103 (1956), 1631.
7) R. H. Bube: “Photoconductivity of Solids” (John Wiley and Sons, Inc. 1960).
8) 藤中：“CdTe-CdSe 薄膜の光起電効果”，信学論 (C), 54-C, P. 26.
9) H. Okimura: “Photoelectronic properties of CdSe evaporated films.”, J. J. Appl. Phys., 1, 7, 7 (1968).