



HOKKAIDO UNIVERSITY

Title	集積回路の最適設計法について : MOS4素子メモリの最適設計
Author(s)	阿久津, 孝雄; Akutsu, Takao; 下野, 哲雄 他
Citation	北海道大學工學部研究報告, 77, 79-89
Issue Date	1975-10-04
Doc URL	https://hdl.handle.net/2115/41309
Type	departmental bulletin paper
File Information	77_79-90.pdf



集積回路の最適設計法について

— MOS 4素子メモリの最適設計 —

阿久津孝雄* 下野哲雄*

小川吉彦* 黒部貞一*

(昭和50年3月31日受理)

Optimization of IC

— Optimization of MOS 4-transistor Memory —

Takao AKUTSU Tetsuo SIMONO

Yoshihiko OGAWA Teiichi KUROBE

(Received March 31, 1975)

Abstract

Optimum design of LSI is not always made taking various conditions into consideration. But it is impossible to increase the property of LSI without optimization using a computer.

Design of LSI has many constraints, especially, inequality constraints which complicate the optimization problem.

This paper describes an optimization program utilizing the Monte Carlo method. This method uses numerous searching points and has direct searching of the optimum points of the object function by repetitive random sampling. The search is initiated and when a point does not satisfy the constraints, the object function is given a penalty such as great values without function evaluation. When the derivatives of the function are not used, and when a direct search of optimum points is carried out it has a merit of readily beating numerous and complicated constraints.

As an example of applying this method, we aimed at a four-transistor dynamic MOS memory and carried out the optimum design of high speed and low power MOS LSI memory.

Lastly, the relationship of the optimum point and constraints such as noise margin, leakage current and cell area were described.

1. 緒 言

集積回路が高密度化するに従って、チップ上の面積をいかに効率よく利用するか、あるいは与えられた面積でいかに性能を向上させるかが問題となってくる。そのためには指定された仕様を満足する最小の面積を決定したり、あるいは与えられた面積で性能を最も良くするための最適設計法が必要になってくる。しかし、これまでこのような最適設計法を論じた論文は見当たらない

* 電子工学科 電子回路工学講座

ようである。筆者らはモンテカルロ法を利用した直接探索を使って、最適設計のための一方法を考案したので本論文で紹介する。

この方法の応用例として MOS 4 素子フリップフロップの最適設計を行った。ただし、この例は応用例として示したものであり、簡単のため配線に関する問題は除外しており、また各種の条件も簡略化してある。しかし、これらの簡略化は、この方法に本質的には影響しないことを強調しておく。

2. 最適設計の一般論

最適値として求めるべき変数 $X_i (i=1, 2, \dots, n)$ の集合を \mathbf{X} で表わすことにする。

いま

$$g_j(\mathbf{X}) = 0, \quad j = 1, 2, \dots, m \quad (1)$$

$$h_k(\mathbf{X}) \leq 0, \quad k = 1, 2, \dots, l \quad (2)$$

の条件のもとで関数 $f(\mathbf{X})$ を極小にする問題は Lagrange の未定係数法で求めることができる。(2) の条件がない場合、すなわち、等式制約条件だけの場合は、未定係数 $\lambda_j (j=1, 2, \dots, m)$ の集合を $\boldsymbol{\lambda}$ としたとき、Lagrange 関数 $J(\mathbf{X}, \boldsymbol{\lambda})$ は

$$J(\mathbf{X}, \boldsymbol{\lambda}) = f(\mathbf{X}) - \sum_{j=1}^m \lambda_j g_j(\mathbf{X}) \quad (3)$$

として

$$\frac{\partial J(\mathbf{X}, \boldsymbol{\lambda})}{\partial X_i} = 0, \quad i = 1, 2, \dots, n \quad (4)$$

(1), (4) 式の合計 $(m+n)$ 個の連立方程式を解くことによって、 \mathbf{X} および $\boldsymbol{\lambda}$ を求める。

また、(2) の制約条件 (不等式制約条件) もともにある場合は、余分な新変数 (スラック変数) を導入して

$$h'_k(\mathbf{X}) = h_k(\mathbf{X}) + X_{n+k}^2 = 0, \quad k = 1, 2, \dots, l \quad (5)$$

の形の等式制約条件に置き換えることができ

$$J(\mathbf{X}, \boldsymbol{\lambda}) = f(\mathbf{X}) - \sum_{j=1}^m \lambda_j g_j(\mathbf{X}) - \sum_{k=1}^l \lambda_k h'_k(\mathbf{X}) \quad (3')$$

から

$$\frac{\partial J(\mathbf{X}, \boldsymbol{\lambda})}{\partial X_i} = 0, \quad i = 1, 2, \dots, n, n+1, \dots, n+l \quad (4')$$

と (1) 式および (5) 式の合計 $(n+m+2l)$ 個の連立方程式を解き、 \mathbf{X} 、 $\boldsymbol{\lambda}$ を求める。

しかし、この連立方程式を直接解くことは著しく困難な場合が多い。そこで

$$U = \sum_{j=1}^{n+l} \left\{ \frac{jJ(\mathbf{X}, \boldsymbol{\lambda})}{jX_i} \right\}^2 + \sum_{j=1}^m \{g_j(\mathbf{X})\}^2 + \sum_{k=1}^l \{h'_k(\mathbf{X})\}^2 \quad (6)$$

のような関数 (測度) を導入し、 U を最小にする $\mathbf{X} (X_1, X_2, \dots, X_n, X_{n+1}, \dots, X_{n+l})$ および $\boldsymbol{\lambda} (\lambda_1, \lambda_2, \dots, \lambda_m, \lambda_{m+1}, \dots, \lambda_{m+l})$ を求めることにより $J(\mathbf{X}, \boldsymbol{\lambda})$ の停留点を求めることができる。この計算を行うための方法はいろいろあるが^{1), 3)}、次節で、(1), (2) 式の条件を満足させながら、 $f(\mathbf{X})$ の最小値を直接探索する方法を述べる。

3. モンテカルロ法による直接探索法

筆者らは先に、多峰性関数の極大値を求めるモンテカルロ法による探索法を²⁾発表した²⁾が、ここで述べる方法も、探索原理は同じで、制約条件のある場合に適用したものである。

3.1 制約条件の取り扱い

n 個の変数の変域をそれぞれ、 D_1, D_2, \dots, D_n と定める。 m 個の等式制約条件から $X_i (j=1, 2, \dots, m)$ の変数を \mathbf{X} の他の $(n-m)$ 個の変数で陽に表わせるとする。そこで、 D_1, D_2, \dots, D_{n-m} の変域から、それぞれ一様乱数を用いて、 X_1, X_2, \dots, X_{n-m} を求め、それより残る m 個の変数 X_{n-m+1}, \dots, X_n を計算する。そこで、もし従属的に決定される m 個の変数の中で一つでも、その変数の変域にないものがある場合は、 $f(\mathbf{X})=M$ (但し、 M は $f(\mathbf{X})$; $\mathbf{X} \in D = D_1 \times D_2 \times \dots \times D_n$ の上限以上の数) とする。また変数 X_1, X_2, \dots, X_n のすべてがそれぞれの変域を満足している場合は、 \mathbf{X} を l 個の不等式制約条件の式に代入し、その中で、1つでも制約条件を満足していなければ、上記のように $f(\mathbf{X})=M$ とする。 l 個の不等式制約条件がすべて満足されている場合は、 \mathbf{X} を用いて $f(\mathbf{X})$ を計算する。このように制約条件を満足しない \mathbf{X} に対しては、関数自体にペナルティを与えるわけである。

3.2 探索手順

(1) 初期設定と探索点の決定

まず、各変数の変域 D_1, D_2, \dots, D_n を与える。次に N 個の探索点 ($\mathbf{X}_{e1}, \mathbf{X}_{e2}, \dots, \mathbf{X}_{eN}$) を一様乱数を用いて決定する。従属的に決まる m 個の変数すべてが与えられた変域にあり、かつ、 $h(\mathbf{X}_{ei}) < 0$ を満足していれば、 $f(\mathbf{X}_{ei})$; $i=1, 2, \dots, N$ を計算する。もし、一つでも変域外にあったり、 $h(\mathbf{X}_{ei}) < 0$ を満足していなければ、 $f(\mathbf{X}_{ei})=M$ とする。

(2) 探索点の終了条件と重要度

各探索点 \mathbf{X}_{ei} を中心に小探索領域 (通常は、各変域 D_i の $1/200 \sim 1/500$ 程度) の大きさをとり、その小領域内で、ランダム・サンプリングを行う。ここでも同様に制約条件によるペナルティをしておく。ランダム・サンプルした結果、探索中心点 \mathbf{X}_{ei} の関数値 $f(\mathbf{X}_{ei})$ よりも小さな関数値を与える点が m_i 個あるとすると

$$\gamma_i = \begin{cases} \frac{1}{m_i} \sum_{k=1}^{m_i} \{f(\mathbf{X}_{ei}) - f(\mathbf{X}_k)\}; & m_i \neq 0 \\ & f(\mathbf{X}_k) < f(\mathbf{X}_{ei}) \\ 0 & ; m_i = 0 \end{cases} \quad (7)$$

を計算し、 γ_i が零で i 番目の探索点の探索終了とする。また m_i 個中最小の関数値を与える点を \mathbf{X}_{0i} と名づけ

$$\eta_i = \frac{\gamma_i}{f(\mathbf{X}_{0i})} \quad ; \quad f(\mathbf{X}_{0i}) \neq 0 \quad (8)$$

をもって、 i 番目の探索点の重要度と名づける。

(3) 探 索

各探索点に、重要度に応じた探索回数を配分し、 \mathbf{X}_{0i} を新たな \mathbf{X}_{ei} として、その回数だけ、上の (2) で述べた方法で探索を進める。

(4) 終 了

すべての $\gamma_i (i=1, 2, \dots, N)$ が零になったら、全探索点が探索を終了したので、結果を出力する。そうでなければ、再び (3) にもどって探索を続ける。

3.3 探索法の特徴

(1) 一般的に、不等式制約条件 $h_k(\mathbf{X})$; $k=1, 2, \dots, l$ がある場合、その扱いが難しいことが多いが、この探索法では、 $h_k(\mathbf{X})$ に \mathbf{X} を代入して、条件を満足するかどうか判定するだけなので、条件の数が多くても、また式が複雑であってもかまわない。

(2) 次に、直接目的関数 $f(\mathbf{X})$ を計算しながら探索を進めてゆくので、変数と関数の関係が

把握しやすい。また偏微分などする手間がはぶける。数値微分は関数の形によっては振動する可能性があるので使いにくい。

(3) 探索中にサンプルした点が制約条件を満足しない場合は、 $f(\mathbf{X})=M$ というペナルティをかすが、それ以外特別の操作を施す必要がなく、条件を満足している点と統一的に扱える。

(4) 多数個の探索点を使うことにより、探索点が不等式制約条件で決まる禁止領域に捕捉されて動きがとれなくなる危険性を回避できる。また各探索点を並列に動かすが、その際、(8)式で示したような重要度に応じて動かすことで、より小さい関数値を与える点の探索を優先的に進める。したがって、計算を途中で打ち切られた時に、最小点は求まっていることが多く、多数の探索点を並列に動かすことが生じる探索の無駄をなくすることができる。

4. 素子メモリにおける最適化

4.1 4素子メモリセル

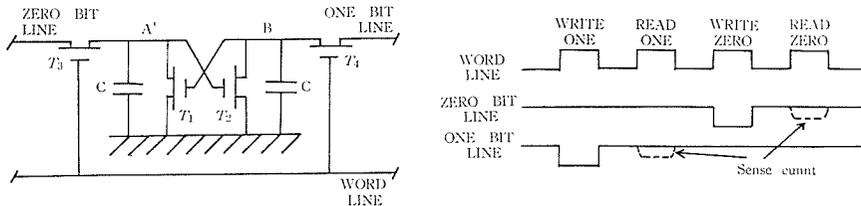


図1 MOS 4素子メモリの回路図

4素子メモリセルはスタティックな6素子から、2つの負荷素子を取り除いたものである。情報はMOSの容量(主にゲート容量)に蓄積される電荷として蓄えられる。4素子セルの特徴は、回路の安定性がよく、読み書きが速く、低消費電力で、周辺回路が簡単なことである。反面、他のダイナミックメモリ、3素子、1素子に比較して、面積が大きくなる。容量に蓄積された電荷は接合層(ソース・ドレイン領域)からのもれ電流により失われる。そのため、定期的リフレッシュを行い、電荷を補充する。リフレッシュ実行時には、読み書きの動作ができない。そこで、周辺回路で読み書き命令の時間をずらしてやる必要がある。

4.2 書き込み時間

4素子セルにおいて読み出し動作は、容量の充放電をしないので本来遅延時間はない。遅延時間が問題となるのは、書き込み動作の場合である。

書き込み時間は次のようにして計算できる。まず図1の回路で、節点A, Bについて節点方程式をたてる。節点Aを“1”, 節点Bを“0”として、ZERO BIT LINEを接地する。

$$\begin{cases} C \frac{dv_A}{dt} = i_3 - i_1 & (9) \\ C \frac{dv_B}{dt} = i_4 - i_2 & (10) \end{cases}$$

(9), (10)式を規格化すると

$$\begin{cases} \frac{dV_A}{dT} = I_3 - I_1 & (9') \\ \frac{dV_B}{dT} = I_4 - I_2 & (10') \end{cases}$$

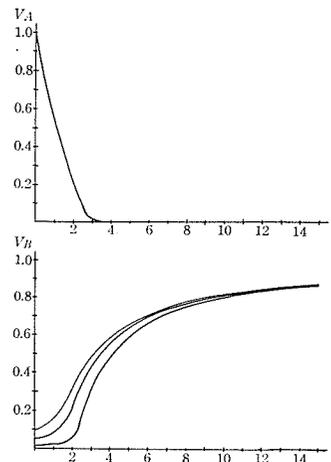


図2 書き込み動作解析
(β ; パラメータ)
 V_B の大きいほうから
 $\beta_0=5, 10, 50$

表 1 規格化した電流

	非飽和	飽和
I_1	$\beta_0(V_B - V_{TL} - 1/2 V_A) V_A$	$\beta_0/2(V_B - V_{TD})^2$
I_2	$\beta_0(V_A - V_{TL} - 1/2 V_B) V_B$	$\beta_0/2(V_A - V_{TD})^2$
I_3	$-(1 - 1/2 V_A) V_A$	$-1/2$
I_4	$\left\{ (1 - V_B) - 1/2(V_0 + V_{TL} - V_B) \right\} (V_0 + V_{TL} - V_B)$	$1/2(1 - V_B)_2$

また規格化は次のようにした。

$$\begin{aligned} \beta_0 &= \beta_D / \beta_L & V_0 &= (V_{BIT} - V_{TL}) / (v_w - v_{TL}) & \beta_D &= k W_D / L_D \\ g_{mL} &= \beta_L (v_w - v_{TL}) & V_A &= v_A / (v_w - v_{TL}) & \beta_L &= k W_L / L_L \\ \tau &= C / g_{mL} & V_B &= v_B / (v_w - v_{TL}) \\ T &= t / T \end{aligned}$$

(9), (10)' の方程式をあとで述べる初期値電圧を考慮して解くと、図 2 が得られる。

ここで、 v_B が初期値電圧 v_{B0} から最終電圧 $(v_w - v_{TL})$ の 90% まで立ち上がる時間を考える。この時、 T_2 が ON の時は電圧は上昇せず、 T_2 が OFF の時だけ上昇すると考えると、立ち上がり時間 T_{total} は次のようになる。

$$T_{total} = \frac{C}{\beta_L (v_w - v_{TL})} \left[\ln \left\{ \frac{2(v_w - v_{TL}) - v_{TD}}{v_{TD}} \right\} + \left\{ 20 - \frac{2(v_w - v_{TL})}{v_w - v_{TL} - v_{B0}} \right\} \right] \quad (11)$$

[] 中の第 1 項は T_2 が OFF になるまでの時間、第 2 項は v_{B0} から 90% まで立ち上がる時間である。

(11) 式より T_{total} は $\tau = C / \{\beta_L (v_w - v_{TL})\}$ で決定されることがわかる。

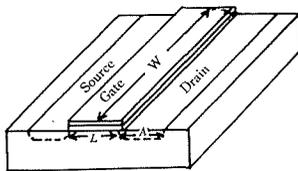


図 3 MOS FET

4.3 面積

面積は 4 つの MOS FET の面積だけを考えた。その理由はセルの面積は Lay out によって著しく異なってくるためである。寸法の記号は図 4 のとおりで、添字は T_1, T_2 に関するものは D, T_3, T_4 に関するものは L を使っている。すると面積は次のようになる。

$$S = 2W_D(L_D + 2A_D) + 2W_L(L_L + 2A_L) \quad (12)$$

4.4 容量

容量は図 4 のように、ゲート容量 C_{0X} と接合容量 C_{PN} を考えた。配線の容量、ゲートと拡散領域の重なる容量は考えなかった。すると容量 C は

$$C = C_{0X} W_D L_D + C_{PN} (A_D W_D + A_L W_L) \quad (13)$$

となる。

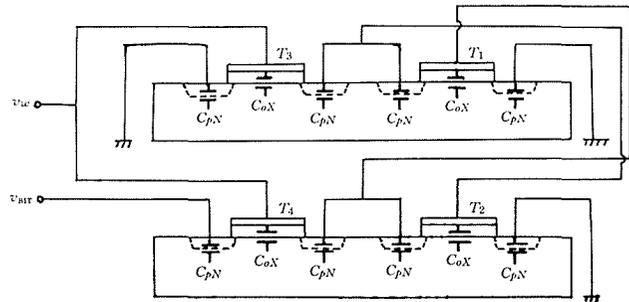


図 4 MOS 4 素子メモリの容量

4.5 雑音余裕

雑音余裕は初期値電圧 v_{B0} が T_1 のしきい値電圧 V_{TD} よりどれだけ小さくなくてはいけないかとした。初期値電圧 v_{B0} は次の式で表わされる。

$$v_{B0} = \frac{1}{\beta_L + \beta_D} \left[\beta_L(v_w - v_{TL}) + \beta_D(v_w - v_{TL} - v_{TD}) - \sqrt{\beta_D \left\{ (v_w - v_{TL} - v_{TD})^2 (\beta_L + \beta_D) - \beta_L v_{TD}^2 \right\}} \right] \quad (14)$$

このままの形では扱いにくいので $v_{B0} = \alpha v_{TD}$ ($0 < \alpha \leq 1$) として

$$\beta_0 = \frac{\beta_D}{\beta_L} = \frac{(v_w - v_{TL} - \alpha v_{TD})^2}{\alpha v_{TD} \{ 2(v_w - v_{TL}) - (\alpha + 2)v_{TD} \}} \quad (15)$$

の形で取り扱うことにする。

4.6 もれ電流による電圧降下

もれ電流は拡散領域（ソース、ドレイン）の逆方向飽和電流だけを考える。もれ電流は温度と面積だけの関数であり、温度を最悪時で考え、結局面積だけの関数として取り扱う。単位面積あたりのもれ電流を I_l とすると、もれ電流による電圧降下 Δv_A は次のようになる。

$$\Delta v_A = \frac{I_l(A_L W_L + A_D W_D) t_{ri}}{C} \quad (16)$$

4.7 電 力

電力はスタンバイ時の消費電力を考えた。スタンバイ時の消費電力としては、もれ電流による電力とリフレッシュによる電力が考えられる。もれ電流による電力はリフレッシュによる電力よりも格段に小さいため考えなくてよい。ここではリフレッシュによる電力を考える。すると

$$P_r = \frac{1}{t_{ri}} \int_0^{t_r} (i_3 v_{BIT} + i_4 v_{BIT}) dt \quad (17)$$

t_r ; リフレッシュ実行時間, t_{ri} ; リフレッシュインターバル

ここで $v_{BIT} = v_w$ より T_3, T_4 はともに飽和領域にあるものとする、

$$i_3 = \beta_L / 2 (v_w - v_{TL} - v_A)^2 \quad (18)$$

$$i_4 = \beta_L / 2 (v_w - v_{TL} - v_B)^2 \quad (19)$$

ここで、 v_A は $v_w - v_{TL} - \Delta v_A$ より充電によって上昇する電圧であり、 v_B は ON 側の電圧であり、もれ電流によって小さくなっているから $v_B \approx 0$ としてよい。

するとリフレッシュによる消費電力 P_r は次のように計算される。

$$P_r = \frac{\beta_L v_{BIT} t_r}{2 t_{ri}} \left[\frac{\Delta v_A}{\beta_L / (2C) \Delta v_A t_r + 1} + (v_w - v_{TL})^2 \right] \quad (20)$$

t_r は $1/2(v_w - v_{TL})$ から $0.9(v_w - v_{TL})$ まで立ち上がる時間の4倍をとって、 $t_r = 80\tau$ とした。

4.8 最適化関数

評価関数 $f(\mathbf{X}) = \tau$ として最も書き込み速度の速い回路を求めた。条件としては面積一定、 v_{B0} は αv_{TD} よりも小、 Δv_A は $1/2(v_w - v_{TL})$ よりも小、 W_D, W_L, L_D, L_L は製造限度よりも大とした。以上をまとめると次のようになる。

$$\begin{aligned} \text{評価関数;} f(W_D, W_L, L_D, L_L) &= \frac{C}{\beta_L (v_w - v_{TL})} \\ &= \frac{C_{PN}(A_D W_D + A_L W_L) + C_{0X} W_D L_D}{k W_L / L_L (v_w - v_{TL})} \end{aligned} \quad (21)$$

$$\text{等号制約条件;} S_0 = 2W_D(L_D + 2A_D) + 2W_L(L_L + 2A_L) \quad (22)$$

不等号制約条件；

$$\textcircled{1} \quad \beta_0 = \frac{\beta_D}{\beta_L} \geq \frac{(v_w - v_{TL} - \alpha v_{TD})^2}{\alpha v_{TD} \{2(v_w - v_{TL}) - (\alpha + 2)v_{TD}\}} \quad (23)$$

$$\textcircled{2} \quad \Delta v_A = \frac{I_i t_{ri} (A_D W_D + A_L W_L)}{C_{PN}(A_D W_D + A_L W_L) + C_{0X} W_D L_D} \leq \frac{1}{2} (v_w - v_{TL}) \quad (24)$$

$$\textcircled{3} \quad \begin{array}{ll} W_D \geq 5 (\mu) & L_D \geq 5 (\mu) \\ W_L \geq 5 (\mu) & L_L \geq 5 (\mu) \end{array}$$

ここで等号制約条件より L_L を消去し、3変数の問題にした。ペナルティ $M=10^{50}$ とした。直接探索に用いたデータは KBITS を基本とし⁴⁾、次のようにとった。

$$\begin{array}{ll} S_0 = 2.6 \times 10^3 (\mu^2) & I_i = 1 (\text{pA}/\mu^2) \quad (70^\circ\text{C} \text{を想定した。}) \\ k = 1.2 \times 10^{-5} (\text{A}/\text{V}^2) & v_w = v_{BIT} = 15 (\text{V}) \\ t_{ri} = 2 (\text{ms}) & V_{TD} = V_{TL} = 2 (\text{V}) \\ C_{PN} = 0.15 (\text{fF}/\mu^2) & \alpha = 0.5 \\ C_{0X} = 0.35 (\text{fF}/\mu^2) & A_D = A_L = 5 (\mu) \end{array}$$

5. 探索結果

5.1 1 KBITS を想定した場合

1 KBITS を想定し、探索を行った結果は次のとおりである。

$$\begin{array}{lll} \tau = 0.107 (\text{ns}) & W_D = 56.71 (\mu) & W_D/L_D = 11.31 \\ P_r = 0.6343 (\mu\text{W}) & W_L = 20.18 (\mu) & W_L/L_L = 1.65 \\ \Delta v_A = 6.857 (\text{V}) & L_D = 5.01 (\mu) & \\ C = 0.1572 (\text{pF}) & L_L = 12.23 (\mu) & \end{array}$$

この場合ペナルティのきいているのは L_D と β_0 である。つまり雑音余裕を確保するため、 L_D をできるだけ小さくして、 β_D を大きくし、また L_L を大きくして β_L を大きくして、 β_0 の要求を

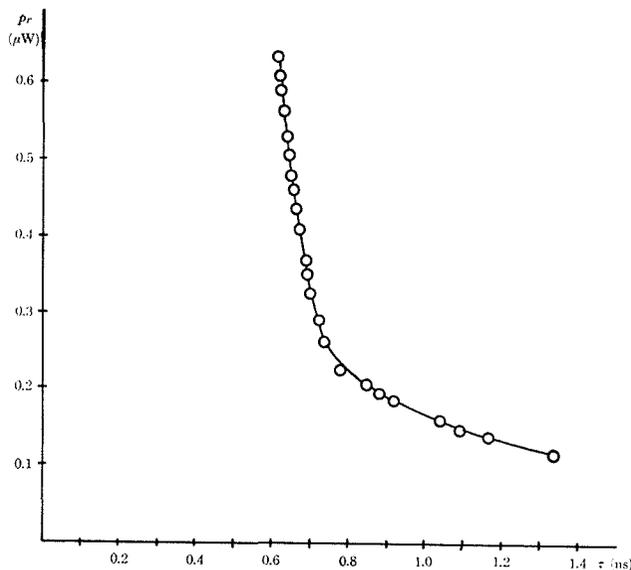


図 5 1 KBITS の τ - P_r

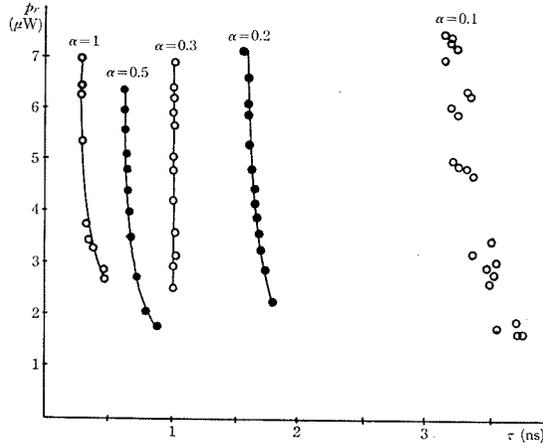


図 6 τ - p_r の α による変化

満足させている。また図5から、 τ はある程度以下にできず、その限度から τ を小さくするには非常に電力を消費することがわかる。

5.2 α ; パラメータ

図7から、 β_0 と τ はまったく同じ傾向を示すことがわかる。それは次のように説明できる。

$$\begin{aligned} \tau &= \frac{C}{\beta_L(v_w - v_{TL})} \\ &= L_D^2 \frac{1/L_D C_{PN}(A_D \beta_0 + A_L L_L/L_D) + C_0 \alpha \beta_0}{k(v_w - v_{TL})} \end{aligned}$$

ここで $L_D \doteq 5(\mu)$ でほぼ一定であるから $\tau \propto \beta_0$ となる。

また、消費電力についても

$$P_r = \frac{\beta_L v_{BIT} \cdot t_r}{2t_{ri}} \left\{ \frac{\Delta v_A^2}{\beta_L/(2C) \Delta v_A t_r + 1} + (v_w - v_{TL})^2 \right\}$$

$t_r = 80$ であって、 $\{ \}$ の中の値はほとんど第2項の $(v_w - v_{TL})^2$ だけで決まるから、 $P_r \propto \beta_L \cdot \beta_0$ によって $P_r \propto \beta_D$

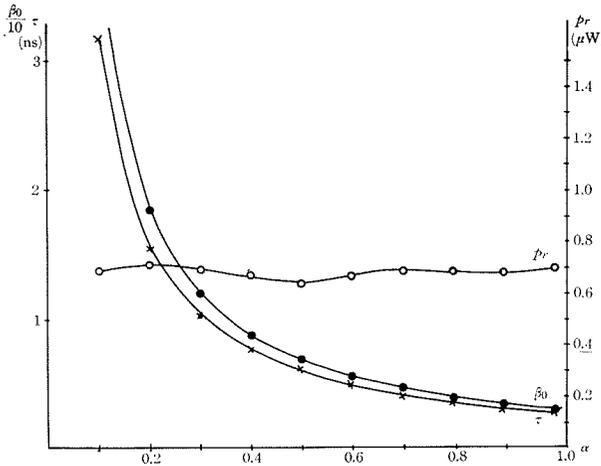


図 7 α - τ, p_r, β_0

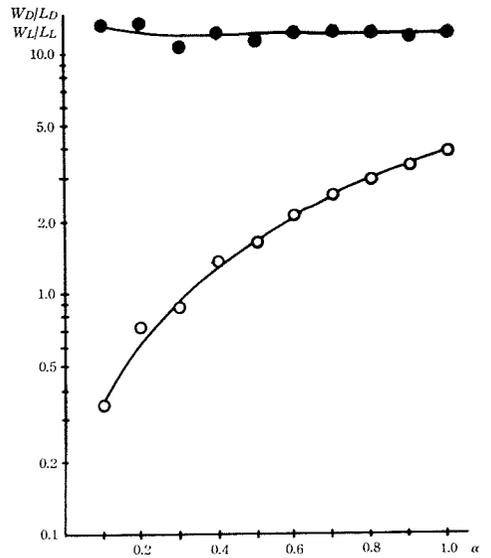


図 8 α - $W_D/L_D, W_L/W_L$

ここで、図8より β_D はほとんど変化しないことがわかるから、 P_r もほとんど変化しない。

結果、 α をパラメータによると次のようなことがわかる。 α を大きくするという事は条件がゆるやかになり、 β_0 が小さくてもよいということである。つまり β_L を大きくして、 τ を小さくすることができる。

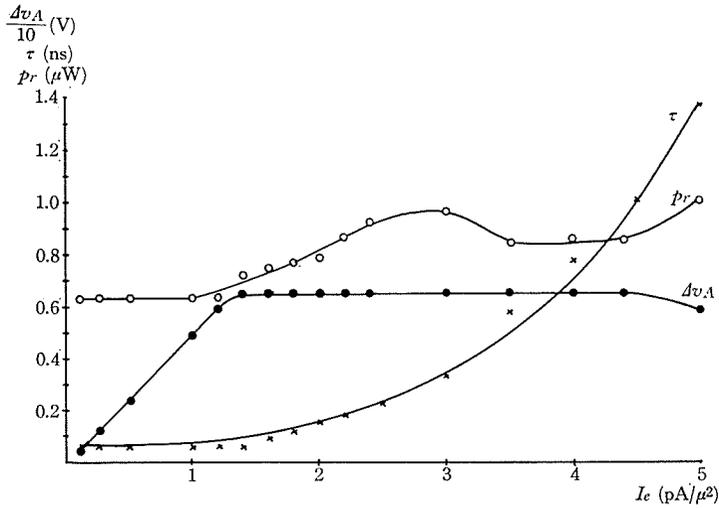


図9 I_e - τ , P_r , Δv_A

5.3 I_e ; パラメータ

図9より Δv_A が制約条件の限界に達した時から τ が大きくなってゆくことがわかる。つまり I_e が大きくなると W_D , W_L を小さくし、もれる面積を小さくする。しかし面積は一定としているため L_D , L_L を大きくして、面積の条件を満たす。すると β_L は小さくなり、また容量 C は W_D , W_L の減少と L_D の増大が補償しあうので、 β_L ほど大きく変化はしない。したがって、 I_e が大きくなると、 τ が大きくなる。また P_r については $\alpha/1/\beta_L$ であるから、 $P_r \alpha \beta_L \cdot 1/\beta_L = 1$ 、したがって、 P_r はほぼ一定の値をもつことがわかる。

図10から、 I_e が大きくなると、 W_D/L_D , W_L/L_L の値が1以下となる。つまりチャネル長よりもゲート幅が大きくなるわけで、MOSFETの性能が悪いものを使うことになり、まずい。

また I_e は一定としているので、 I_e と t_{ri} は比例関係にある。つまり、もれ電流を2倍にするということは、もれ電流そのまま、 t_{ri} を2倍にしたことと同じ意味をもつ。

5.4 S_0 ; パラメータ

S_0 を小さくしてゆくと、 β_0 の条件から L_D は変化できない。結局 W_D , W_L を小さくすると β_L が小になり、また容量 C も小さくなるのではあまり変化しない。

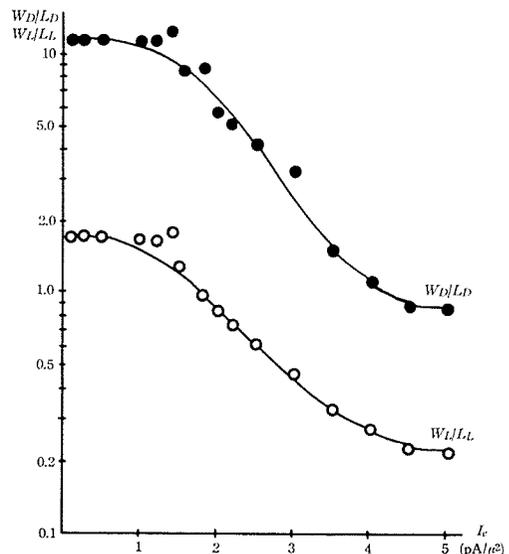


図10 I_e - W_D/L_D , W_L/L_L

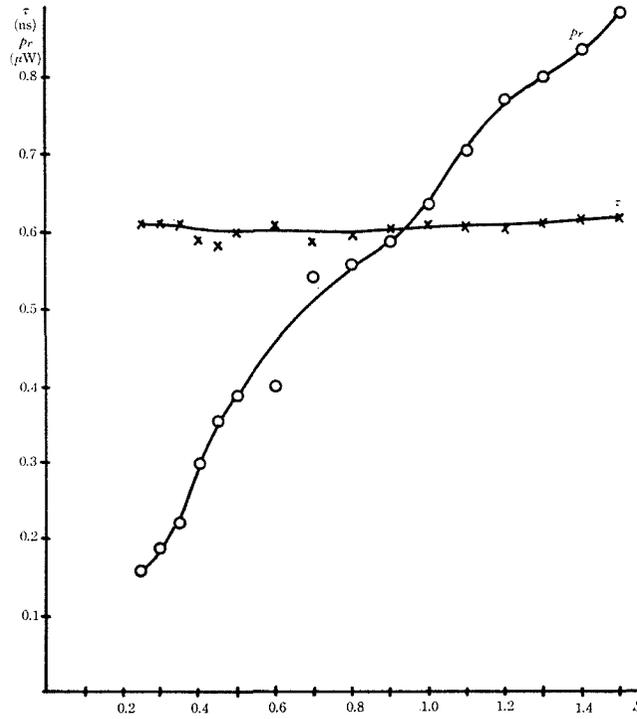


図 11 S, P_r

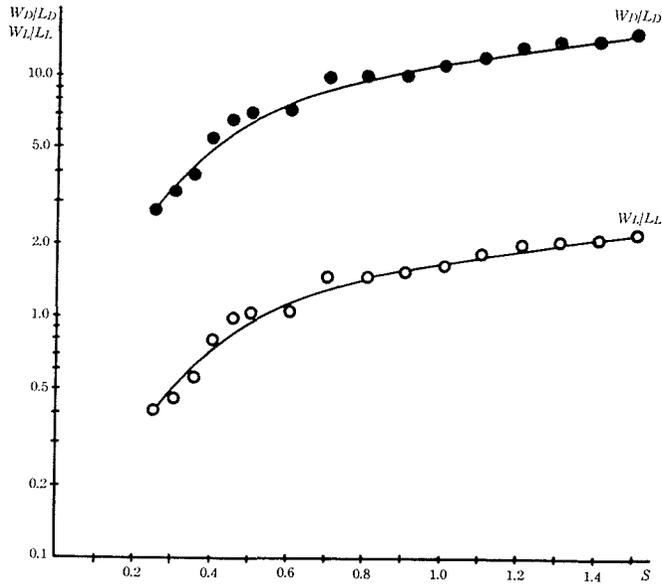


図 12 $S-W_D/L_D, W_L/L_L$

P_r については、 $P_r \alpha \tau \cdot \beta_L$ で β_L が小さくなるから、 S_0 を小さくすると P_r は小さくなる。

$S_0=0.25$ とした点(この場合1KBITSの面積を基準にして規格してある。)が4KBITS素子の値となる。しかし、この点では、ゆるされる領域、つまり、ペナルティにかからない領域が非常にせまくなり、この辺が、製造限度 5μ とした場合の回路の存在限界である。

6. 結 言

ここで、最適設計を行った回路で得られた値はセルだけの値なので、従来のものと一概には比較はできないが、かなりよい値であると思う。

しかし、モデルが取り扱いやすいようにしてあるので、実際のものとの多少のくい違いはあると思われる。だがこれはあくまで最適設計例であるということを思い出していただければよいと思う。

将来、LSI の設計において最適設計ということが必ず必要になると思われる。本論文がそれに役立てば幸いである。

参 考 文 献

- 1) L. C W. デイクソン：“非線形最適化計算法”，培風館。
- 2) 下野，北島，黒部，小川：“多峰性多変数関数の極丈値探索法”，昭和 49 年，信学会全国大会，1775。
- 3) 井伊谷，堀田：“最適化計画入門”，日刊工業。
- 4) 武石，金山：“MOS 集積回路”，近代科学社。