HOKKAIDO UNIVERSITY

Title	並列マイクロプロセッサを用いた高速ホログラフィックレーダシステム
Author(s)	恩田, 邦夫; 国本, 利文; 土橋, 史明 他
Citation	北海道大學工學部研究報告, 105, 55-64
Issue Date	1981-07-31
Doc URL	https://hdl.handle.net/2115/41696
Type	departmental bulletin paper
File Information	105_55-64.pdf

Hokkaido University Collection of Scholarly and Academic Papers : HUSCAP

北海道大学工学部研究報告
第105号（昭和56年）

Bulletin of the Faculty of Engineering,
Hokkaido University, No. 105 (1981)

並列マイクロプロセッサを用いた高速ホログラフィックレーダシステム

恩田邦夫* 国本利文*
土橋史明** 青木由直*

（昭和56年3月31日受理）

High-Speed Holographic Radar System using by Parallel Microprocessors

Kunio ONDA, Toshifumi KUNIMOTO,
Fumiaki DOBASHI Yoshinao AOKI

(Received March 31, 1981)

Abstract

A high-speed holographic radar system is described, where a parallel processing technique is used to execute the FFT operation. An experimental system was constructed with a receiving module, an array processor module, a display module and a control module. The control module has a 8-bit microprocessor and it controls other modules. The receiving module has 32 receiving antennas and an A/D (analogue/Digital) converter. Holographic radar data are collected and digitized with this module. The array processor module is constructed with 4 microprocessors and it executes the FFT operation in parallel.

In the experiment a microwave of 10 GHz was used and a simulated radar image was displayed on CRT an a reconstructed image of an object made of an aluminum plate. The speed of processings is about 70 msec for the 64 point FFT operation and 200 msec for obtaining one frame of the one-dimensional reconstructed image.

1. まえがき

開口合成の高分解能レーダに代表されるホログラフィ技術とレーダ技術を組合わせた，いわゆるホログラフィックレーダにおいて，ホログラムからの像再生に必要な回折変換を計算機による数値演算処理で行おうとする研究が盛んである。[1] この数値像再生法では，従来の光学的手法における時間がかかり再現性にも乏しい写真処理過程が省けるほか，波動の収集から像再生までを一貫してオンライン化することにより実時間に近い処理ができ，さらに任意の端末装置を介して所要の情報形態，例えばCRT映像や数値列として再生結果を表示できるなどの利点がある。またここで用いるマイクロ波や音波などによるホログラムは，光によるホログラムに較べその得られる情報量が格段に少なく，現実的な記憶容量の範囲内で処理可能であり，さらにこれらの波動が最

* 電気工学科 演算工学講座
** 北海道放送㈱に勤務

近の電子技術の発展により容易に検出やディジタル化が可能であるなどの理由から，計算機による数値像再生手法はこのような長波長ホログラムに適したものといえる。

ここで使用する計算機としては，記憶容量や演算速度の点で大型あるいはミニコンピュータなどが優れているが，これらの計算機を像再生システム中に組込んでオンラインで使用することは装置の大型化やコスト高となり実用上からも難点がある。一方マイクロプロセッサを用いたシステムも発表されており，[2] このようなシステムでは装置の小型化，低価格化，環境条件に対する高信頼性，専用システムとしての操作性の良さなどの利点があるが，演算速度が遅く実際的なホログラム情報量に対しては実時間処理という点で難点がある。この欠点を補うために数値演算用のプロセッサ[3] や特殊な乗算用 LSI を付加する試み[4] もあるが，そのために低価格性を損ねる傾向にある。

本研究では，マイクロプロセッサシステムの持つ利点を生かしかつ演算速度の低速性を補う手段として，再生演算処理の並列性に着目し，安価なマイクロプロセッサを多数用いたアレイプロセッサシステムによる並列演算処理手法について提案している。さらにマイクロプロセッサ4台による並列処理装置を試作し，一次元のマイクロ波によるホログラムからの像再生の実験を行い検討している。このようなシステムにおいて問題となる点やパイプライン処理手法の適用による高速化の可能性についても言及している。

2. 数値像再生演算

2. 1 フレネル変換演算

長波長領域のホログラムは物体散乱波のフレネル回折場を記録したフレネル変換ホログラムであることが多く，従ってこれから数値的に再生像を得るためにはホログラムのフレネル逆変換を行えばよい。以下では本実験に対応させるため Fig. 1 の in-line 型ホログラムを考え，一次元方向についてのみ扱う。N 個の受波器は x 軸上で開口 L にわたって等間隔 L／N で直線上に配置されており，その正面に物体，さらに正面遠方に送波器が配置されている。ここで送波器からの参照波は平面波とみなしている。この参照波を物体に照射すると，参照波と物体散乱とによるフレネル変換ホログラムが受波器アレイ上で観察され，この逆変換によって ξ 軸上に再生像のエネルギー強度分布が得られる。

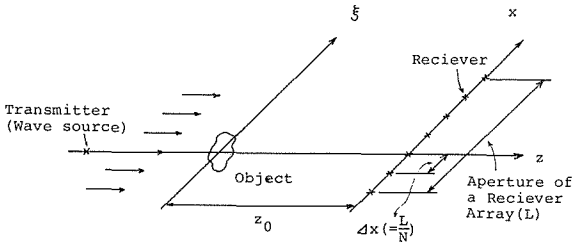


Fig. 1 Coordinate system of an in-line Fresnel transform hologram.

このフレネル逆変換演算はホログラムを $h(x)$，再生像を $u(\xi)$ とすれば次式で与えられる。

$$u(\xi)=\int_{-\infty}^{\infty} h(x)\exp\left\{jk\frac{(x-\xi)^2}{2Z_0}\right\}dx \qquad (1)$$

但し $j=\sqrt{-1}$，$k=2\pi/\lambda$，λ は参照波の波長，Z_0 はホログラム面 (x) と再生像面 (ξ) の距離である。また (1) 式は定数的位相項を省略してある。(1) 式を計算するには上式をいったんフーリエ変換の組合わせに変形し，FFT（高速フーリエ変換）の手法を用いて演算されるが，その変形では2つの方法が知られている。[5]

まず(1)式はコンボリューション演算子⊛を用いて次式のように書直すことができる。

$$u(\xi)=h(\xi)\circledast p(\xi) \qquad (2)$$

但し $p(\xi)$ は伝搬関数と呼ばれるもので次式で表わされる。

$$p(\xi)=\exp\left(jk\frac{\xi^2}{2Z_0}\right) \qquad (3)$$

(2)式の関係はコンボリューション定理によりフーリエ変換演算子，フーリエ逆変換演算子としてそれぞれ F，F^{-1} を用いて

$$u(\xi)=F^{-1}[F\{h(x)\}\cdot F\{p(x)\}] \qquad (4)$$

と表わすことができる。実際には伝搬関数のフーリエ変換は解析的に求まり，f を空間周波数とすれば

$$P(f)=F\{p(x)\}=\exp(-j\pi\lambda Z_0 f^2) \qquad (5)$$

となるから，$h(x)$のフーリエ変換とそれに$P(f)$を乗じたもののフーリエ逆変換の2回のフーリエ（逆）変換によってフレネル変換演算が計算される。この方法によればフレネル逆変換結果，すなわち再生像はホログラムと同一の間隔および開口幅のサンプル点上に得られる。

一方(1)式は伝搬関数項を展開して次式のようにも書ける。

$$u(\xi)=\exp\left(jk\frac{\xi^2}{2Z_0}\right)\int_{-\infty}^{\infty}\left\{h(x)\exp\left(jk\frac{x^2}{2Z_0}\right)\right\}\cdot \exp\left(-j2\pi\frac{x}{Z_0\lambda}\xi\right)dx \qquad (6)$$

これは $h(x)$ と伝搬関数 $p(x)$ の積のフーリエ変換形となっており，ただ一度のフーリエ変換によってフレネル変換演算が計算できることを示している。この場合変換結果はホログラムの開口幅に逆比例したサンプル点上に得られ，受波器アレイ開口よりも物体の存在する範囲が広がっている場合に有利である。この2つの処理手順をFig. 2にまとめた。

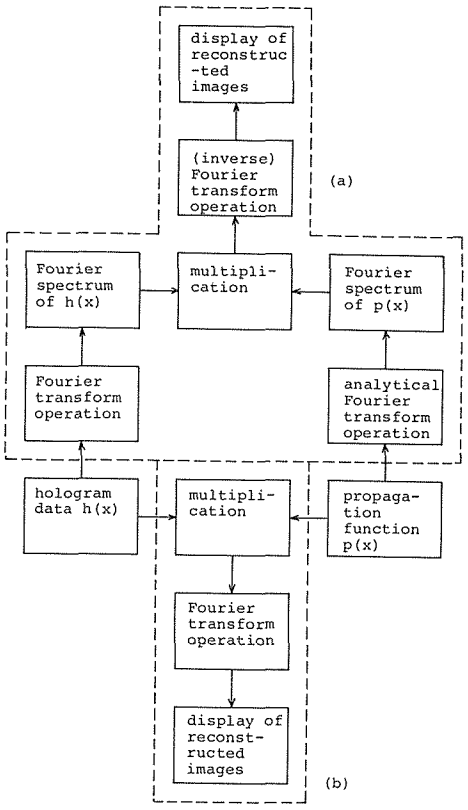


Fig. 2 Two methods for obtaining reconstructed images from the hologram data.
(a) by two times of Fourier transform operation.
(b) by once of Fourier transform operation.

2. 2　基数 4 FFT の並列演算法

フレネル変換演算はフーリエ変換演算の組合わせで表わすことができ，またフーリエ変換演算に対してはこれを高速に実行するためのFFTアルゴリズムが存在するから，像再生の高速化をはかる一手段としてこのFFTの高速化が考えられる。以下ではFFTのデータ点数を $N=4^r$（r：正整数）に選んだ基数4FFTを複数個の演算素子を用いて並列に演算することによりFFTの高速化を考える。

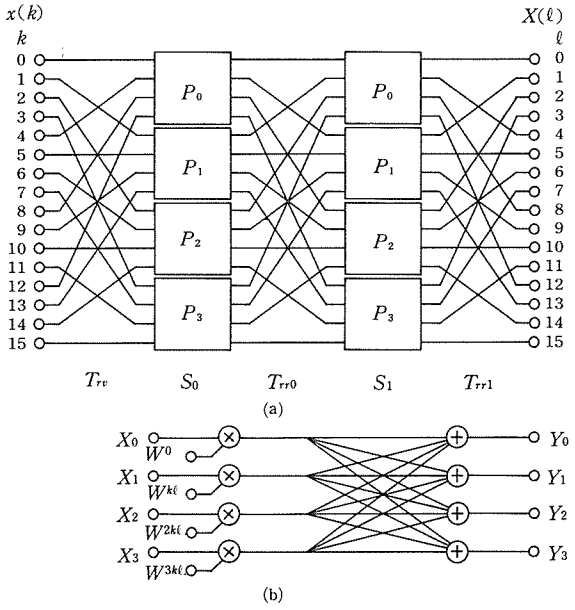


Fig. 3 (a) A signal flowgraph of radix-4 FFT operation by the method of decimation in time (N=16).
(b) The radix-4 butterfly operation in a processing element (P_l) of k-th stage (S_k).

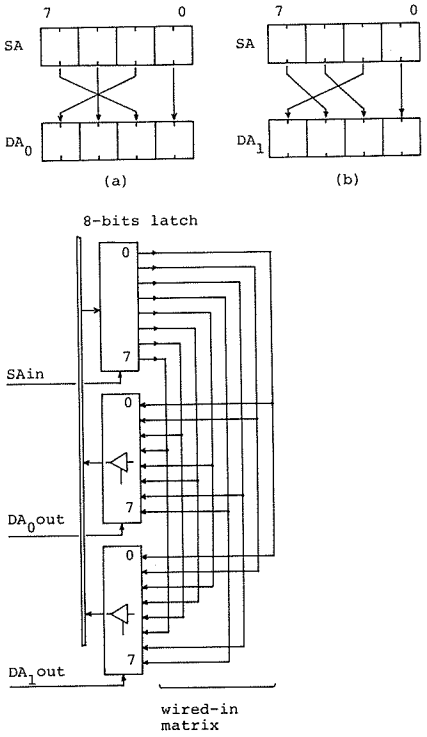


Fig. 4 (a) Address pattern for Digit Reversal Transfer (DRVT), (b) for Digit Right-Rotation Transfer (DRRT).
(C) Simple hardware implementation for generating of the pattern.

FFT アルゴリズムでは, データ点数を $N=2^r$ とした例が多くこれは基数 2 FFT と呼ばれる。しかし基数を 4, 8, 16 などに選ぶこともでき一般に基数を大きな数に選ぶほど FFT での全体の乗算回数が減少することが知られている。[6] このことは乗算に特に時間のかかるマイクロプロセッサでは有利であるが, 一方データ点数の選び方が大きく制約され少ないデータ数の場合には dummy data をそう入する必要がある。特に本システムのような場合, データ点数は受波器アレイの素子数に相当しコスト的な問題などから無条件にデータ点数を大きくできない。このような妥協から本システムでは $N=64$ とし, 基数 4, すなわち $N=4^r$ とした FFT アルゴリズムを採用している。

基数 4 FFT の信号流れ図はバタフライ演算と呼ばれる FFT 基本演算への入出力結線関係を工夫することにより並列処理に適した信号流れ図を得ることができる。Fig. 3 (a) に $r=2$ としたときの並列処理向き信号流れ図と, Fig. 3 (b) にその基本バタフライ演算を示す。このバタフライ演算はパラメータとして k, l の情報が必要な以外は同一の演算であり, 1 つのバタフライ演算に対し 1 つの演算素子を割当て, 図の例で 4 個の演算素子を用意すれば 1 回のステージは同時に実行できる。さらにステージ方向に対しても演算素子を配置し, 一般に $(N/4)\log_4 N$ 個の素子を用いてパイプライン処理も併用すれば, 入力データが順次送られているとき見かけ上 1 つのバタフライ演算時間で FFT 演算が実行できる。実際にはステージ間でデータの受け渡しがあるためやや効率は低下するが, データ点数が固定されている場合には受け渡しのパスを多重化して固定

化することによりデータ転送の高速化をはかることもできる。

Fig. 3 (a) で T_{rv}, T_{rri} ($i=0,1$) で示されるステージ間のデータ転送はそれぞれディジット反転転送，ディジット右回転転送と呼ばれ，Fig. 4 (a) で示すようにデータの添字番号を4進数表現したときそのデータをDAで表わされる添字の箇所へ移動する転送である。図の例では64点の場合であり，下位2ビットが変化しないのは本システムにおいて1つのデータに対して4バイト（32ビット）を割当てているためである。

ここで述べたFFTの並列演算手法は基数4のものに限らず，基数2，8などの場合にも適用でき，この場合には単に個々の演算素子で扱うデータ数と転送パターンが変化するだけである。

3. 実験装置の構成

3. 1 システム構成の概要

本システムの構成はFig. 5に示すようにホストコンピュータをかねる制御用プロセッサ (CP) 部，ホログラムデータを収集する受信部，FFT演算を実行するアレイプロセッサ部および再生像を表示する表示部からなる。ここでホログラムデータの収集から再生像の表示までを一貫してオンライン処理を行うという数値像再生システムとしての特徴を生かすため，ホストコンピュータに対してもマイクロプロセッサを採用している。本システムで使用しているマイクロプロセッサは全て8ビット語長のZilog社Z−80である。

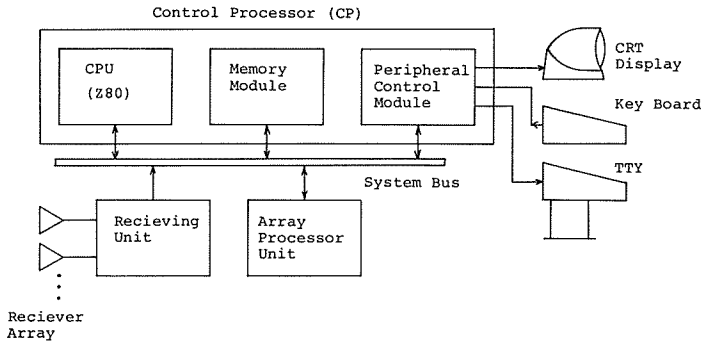


Fig. 5　System configuration

3. 2 受 信 部

受信部はマイクロ波ホログラムを収集するための受波器アレイ，マルチプレクサ及びA／D (Analogue／Digital) 変換器から構成される。ここで受波器アレイの開口及びサンプル点数は，N個の受波器アレイでサンプリングされたデータを処理すると得られる像もN個のサンプル点で表現され，従って再生像をより鮮明に得ようとすればNを大きくとる必要がある。また再生像面の分解能は $\lambda Z_0/L$ で知られ，分解能を向上させるためには開口Lを大きくしてやればよい。しかしながら，基数4FFTの採用のために $N=4^r$ でなければならず，結局N＝64としている。実際にはコスト的な関係から，実験で使用したアレイ素子数は32で残りについてはdummy dataをそう入して計算を行っている。各アレイ素子は9 cmの等間隔で直線状に配置され，その開口は約280 cmである。

各アレイ素子はFig. 6に示すように10×8 cmのプリント基板上にダイポール型アンテナ，検

波用ダイオード，信号増幅用オペアンプ及び各アレイ素子で同時にサンプリングを行うためのサンプル／ホールド回路が配置されている。これはホーン型アンテナを用いた場合のように指向性が鋭くないためホログラムデータの収集用としては逆に有利であり，また安価に製作できる。一方，検波用ダイオードなどに特性のばらつきがあるため全アレイ素子での特性の均一化が必要であるが，増幅用オペアンプの増幅率の微調整と収集後の数値補正でこれを解決している。CP からの信号によりホログラムデータは全アレイ素子で同時にサンプリングされ，次にマルチプレクサを介して順次 A／D 変換器に送られる。この A／D 変換器は CMOS-IC によるものを用いており，8 ビットのディジタルデータへの変換時間は 15 μ 秒と高速で 32 点のホログラムデータの収集を約 0.5 m 秒で終了する。

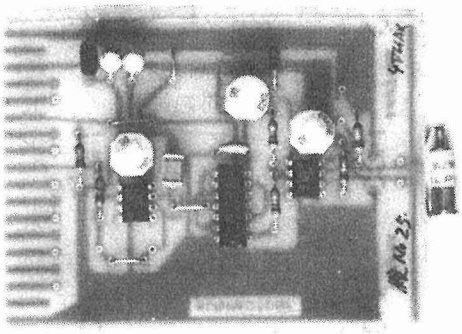


Fig. 6 Reciever

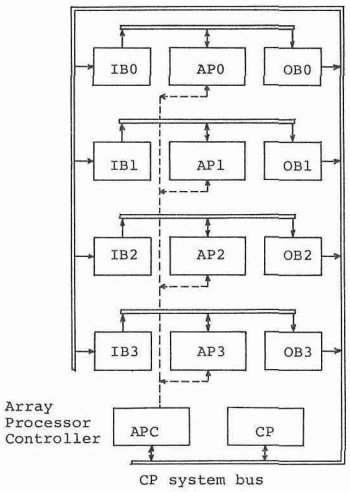


Fig. 7 Block diagram of the array processor

3. 3 アレイプロセッサ部

アレイプロセッサ部では基数 4 FFT の並列演算を行う。ここで 64 点のデータに対して（N／4）$\log_4$ N の関係から 48 個のプロセッサを用いて Fig. 3(a) で示した並列ーパイプライン構成のアレイプロセッサを採用すれば，FFT は Fig. 3 (b) の 4 点バタフライ演算を実行する時間で見かけ上終了することになる。しかしこのプロセッサ数はいかに安価なマイクロプロセッサを用いるとはいえ構成上その実現には難点があり，本システムでは 1 つのステージについての並列処理のみ扱っている。この場合 16 個のプロセッサが必要であるが，1 つのプロセッサでは 4 個の演算素子を代用するものと考え，ここでは 4 個のマイクロプロセッサを用いてシステムの作製を行った。Fig. 7 に示すようにアレイプロセッサ部はほぼ同一の構造をした 4 個のマイクロプロセッサ（AP 0～3）から構成されている。各 AP には固定化プログラムを記憶させる ROM (Read Only Memory)，作業領域用の RAM (Rardom Access Memory) の他，バタフライ演算用の入力データを蓄える入力バッファメモリ(IB)と演算結果を蓄える出力バッファメモリ(OB)があり，IB 及び OB は AP と CP の共有メモリ構造をもたせて両方のプロセッサからデータの読み書きが可能になっている。

このアレイプロセッサ部での基数 4 FFT の並列演算は先に述べたようにプロセッサ数の制約から 1 つのステージでの並列処理に限っており，しかも 1 つのプロセッサで 4 回の 4 点バタフライ演算を行っている。したがってステージ方向に対してはこのアレイプロセッサ部を繰返し使用している。またステージ間のデータの並べ換えは OB−IB 間でデータ転送が行われており，各 AP の実行制御，データ転送制御は CP が行っている。64 点の入力データは，まずディジット反転によるデータの並べ換えが行われた後，16 点ずつ各 AP の IB に書き込まれる。次に AP に対して起動がかけられ，各 AP では 4 点のバタフライ演算が 4 回実行され結果を OB に出力する。CP では AP

の実行終了を確認後OBのデータを読み出し，今度はディジット右回転によるデータの並び換えを行い，再びIBに書き込み，起動をかける。これを3回繰返すことによりFFTが実行される。ここで4個のプロセッサを用いることにより1つのプロセッサで場合に較べ4倍の速度向上が期待されるが，実際にはデータの並べ換えのように並列化できない部分があるため効率はこれより低下する。特にCPでこのデータの並べ換えを全てソフトウェアで行うと時間がかかるため，本システムではデータ並べ換えの番地発生のためにFig. 4 (b) で示すような結線マトリクスによる簡易ハードウィアを採用し高速化をはかっている。

3. 4 表 示 部

CPには再生像表示用としてVideo RAM方式によるモニターテレビディスプレイとテレタイプライタ（TTY）が用意されている。テレビディスプレイはRAMへの書き込み速度での表示が可能であり（準）実時間での再生像表示用として用いており，TTYはデータ記録用として使用している。再生像の表示は像が一次元方向のみであることから特殊な文字パターン（☆）を用いてグラフ表示を行っている。

4. 実 験 と 検 討

4. 1 FFTの数値実験と結果

まずFFTの並列演算の速度評価のために任意に選んだ3種のデータを用いて，1台のプロセッサによる基数2 FFT及び基数4 FFT，そして本システムの4個のプロセッサを用いての基数4並列FFTについてその実行速度の比較を行った。速度は，プロセッサのマシンクロック数をカウン

Table 1 Comparison of the speed for executing of the 64-point FFT operation.

	(a) radix—2 FFT	(b) radix—4 FFT	(c) radix—4 parallel FFT	time ratio (b)/(a)	time ratio (c)/(b)
data—1	195 msec	130 msec	51 msec	0.67	0.39
data—2	170	106	45	0.62	0.43
data—3	266	196	67	0.74	0.34

*) machine clock frequency=4 MHz
(cycle time=250 nsec)

トするハードウェアを外付けし，プログラムの開始から終了までのマシンサイクル数を実測しこれにクロックのサイクル時間を乗じて計算された。その結果をTable 1に示す。ここで内部のデータ表現は有効ビット数をできるだけ保存するという立場から，仮数部8ビット，指数部7ビット，符号1ビットからなる16ビット浮動小数点型を採用している。但し完全な実数型ではなくデータは常に小数点以下の値となるよう入力データに適当な正規化を行うことで，指数部には符号をもたせず，正規化のための処理を簡略化させている。またデータが0であるような乗加減算についてはこれを省略するなど，演算の高速化をはかる工夫をしている。なお本システムでの演算精度は有効数字2～3桁を保証している。FFTでは複素データを扱うことから一点のデータに対しては実部2バイト，虚部2バイトの計4バイトを割当ててある。

Table 1の結果から基数4 FFTの採用により基数2 FFTに較べほぼ30%の速度向上を得，さ

らにその並列処理によってほぼ2.5倍の速度向上となっている。ここで並列処理によって，使用したプロセッサの台数分，すなわち4倍の速度向上とはなっていない。この理由は先にも述べたようにFFTプログラムが並列に処理できる部分のみではなく，データの並べ換えなど直列的な部分が介入しているためであり，特にデータの並べ換えは1台のプロセッサの場合には同一メモリ内に全てのデータがあるため実際にデータを移動するのではなくアドレス計算の工夫によって実現できるのに対し，本システムの場合では各プロセッサのメモリへ実際にデータを移動してやらねばならずその分効率が低下する。これを解決する手段の一つとして全てのプロセッサからアクセス可能な共有メモリをもうけ，アドレス計算によってデータを取り込む方法が考えられるが，共有メモリ方式はアクセス競合への対策が必要となる。一方データ点数が固定されている場合にはデータ転送部をハードウェア化して高速化をはかる方法[7]などが有効であると思われる。

4. 2 マイクロ波ホログラムからの像再生実験

次に，試作したシステムを使いてマイクロ波ホログラムからの像再生の実験を行った。参照波発生用の送波器としてはFig. 8に示すガンダイオードによる発振装置を用い，発振周波数10 GHz，波長が約3 cmのマイクロ波を発生させている。実験では室内実験という制約から送波器と受波器アレイ間隔は約4 mと充分な距離が得られず，参照波として平面波を用いているとはいえないため伝搬関数の距離パラメータZ_0を次式によって補正している。

$$\frac{1}{Z_0}=\frac{1}{D_1}-\frac{1}{D_2} \qquad (7)$$

但しD_1は物体面と受波器アレイの距離，D_2は送波器と受波器アレイの距離である。物体としてはアルミニウム板を用い，物体の形状およびD_1を変化させて像再生実験を行った。

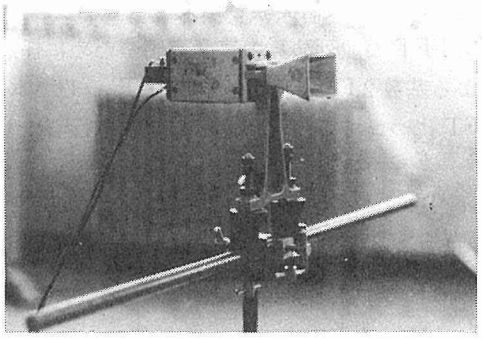
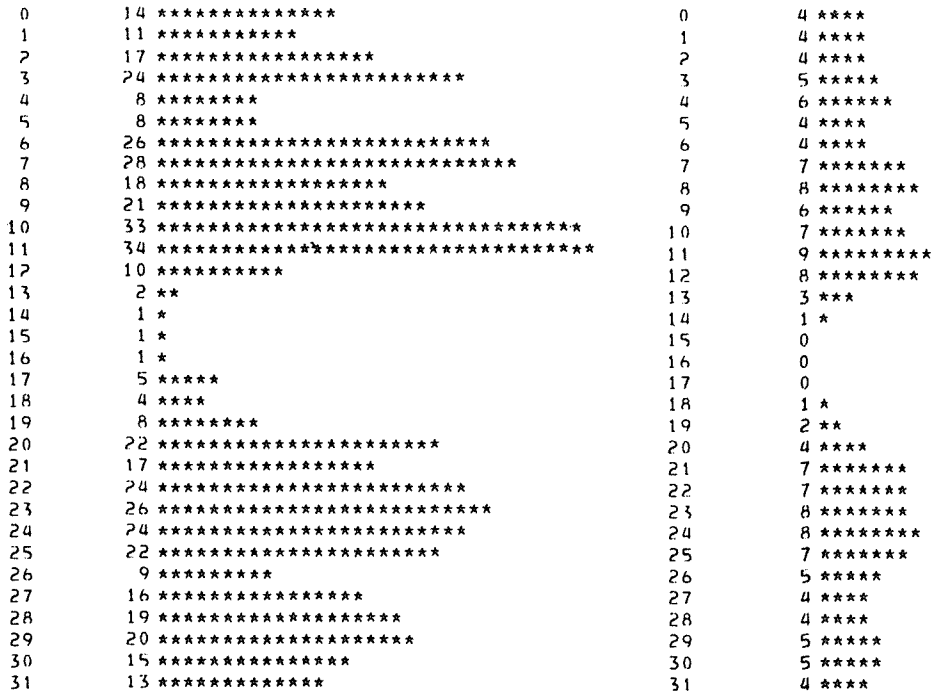


Fig. 8 Transmitter

変換演算はFig. 2で示した2回のフーリエ変換による方法を用いており，ここで距離パラメータが必要であるが，未知の距離に対してホログラムから直接再生像を求める方法は特殊な条件の場合[8]を除いて今のところなく，パルスエコー法などを併用する方法が用いられるが，本実験では高速処理という点に注目しているため距離（D_1，D_2）は既知のものとして与えている。

得られた受波器アレイからのホログラムとその再生像をFig. 9に示す。ここで物体として使用したアルミ板はマイクロ波に対して反射物体と考えられるから，再生された像はマイクロ波強度のない（あるいは非常に弱い）部分として表わされる。また物体が非常に大きい場合はその裏側にある受波器では参照波，回折波ともに観測されず，いわば物体の〝影〟が観察される。物体は物体面中央に位置しているが，その分解能は良好とはいえない。この原因として第一に考えられるのはサンプル点数が多くないことであり，先に指摘したように再生像の分解能は受波器アレイの個数が多く開口幅も充分広くとれればより向上するものと思われる。また実験室内の環境条件も良好とはいえずマイクロ波の壁面，床面からの反射も考慮する必要があり，参照波を平面波とみなせるような充分な距離も必要であろう。一方本システムでは1枚の再生像をテレビディスプレイ表示するのに約0.2秒と高速であり，1次元方向のみではあるが動く物体からの像再生も可



(a) (b)

Fig. 9 (a) hologram (b) reconstructed image (D_1=2.5m, width of the object=120mm)

能であると思われる。

4. 3 検　　討

本実験では実時間処理という点ではマイクロプロセッサを用いたシステムであっても充分実用に耐え得るホログラフィックレーダシステムが実行できることが明らかになったが，データ点数が32と少なく実際的なデータ量（10^2～10^3）に対してはさらに検討が必要である。また2次元方向での像再生を考慮に入れるとここで提案したFFTの高速化だけでは実時間処理は望めなくなる。すなわち扱うデータ量が増せばホログラムデータの収集や再生像の表示にも時間がかかり，本システムのようにCP1台でこれを行う場合にはCPの負担増となる。ところでホログラムからの像再生過程では，1度データが変換されてしまうと次にその変換前のデータが再び用いられることはなく，各変換をモジュール化して各々独立したプロセッサをもたせて全体をパイプライン処理化することが考えられる。すなわち像再生過程を，ホログラムデータの収集と量子化，伝搬関数との積演算，FFT演算，再生像の表示などに大別して機能ブロック化し，全体を統割する制御部を置いて各機能ブロックの間を順々にデータを流していけば，各機能ブロックでは処理後のデータを次段のブロックに受け渡した後ただちに次の新しい入力データを処理でき，見かけ上一つの機能ブロックの処理時間で像再生が行える。但しこの場合には各機能ブロックの負担が同一となるような分配が必要となる。また2次元像再生では2次元FFTが必要となり，これは1次元FFTの繰返し演算で実現されるが，この1次元FFT演算部のパイプライン化や2次元FFTでのステージを平面配置されたアレイプロセッサで並列実行するなどのいくつかの高速化手法が考えられる

が，これらは今後の課題としたい。

5. あ と が き

本研究ではホログラフィックレーダシステムを安価なマイクロプロセッサを多数用いて並列処理やパイプライン処理手法を併用させた構成で実現することにより，マイクロプロセッサシステムの小型，低価格，操作性の良さといった特長を生かしつつ高速化をもはかれることを述べ，実験システムを作製して実用化の可能性を確かめている。マイクロコンピュータを始めとする電子技術は現段階においても急速に発展しつつあり，このような電子技術を駆使することにより高性能の充分実用的なレーダシステムの実現も可能であると思われる。さらに進んだシステムの開発はこれからの課題である。

本研究の一部は昭和55年度科学研究費補助金の援助のもとに行われているものでここに記して感謝する。

参 考 文 献

1) 松尾 優，山根国義：レーダホログラフィ（電子通信学会編）(1980).
2) 青木由直，山本 強：工学部研究報告，**94** (1979)，pp. 69-78.
3) 例えば伊藤 誠：インターフェース，**18** (1978)，pp. 97-102.
4) 青木由直，阿部恭徳，似鳥一彦：電子通信学会論文誌，**63-D** (1980)，pp. 102-104.
5) 青木由直，鈴木洋一，石塚滋樹，岩崎 俊：同上，**58-C** (1975)，pp. 71-78.
6) 宮川 洋，今井秀樹（訳）：高速フーリエ変換（科学技術出版社）(1979)
7) 恩田邦夫，青木由直：昭和55年度電気学会全国大会予稿集，**1262** (1980).
8) 国吉俊治：修士論文 (1981)
9) 恩田邦夫，青木由直：電子通信学論文誌，**63-D** (1980)，pp. 441-442.
10) 恩田邦夫，国本利文，青木由直：電子通信学会技術研究報告，**EC80-21** (1980).