



Title	連続系シミュレータとしての並列演算装置”PPA”の動作特性
Author(s)	牧野, 圭二; Makino, Keiji
Citation	北海道大學工学部研究報告, 131, 61-70
Issue Date	1986-05-30
Doc URL	https://hdl.handle.net/2115/41988
Type	departmental bulletin paper
File Information	131_61-70.pdf



連続系シミュレータとしての並列演算装置“PPA”の動作特性

牧野 圭二

(昭和60年12月27日受理)

Performance of a Processor-Array System as a Continuous-System Simulator

Keiji MAKINO

(Received December 27, 1985)

Abstract

This paper describes the performance of a parallel processing system PPA for the simulation of continuous systems. PPA is composed of two master processors and a circular array of thirty-two slave processors connected by a three-port shared-memory system. It emulates a conventional analog computer, solving differential equations through the use of a real-time continuous-system simulation software ICOSS. The dynamic characteristics of PPA as a real-time simulator will be graphically presented. This system can simulate dynamical systems in real time up to ten Hz with sufficient accuracy. Data-transfer time and actual computing time is compared by analyzing PPA doing numerical integration for one integration step.

1. はじめに

連続系シミュレーションの分野では長い間アナログ計算機あるいはハイブリッド計算機が用いられてきた。しかし、アナログ計算機は、問題との対応の良さや実行時における操作性の良さなど多くの特徴を持ちながら、スケーリングやパッチングなどに代表されるプログラミングの柔軟性の欠如から、デジタル計算機の発達と共に次第に用いられなくなってきた。

従来用いられてきたアナログ計算機には、問題の規模や複雑さに依存しない演算の高速性、演算の実時間性といった実時間シミュレーションに対しての非常に優れた長所を有しており、現在の汎用デジタル計算機システムを用いたとしても容易に実現できない。従って全デジタル式連続系シミュレータを考える場合、アナログ計算機を持つ問題点の克服はもちろんであるが、いかにアナログ計算機を持つ長所を保存し生かすことができるかが成功の一つの目安である³⁾⁷⁾。

北海道大学全学共同利用施設汎用シミュレータ施設では、主目的の連続系シミュレーションのために、並列処理を用いた演算サブシステム PPA (Parallel Processor Array)⁴⁾⁵⁾ と、CSMP 系統に属するリアルタイム系のオンライン・シミュレーション・ソフトウェア・システム ICOSS (Interactive Continuous-System Simulation System)²⁾ とを開発している。これらは、同施設で開発され稼動中である全デジタル式の会話型汎用シミュレータ HOSS (Hokkaido University High-Speed System Simulator)¹⁾³⁾ の主要部分として組み込まれ、一般研究者に対する実用機として稼動中である。

ICOSS のもとでの PPA による連続系シミュレーションでは、アナログ (ハイブリッド) 計算機が持つ問題点であったスケーリングやパッチングなどプログラミングの柔軟性の欠如を改善し、その長所であった問題との対応の良さ、実行時における操作性の良さなどを生かしながら、低速アナログ計算機に近い実時間性能を得ている。

以下本稿では ICOSS のもとでの PPA の演算性能と動作特性について論じる。

2. PPA の構造と特徴

PPA は32ビット浮動小数点演算を標準基本演算とした階層構造を持つ連続系専用の1次元循環アレイ型のマルチプロセッサ・システムである。

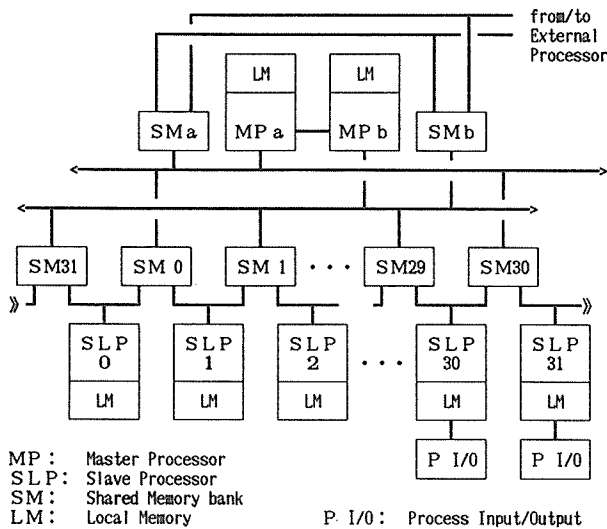


図1 並列演算装置 PPA の構成

一般に並列処理システムでは分割されたプログラムを並行して実行するため演算に関しては並列化の効果は大きいですが、データの交換量が多くなると処理全体に占めるデータ転送時間が支配的となり、並列化の効果打ち消す結果となりやすい。特にマスタースレーブ方式の並列処理システムでは制御は行いやすくなるが、データ転送が特定の部分、特にマスタ・プロセッサに集中しやすく処理効率低下の原因となりやすい。PPA ではマスタ・プロセッサを複数にすると共にそれぞれに転送バスを用意し、さらにシェアド・メモリ・システムでマスタースレーブ間及びスレーブ間の結合をはかり、それにアドレス切換機構、ブロードキャスト転送機構、割込機構などを持たせて解決をはかっている。

これらの PPA の構成上の主な特徴は以下のようにまとめることができる。

- (1) PPA はマスタースレーブ方式に構成されており、それぞれのエレメント・プロセッサは独立なプログラムを独自に実行できる MIMD 型 (Multiple Instruction and Multiple Data Stream) のシステムである。
- (2) PPA は、32台のスレーブ・プロセッサ (SLP) が3ポートのシェアド・メモリ・バンク (SM バンク) を間にはさみながら1次元循環アレイ状に構成されている。2台のマスタ・プロセッ

演算制御方式	マイクロ・プログラム
内部クロック	230 ns
汎用レジスタ	8 個
語長	16 bit/word ※
最大アドレス空間	32 kw
ローカル・メモリ	4 kw (実装)
シェアド・メモリ	2 kw/台 (3ポート, 実装)
(サイクル・タイム)	350 nsec (アクセス無し)
	460 nsec (1 アクセス)
	570 nsec (2 アクセス)
(サービス)	First Access First Service
浮動小数点演算機構	F F P 標準装備
演算速度	(単位: μs)
固定小数点数	
加・減算	1.1 (R-R), 1.6 (R-M)
乗算	11.1
除算	11.2
浮動小数点数	(F F P 使用: 40ビット・データ)
加・減算	2.11
乗・除算	5.12 (4.47: R-R \rightarrow R)
ロード	2.21
ストア	1.81

※ 但し、32bit データを処理単位とした MOVE 命令等有り

表1 スレーブ・プロセッサの性能

サ (MP) がそれぞれ一つおきの SM バンクに接続され、それを通して全体を制御・統括している。PPA の構成を図 1 に、SLP の性能を表 1 に示す。

(3) SLP 間のデータ交換は、SM をデータ転送用の領域と考えると、隣接する SLP 間ではデータの移動なしに直接 SM バンクで、また、遠隔 SLP 間ではどちらかの MP の制御のもとバスを用いた SM バンク間の転送として行うことができる。

(4) SM システムには、MP からの制御を容易にしかつ実行効率を上げるために、MP からその制御下にある 16 台の全 SLP へ同一データを一挙に転送するブロードキャスト転送機構とそれに付随した割込機構、及び、各 SM バンク内の一部の領域の物理アドレスを一斉に交替させるアドレス切換機構が装備されている。

(5) MP 間ではデジタル入出力ポートを用いて独立に同期をとることができる。

(6) PPA での実時間シミュレーション実行時のデータの入出力は 4 台の SLP に装備されたプロセス I/O ポートを通して実行速度に影響を与えずに行うことができる。

(7) 各 SLP にはハードウェアによる 32 ビット浮動小数点高速演算機構 (FFP; Fast Floating-point-data Processor) が装備されている。FFP は、指数部 2 進 8 ビット、仮数部 24 ビットの単精度浮動小数点数の四則演算を実行し、SLP 本体から FFP へのデータ転送時に仮数部の下位 8 ビットが拡張され、SLP 本体へ戻される時に ROM を使ったまるめ処理で拡張された仮数部の下位 8 ビットが除去される。

3. PPA での ICOSS 下における実行過程と計測方法

PPA を用いた連続系シミュレーションは、PPA と同時に開発された CSMP タイプの記述形式を持つ ICOSS ソフトウェア・システムを用いて行う。ICOSS では連立常微分方程式あるいはブロック・ダイアグラムの形にモデル化が行われるので、PPA での実行はアナログ計算機のイメージに近い方程式レベルでの並列処理方式を採用し、SLP を積分に付随する演算も含めて計算を行う一種の数値積分器であると考えている。

ICOSS では、SM システムの構成上の特長、すなわち隣接する SLP 間でのデータ交換が不要であること、遠隔 SLP 間でのデータ交換は各 MP で半数ずつを行えばよいこと、共通データはブロードキャスト機構で一度に転送できること等を生かすため、変数は SM に割り当て、プログラムは各 SLP のローカル・メモリ (LM) に割り当てている。また同時に、各 SM バンクでのメモリ割り当ては、転送量の減少と転送路の並列、複数化ができることを中心に行っている⁵⁾。これら変数の SM バンクへの割り当てを始めとして各 SLP の負荷の均等化などは、実行開始に先立つ HOSS のホスト・プロセッサでの翻訳時に積分演算に注目してトランスレータにより自動的に行われる。

現在、1 台の SLP にそれぞれ 6 積分演算までの割当てが可能であり、1 問題当りの最大積分演算個数は 192 個となっている。PPA の標準組み込み数値積分法は、オイラ法、2 次のアダムス予測子法、3 次のルンゲクッタ法の 3 種であり実行時に任意に選択できる。また、実時間シミュレーションが可能なよ

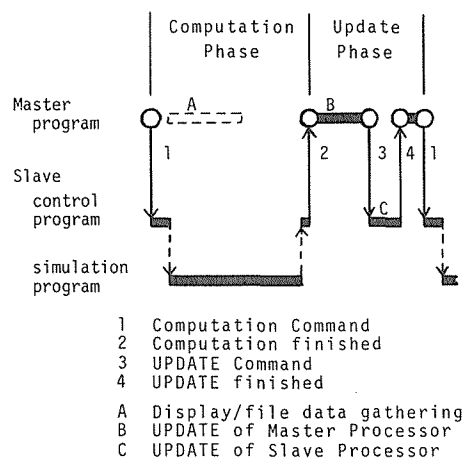


図 2 ICOSS 実行時における PPA の実行サイクル

うに、シミュレーションの実行はすべて PPA だけで行われる。

シミュレーションの実行は、MP の制御のもと各数値積分刻みの実行を単位とする一連の処理を繰り返すことにより進められる。その処理単位はフレームと呼ばれ計算フェーズとデータ交換フェーズとからなる(図 2 参照)。すなわち、計算フェーズでは MP の実行開始コマンドにより全 SLP がその積分刻み内の実際のシミュレーション計算を一斉に開始し、各 SLP は各自に割り当てられた計算が終了すると MP に終了信号を出す。MP は全 SLP からの計算終了信号を受け取ると両 MP 間で同期をとりデータ交換フェーズに入る。データ交換フェーズでは次のフレームでの計算のために必要な遠隔 SLP 間でのデータ交換があればまず MP でその処理を行い、その後全 SLP へ各 SLP 内で必要とするデータのアップデート等の処理の指示を出す。なお、図 2 における白丸は、通常そこでマスタ間の同期をとることを示している。

ICOSS は実時間シミュレーション・システムとして設計されており、そのため数値積分法は固定積分刻み法を採用している。この 1 積分刻みの実行を行うのがフレームであり、また実際にこれらの各フレームを起動しシミュレーションの進行を管理するのがシミュレーション・クロックである。一般のシミュレーションの実行ではシミュレーション・クロックと実際の現象が進行する時間とが直接対応する必要はないが、ICOSS のような実時間シミュレーションではこの両者間で同期がとれていなければならない。すなわち、数値積分時間間隔として定められた時間に対応する現実の時間内に 1 フレームの処理が完了していなければならない。

シミュレーション・プログラムが完成しトランスレータによって各 SLP への実行形式プログラムの割り当てが決ってしまうと、その計算時間は、その問題の複雑さにより各 SLP での負荷が不均等な場合に、最も計算時間がかかる SLP に依存することになる。また、処理実行中の PPA 内部の状態(例えば、SM でのアクセスの競合など)から生ずるシミュレーション実行速度のある程度の揺れが生じることにはなるが、そのプログラムを実際に 1 フレーム計算するのに要する時間(フレーム・タイム)は数値積分刻み幅には依存せずほぼ一定となる。従って、最も細かく刻むことができる数値積分時間間隔(刻み幅)は 1 フレームの計算に実際にかかる時間で決ることになり、1 周期当りの可能サンプル数も決るので、結果として、実際に実時間でシミュレーションできる精度も 1 フレームの処理に要する時間によって決まることになる。

ICOSS では、この 1 フレームの実行に実際に要する時間を直接計測できる機能がテスト・ラン

```

0001 PROGRAM          CT0201
0002 ;
0003 PARAMETER        W
0004 ;
0005 ; N = 1
0006          S11      =      INTGRL (0.0,   DS1)
0007          DS1      =      W * CO1
0008          CO1      =      INTGRL (1.0,   DC1)
0009          DC1      =      - W * S11
0010 ; END 1
0011 ; N = 2
0012          S12      =      INTGRL (0.0,   DS2)
0013          DS2      =      W * CO2
0014          CO2      =      INTGRL (1.0,   DC2)
0015          DC2      =      - W * S12
0016 ; END 2
0017 ; N = 3
0018          S13      =      INTGRL (0.0,   DS3)
0019          DS3      =      W * CO3
0020          CO3      =      INTGRL (1.0,   DC3)
0021          DC3      =      - W * S13
0022 ; END 3
0023 ; N = 10
0024          S110     =      INTGRL (0.0,   DS10)
0025          DS10     =      W * CO10
0026          CO10     =      INTGRL (1.0,   DC10)
0027          DC10     =      - W * S110
0028 ; END 10
0029 ;
0030 END

```

図 3 計測に使用した正弦波発生プログラム

機能としてシステムの一部に組み込まれている。このテスト・ラン機能では、仮に設定した 1 フレームの実行時間に基づいてシミュレーション・クロックを進めながら指定されたシミュレーション時間の間実行を行い、その間の各フレーム毎の実行に要した時間を内部で計測し、その間の最大フレーム実行時間を求め表示する。このとき計測は MP で、MP の持つ内部クロックで行われ、100 KHz (分解能 10 μ sec) または 10 KHz (分解能 100 μ sec) が選択できる。従って、実時間シミュレーションの実行時には、このテスト・ラン機能で得られた時間より大きな時間の範囲で適当な時間をシミュレーション・クロックとして設定すればよい。

本 PPA を用いた ICOSS システムでは、エレメン

ト・プロセッサの障害時対策として、任意のプロセッサを任意台使用しないようにトランスレータへ指示できるようになっている。トランスレータは指示されたプロセッサを除いたプロセッサのみへプログラム及び変数の割り当てを自動的に行う。このときもし一方のMPが指示されると、その制御下にある16台のSLPも割り当てからはずされ、MP間の同期操作も行われぬ。

次章で述べるPPAの評価では、逆にこの機能を目的に応じ積極的に使い、種々の割り当て法のもとテスト・ラン機能で計測を行っている。計測時の分解能は10μsecである。また、使用したプログラムは正弦波発生プログラムであるが、その目的に応じ同型の正弦波発生プログラムを複数個並列に結合して用いている(図3参照)。

4. ICROSS 実行時における PPA の動作特性

4.1 積分精度と周波数特性

ICROSSを用いたPPAでの連続系シミュレーション・システムには、オイラ法、2次のアダムス予測子法、3次のルーゲークッタ法の3種の数値積分法が基本積分演算としてマイクロプログラム化され組み込まれている。図4に、正弦波発生プログラム(2階の調和振動の微分方程式)を用い、1周期のサンプル数を変化させたときの1周期分の2乗平均誤差を評価量として各積分法の演算精度を示す。横軸にはサンプル数と共に角周波数が1の場合の積分刻み幅も合せて表示してある。また、参考のため、ICROSSのHOST計算機(DEC社製VAX-11/780)の単独計算モードにおける4次のルーゲークッタ法による同様の評価結果も示してある。

この図4において、右下がりの部分はそれぞれの積分法における打ち切り誤差の影響を反映しており、右上りの部分はデータ長が有限桁数におさえられていることによる丸め誤差の影響を反映している。なお、右上り部分に示されている1点鎖線は、24ビット固定小数点演算を行った場合の丸め誤差の理論的推定値であり、これとの比較により、本システムがFFPで用いている仮数部を32ビットにした内部演算の効果が、ほぼ3ビット分の精度の改善となって現れている。

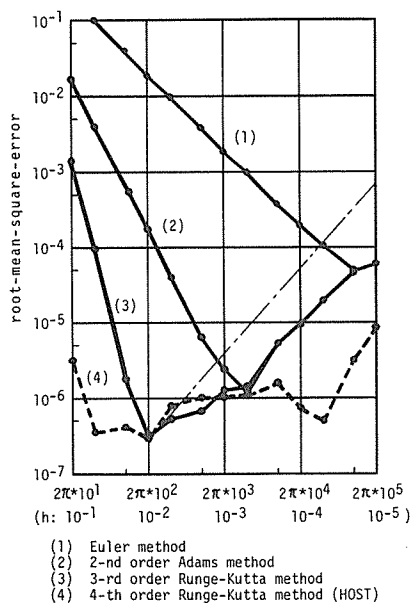


図4 PPAにおける積分刻み幅と実行精度の関係

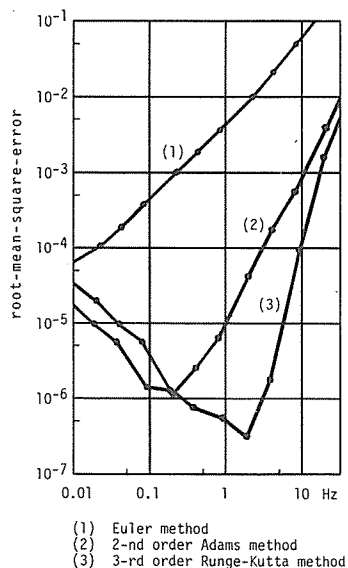


図5 PPAの実時間周波数特性

一方、周波数と周期、及び、刻み幅とサンプル数の関係は次式で表される。(ここで、 f は周波数、 T は周期、 h は刻み幅、 n はサンプル数である。)

$$f=1/T=1/(h \times n)$$

実時間シミュレーション時においては一般に希望の刻み幅 h と 1 フレームの実行時間 t とは等しくないから、この関係式からわかるように、同一の周波数応答を得ようとするときサンプル数が変わり精度に影響が生じ、逆に、精度を一定、すなわちサンプル数を同じに保とうとすると応答できる周波数が変わる。従って、図 4 とその時の実際の 1 フレームの計算に要する時間とから、本 PPA システムが持っている実時間周波数特性を計算することができる。すなわち、応答周波数 F は次式で計算される。(ここで、テスト・ラン機能による実測により t の値は、ルンゲークッタ法で 0.86 msec、アダムス法で 0.41 msec、オイラ法で 0.37 msec であり、 f は $1/(2\pi)$ である。)

$$F=1/(t \times n) = (f \times h)/t$$

この結果得られた実時間周波数特性を図 5 に示す。これにより、実時間シミュレーション時におけるモデルが含む周波数成分から、実時間シミュレーション時における最高精度をおおよそ推定することができる。すなわち、その応答はルンゲークッタ法を用いたとき最もよく、その周波数成分が 10 Hz 程度であるシステムの応答が、0.1%以下の精度で実時間シミュレーション可能であることがわかる。

4.2 並列動作特性の解析

PPA において 1 数値積分刻みの実行に要する時間 T は、図 2 に示した 1 フレームの実行サイクルと PPA へのプログラム及び変数の割り当て方式から次式によって近似することができる。

$$T = T_i \times N_i + T_d \times N_d + T_s + T_o$$

ここで各項目は次のようである。

- N_i : 各 SLP に割り当てられた積分演算個数の中で最大の個数
- T_i : 1 積分演算当りに正規化した SLP での計算時間
- N_d : データ転送割り当て数の多い MP に割り当てられた転送データの個数
- T_d : MP によるバスを通しての 1 データ当りの転送時間
- T_s : MP 間で同期をとるのに要する時間
- T_o : MP におけるその他の処理を含むオーバーヘッド時間

この近似評価式の各係数の値は、同一プログラムを SLP への割り当て方を変えてテスト・ラン機能を用いて実行、計測し、その結果生じる T の値の変化から求めることができる。測定には正弦波発生プログラムを 10 個並べたプログラム (積分演算総数 20 個、図 3 参照) を用い、その割り当て方は以下に示す 10 通りについて、割り当てる PPA 内の位置自体も複数箇所で行った。割り当て方により必然的に決まる項目の値も示してある。

- 1) 20 台の SLP (1 積分/SLP)
 - 1-1) 連続 $N_i = 1, N_d = 0$
- 2) 10 台の SLP (2 積分/SLP)
 - 2-1) 連続 $N_i = 2, N_d = 0$
 - 2-2) 1 台おき $N_i = 2, N_d = 0, T_s = 0$
 - 2-3) 2 台おき $N_i = 2, N_d = 0$
- 3) 5 台の SLP (4 積分/SLP)
 - 3-1) 連続 $N_i = 4, N_d = 0$
 - 3-2) 1 台おき $N_i = 4, N_d = 0, T_s = 0$

- 3-3) 2台おき $N_i = 4, N_d = 0$
 4) 4台の SLP (5積分/SLP)
 4-1) 連続 $N_i = 5, N_d = 0$
 4-2) 1台とき $N_i = 5, N_d = 4, T_s = 0$
 4-3) 2台おき $N_i = 5, N_d = 2$

計算の結果、評価式は次のようになる（単位は msec）。

3次のルンゲークッタ法

$$T_R = 0.148 N_i + 0.044 N_d + 0.113 + 0.554$$

2次のアダムス法

$$T_A = 0.050 N_i + 0.014 N_d + 0.040 + 0.300$$

3次のルンゲークッタ法の計算は、実際には、1積分刻みの計算のために内部で中間結果の計算を3回繰り返しており、ほぼ図2に相当するサイクルが3回連続して行われて1フレームの完了となる。評価式ではこの内部での3回分をまとめて記述しているが、このようすがアダムス法との比較において明瞭に現れている。なお、このプログラムでは T_i の値はほぼ積分演算時間と乗算時間との和であるが、積分以外の演算の計算量は問題の性質に依存し、一般の問題ではこの例より長いものとなると考えられる。

ここで得られた評価式によると、1フレームの実行時間に占める MP のオーバーヘッド時間が相対的に大きい。MP を中心に制御プログラムの見直しやこの制御プログラムを格納している ROM の高速化などを含めて今後の改善を考える必要がある。

4.3 並列度の効果

一般に並列処理システムの場合、並列度が n になれば計算時間が $1/n$ になり、また、問題規模が m 倍になっても計算時間が m/n 倍におさえられるのが理想である。しかし、タスクの割り当て方あるいはデータ転送など種々の要因によって実際にはもっと悪くなるのが普通である。本システムでの状態を見るために、積分演算個数の増加に伴う1フレームの計算時間の増加を示したのが図6である。この場合も使用したプログラムは正弦波発生プログラムで、順次その個数を増していきそれぞれをテスト・ラン機能で計測している。またこの図6には前節で求めた評価式から計算した推定値も合せて示している。

実測値は予想通りほぼ SLP の台数毎のステップ状となっており、評価式による推定値とはある程度のずれはあるもののほぼそれに沿った形で推移している。実測値における値のゆらぎ及び評価式とのずれを生じた最も大きい理由としては SLP 間の処理速度のばらつきが考えられる。その原因となりうる大きなものとして次の二つが推定される。すなわち、その一つは、各エレメント・プロセッサはそれぞれ独自のクロックで動いておりプロセッサ間のクロックの同期はとっていないこと、もう一つは、3ポート・シェアド・メモリにおけるアクセスの競合である。さらに、これらに加えてテスト・ラン機能の分解能自体が $10 \mu\text{sec}$ であることも測定値に対しばらつきを増幅した形の影響を与えていると考えられる。

クロックのばらつきの度合いを見るために、1個の正弦波発生プログラムを各 SLP 毎に割り当ててそのフレーム・タイムを計測した結果が次である。表示は、フレーム・タイム (msec)/SLP 台数(台)で示している。

ルンゲークッタ法	0.83/1	0.85/10	0.86/20	0.88/1
アダムス法	0.39/1	0.40/12	0.41/16	0.42/3

一方、表1に示されているようにシェアド・メモリ上でアクセスの競合があるとアクセス・タイ

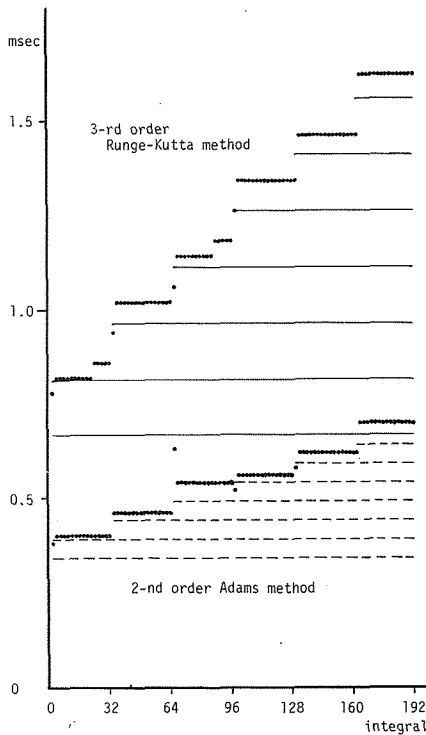


図6 積分演算数とフレーム・タイムとの関係

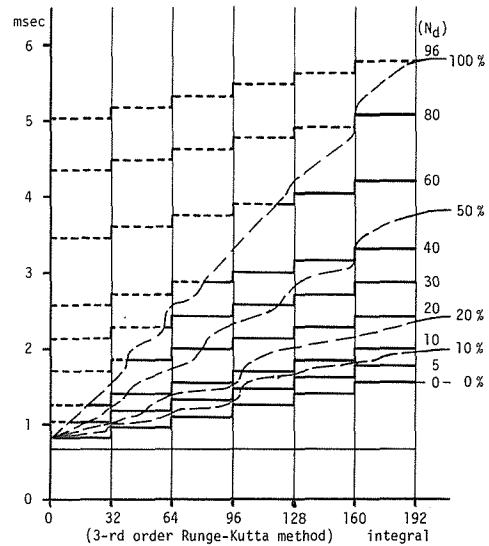


図7 フレーム・タイムに占めるデータ転送時間

ムが長くなり、これが次々と重なった場合の影響は予想以上に大きなものとなる可能性がある。いずれにしてもこれらの現象が起きている SLP, すなわち処理速度の最も遅い SLP に PPA 全体としての演算時間が引きずられることになる。

このような実測値と評価式による推定値とのずれの要因を考え合わせると、この評価式は PPA 内部の処理の近似式として十分その傾向を反映しており、その動作特性の推定及び把握に十分役に立つものと考えられる。

PPA での演算量と転送量との比較のために、この評価式から 1 積分当りに正規化した演算時間が変わらないものとして転送量のみが増えた場合を計算した結果が図 7 である。ICOSS では実際に SLP 間の転送の対象となるのは積分の出力変数のみであり、また MP による転送路が二組あり各 MP が半分ずつ受け持つことから、理論的に起こり得るのは図における実線の部分だけである。また、物理現象のシミュレーションの場合、一般にモデル上でその大勢は近接効果として現れ⁸⁾、ICOSS のプログラム上も隣接 SLP に割り当てられる可能性が大きい。従って、出力積分変数の内、MP 経由で転送しなければならない変数の個数はごく少数となるのが普通である。図 7 にはその割合も示している。

また、解かれようとする問題の特徴を考慮に入れると、ICOSS で取り扱える積分演算数(192積分)に比べて、一般に、制御系などの問題での積分総数は少なく、偏微分問題の差分化解法では限界近くまで使用する傾向にある。しかし逆に、積分以外の演算量は制御系などの問題では多く、差分化問題では少ないのが普通である。さらに差分化問題の場合には、解法の性質上、積分出力変数の数は多いがそのほとんどが隣接効果であり、MP 経由となるものはほとんどない。これらのことから、実際の問題における MP 経由に基づく転送時間は計算時間に比べて相対的に十分小さく押えられており、PPA 及び ICOSS で追求された並列処理効果の向上のために転送量を減少させるという目標が達せられている。

5. おわりに

北海道大学「高速システム・シミュレーション装置」HOSSにおける並列演算装置 PPA の連続系シミュレーション・システム ICOSS 下での性能について論じた。

連続系実時間シミュレーションを主目的に開発されたマスタースレーブ方式の PPA は、並列処理性の高度化、演算の高速化と共に、その実効効率の低下の原因となるデータ転送量を減少させ、またデータ転送効率の向上をはかり、さらに、対象プログラムの並列割り当ての柔軟性を追求している。そのために、1次元循環アレイ構造を採用し、データ交換の処理が集中しやすいマスター・プロセッサを複数化すると共に、シェアド・メモリ・システム、アドレス切換機構、ブロードキャスト転送機構などの並列処理技術を大幅に取り入れている。また、演算速度及び精度の向上のために、32ビット浮動小数点演算のための高速浮動小数点演算機構 FFP をあらたに開発し全演算用プロセッサに装備している。

この結果、データ転量並びに全処理に占めるデータ転送時間を減少させることが可能となり、PPA の性能は ICOSS によるサークル・テストの結果では、3次のルンゲークッタ法の場合に1フレーム・タイムが約1msec となり、また、実時間周波数特性では4桁の精度で10 Hz の応答を得ている。従って、計算精度、周波数特性において所期の目標⁷⁾を達成している。

しかし、得られた評価式によると、1フレーム・タイムに占めるマスター・プロセッサのオーバーヘッド時間が相対的に大きい。本システムのようにフレーム・タイム毎に全台の同期をとるシステムでは、マスター・プロセッサの効率はスレーブ・プロセッサに比べ全体に対する影響がはるかに大きく、一層の性能向上のため、この部分の制御プログラムの見直しを含めた改善を考える必要がある。

また、PPA を用いて有限要素シミュレータを試作した結果⁸⁾からも、PPA の持つアーキテクチャとその能力の優秀さが評価されている。ただし、本システムは連続系シミュレータ ICOSS の使用を前提にシステムの容量が設定されているので、有限要素シミュレータとして大規模な問題を扱うようにするには大幅な増強が必要である。この評価の結果では、同一アーキテクチャのもとで、スレーブ・プロセッサを128台、ローカル・メモリ各64KBに拡張した場合、20,000節点程度の線形定常問題を1分前後で解くことができると推定されている。

有限要素シミュレータと同様に、連続系シミュレータにおいても偏微分方程式の差分化問題に関してはこのままのアーキテクチャで並列効果を損わずに解くことのできる問題規模を拡大できる。その場合、プログラム規模が非常に大きなものとなり、実用上、ハードウェアの問題以上に、プログラム上の表現をどのようにしその入力や編集をどのようにするか、また、トランスレーションの時間をどの程度におさえられるかといったソフトウェア上の問題が重要となってくる。例えば、現在の PPA の構成のままでも、シェアド・メモリ上への変数の割り当て方においてパラメータの個数を減らすだけで1 SLP 当りの積分演算を15個まで増すことが可能である。このとき実行可能な積分演算は480個となり、その入力変数の値の計算に必要な代数式が各積分当り4本としても総計2,400本の式を記述しなければならない。ハードウェア性能の1層の改善と共に大規模問題を取り扱うための今後の重要な課題である。

謝 辞

本稿で取り上げた PPA 及び ICOSS を含む北海道大学「高速システム・シミュレーション装置」HOSS は、1978年度及び1979年度の2年度にわたる文部省特別設備費によって設置された。仕様

の決定にあたって詳細に検討いただいた北海道大学全学共同利用施設汎用シミュレータ施設利用開発小委員会、製作全般にわたって積極的協力を得た三井造船株式会社システム本部を始めとする関係各位に対し深く感謝の意を表するものである。

上記利用開発小委員会の委員として長期にわたり熱意を傾けられた故小山昭一先生（当時北海道大学工学部精密工学科助教授）に対し謹んで哀悼の意を表します。

参考文献

- 1) Makino, K., Koyama, S., Miki, N., Iseki, Y., Kobayashi, H. and Sakai, Y.: Proc. 9th IMACS World Congress, (1979), p. 171-177.
- 2) Iino, Y., Makino, K., Iseki, Y., Koyama, S. and Miki, Y.: Proc. 9th IMACS World Congress, (1979), p. 261-270.
- 3) 牧野圭二, 小山昭一, 三木信弘: 信学技報, Vol. 80, (1980), No. 75, p. 55-66.
- 4) Koyama, S., Makino, K., Miki, N., Iino, Y. and Iseki, Y.: Proc. 8th IFAC World Congress, (1981), p. 1715-1720.
- 5) 牧野圭二, 三木信弘: 信学技報, Vol. 82, (1982), No. 62, p. 57-68.
- 6) 土肥俊: 情報処理学会論文誌, Vol. 25, (1984), No. 3, p. 379-387.
- 7) 牧野圭二: 汎用シミュレータ室だより, No. 8, (1978), p. 15-25.
- 8) 土肥俊: 汎用シミュレータ室だより, No. 14, (1984), p. 78-97.