



Title	原子層エピタキシ法によるInAs, GaAs薄膜の形成と量子井戸および障壁構造の製作
Author(s)	後藤, 修; Goto, Shu; 樋口, 恵一 他
Citation	北海道大學工学部研究報告, 155, 73-80
Issue Date	1991-05-24
Doc URL	https://hdl.handle.net/2115/42278
Type	departmental bulletin paper
File Information	155_73-80.pdf



原子層エピタキシ法による InAs, GaAs 薄膜の形成と 量子井戸および障壁構造の製作

後藤 修 樋口 恵一 長谷川英機

(平成 3 年 1 月 4 日受理)

Atomic Layer Epitaxy Growth of InAs and GaAs Thin Films and Fabrication of Quantum Wells and Barriers

Shu GOTO, Keiichi HIGUCHI and Hideki HASEGAWA

(Received January 4, 1991)

Abstract

Growth of InAs and GaAs epitaxial thin films by atomic layer epitaxy (ALE) in a vertical atmospheric pressure metalorganic vapor phase epitaxy (MOVPE) system is described. The electrical properties of the InAs thin films are excellent according to Hall effect and quantum Hall effect measurements. InAs/GaAs double-barrier structures using ALE films exhibited the occurrence of conductance minima, indicating resonant tunneling in spite of presence of the misfit dislocations.

1. はじめに

III-V 族化合物半導体に対する有機金属気相成長 (Metal Organic Vapor Phase Epitaxy : MOVPE) 法の最近の発展はめざましく、結晶性は、液相エピタキシ (Liquid Phase Epitaxy : LPE) 法に、組成やドーピングなどの急峻性は、分子線エピタキシ (Molecular Beam Epitaxy : MBE) 法などの成長技術に匹敵するレベルに達しつつある。しかしながら、化合物半導体を用いるデバイス製作技術の発達は、近い将来、原子 1 層まで完全に制御されたヘテロ接合界面をもつエピタキシャル層を必要としている。このようななかで、原子 (分子) を 1 層ずつ着実に制御しながら成長を行なう原子層エピタキシ (Atomic Layer Epitaxy : ALE) 法が、MOVPE 法の新しい手法として盛んに研究が進められるようになった。

ALE 法による III-V 族化合物半導体結晶の成長に関しては、西澤らによる GaAs 成長の報告¹⁾以来、多くの報告がなされている^{2)~5)}。ALE 法は、MOVPE 法を変形したものであり、通常の MOVPE 法では、III 族原料ガスと V 族原料ガスを同時に反応管に送り込み成長を行なうのに対して、ALE 法では、III 族と V 族原料ガスを交互に、互いの混じりがないように順次周期的に反応管へ送り成長を進める点が異なっている。この結果、ALE 法では、条件を適切に設定すると、結晶成長が各サイクルで分子層 1 層で自動的に停止するという特色が得られる。この自動停止機構 (成長のセルフリミティング機構) の有無が、ALE 法を他の成長モードと区別する重要な特

徴である。

ALE法においては、成長がlayer-by-layerで進むため、理想的な2次元成長が実現できる。また、成長のセルフリミティング機構により、成長膜厚が原料ガスの切り換えの回数で決められるため膜厚を決定する際に誤差がなく、さらに、成長が低温でなされるため原子の相互拡散の程度も小さい。このため、ヘテロ接合界面の急峻性や不純物ドーピングの位置が原子層レベルで保証される、局所的な高濃度ドーピングおよび大口径基板上への均一成長が可能になる、などの利点がある。

さて、III-V族化合物半導体結晶において、InAsとGaAsを組み合わせた材料系は、最近、新しい特性をもつ材料系として注目を集めている。この理由は、InAsの電子の有効質量が他の材料系に比べ著しく小さく移動度が大きいこと、InAs/GaAsヘテロ接合を形成した場合に、伝導帯不連続量がひじょうに大きくとれることによる。例えば、近年注目を集めている選択ドープヘテロ構造においては、活性層に3元混晶であるInGaAsを用いることにより、大きな電子移動度と2次元電子濃度を得ることに成功している。また、この活性層をInAs/GaAs超格子にすることにより、混晶による合金散乱を抑制し、より大きな電子移動度を得ようとする試みもなされている。

以上を背景に、本研究では、ALE法により良質のInAs薄膜およびGaAs薄膜を制御性よく成長することと、これにより量子井戸および障壁構造を製作することを検討した。第2節ではALE成長の方法、第3節はALE法により形成したInAs薄膜の特性、第4節はInAs/GaAs二重障壁構造の製作について述べている。

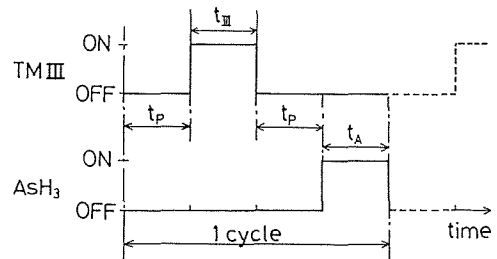
2. 原子層エピタキシ法によるInAsおよびGaAs薄膜の形成

2.1 成長方法

本研究で用いた成長システムは、通常の常圧縦型流下式MOVPEシステムであり、原料ガスには、トリメチルガリウム(Tri-methyl Gallium: TMG)、トリメチルインジウム(Tri-methyl Indium: TMI)およびAsH₃(水素ベース10%)を用いた。キャリアガスには水素を用い、成長時には全流量を6.0 SLM一定としている。

エピタキシャル層は、半絶縁性およびn⁺GaAs(100)基板と同InP(100)基板上に成長された。

成長は、AsH₃雰囲気中で基板を加熱し(GaAs基板では700°C、InP基板では470°C)、基板表面の自然酸化膜を除去した後に行なわれる。GaAsおよびInAsは、TMIII(III=Ga, In)とAsH₃とを、図1に示すタイミングチャートにしたがい、交互に供給することにより成長される。成長は、基板温度300~450°Cで行なわれた。図中tpはパージ時間であり、いずれの成長でも5秒一定とした。



t_{III} : TMIII injected time
 t_A : AsH₃ injected time
 t_p : purge time

図1 原料供給のタイミング

2.2 膜厚の測定法

成長層の膜厚の測定には、選択エッチング法を用いた。これは、成長層を基板から選択的に除去した結果生じる段差を、表面荒さ計を用いて測定するという方法であり、成長層膜厚を正確に知る上で有効である。InP基板上に成長したGaAs層はH₂SO₄:H₂O₂:H₂O=3:1:1(20°C)

により、また、GaAs 基板上に成長した InAs 層は HCl(20℃) により選択的に除去される。

2.3 成長の結果

図2に、InAs 成長速度の TMI 供給量依存性を示す。成長は、AsH₃ 供給量を 37 μmol/cycle 一定とし、 $t_m=10$ 秒、 $t_A=5$ 秒で行なわれた。試料表面については、基板温度 350℃ 以上で成長速度が約 5 ML/cycle を越えるものは白濁し、基板温度 305℃ においては再現性よく鏡面が得られた。これに対し、同じシステムで通常モードの InAs 成長を試みたが、良好な結果は得られなかった。この原因は明かではないが、ALE モードでは、良好な薄膜を容易に再現性よく成長できることは注目に値する。

図2からわかるように、基板温度 305℃、TMI 供給量 1.5 μmol/cycle 以上で InAs の成長速度が 1 ML/cycle に飽和し、原子層レベルでの膜厚制御が実現している。なお、基板温度 350℃ 以上で、TMI 供給量の増加に対し成長速度が飽和せずに増大する理由は、TMI の気相での分解と In の析出を仮定した成長モデルにより説明できることが示されている⁶⁾。

図3に、GaAs 成長速度の TMG 供給量依存性を示す。成長は、AsH₃ 供給量を 9.3 μmol/cycle 一定とし、 $t_m=t_A=5$ 秒で行なわれた。試料表面はすべて鏡面が得られた。図3より、基板温度 450℃、TMG 供給量 1.4 μmol/cycle 以上で GaAs の成長速度が 1 ML/cycle に飽和し、原子層レベルでの膜厚制御が実現していることがわかる⁷⁾。

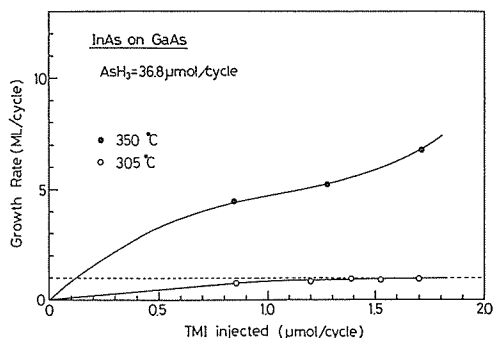


図2 InAs 成長速度の TMI 供給量依存性

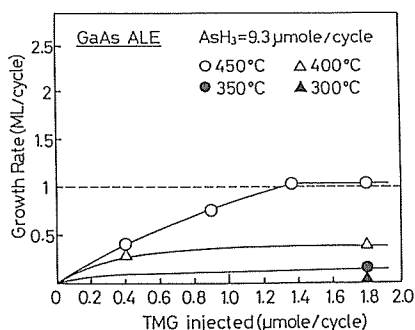


図3 GaAs 成長速度の TMG 供給量依存性

3. ALE法により GaAs 基板上に成長した InAs 薄膜の特性

本研究では、これまでに報告のなされていない、ALE法により成長した GaAs 基板上の InAs 薄膜(数 100~2000 Å 強)の特性について調べた。InAs と GaAs は、格子不整合が 7.2% とひじょうに大きいため、臨界膜厚(膜が歪むことによって、格子不整合による転位の発生が抑制される最大の限界膜厚: 20 Å 程度)を越えて成長した GaAs 基板上の InAs 初期成長層中には、大量の転位が発生する。転位は、成長層の電気的特性に大きな影響を及ぼす。ALE法は理想的な 2 次元成長であるため、発生した転位の密度は、成長層の膜厚が増大するにつれ減少してゆくことが予想される。したがって、成長層の電気的特性を各膜厚ごとに調べることにより、成長層の結晶性を議論することができる。本研究では、ALE法により GaAs 基板上に成長した InAs 薄膜の移動度、キャリア密度および極低温高磁場における電子輸送特性を調べ、その結晶性について検討した。測定に用いた試料は、ALE法により半絶縁性 (100) GaAs 基板上に直接形成されたもので

あり、バッファ層は挿入していない。

3.1 ホール測定結果

図4に、移動度およびキャリア密度のInAs膜厚に対する依存性を示す。InAs膜厚が薄い部分では、移動度が小さくキャリア密度が大きい。膜厚の増加と共に移動度が増し、キャリア密度が減少することがわかる。この実験の範囲では、InAs膜厚はすべて臨界膜厚を越えているので、成長層と基板との間には大量のミスフィット転位が生じると考えられる。InAsは、電荷中性点が伝導帯の内部に存在する特殊な材料であり⁹⁾、このような状況では、フェルミ準位は伝導帯内にピンニングされ高電子濃度となるが、一方、移動度はきわめて低いことが期待される。したがって、図4のふるまいは、膜厚が薄い場合にはこの界面の影響が大きく、膜厚が厚くなるにつれ格子不整合の影響が緩和されるためとして説明できる。移動度が平坦化する800Åの膜厚は、格子不整合の影響が緩和される限界を示唆している。S. Holmesらは、MBE法によりGaAs基板上にInAsを成長し、ひじょうに優れた電気的特性を得たと報告している⁹⁾。彼らは、GaAs基板上に0.5μmのGaAsバッファ層を成長したのちInAsの成長を行ない、成長中の反射型高エネルギー電子線回折パターンの観察から、InAs膜厚が475~950Åで表面の平坦化が見られると述べている。本研究で成長した試料では、バッファ層を成長していないにもかかわらず、彼らと同程度の膜厚で成長層の平坦化が達成されていることが示唆されているため、ALE法による成長は、ヘテロ接合界面の平坦化に有効であると考えられる。

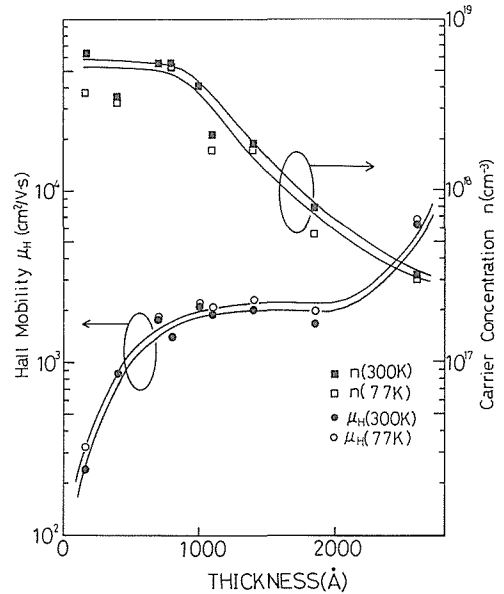


図4 移動度およびキャリア密度のInAs膜厚に対する依存性

3.2 量子ホール効果の測定結果

まず、量子ホール効果の測定について簡単に説明する。量子ホール効果の測定は、標準のホール素子を用いて2~4.2Kで行なわれた。磁場は、試料表面の垂直方向に8Tまでかけ、膜厚200Å, 400Å, 900Åの3つの試料について測定が行なわれた。

図5に、InAs膜厚900Åの試料のホール抵抗率(ρ_{xy})および磁気抵抗率(ρ_{xx})と磁場との関係を示す。前者に量子ホールプラトーが、後者に磁気抵抗率の振動が観測され、InAs層に2次元電子が形成されていることがわかる。

図6に、磁気抵抗率の最大値を与える磁場の逆数をランダウ数Nに対してプロットした結果を示す。この直線の傾きから、2次元電子の濃度は $1.8 \times 10^{12} \text{cm}^{-2}$ と求められる。ここで、磁気抵抗率の振動周期が一つであることから、2次元電子は基底準位にのみ存在していることがわかる。さらに、低磁場におけるホール抵抗率から求めた全キャリア密度は $3.7 \times 10^{12} \text{cm}^{-2}$ となり、前節のホール効果の測定結果とほぼ一致している。さらに、移動度は、 $3500 \text{cm}^2 \text{V} \cdot \text{s}$ と計算された。

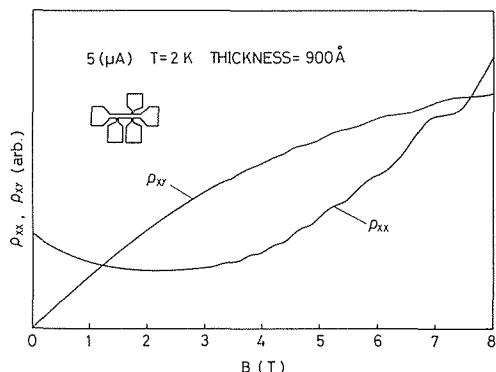


図5 InAs 膜厚 900 Å の試料のホール抵抗率および磁気抵抗率と磁場との関係

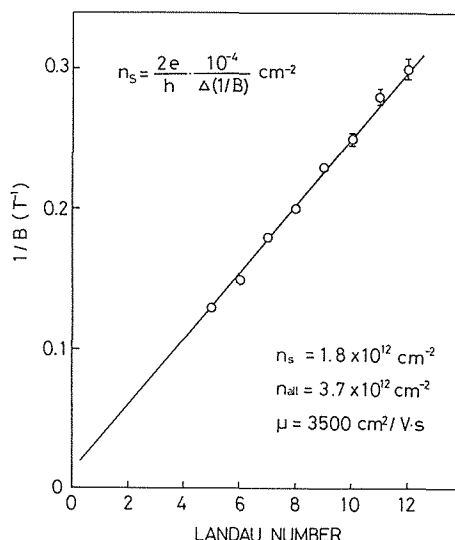


図6 磁気抵抗率の最大値を与える磁場の逆数をランダウ数Nに対してプロットした結果

なお、InAs 膜厚 200 Å の試料では量子ホールプラトーは観測されず、膜厚 400 Å の試料では、高磁場において2つの量子ホールプラトーが観測された。

すでに述べたように、InAs では電荷中性点が伝導帯中に存在するので、InAs/GaAs ヘテロ構造を製作した場合、界面の乱れによりこの点にフェルミ準位が強くピンニングされ、ヘテロ接合界面のInAs層中に2次元電子が形成されることが予想される。しかし、この界面の乱れにより高い移動度は期待できない。このピンニング現象は、表面準位によっても生じ得るものであり、事実、MOS 界面におけるInAs表面の2次元電子の存在を確認した例もある¹⁰⁾。本研究で成長した試料では、ホール効果の測定結果が示すように、ヘテロ接合界面近傍では、2次元電子が形成されていても、転位のため移動度が低いので、膜厚 400 Å 以上の試料で得られた実験結果は、InAs 表面に形成された高移動度2次元電子の特性を示しているものと考えられる。図7に、このモデルを示す。したがって、ヘテロ接合界面の格子不整合による影響は、InAs 膜厚が 400 Å 程度からすでに緩和されていると考えられ、この結果は前節のホール測定結果とかなりよく一致している。以上から、ALE法によるInAs 薄膜自身の結晶性は良好であると考えられる。

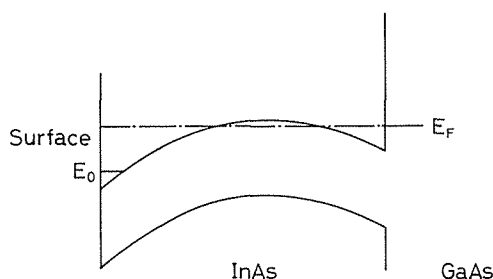


図7 バンド構造のモデル

4. ALE法によるInAs/GaAs 二重障壁構造の製作と評価

ALE法によりInAsとGaAsとを組み合わせた量子井戸および障壁構造を実現する場合、両者でALE成長の最適温度が異なるという問題がある。例えば、 $[(\text{InAs})_m/(\text{GaAs})_n]_p$ 超格子構造を形成する場合、成長温度を周期的に変化させつつ、ALE成長条件を満たしながらInAsおよび

GaAsを成長することは現実的でない。本研究グループでは、本報告に先立ち、 $[(\text{InAs})_2/(\text{GaAs})_2]_{300}$ 超格子構造の製作を試みたが、この場合は不完全なALEモードであった¹⁹⁾。すなわち、ALE法によるGaAsの成長を350°Cで実現できる条件を見つけ、InAsについては、同温度で成長速度がほぼ1 ML/cycleとなるTMI供給律速条件のもとで成長が行なわれた。X線回折法によりこの構造を評価した結果、成長した超格子のX線回折パターンには、超格子構造特有のサテライトピークがほぼ期待された位置に現われており、超格子構造が完成していることが明らかになった。この実験は、成長の全段階で、完全にALE法の成長条件を満たしているわけではないが、ALE法を用いることにより、4原子層周期の微細構造を実現できることを示している。

しかし、InAs/GaAs二重障壁構造のような簡単な構造を製作する場合には、成長条件の変更が5回で済むため、両者のALE成長条件をより完全に満たしながらエピタキシャル成長を行なうことが十分可能になるので、本研究では、このような場合を検討した。以下で、その詳細を述べる。

4.1 試料の構造と製作法

本研究で製作した試料は、InAs/GaAs二重障壁構造を有する共鳴トンネルダイオード (Resonant Tunneling Diode: RTD) である。試料の構造を図8に示す。エピタキシャル層はすべて、ALE法により n^+ InAs(100)基板上に成長された。その構造は、基板に近い方から順に、151 Å (50 ML) のInAsバッファ層、45 Å (16 ML) のGaAs、73 Å (24 ML) のInAs、45 Å (16 ML) のGaAs二重障壁構造、そして最後に501 Å (167 ML) のInAs電極層により構成されている。GaAsとInAsのALE成長条件は異なるため、本試料成長の際には、各ヘテロ界面において約2分間の成長中断を行なった。表面電極は、メサエッチングによる素子間分離を行なったのち、Au(1000 Å)を真空蒸着することにより形成された。メサは $260 \mu\text{m}\phi$ である。また、裏面電極はInを塗布することにより形成された。

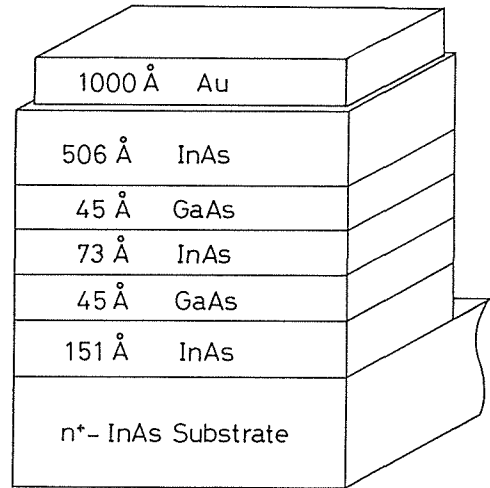


図8 試料の構造

4.2 電流－電圧特性の評価

製作した二重障壁構造の77 Kにおける電流(I)－電圧(V)特性および微分コンダクタンス(dI/dV)－電圧(V)特性を図9に示す。 dI/dV －V特性には、明瞭な凹み認められる。I－V特性に見られる非線形性や dI/dV －V特性に見られる凹みは、室温では見られず、冷却することにより初めて観測された。したがって、I－V特性の非線形性および dI/dV －V特性は、共鳴トンネル現象の存在を強く示唆している。これは、用いている障壁層のGaAsの膜厚が臨界膜厚を越えており、多数のミスフィット転位により多量の界面準位が存在していることを考慮すると、驚くべきであろう。臨界膜厚を越えているので歪が緩和していると仮定した場合のトンネル透過確率の理論計算例を、図10に示す。実験での dI/dV －V特性に見られる凹みは、第2量子準位を

77 K

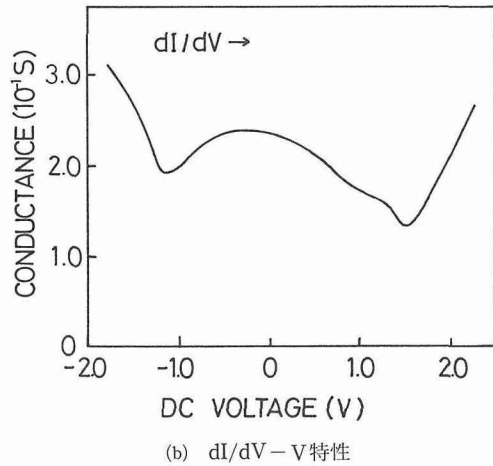
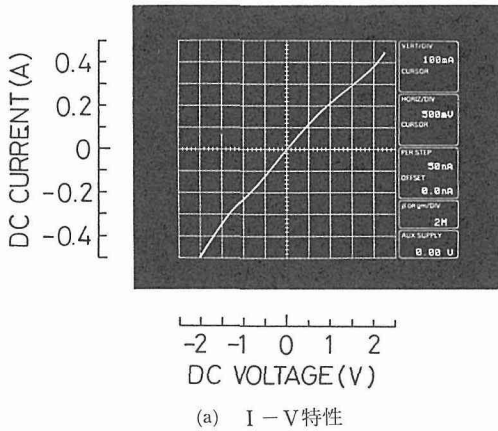


図9 製作したRTDの77 Kにおける電気的特性

介する共鳴トンネルにはほぼ一致しているが、直列抵抗の効果や界面準位電荷、また、フェルミ準位ピンニングの効果などを考慮していないので、このような簡単な比較からは、現状では明確な結論は出せない。

ここでの結果は、臨界膜厚を越えた不完全と考えられる二重障壁構造でも、共鳴トンネル現象が認め得る程度に起こり得るという興味深い可能性を示唆している。ミスフィット転位による界面準位は界面近傍で強く局在し、その電荷により界面近傍のポテンシャルプロファイルは変化されるものの、障壁を通過する電流にはあまり寄与しないことは十分に考え得ることである。

本実験は、電極面積が $260 \mu\text{m}^2$ というかなり大きい寸法でなされているので、これを小さくすることにより、特性が大幅に改善することも考えられ、今後さらに検討したい。また、GaAs 障壁層を極限まで薄くして、転位のない歪構造とした場合も今後検討すべき興味あるテーマである。

5. ま と め

本研究は、ALE法によりInAsおよびGaAs薄膜を成長し、量子井戸および障壁構造に応用する目的で行なわれた。その結果、

- (1) ALE法によりInAsおよびGaAs薄膜を形成する条件が明らかになった。
- (2) ALE法によりGaAs基板上に成長したInAs薄膜のホール測定および量子ホール効果の測定結果から、InAs薄膜が良好な特性をもつことが確認できた。
- (3) InAs/GaAs二重障壁構造では、77 KにおけるI-V特性に非線形性をはじめと認められ、ミスフィット転位の存在にもかかわらず、共鳴トンネル現象の出現が示唆された。

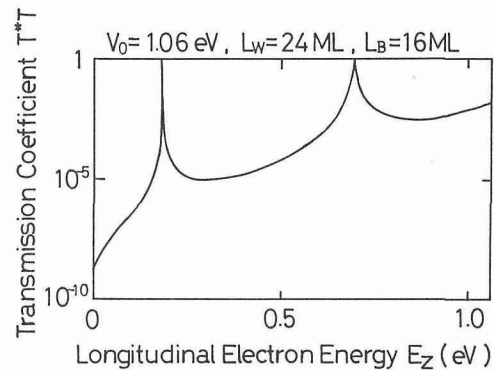


図10 歪を考慮しないと仮定した場合のトンネル透過確率の計算例

参考文献

- 1) J. Nishizawa, H. Abe and T. Kurabayashi : J. Electrochem. Soc., 132 (1985) 1197.
- 2) S. M. Bedair, M. A. Tischler, T. Katuyama and N. A. El-Masry : Appl. Phys. Lett., 47 (1985) 51.
- 3) A. Doi, Y. Aoyagi and S. Namba : Appl. Phys. Lett., 49 (1986) 785.
- 4) M. Ozeki, K. Mochizuki, N. Ohtsuka and K. Kodama : Appl. Phys. Lett., 53 (1988) 1509.
- 5) H. Ohno, S. Ohtsuka, H. Ishii, Y. Matsubara and H. Hasegawa : Appl. Phys. Lett., 54(1989) 2000
- 6) 松原義徳 他 : 第 37 回応用物理学会講演会予稿集 29 a T 6
- 7) 大塚俊介 他 : 電子情報通信学会研究技術研究報告 Vol. 88 (1988) 15
- 8) H. Hasegawa and H. Ohno : J. Vac. Sci. Technol., Vol. 4 (1986) 1130
- 9) S. Holmes, R. A. Stradling, P. D. Wang, R. Droopad, S. D. Parker and R. L. Williams : Semicond. Sci. Technol., 4 (1989) 303-308
- 10) S. Kawaji and J. Wakabayashi : J. Phy. Soc. Japan, 53 (1984) 1915
- 11) H. Ohno, S. Ohtsuka, A. Ohouchi, Y. Matsubara and H. Hasegawa : J. Crystal Growth, 93 (1988) 342-346