HOKKAIDO UNIVERSITY

Title	メディア系異分野共同研究プロジェクト（北の国から明日のICTに架ける橋,<特別小特集>知の創出を支える次世代IT基盤技術 ： 北海道大学グローバルCOEプログラムと北海道内情報通信系研究グループの活動）
Author(s)	宮永, 喜一; 吉澤, 真吾; 湊, 真一
Citation	電子情報通信学会誌, 92(10), 833-836
Issue Date	2009-10-01
Doc URL	https://hdl.handle.net/2115/47390
Rights	copyright©2009 IEICE
Type	journal article
File Information	11_ieice_2009.pdf

Hokkaido University Collection of Scholarly and Academic Papers : HUSCAP

メディア系異分野共同研究プロジェクト

Interdisciplinary Research Project on Media and Network Technologies

宮永喜一　吉澤真吾　湊　真一

1. はじめに

現在，北海道大学大学院情報科学研究科では，グローバルCOE（GCOE）プログラムを実施している．このプログラムでは，情報科学，ナノテクノロジー，バイオインフォマティクス及びメディアネットワークの各領域を融合し，発展させて「知識創出のための次世代情報技術」の世界的教育研究拠点を確立することを目標としている．これら4分野の異分野共同研究プロジェクトが，本GCOEプログラムの研究面での中核となっている．ここでは，メディアグループが主に担当している異分野共同研究プロジェクトについて簡単に紹介する．

情報科学とメディアネットワークの研究領域では，双方とも具体的な処理が，計算機ネットワーク内のサイバースペースであると考えられ，その意味では異質の研究領域ではないようにみなされる場合もある．しかし，前者は，そのサイバースペースの内部にある情報・知識・知能が研究対象（情報の処理）であるのに対し，後者は，実世界から得られる映像・音声・音響・言語メディアが研究対象（信号の処理）となる．

現在，この二つの分野を融合した異分野共同研究プロジェクトとして，知識連携技術・知識発見技術と高性能信号処理デバイスの融合研究を進めている．これは，近未来のハードウェアからソフトウェアまで一貫した実世界指向の知識創出技術を実現するためのプロジェクトである．

宮永喜一　正員：フェロー　北海道大学大学院情報科学研究科メディアネットワーク専攻
E-mail　miya@ist.hokudai.ac.jp
吉澤真吾　正員　北海道大学大学院情報科学研究科メディアネットワーク専攻
湊　真一　正員　北海道大学大学院情報科学研究科コンピュータサイエンス専攻
Yoshikazu MIYANAGA, Fellow, Shingo YOSHIZAWA, and Shin-ichi MINATO, Members (Graduate School of Information Science and Technology, Hokkaido University, Sapporo-shi, 060-0814 Japan).
電子情報通信学会誌　Vol.92 No.10 pp.833-836 2009年10月
©電子情報通信学会 2009

2. FPGA高速情報探索プロジェクト

このプロジェクトでは，メディアグループによるFPGA（Field Programmable Gate Array）を活用した高度設計技術と情報科学グループの独創的アルゴリズム・アプリケーションの融合を図ることにより，先進的研究で，かつ世界最高性能を達成する専用システムの実現を目指している．情報科学で研究されているアルゴリズムやアプリケーションを，単にFPGA上でハードウェア化するというような単純な融合ではなく，情報科学の研究者が，独自のソフトウェア開発を行い，同時に自らそのソフトウェアに適した独自のハードウェアを設計・実現できるような，eラーニングシステム及び設計・開発プラットホームの構築を目標としている．

研究開発で試作されるソフトウェア，ハードウェアは両者ともに流動的であり，これらは常に拡張・拡充されている．そのような研究開発の流れに対して柔軟に対応できるようにするためには，上記のようなシステムが必要になると考えられる．eラーニングシステムでは，FPGAでハードウェアを実現するための基本的な事項について学習できるようなコンテンツを有している．設計・開発プラットホームでは，離れた環境（リモート環境）であっても，ハードウェアの設計とFPGAへの実装・検証ができるような機能を実現しており，短期間でのハードウェア設計・開発を可能にしている．従来はFPGA設計技術・知識の習得が，情報科学グループのような未経験分野において障壁となっていたが，遠隔操作FPGA共同利用装置・eラーニングFPGA設計教育システムを新たに開発し，それを共同利用することで解決し，異分野研究連携を進めている．

3. eラーニングFPGA設計教育システム

FPGAとは，利用者であるユーザが，実験現場や研究開発現場で，自由にハードウェアを再構築・実現できるLSIである．そのFPGAを載せた研究・開発用のボードが既に提供されているが，そのボードで再構築する対象は，ディジタルのハードウェアであり，そのハードウェアのインタフェース（例えば，PCとの接続，インターネットインタフェース，A-D/D-A回路など）は，事前に提供されているものがほとんどである．

図1は，PCとFPGAボードの連携を表しているが，PC上で実現したいハードウェア（hardware）を設計し，その設計データ（configuration data）をFPGAボードに送り，ハードウェア実現を行う．その後は，FPGAボードで実際に処理を行い，その結果をPCに送り返す形になっている．PC上での設計は，RTL設計（Register Transfer Level design）であり，その設計は，Verilog，VHDL，AHDL，SystemVerilogなどのハードウェア設計

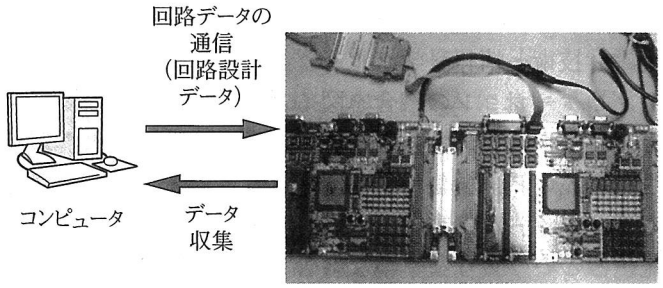

図1　PCとFPGAボードの連携

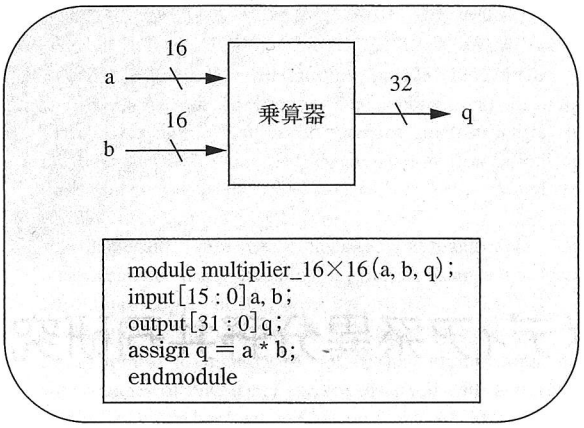

図2　16ビット乗算器のRTL記述

言語（HDL：Hardware Design Language）で実現する．図2は，Verilog言語で書かれた16ビット乗算器である．その後，FPGAの開発ツールを用いて，FPGAボードにデータを送り，そのハードウェアの検証なども行う．この開発ツールはFPGAベンダにより供給されており，図3に示すように，PC上で，シミュレーション，設計検証，FPGAへの書込みなどを簡単に行えるようになっている．このボードを利用することにより，ハードウェアの専門知識がない場合であっても，非常に短い時間で，ハードウェアの設計・開発・実現が行える．一方では，ハードウェア設計言語を利用することや，FPGA開発ツールの習熟など，情報科学のプロパーから見ると，それほど容易ではない幾つかの障壁が残る．

筆者らは，既に独自のeラーニングシステム（NEXUS：Next-generation EXtra University-education

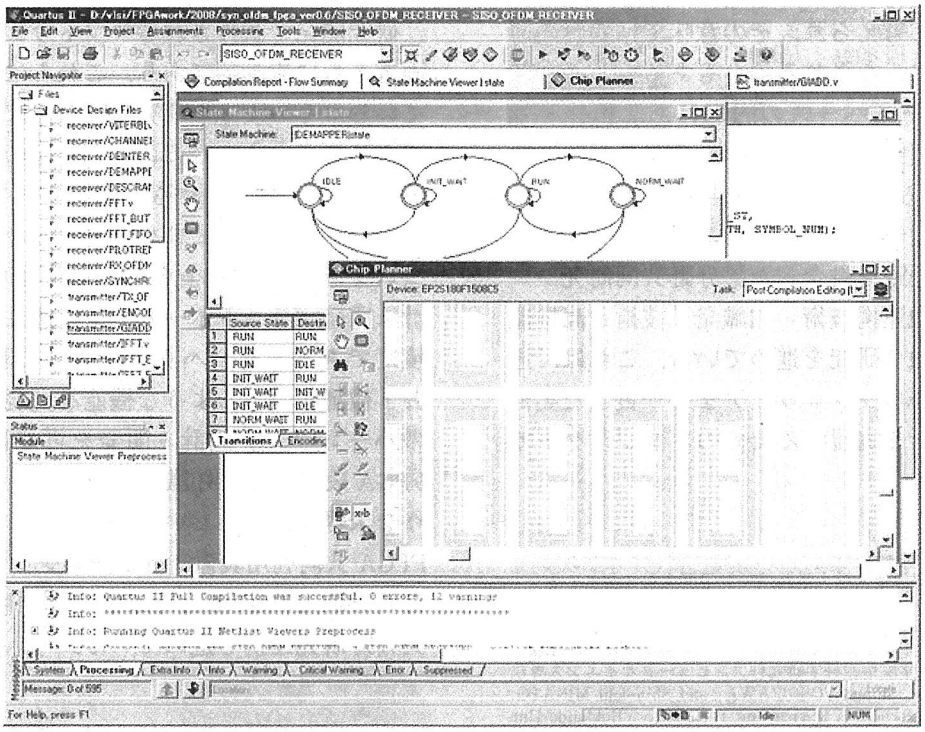

図3　Altera Quartus II Softwareの概観

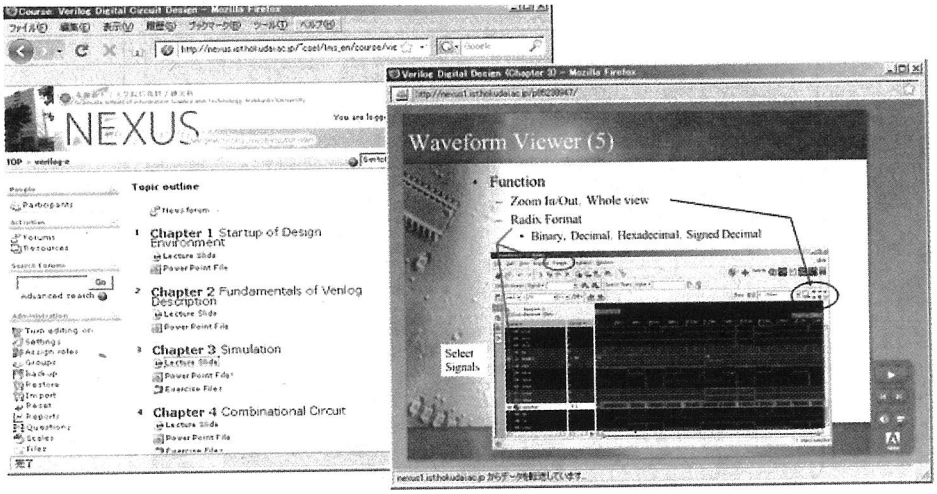

図4　e ラーニング（NEXUS）

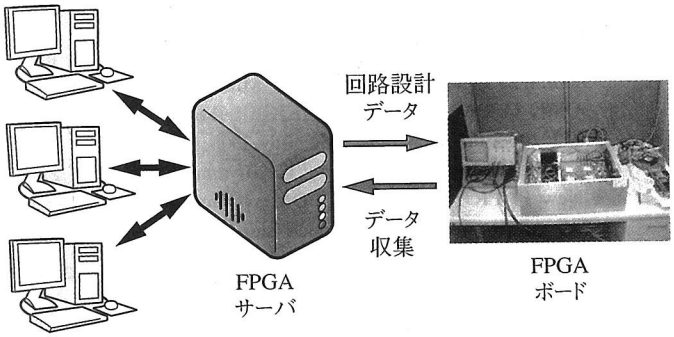

図5　リモート FPGA システム

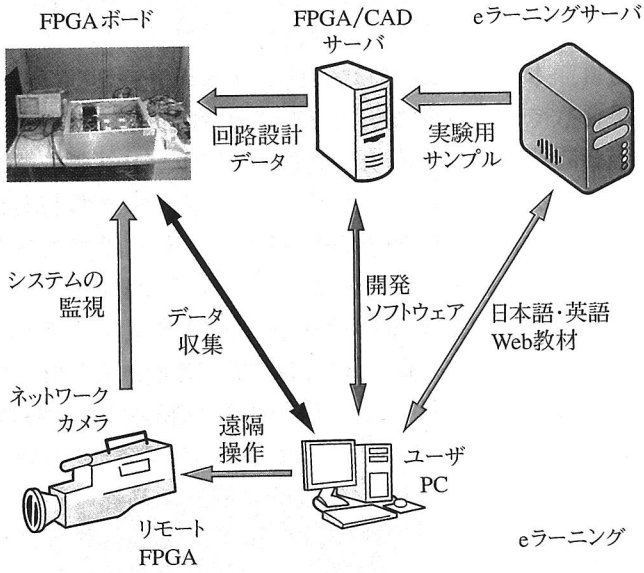

図6　実環境実験（FPGA 開発）搭載の NEXUS

System）を開発しており，大学院の特別講義や演習などに利用している．図4は，その NEXUS の概観である．本システムでは，学習コンテンツ・参考資料データベース・質問応答システム・ラーニングマネジメントシステム（LSM）を有しているだけではなく，電子会議システムを利用した電子ゼミナールや MATLAB クローンによるサイバースペース実験室なども実現されている．このシステムを拡張するために，筆者らは，図5に示すようなリモート FPGA システムを開発実現した．本システムでは，ネットワーク上の PC から，FPGA サーバにアクセスすることで，上記で説明した FPGA 設計のすべてが可能であり，更に FPGA ボードのモニタリング，FPGA でハードウェアを実現した後でのデータ通信，協調高速処理なども可能としている．

このようなリモート FPGA システムを NEXUS に搭載し，同一プラットホームで実現することにより，① FPGA の基本概念とそのボードについての学習，② Verilog HDL の学習，③ FPGA ボードの開発ツールの学習を e ラーニングで行い，その実験も同時に行う．その後，④目的とするハードウェアを設計・開発する．⑤設計したハードウェアを利用し，その処理をネットワーク上で行い，結果を得る．以上のようなハードウェアの学習・設計・開発・検証・応用等の一貫した教育・研究システムを構築することにより，図6に示すようなハードウェア研究のトータルシステムを実現した．図7は，このシステムの機能をすべて利用している状態を表示した一例である．

4.　これまでの成果

上記システムの利用により得られた成果を述べる．

最初に，メディアグループにより，高速無線通信システムの設計が行われた．具体的には，MIMO-OFDM のシステム実現に関する検討である．本検討の成果としては，1.5Gbit/s の高速伝送レートを実現する無線システム LSI を設計・開発し，800 万ゲート規模で送受信時最大消費電力が 700mW のベースバンド処理 LSI を実現し，マイクロ波帯無線ベースバンド処理 LSI としては世界最高速の伝送レートを達成したことが挙げられる[(1)~(4)]．この成果に基づいて，最大伝送レート 1.5 Gbit/s を達成する無線通信規格を独自に策定し，2009 年1月に電気電子学会（IEEE）802.11 国際標準化委員会

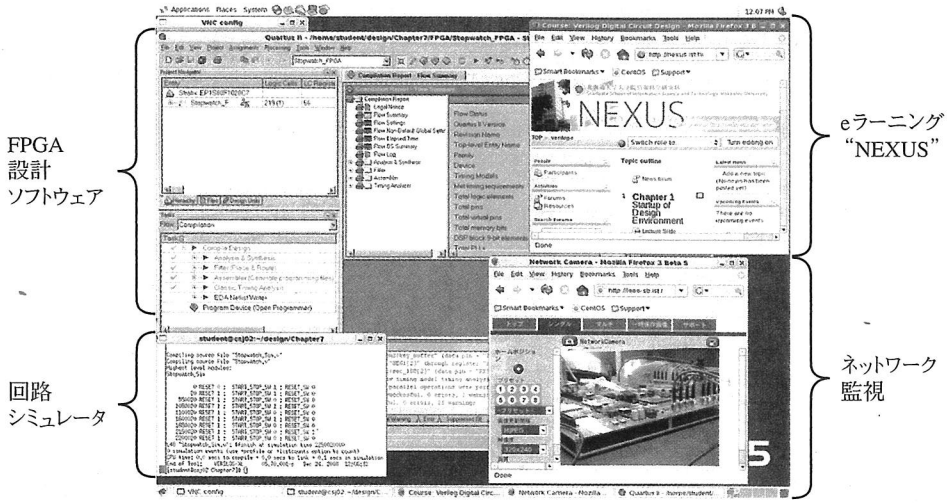

図7　新 NEXUS の利用例

でその実証試験報告と規格提案を行った．

更に，本プロジェクトの目的である異分野共同研究の成果として，大規模ストリームにおける正規表現パターン照合問題を処理するハードウェアアルゴリズムを設計したことが挙げられる．本アルゴリズムは，正規表現により多数のパターンや複雑なパターンを記述できるといった特長を持ち，これをビット並列パターン手法により高速な照合を行うものである．上記アルゴリズムの FPGA ボードへの実装を行い，簡単な例題を用いて実機上での動作確認を行った．その結果，既存のはん用 PC 上でのソフトウェア手法と比較して，25 倍程度遅いクロック速度にもかかわらず，40 倍程度，高速に動作することを確認した．この研究領域における高速処理技術の開発は最重要課題であり，より一層の処理効率化を目指すことが今後の検討課題である[(5)]．

5. ま　と　め

上記システムはまだ稼働したばかりであり，システムの評価を行い，その有効性を示すのは今後の検討課題である．しかし，ハードウェアの学習・設計・開発・実現・応用をシームレスに行う教育・研究用 e ラーニングシステムを構築し，ハードウェアの設計・開発・実現・応用のトータルシステムを実現した例は少ない．

今後，情報科学の分野だけにとどまることなく，本 GCOE プログラム内で活動している他分野との共同プロジェクトも今後の課題である．

文　献

（1） X. Shi, S. Yoshizawa, and Y. Miyanaga, “Evaluation and implementation of quasi-cyclic LDPC codes for IEEE802.11n based MIMO-OFDM system,” IEEE Conference on Soft Computing in Industrial Applications (SMCia), pp.277-280, 2008.

（2） S. Yoshizawa, Y. Yamauchi, and Y. Miyanaga, “VLSI implementation of a complete pipeline MMSE detector for a 4×4 MIMO-OFDM receiver,” IEICE Trans. Fundamentals, vol.E91-A, no.7, pp.1757-1762, July 2008.

（3） C. Pradabpet, S. Yoshizawa, Y. Miyanaga, and K. Dejhan, “New PAPR reduction in OFDM system and using hybrid of PTS-APPR methods with coded side information technique,” IEICE Trans. Fundamentals, vol.E91-A, no.10, pp.2973-2979, Oct. 2008.

（4） S. Yoshizawa and Y. Miyanaga, “Use of a variable wordlength technique in an OFDM receiver to reduce energy dissipation,” IEEE Trans. Circuits Syst., Fundam. Theory Appl., vol.55, no.9, pp.2848-2859, 2008.

（5） 金田悠作，吉澤真吾，湊　真一，有村博紀，宮永喜一，“高速ストリーム処理のための文字列パターン照合手法とその FPGA 設計，” 2009 信学総大，no.D-4-18, March 2009.

（平成 21 年 4 月 23 日受付　平成 21 年 5 月 27 日最終受付）

みやなが　よしかず
宮永　喜一（正員：フェロー）

北大大学院情報科学研究科メディアネットワーク専攻教授．音声情報処理，適応信号処理，VLSI システム設計などの研究に従事している．本会 SIS 研究専門委員会委員長（2004 ～ 2006），同顧問（2006 ～），IEEE CAS Society，DSP TC，Chair（2006 ～ 2008），信号処理学会副編集長（2005 ～）等を担当．

よしざわ　しんご
吉澤　真吾（正員）

北大大学院情報科学研究科メディアネットワーク専攻助教．無線通信ディジタル回路の低消費電力化無線通信 VLSI アーキテクチャ設計・アルゴリズム開発，音声認識 VLSI アーキテクチャ設計・アルゴリズム開発などの研究に従事．

みなと　しんいち
湊　真一（正員）

北大大学院情報科学研究科アルゴリズム研究室准教授．大規模論理データの表現と処理アルゴリズムの研究・教育に従事．2000 情報処理学会山下記念研究賞，2006 人工知能学会研究会優秀賞各受賞．情報処理学会論文誌編集委員（2000 ～ 2003）．国際ワークショップ ALSIP 2008 実行委員長．