



HOKKAIDO UNIVERSITY

Title	BN・ZDD・MC : Bayesian Network, Zero-suppressed binary Decision Diagram, Model Counting
Author(s)	浜口, 清治
Description	ERATO 湊離散構造処理系プロジェクト春のワークショップ（キックオフシンポジウム）．2010年5月28日（金）～29日（土）．ERATO湊プロジェクト研究室．
Relation	2010年度科学技術振興機構ERATO湊離散構造処理系プロジェクト講究録．p.336-337.
Issue Date	2011-06
Doc URL	https://hdl.handle.net/2115/48381
Type	conference presentation
File Information	22.hamaguchi_06.pdf



BN・ZDD・MC

Bayesian Network
Zero-suppressed binary Decision Diagram
Model Counting

大阪大学大学院情報科学研究科
バイオ情報工学専攻
准教授 浜口清治

1

主な研究テーマ

- ▶ 主な研究内容
 - ▶ EDA (Electronic Design Automation) 関連技術
 - ▶ 設計検証, フォーマル検証技術
 - ▶ 設計が(仕様に対して)正しいかどうかを調べる技術
 - ▶ 等価性判定, モデル検査
 - ▶ 要素技術
 - ▶ OBDD
 - ▶ SAT (ブール式の充足可能性判定)
- ▶ 最近
 - ▶ SMT (Satisfiability Modulo Theory) ソルバーの設計検証への応用
- ▶ OBDD関連
 - ▶ OBDD 変数順序付け問題のNP完全性の証明
 - ▶ BMD による乗算回路検証の多項式時間アルゴリズム

▶ 2

ベイジアンネットワーク

▶ ベイジアンネットワークの処理技術

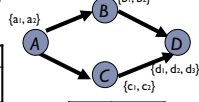
- ▶ 確率推論(確率計算), 確率学習, 構造推定

▶ 確率推論(確率の計算)

$$\Pr(D = d|I) = \sum_{A,B,C} \Pr(A,B,C,D = d|I)$$

$$\Pr(B = b_2, D = d|I) = \sum_{A,C} \Pr(A, B = b_2, C, D = d|I)$$

A	Pr(A)
a1	0.4
a2	0.6



AB	Pr(B A)
a1b1	0.2
a1b2	0.8
a2b1	0.8
a2b2	0.2

BCD	Pr(D B,C)
b1c1d1	0.0
b1c1d2	0.5
b1c2d1	0.5
b1c2d2	0.2
b1c2d3	0.5
b2c1d1	0.0
b2c1d2	0.0
b2c1d3	1.0
b2c2d1	0.2
b2c2d2	0.3
b2c2d3	0.5

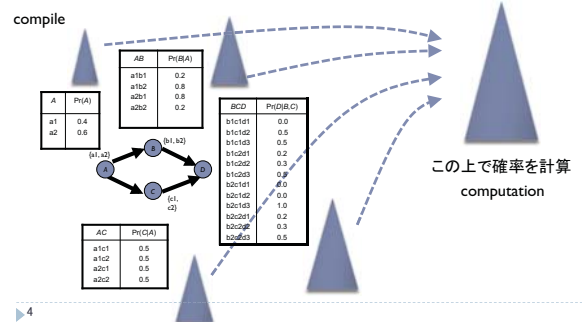
AC	Pr(C A)
a1c1	0.5
a1c2	0.5
a2c1	0.5
a2c2	0.5

Mark Chavira and Adnan Darwiche:
"Compiling Bayesian Networks Using Variable Elimination"
20th International Joint Conference on Artificial Intelligence (IJCAI),
2007, pp. 2443-2449.

▶ 3

ZBDDベース構築

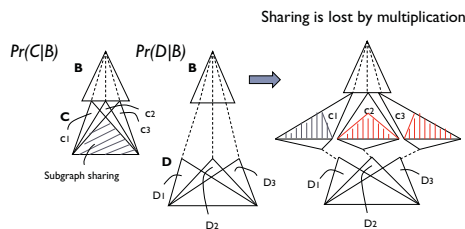
S. Minato, K. Sato and T. Sato, "Compiling Bayesian Networks by Symbolic Probability Calculation Based on Zero-suppressed BDDs," In Proc. of 20th International Joint Conference of Artificial Intelligence (IJCAI-2007), pp.2550-2555, 2007.



▶ 4

観察

▶ ZDDの爆発

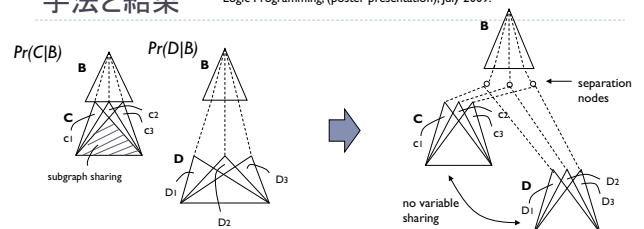


▶ 5

2009/12/17 at Hokkaido Univ.

手法と結果

D. Tokoro, A. Fukunaga, K. Hamaguchi, T. Kashiwabara, S. Minato:
"Exploiting Global Structures in Bayesian Network Compilation by Zero-suppressed BDDs", 19th International Conference on Inductive Logic Programming, (poster presentation), July 2009.



BN name	# of BN nodes	Compilation Time (s)		AC size (edges)		Prob. Computation Time (s)	
		AceT	ZDD	AceT	ZDD	AceT	ZDD
Pigs	441	0.602	2.68	1267412	2033640	0.072	0.17
Diabetes	413	3.911	32.85	15476268	25024900	0.631	1.60
Munin2	1003	1.876	5.71	4222134	4465700	0.200	0.42
Munin3	1044	1.184	7.14	2652334	4547260	0.134	0.54
Munin4	1041	3.853	26.43	4643186	8181150	0.210	0.72

- Environments: Redhat Linux, Pentium 4, 2.4GHz, 2GB of memory, ZDD nodes < 21M
- AceT: Tabular method, ZDD: Ours
- AC size for ZDD: Evaluated from obtained ZDD size
- Inference: Average over random two instantiations for 100 times

モデルカウンティング

▶ (重み付き)モデルカウンティング

- ▶ 与えられた条件をみたす解の個数を数える問題, あるいは
- ▶ 与えられた条件をみたす解に付加されている全ての重みの総和を求める問題
 - ▶ BDD, ZBDDの場合: 1に至るパスの数を数える問題
 - ▶ BN の確率計算も例のひとつ

▶ 最近の動向: SAT ソルバーの技術との融合

- ▶ SAT: 論理式が1になる組合せを求める問題

▶ 応用

▶ 組合せ回路の信頼性解析

- S. Luckenbill, J.-Y. Lee, Y. Hu, R. Majumdar and L. He: "RALF: Reliability Analysis for Logic Faults - An Exact Algorithm and Its Applications", DATE 2010.

▶ SNP解析

- Arthur Choi, Noah Zaitlen, Buhm Han, Knot Pipatsrisawat, Adnan Darwiche, and Eleazar Eskin: "Efficient Genome Wide Tagging by Reduction to SAT", WABI 2008, LNBI 5251, pp. 135-147, 2008.

▶ ...

今後の展開

- ▶ 従来: 論理式ベース(0,1が対等な世界)

- ▶ BDD $\leftrightarrow$ SAT, モデルカウンティング

- ▶ 組合せ集合ベース(0,1が対等でない世界)で行うとどうなる?

- ▶ ZDD $\leftrightarrow$ ZSAT, Zモデルカウンティング