



HOKKAIDO UNIVERSITY

Title	パワー半導体素子の駆動・保護回路技術に関する研究
Author(s)	石川, 勝美
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第11607号
Issue Date	2014-12-25
DOI	https://doi.org/10.14943/doctoral.k11607
Doc URL	https://hdl.handle.net/2115/57742
Type	doctoral thesis
File Information	Katsumi_Ishikawa.pdf



北海道大学大学院情報科学研究科
〔博士論文〕

パワー半導体素子の
駆動・保護回路技術に関する研究

Study on Drive and Protection Circuit Technology
for Power Semiconductor Devices

平成 26 年 12 月

主指導教員 小笠原 悟司 教授

提出者

専攻 システム情報科学専攻

学生番号 7 9 1 1 5 0 3 2

学生氏名 石川 勝美

目次

第 1 章	序論	4
1.1	研究背景	4
1.1.1	パワーエレクトロニクスの技術発展	4
1.1.2	パワー半導体の駆動・保護技術とその技術課題	8
1.2	本論文の目的	10
1.3	本論文の構成	11
第 2 章	パワー半導体素子，駆動回路・保護回路の技術動向	14
2.1	シリコン系パワー半導体の分類と歴史	15
2.1.1	シリコン (Si) 系パワー半導体の分類と開発の歴史	15
2.1.2	パワーMOSFET と IGBT の棲み分けと市場規模	18
2.1.3	パワーMOSFET と IGBT の動作原理	20
2.1.4	HEV 用パワーデバイスの歴史	22
2.1.5	鉄道用パワーデバイス・周辺回路の歴史	23
2.2	IGBT の駆動・保護回路の技術動向	28
2.2.1	電力変換器の構成と課題	28
2.2.2	過電流保護回路と短絡保護回路の構成と課題	30
2.2.3	大電流対応の短絡保護・短絡電流低減の技術動向	31
2.3	シリコンカーバイド系パワー半導体の特長	32
2.4	SiC ダイオードの適用効果	38
2.4.1	Si-pn ダイオードと SiC-SBD の導通特性の違い	38
2.4.2	SiC-SBD のスイッチング特性とインバータ適用効果	39
2.5	SiC スwitchング素子と応用技術	40
2.5.1	SiC スwitchング素子の種類と特徴	40
2.5.2	ノーマリオフ SiC-JFET の特性	41
2.5.3	SiC-JFET のサーバ電源への適用	45
第 3 章	新しい電圧検出型高速短絡保護回路を有する大電流 IGBT 用 600V ドライバ IC	47

3.1	新しい電圧検出型短絡保護回路の提案と原理	48
3.1.1	新しい電圧検出型短絡保護回路の提案	48
3.1.2	IGBT のゲート電圧とコレクタ電圧併用型短絡保護の原理	50
3.2	短絡保護回路の評価	53
3.2.1	短絡保護動作時間	53
3.2.2	短絡誤検出の余裕時間の検討	55
3.2.3	短絡電流を低減する駆動回路の検討	57
3.3	ドライバ IC の開発とインバータ評価	59
3.3.1	ドライバ IC の開発	59
3.3.2	600 V/400 A 級 IGBT モジュールでの短絡保護動作の検証	61
3.3.3	600 V/400 A 級 IGBT モジュールでのモータ駆動評価	62
3.4	3 章のまとめ	63
第 4 章	3 kV 級 SiC ショットキーバリアダイオードを搭載したハイブリッドモジュールと高速駆動を併用した鉄道インバータ	64
4.1	鉄道向け SiC インバータ開発の方針	65
4.2	Si-pn ダイオードを搭載したインバータの課題	66
4.3	試作したハイブリッドモジュールと検証回路	69
4.3.1	高耐圧 3 kV 級の SiC-SBD と SiC ハイブリッドモジュール	69
4.3.2	スイッチング特性の評価回路	72
4.4	スイッチング波形と損失評価	73
4.4.1	スイッチング波形比較	73
4.4.2	電圧変化率とスイッチング損失	76
4.5	鉄道用変換器の損失低減効果の検証	78
4.5.1	モータ駆動試験	78
4.5.2	シミュレーションによる鉄道変換器の損失低減効果試算	79
4.6	4 章のまとめ	83
第 5 章	3.3 kV/1200 A 小型 SiC ハイブリッドモジュールを適用した鉄道用小型インバータ	84
5.1	鉄道向け小型 SiC インバータ開発の課題	85
5.2	3.3 kV/1200 A 小型 SiC ハイブリッドモジュール	86
5.3	SiC ハイブリッドモジュールのアクティブゲート制御技術	88

5.3.1	アクティブゲート駆動技術の原理	88
5.3.2	アクティブゲート駆動の検証結果	90
5.4	鉄道向け小型・高効率インバータの開発	92
5.4.1	小型冷却器の開発	92
5.4.2	鉄道向け小型インバータ	93
5.4.3	SiC ハイブリッドモジュール適用による損失低減効果	94
5.4.4	モータ駆動試験	95
5.5	5章のまとめ	96
第6章	低閾値電圧を持つ SiC-JFET の高速駆動回路の構築とサーバ用電源への適用	97
6.1	ノーマリオフ SiC-JFET の高速駆動実装方式の検討	98
6.1.1	従来の実装方式の課題	98
6.1.2	高速駆動を実現する実装・回路方式の検討	99
6.2	ノーマリオフ SiC-JFET の高速駆動方式の検証	102
6.3	SiC-JFET のサーバ用電源回路への課題と検討	104
6.4	2 kW 級サーバ電源試験	105
6.4.1	サーバ電源試作	105
6.4.2	サーバ電源の効率評価	105
6.5	6章のまとめ	106
第7章	結言	107
7.1	本研究の成果	107
7.2	今後の課題	110
参考文献		111
発表論文		116
謝辞		119

第1章

序論

1.1 研究背景

1.1.1 パワーエレクトロニクスの技術発展

東日本大震災により、私たちの暮らしの中で物やエネルギーを当たり前のように消費してきた考え方を改めて見直す機会となり、個人や企業が今まで以上にエネルギーの重要性を再認識することとなった。国や地方行政の支援もあり、太陽光発電をはじめとする再生可能エネルギーなどの”創エネルギー”の導入が活発化している。一方,”省エネルギー”(以下、省エネ)についても、経産省主導で、環境配慮型自動車への補助金支援だけでなく、省エネの実現可能性のある新構造・新材料からなる次世代デバイス技術の支援、Li(リチウム)電池応用などによるエネルギーの回収や、マンションやビルや地域のエネルギー管理を有効に行う”エネルギーマネジメント”事業への開発支援が続けられている。

この省エネ技術を牽引してきたのが、パワーエレクトロニクス技術である。パワーエレクトロニクスは、パワー半導体素子(パワーデバイス)を用いた電力変換、電力開閉に関する技術を扱う工学であり、パワーエレクトロニクスの語源は、1973年、ウェスティングハウス社のウィリアム・ニューウェルによって「パワー(電気・電力・電力機器)と、エレクトロニクス(電子・回路・半導体)と、コントロール(制御)を融合した学際的分野」と図を用いて説明されたのが始まりと言われている[1]。

パワーエレクトロニクスの心臓部品であるパワーデバイスは、アナログ半導体に属する電力制御用の半導体素子と定義される。パワーデバイスが最初に実用化されたのはSi(シリコン)ダイオードであるが、1957年に米国のGE社で開発されたサイリスタが先駆けとなり、トライアック、逆導通サイリスタ、ゲートターンオフサイリスタ(Gate Turn-Off サイリスタ、以下 GTO サイリスタ)、光サイリスタなどが開発された。

パワーエレクトロニクスの進展は、パワーデバイスの進歩と共に進んできた。パワーデバイスの応用製品の例をとると、大容量 Si ダイオードは、1960 年頃より国鉄の電車

用整流装置などに採用された。大容量サイリスタは、1970 年頃より、鉄鋼用の直流電動機に採用された[2]。また、高速サイリスタや逆導通サイリスタは、無停電電源や電車で用いられる装置向けに開発され、光サイリスタは、直流送電用として開発された[3][4]。また、ゲート電流を供給することによって、オン・オフできる自己消弧型の素子である GTO サイリスタやバイポーラパワートランジスタの出現し、転流回路が不要になり、回路が簡素化された。特に、GTO サイリスタは、高速化・高耐圧化・大容量化・低損失化が実現可能となり、併せてインバータの低騒音化にも繋がり、電車などの交流機の可変速駆動の応用が著しく広がった[5]。一方、GTO サイリスタは、遮断に大きな電流を必要とするため、ゲート駆動回路が大きくなることや、素子を保護するためのスナバ回路を必要とするなどの欠点があった。

パワーエレクトロニクスを大きく進展させたのは、ゲート電圧を供給することによって、オン・オフできる自己消弧型の素子である MOSFET (Metal Oxide Semiconductor Field Effect Transistor) や IGBT (Insulated Gate Bipolar Transistor) の出現である[6]。電圧制御型の MOSFET は、電子電流のみで動作するユニポーラデバイスであり、スイッチング速度が速く、低電圧領域での変換効率が高い特長を持つことから、現在まで、200 V 以下の領域で、スイッチング電源や、DCDC コンバータ等の数多くのアプリケーションに用いられている。一方で、数百 V を超える高耐圧領域では、MOSFET のオン抵抗は高くなるため、電子と正孔で動作するバイポーラデバイスが期待されていた。1984 年に開発された IGBT[7]は、MOSFET の欠点である高耐圧に伴って高くなるオン抵抗と、バイポーラトランジスタ (Bipolar Junction Transistor, 以下 BJT) の低いスイッチング速度という欠点をそれぞれ補うように、入力段に MOSFET を、出力段にバイポーラトランジスタを 1 つの半導体素子に構成したものである。このデバイスは、電子と正孔で動作するバイポーラデバイスであることから、数百 V を超える高耐圧領域では、MOSFET と比較し、大幅なオン抵抗の低減を実現した。さらに、ゲート・エミッタ間を電圧で駆動することができ、ゲート駆動回路を大幅に小型化できる。1980 年代後半の開発当初は、600 V、1.2 kV 耐圧の素子開発が急ピッチで進み、1990 年代には、産業用インバータを始め、エアコン、洗濯機、冷蔵庫、IH 調理器などの白物家電、エレベータ、ロボット、工作機等のインバータに採用されている。また、1997 年からは、HEV (Hybrid electric vehicles) 用インバータにも搭載されている[8]。また、高耐圧向けの IGBT は、1990 年代前半から開発が進み、IGBT を利用したインバータ搭載車両は、1992 年に初めて搭載された。IGBT は、安全動作領域が広いことから、スイッチング時の破

壊から素子を守るためのアノードリアクトルやスナバ回路などの付属回路が不要であることから、1990 年後半からは、鉄道用インバータでは、GTO サイリスタに代わり、IGBT を搭載した電車が主流となっている[9]。

既に、IGBT は開発されてから 30 年が経過したが、IGBT の構造に関する研究・開発も精力的に進められ、IGBT の表面の構造では、微細化技術を適用したトレンチゲート構造の適用、IGBT の裏面の構造では、ノンパンチスルー（NPT）化と基板の薄化等の技術により世代を重ねて、特性を改善してきている[6][10]。

また、IGBT の駆動・保護技術に関しても、IGBT の登場以来、盛んに開発が進められている。IGBT は壊れにくいデバイスであるが、IGBT を搭載したインバータの高性能化を図るためには、駆動回路や保護機能の高機能化が重要である。また、駆動回路と保護回路を一体化したインテリジェントパワーモジュール（Intelligent Power Module）や、マイコンなどを搭載したシステムパワーモジュール（System Power Module）なども製品化されている。

近年、SiC（炭化ケイ素）を応用したパワーデバイスの開発が盛んである。SiC は、強い共有結合を持つIV-IV族の化合物半導体であり、ダイヤモンドの次に固く、熱伝導の良い材料である。工業的には、セラミック材料としての応用が先行したが、早いうちから、広い禁制帯幅を持つ半導体（Wide Bandgap Semiconductor）として注目を浴びていた。1960 年に、Shockley が SiC は、Si の限界を打破する高性能デバイス実現の可能性を予言[11]したが、結晶成長の困難さにより、SiC 半導体研究の進展は遅れた。しかしながら、1980 年代以降、バルク結晶成長、およびエピタキシャル成長におけるブレイクスルーが相次いで研究され[12][13]、1990 年代に入ると SiC 単結晶ウエハの市販が開始され、注目を集めるようになった。SiC は Si の約 10 倍の絶縁破壊電界を有し、パワーデバイスの耐圧維持層（ドリフト領域）が 1/10 ですみ、この領域のドーピング濃度を 100 倍にできる。このことから、SiC のドリフト領域のオン抵抗を、Si と同耐圧で比較すると、1/300 程度に低減することが可能である。従って、SiC を用いたパワーデバイスでは、ユニポーラデバイスである SiC-MOSFET[14]や、SiC-接合 FET（SiC-Junction Field Effect Transister：以下 SiC-JFET）[15]が、Si のバイポーラデバイスである IGBT に置き換わるデバイスとして期待されている。

インバータに用いられるパワーデバイスは、スイッチング素子に並列してダイオードが搭載されている。これは、インダクタンスを持つ回路の電流を遮断するとき、大きなサージ電流が発生するため、負荷に対して並列に、かつ負荷の入出力方向とは逆を向く

ようにダイオードを接続し、サージ電流をダイオード側に逃がすようにしている。このダイオードも、スイッチング素子と同じ耐圧が必要である。ダイオードの種類としては、電子で動作するユニポーラデバイスであるショットキーバリアダイオード（Schottky Barrier Diode：以下 SBD）と、電子と正孔で動作する pn 接合ダイオード（以下 pn ダイオード）がある。pn ダイオードでは、電子と正孔で動作するため、低いオン抵抗が得られるが、ダイオードのターンオフ時に、電子と正孔の再結合による大きな逆回復電流が流れ、スイッチング時の発生損失が大きくなる。一方、SBD では、電子で動作するため、ダイオードのターンオフ時に、電子と正孔の再結合がなく、スイッチング損失がなくなるという特長を持つ。SBD がカバーする領域は、Si ダイオードでは、耐圧 200 V 以下であるのに対して、SiC ダイオードでは、耐圧 3 kV を超える領域まで十分に低いオン抵抗を実現できる[16][17]。600 V を超える IGBT を搭載したパワーモジュールには、Si-pn ダイオードが用いられてきたが、SiC-SBD は、Si-pn ダイオードに代わる低スイッチング損失で、低導通損失なデバイスとして開発が進められてきた。この特性が生かせるスイッチング力率改善（Power Factor Correction：以下 PFC）回路での実用化が始まっている。また、この SiC-SBD をインバータ回路に適用した場合、インバータの損失低減が期待されている。このように、SiC パワーデバイスは、現在主流の IGBT モジュールの Si-IGBT の置き換えだけでなく、Si-pn ダイオードの置き換えも期待されている。

1.1.2 パワー半導体の駆動・保護技術とその技術課題

パワー半導体素子（パワーデバイス）は、産業、家電、エレベータ、HEV、鉄道などの誘導電動機や同期電動機などの電動機モータ制御用や、無停電電源装置（Uninterruptible Power Supply：以下 UPS）などの電力補償装置や、太陽光パワーコンディショナー（Power Conditioning System：以下 PCS）などの電力変換機器などに広く使用されている。これらの電力変換機器は、年々、高パワー密度化（装置体積に対する出力電力量の割合）が、進んできている。また、インバータの普及促進を図るには、インバータのコスト低減も重要である。さらに、壊れない・故障しにくい・寿命が長いといった高信頼化・高寿命化に対する要求も高い。

インバータの小型・低コスト・高信頼化を実現するためには、IGBT やダイオードなどのパワーデバイスの損失低減技術、パワーデバイスを搭載するパワーモジュールの高効率冷却技術、IGBT の駆動・保護回路の高性能・小型化技術が重要である。IGBT の損失低減のためには、IGBT の構造最適化により、IGBT の導通特性やスイッチング特性を改善している[6]。また、HEV 用インバータのパワーモジュールの高効率冷却技術としては、IGBT を搭載するベースを直接媒体で冷却する直接冷却方式や[18]、IGBT を両面から冷却する両面冷却方式[19]などが提案され、インバータの小型・低コスト化に寄与している。

また、パワーデバイスの駆動・保護回路の高性能化・小型化のためには、駆動回路を構成する部品点数の低減、保護回路の IC 化、制御回路と駆動回路の絶縁方式の簡素化が重要である。さらに、IGBT の保護回路については、IGBT の過電流保護回路や、IGBT の短絡保護回路や、IGBT の制御電源電圧不足保護・過電圧保護や、IGBT の過温度保護などが一般的に使用され、IGBT の保護回路の高性能化に寄与している[20][21]。

現在広く用いられている IGBT の短絡検出方式には、センス電流検出機能付きの IGBT を使用して、IGBT の電流を検出する方式[22]があるが、センス電流検出機能付きの IGBT を内蔵するために、コストが高いという欠点があった。また、IGBT のコレクタ電圧とドライバ IC の入力信号を併用して検出する方式[23]があるが、短絡状態を判断するために、5 μ s 以上の比較的長い時間が必要という欠点があった。本論文では、HEV 用インバータの IGBT の短絡保護回路にて、保護誤検出の無い安定な短絡保護動作を、高速で実現する電圧検出型の短絡保護方式を提案する。

また、鉄道車両などの高耐圧のインバータは、パワーデバイスの進歩によって、高性能、高効率、小型・軽量、高信頼化が図られてきた。1980年代半ばに、4.5 kV GTO サイリスタを用いた GTO インバータが登場したが、その後、1990年代始めに、2 kV IGBT モジュールを適用した 3 レベル IGBT インバータが実用化された[9]。1996年には、耐圧 3.3 kV の IGBT を用いた 2 レベルインバータが製品化[24]され、鉄道車両用駆動装置の高効率化、小型・軽量化を進めてきた。その後も、IGBT の高耐圧化、大電流化は進み、現在の車両用インバータの多くは、IGBT インバータに置き換わっている。また、様々な架線電圧に対応するため、現在では、1.7 kV, 3.3 kV, 4.5 kV, 6.5 kV の高耐圧の IGBT モジュールが製品化[25][26]されている。そして、IGBT もダイオードも構造の最適化が進み、更なる高効率化のためには、新材料の SiC デバイスの適用が期待されている。本論文では、IGBT に並列に接続するダイオードに、SiC-SBD を適用し、この SiC-SBD と Si-IGBT を組合わせたモジュール（以後、SiC ハイブリッドモジュールと呼ぶ）を試作し、高速駆動の可能性を検討した。さらに、鉄道用インバータの更なる低損失化・小型化の可能性について検討する。

また、電力変換器の更なる省エネ・小型化を実現するため、スイッチング素子にも SiC の適用を検討する。2000 年後半から、耐圧が低く、小容量の SiC スwitching 素子のデバイスが販売され始めている。SiC -MOSFET は、酸化膜信頼性が課題であり、酸化膜を使用しない SiC-JFET 素子が先行して製品化されている。SiC-JFET は、ノーマリオン型とノーマリオフ型の 2 つのタイプがある。ノーマリオン型 SiC-JFET[27]は、HEV や鉄道用途では、フェールセーフの観点から、不向きである。一方、ノーマリオフ型の SiC-JFET[15] [28]は、閾値電圧が 1 V 程度と非常に低く、3 V を越えるとゲート-ソース間に電流が流れるため、制御電圧範囲が狭い点が課題である。本論文では、サーバ用電源の高効率化をめざし、閾値電圧の低いノーマリオフ SiC-JFET の適用と、ノーマリオフ SiC-JFET の高速駆動の可能性を、回路・実装方式の両面から検討する。

1.2 本論文の目的

本研究では、HEV 用インバータや鉄道用インバータやサーバ用電源などの電力変換装置を研究対象とし、電力変換装置の省エネ化、低コスト化、小型化、及び高信頼化をめざし、IGBT や SiC ダイオード、SiC-JFET などのパワーデバイスの高速駆動回路技術の構築、高信頼保護回路技術の構築を目的とする。

HEV 用大電流 IGBT 用駆動回路・保護回路の検討では、HEV インバータの保護回路の小型・低コスト化・高信頼化のため、新しい電圧検出型の高速短絡保護回路を有する 600V ドライバ IC を開発する。高コストのセンス電流検出機能付き IGBT を使用せずに、多様なゲート特性を持つ IGBT に対応する低コストで高信頼な短絡保護方式を構築する。また、駆動回路・保護回路の小型化のため、駆動・保護回路をドライバ IC に搭載したドライバ IC を開発する。

また、鉄道用 IGBT インバータの検討では、小型・低損失化のため、SiC-SBD の適用と低損失な駆動方式を検討する。直流架線 1500 V に適用可能な 2 レベルインバータを構築するため、世界に先駆けて、3.3 kV の SiC-SBD と Si-IGBT を搭載した、3.3 kV/1200 A の小型 SiC ハイブリッドモジュールを開発し、このハイブリッドモジュール対応の低損失ゲート駆動方式、小型冷却方式を検討し、小型で高効率なインバータ開発する。

さらに、高効率サーバ電源の検討では、サーバ電源の高効率化のため、スイッチング素子に 600 V/40 A のノーマリオフ型の SiC-JFET を、ダイオードに 600 V/40 A の SiC-SBD の適用を検討する。ノーマリオフ型の SiC-JFET は、閾値電圧が 1 V 程度と非常に低く、3 V を越えるとゲート-ソース間に電流が流れるため、制御電圧範囲が狭い点が課題であり、低閾値電圧であるノーマリオフ SiC-JFET の高速駆動を実現するための駆動方式・実装方式を開発する。

1.3 本論文の構成

本論文は、全 7 章で構成されており、各章の内容は以下の通りである。

第 1 章 序論

第 1 章では、本論文の背景となるパワーエレクトロニクスと心臓部品であるパワーデバイスの技術発展について述べ、続いてここ 30 年に渡って使われてきた IGBT を中心としたパワーデバイスの駆動回路・保護回路の技術発展とその課題について概説する。さらに、本論文の目的を説明し、構成を概説する。

第 2 章 パワー半導体素子、駆動回路・保護回路の技術動向

第 2 章では、シリコン (Si) 系パワーデバイスの分類と歴史を概説し、ここ 30 年に渡って使われてきている IGBT の駆動・保護回路の技術動向を述べる。特に、短絡保護技術について詳細に述べ、従来の短絡保護技術の課題を明確化する。

次に、シリコンカーバイド (SiC) 系パワー半導体の開発の歴史を概説する。電力変換装置の小型・低損失化を実現するためには、SiC 素子の適用が期待されている。従来の IGBT モジュールに用いられている Si-pn ダイオードに代わり、SiC-SBD が期待されており、SiC-SBD の特長について述べる。また、スイッチング素子としては、酸化膜を使用しない SiC-JFET 素子が注目されている。SiC-JFET は、ノーマリオン型とノーマリオフ型の 2 つのタイプがある。ノーマリオン型 SiC-JFET は、Si-MOSFET とカスコード接続してノーマリオフを実現しているが、オン抵抗が高くなる。一方、ノーマリオフ型の SiC-JFET は、閾値電圧が 1 V 程度と非常に低く、3 V を越えるとゲート-ソース間に電流が流れるという特有の課題について述べる。

第 3 章 新しい電圧検出型高速短絡保護回路を有する大電流 IGBT 用 600 V ドライバ IC

第 3 章では、1997 年に世界に初登場した HEV 用のインバーに広く使用されてきている IGBT に関して、高信頼な駆動回路・保護回路を検討した。大電流用途のインバータにおいて、数百 A でのスイッチング時でも、安定な駆動回路や保護回路を備え、数百 A の大電流 IGBT を駆動できるロバストな駆動回路や短絡保護回路を内蔵した 600 V のドライバ IC の開発について述べる。特に、IGBT の短絡保護

技術に関しては、従来の高価なセンス IGBT を用いた方式から、IGBT の制御端子（ゲート）電圧と、IGBT の高圧端子（コレクタ）電圧を併用して電圧検知する方式を採用することで、通常市販されている多様なゲート特性を持つ IGBT の全てに対応可能なようにし、短絡検出時間を、センス IGBT を用いた方式よりも短い 2.5 μ s 以内の高速で検知する方式を構築する。また、通常動作時には、誤動作しない短絡保護技術を構築した。さらに、通常動作時の IGBT のターンオフ損失を増加させずに、IGBT の短絡時のピーク電流を 15% 低減するゲート駆動回路を構築した。

これらを搭載した回路で、インバータ実機にて、短絡動作検証及び誤動作の有無の検証を行って、HEV の実製品へ製品適用した結果を述べる。

第 4 章 3 kV 級ショットキーバリアダイオードを搭載したハイブリッドモジュールと高速駆動回路を併用した鉄道インバータ

第 4 章では、Si に代わる次世代のデバイスと注目されている SiC を用いたデバイスの導入を検討した。日本では、直流 1500 V 架線が 90% 以上を占めているため、直流 1500 V に適用可能な 2 レベルインバータを構築するため、世界に先駆けて、3 kV 級の SiC-SBD と Si-IGBT を搭載したプロトタイプ（3 kV/200 A）の SiC ハイブリッドモジュールを開発した。SiC-SBD は、3 kV の高電圧でも、逆方向印加時の漏れ電流を低減するため、ショットキー接合に pn 接合をマージした JBS（Junction Barrier Schottky）構造を開発した。

また、従来の Si-pn ダイオードでは、定格電流が 30% 程度で、ダイオードの通流幅が 5 μ s 以下と小さい場合は、Si-pn ダイオード内の正孔と電子の再結合する影響で、過大な電圧を発生するため、ゲート抵抗を大きくせざるを得なかったが、開発した 3 kV 級の SiC-SBD を適用することによって、ゲート抵抗を小さくすることができ、ターンオン損失やリカバリ損失を大幅に低減した。

さらに、この回路を鉄道用のインバータやコンバータに適用した場合のインバータ及びコンバータの損失低減効果を見積もる。また、180 kW モータの無負荷駆動に成功した結果を述べる。

第 5 章 3.3 kV/1200 A 小型 SiC ハイブリッドモジュールを適用した鉄道用小型インバータ

第5章では、鉄道用インバータの小型・低損失化のため、従来の3.3 kV/1200 A のモジュールの2/3 のサイズのSiC ハイブリッドモジュールを開発した。ショットキーバリア接合にpn 接合をマージしたJBS 構造を適用したSiC-SBD の採用と、スイッチング素子には、導通特性を改善したSi-IGBT を適用した。また、駆動技術については、3.3 kV/1200 A SiC ハイブリッドモジュールのターンオン時に、IGBT のゲートの状態を検出して、3 段階に分けて制御する低損失駆動（アクティブゲート駆動）技術を適用することで、従来の固定ゲート方式と比較して、ターンオン損失を低減する手法を述べる。また、実装技術については、熱伝達率に優れた小型冷却器を開発した。

その結果、IGBT の性能改善とSiC ダイオードによるスイッチング損失の低減効果、アクティブゲート制御技術の適用により、インバータ損失を35%低減した。また、コンデンサの改善や、冷却器の小型化により、インバータの質量と体積を40%低減した。また、190 kW モータを4 台同時に駆動することに成功した結果について述べる。

第6章 低閾値電圧を持つSiC-JFET の高速駆動回路の構築とサーバ電源への適用

第6章では、電力変換器の更なる低損失化をめざし、SiC スwitchング素子の適用を検討した。フェールセーフの観点から、酸化膜を使用しないノーマリオフ型SiC-JFET を候補とした。閾値電圧の低いノーマリオフSiC-JFET の駆動速度の高速化について、回路・実装方式の両面から検討した。SiC-JFET のソース分割端子の実装方式と、ゲート抵抗にコンデンサを並列接続するスピードアップコンデンサ駆動回路方式を開発し、50 ns 以内のターンオン時間、ターンオフ時間を実現した。

また、この実装方式や駆動回路方式を適用したPFC 回路や、DCDC 回路を構築し、製品版同等の2 kW のサーバ電源を試作し、効率最高点で95.1%となる世界最高クラスの電源効率を実現した結果を述べる。

第7章 結言

本論文における成果を要約し、今後の課題について言及する。

第2章 パワー半導体素子，駆動回路・保護回路の技術動向

この章では，シリコン（Si）系パワーデバイスの分類と歴史を概説し，ここ 30 年に渡って使われてきている IGBT の駆動・保護回路の技術動向を述べる。特に，短絡保護技術について詳細に述べ，従来の短絡保護技術の課題を明確化する。

次に，シリコンカーバイド（SiC）系パワー半導体の開発の歴史を概説する。電力変換装置の小型・低損失化を実現するためには，SiC 素子の適用が期待されている。

従来の IGBT モジュールに用いられている Si-pn ダイオードに代わり，SiC-SBD が期待されており，SiC-SBD の特長について述べる。また，スイッチング素子としては，SiC-MOSFET は，酸化膜信頼性が課題であり，酸化膜を使用しない SiC-JFET 素子が注目されている。SiC-JFET は，ノーマリオン型とノーマリオフ型の 2 つのタイプがある。ノーマリオン型 SiC-JFET は，Si-MOSFET とカスコード接続してノーマリオフを実現しているが，オン抵抗が高くなる。一方，ノーマリオフ型の SiC-JFET は，閾値電圧が 1 V 程度と非常に低く，3 V を越えるとゲート・ソース間に電流が流れるという特有の課題について述べる。

2.1 シリコン系パワー半導体の分類と歴史

2.1.1 シリコン (Si) 系パワー半導体の分類と開発の歴史

図 2.1 に、シリコン (Si) 系パワー半導体の分類を示す。図 2.2 に、パワー半導体素子の開発の歴史を示す。パワーエレクトロニクスの中核部品であるパワーデバイスとは、アナログ半導体に属する電力制御用の半導体素子と定義される。

パワー半導体素子は、ゲート端子を持たず、オン・オフを制御できない非可制御型のダイオードと、ゲート端子により、オン・オフを制御できる可制御型のパワー半導体素子に分かれる。可制御型のパワー半導体素子は、1957 年に米国の GE 社で開発されたサイリスタが先駆けとなり、トライアック、逆導通サイリスタ、GTO サイリスタ、光サイリスタなどが開発された。大容量サイリスタは、1970 年頃より、鉄鋼用の直流電動機に採用された。700 V の直流電動機駆動用に、2.5 kV の定格デバイス、1.2 kV の直流電動機用に、4 kV 定格のデバイスが採用された[2]。また、高速サイリスタや逆導通サイリスタは、無停電電源や電車でチョッパ装置向けに開発され、光サイリスタは、直流送電用として開発された。1979 年に日本初の本格的な直流送電となった本州（上北変換所）と 北海道（函館変換所）間を結ぶ北本連系では、4 kV/1500 A の光サイリスタが採用された[3]。また、2000 年に運用を開始した本州（紀北変換所）と 四国（阿南変換所）間を結ぶ世界最大級の設計電圧である紀伊水道直流連系では、8 kV/3500 A の光サイリスタが採用された[4]。

パワーデバイスの第 2 期は、ゲート電流を供給することによって、オン・オフできる自己消弧型の素子である GTO サイリスタやバイポーラパワートランジスタの出現である。自己消弧型の素子を使うと、転流回路が不要になり、回路が簡素化される。特に、GTO サイリスタは、高速化・高耐圧化・大容量化・低損失化が実現可能となり、併せてインバータの低騒音化にも繋がり、交流器の可変速駆動の応用が著しく広がった。1986 年には、4.5 kV/2000 A 定格の GTO サイリスタを適用した直流架線 1500 V 対応の VVVF (Variable Voltage Variable Frequency) インバータが実用化された[5]。1990 年代には、300 系や 500 系新幹線など、多くの電車に採用された。一方、GTO サイリスタの欠点は、遮断に大きな電流を必要とするため、ゲート駆動回路が大きくなることや、素子を保護するためのスナバ回路を必要とすることである。

パワーデバイスの第3期は、ゲート電圧を供給することによって、オン・オフできる自己消弧型の素子である MOSFET や IGBT の出現である[6]。電圧制御型の MOSFET は、電子電流のみで動作するユニポーラデバイスであることから、スイッチング速度が速く、低電圧領域での変換効率が高い特長を持つ。このことから、現在まで、200 V 以下の領域で、スイッチング電源や、DCDC コンバータ等の数多くのアプリケーションに用いられている。1984 年に、東芝から発表された IGBT[7]は、MOSFET の欠点である高耐圧に伴って高くなるオン抵抗と、バイポーラトランジスタの低いスイッチング速度という欠点をそれぞれ補うように、入力段に MOSFET を、出力段にバイポーラトランジスタを1つの半導体素子に構成したものである。このデバイスは、電子と正孔で動作するバイポーラデバイスであることから、MOSFET と比較し、大幅なオン抵抗の低減を実現した。さらに、ゲート・エミッタ間を電圧で駆動することができ、ゲート駆動回路を大幅に小型化できる。1980 年代後半の開発当初は、600 V、1.2 kV 耐圧の素子開発が急ピッチで進み、1990 年代には、産業用インバータを始め、エアコン、洗濯機、冷蔵庫、IH 調理器などの白物家電、エレベータ、ロボット、工作機等のインバータに採用されている。また、1997 年からは、HEV 用インバータにも搭載されている[8]。

また、高耐圧向けの IGBT の開発も 1990 年代前半から進み、IGBT を利用したインバータ搭載車両は、1992 年に、帝都高速度交通営団の 06 系電車・07 系電車に初めて搭載された。IGBT は、安全動作領域が広いことから、スイッチング時の破壊から素子を守るためのアノードリアクトルやスナバ回路などの付属回路が不要であることから、1990 年後半からは、鉄道用インバータでは、GTO サイリスタに代わり、IGBT を搭載した電車が主流となっている[9]。

既に、IGBT は開発されてから 30 年が経過されようとしている。IGBT の構造に関する研究・開発も精力的に進められ、IGBT の表面の構造では、微細化技術を適用したトレンチゲート構造の適用、IGBT の裏面の構造では、ノンパンチスルー (NPT) 化と基板の薄化等の技術により世代を重ねて、特性を改善してきている[6][10]。また、6 つの IGBT を 1 つの IC に集積したワンチップインバータ IC も 1990 年頃に製品化されている。

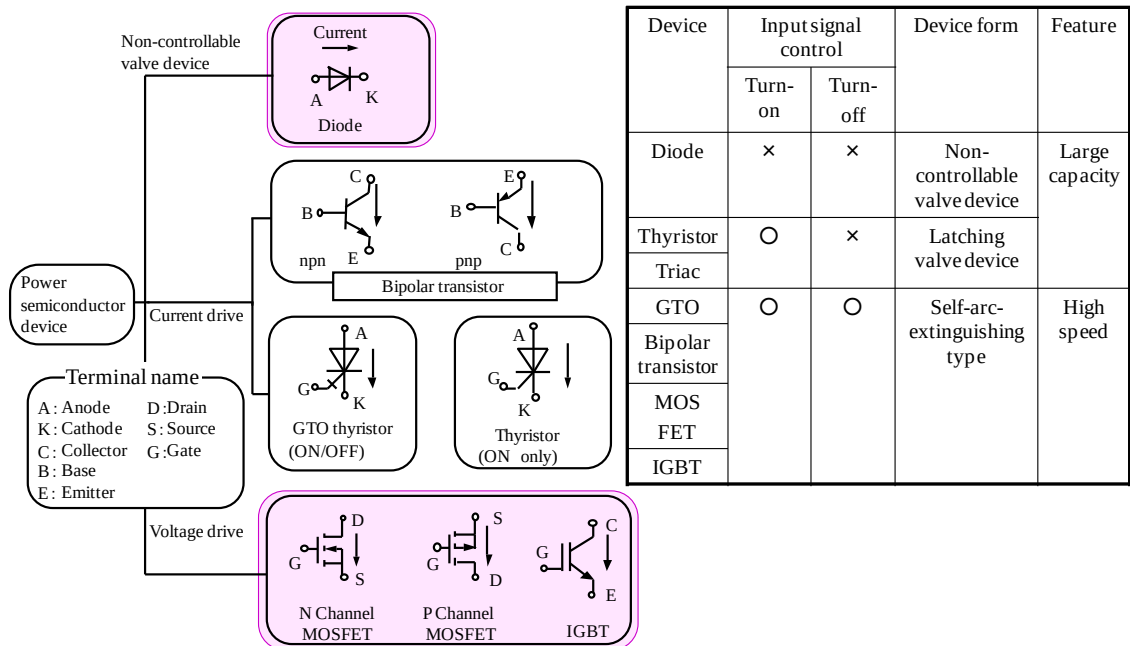


図 2.1 シリコン (Si) 系パワー半導体の分類

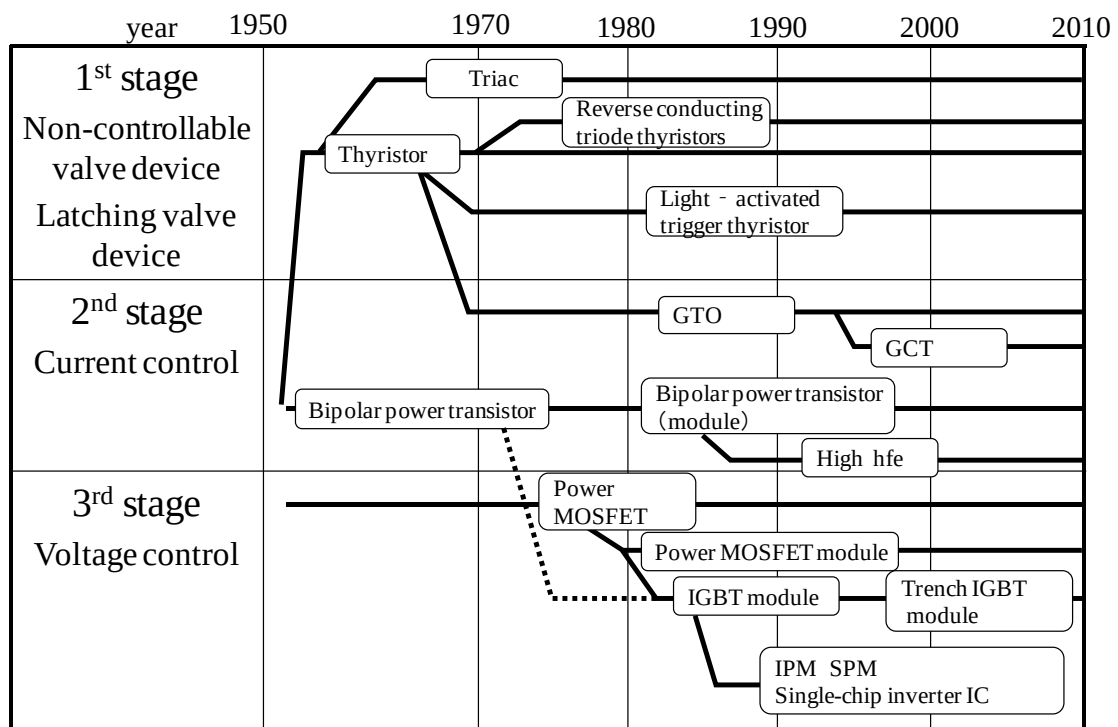


図 2.2 パワー半導体素子の開発の歴史

2.1.2 パワーMOSFET と IGBT の棲み分けと市場規模

図 2.3 に、パワー半導体の中のパワーMOSFET と IGBT の棲み分けと市場規模を示す。パワー半導体素子の市場規模については、年 1 兆円の規模で、パワーエレクトロニクス機器の市場規模は、年 7.5 兆円の規模である。

次に、パワー半導体の中のパワーMOSFET と IGBT の棲み分けを説明する。Si 系パワーデバイスの場合、200 V 以下の領域では、パワーMOSFET が使用されるケースが多く、情報機器や電源や自動車電装機器の分野は、パワーMOSFET が多用されている。

一方、数百 V 以上の領域では、IGBT が多く用いられ、耐圧のラインナップとしては、600 V, 1.2 kV, 1.7 kV, 2 kV, 2.5 kV, 3.3 kV, 4.5kV, 6.5kV の IGBT が既に製品化されている。PDP (Plasma Display Panel) やエアコンや冷蔵庫などの家電品や、HEV 用インバータや、太陽光や UPS や産業機器などの電力変換装置や、建設機械や鉄道など様々な分野で IGBT が使われている。

また、電力用大容量高電圧自励式変換器など、10 kV を超える耐圧を必要とする領域では、現在は光サイリスタを多段接続する方式が主流であるが、IGBT の高耐圧化に伴い、チョッパ構成の単位セルをカスケードに接続した構成である MMC (Modular Multilevel Converter) などのマルチレベル変換器が主流になると考えられる[29]。

図 2.4 に、年度毎の MOSFET と IGBT の市場規模を示す。情報機器や電源や自動車電装機器の台数が極めて多く、パワーMOSFET の市場規模は、IGBT の市場規模の約 10 倍となっている。また、パワーMOSFET, IGBT 共に、年率 10% で市場は大きくなっており、2015 年には、IGBT の市場として、1500 億円になると予想されている。

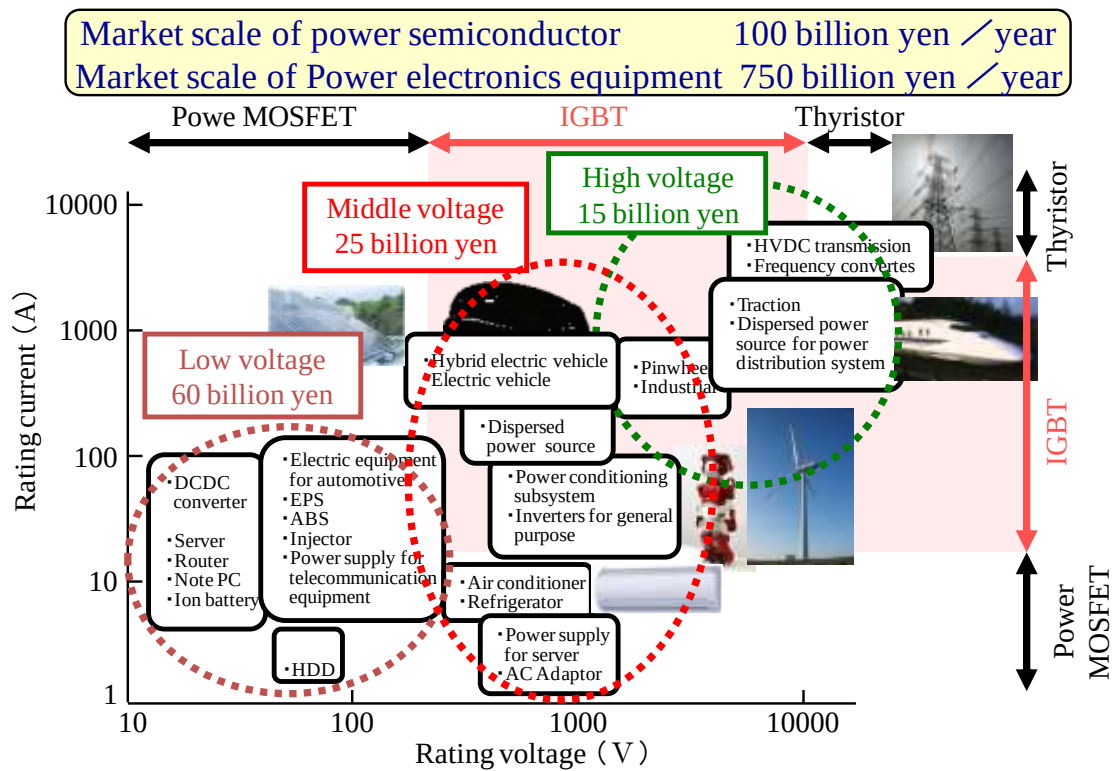


図 2.3 パワー半導体の中の棲み分けと市場規模

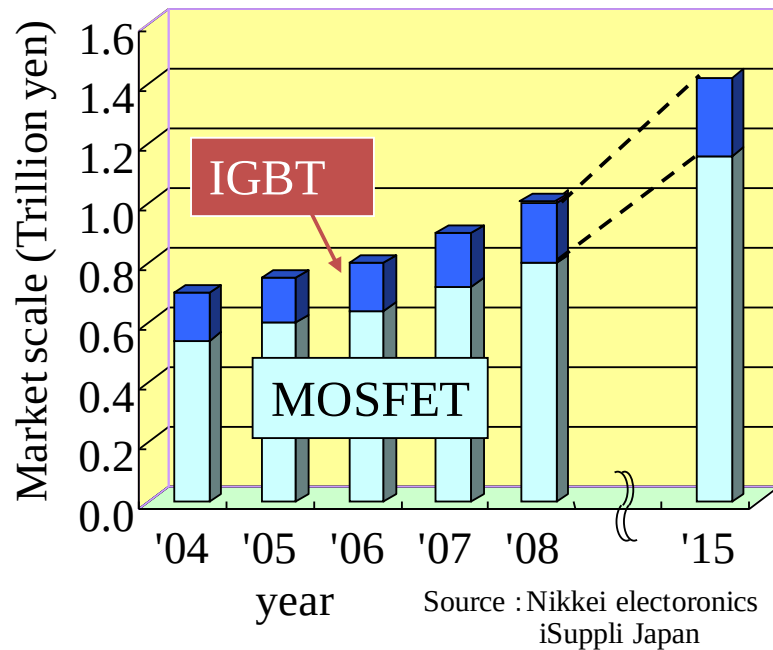


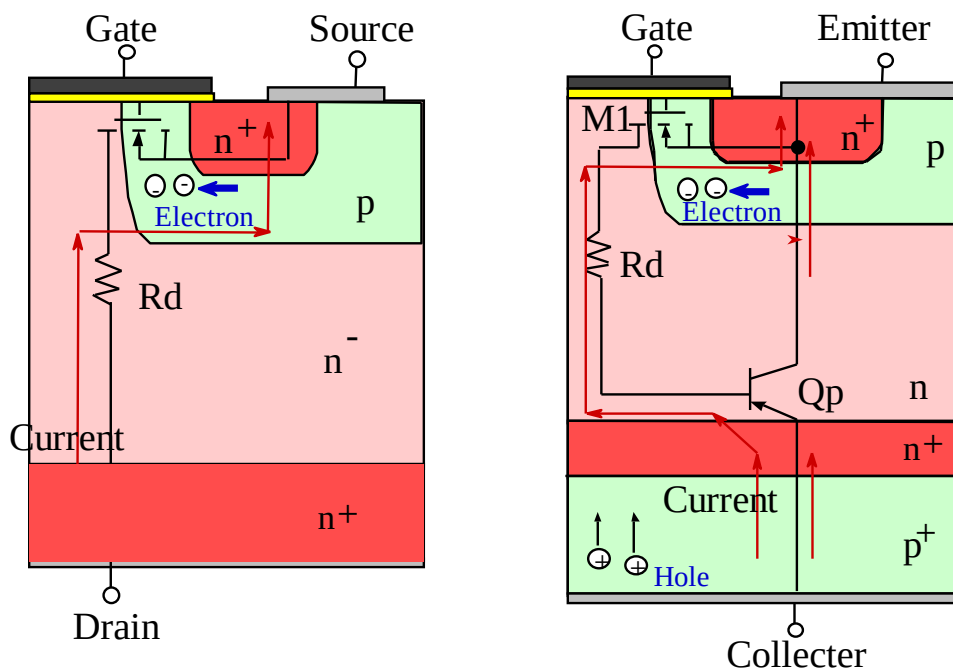
図 2.4 年度毎のパワーMOSFET と IGBT 市場規模

2.1.3 パワーMOSFET と IGBT の動作原理

図 2.5 に、パワーMOSFET と IGBT の断面比較・動作原理を示す。パワーMOSFET と IGBT の表面は、MOS ゲートとなっており、ゲート-ソース間と、ゲート-エミッタ間の構造は n 型の MOS 構造になっている。ゲート電圧を印加することによって、電子の供給を制御している。

図 2.5(a)に示すパワーMOSFET は、裏面の Drain 側は n^+ になっており、電子電流のみで動作する半導体素子である。高耐圧のパワーMOSFET を実現するには、ベース層である n^- 層の濃度を低くし、 n^- 層を厚くする必要がある。 n^- 層の温度特性は、非常に大きいため、高耐圧素子に適用すると、高温の導通電圧が非常に高くなるデメリットがある。

一方、図 2.5(b)に示す IGBT は、裏面の Collector 側は p^+ になっている。IGBT にゲート電圧を印加すると、表面から電子を供給し始めると同時に、裏面から正孔が供給される。ベース層である n^- 層の内部には、多数の電子と正孔が存在し、高耐圧素子に適用した場合でも、高温の導通電圧を低く抑えることができるメリットがあり、数百 V 以上の耐圧を持つパワー半導体素子では、IGBT を採用する場合が多い。



(a) パワーMOSFET

(b) IGBT

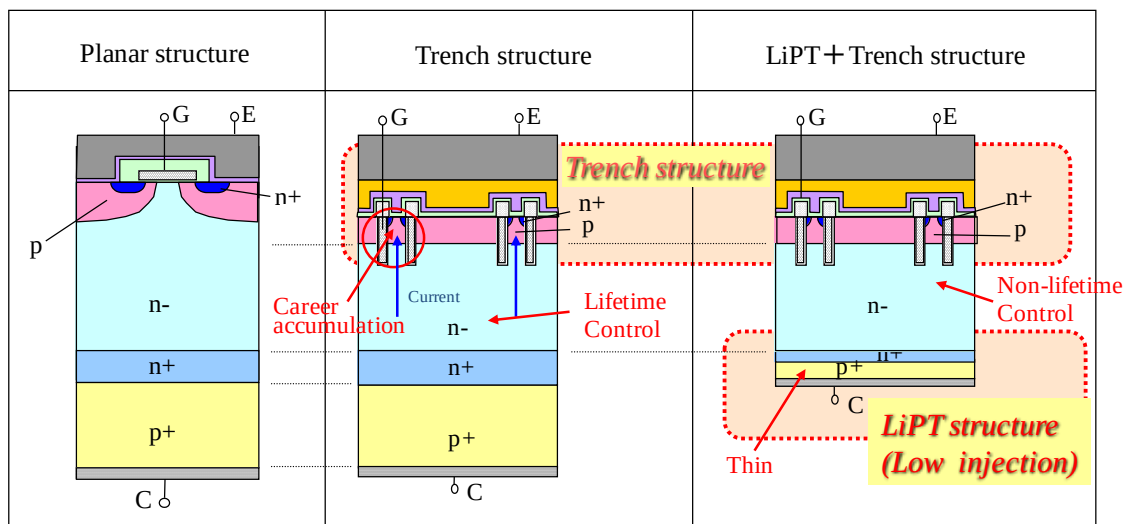
図 2.5 パワーMOSFET と IGBT の断面比較・動作原理

表 2.1 に、最近の IGBT の開発状況の特徴を示す。IGBT の導通損失は、MOS 構造部分のチャネル抵抗と、チャネル近辺のドリフト抵抗と、 n^- ベース層の基板抵抗に分類される。MOS 構造部のチャネル抵抗は、既に移動度の改善やゲート酸化膜の改善などが行われてきた。

チャネル近辺のドリフト抵抗については、IGBT の表面にゲートを付加するプレーナ構造から、IGBT の表面にゲートを埋め込むトレンチ構造の採用により、ドリフト抵抗を低減する構造が主流となっている。この構造では、従来のプレーナ構造と比較し、導通電圧を 1 割程度低減することができる。一方、ゲート電極とコレクタ電極の距離が短くなり、IGBT の帰還容量が多くなるため、ゲート駆動能力は増強する必要がある。

また、LiPT (Low injection Punch Through) 構造は、薄いコレクタ接合構造で、 n^- 層のライフタイム制御を無くして、導通電圧を 1 割程度低減すると共に、IGBT の製作プロセスの簡略化を図っている。

表 2.1 最近の IGBT の開発状況



2.1.4 HEV 用パワーデバイスの歴史

19 世紀の産業革命以降，急激に待機中の CO_2 濃度が増加してきている。現在，大気中に放出される CO_2 の約 1/4 は，自動車を含む輸送関連事業によるものとされている。トヨタ自動車は，1997 年に世界に先駆けて，ハイブリッド自動車（HEV）を販売した。図 2.6 に，HEV 用インバータのパワーデバイスの歴史を示す。

1997 年に，トヨタ自動車から発売されたプリウスハイブリッドは，当初，600 V の 6 アームの IGBT が 1 つのパッケージに内蔵される 6in1 構成の IPM（Intelligent Power Module）が採用された。IPM には，駆動回路の他に，過電流保護や短絡保護や制御電圧不足保護や過温度保護などの保護機能が搭載されている。

その後，昇圧回路方式が採用され，バッテリー電圧は，288 V から 500 V に，2009 年からは 650 V に昇圧され，IGBT の耐圧は 600 V から 1.2 kV に引き上げられた。また，冷却方式に関しても，直接水冷構造や，両面冷却構造が採用され，パワーユニットの小型化を図り，艙装スペースを確保している。

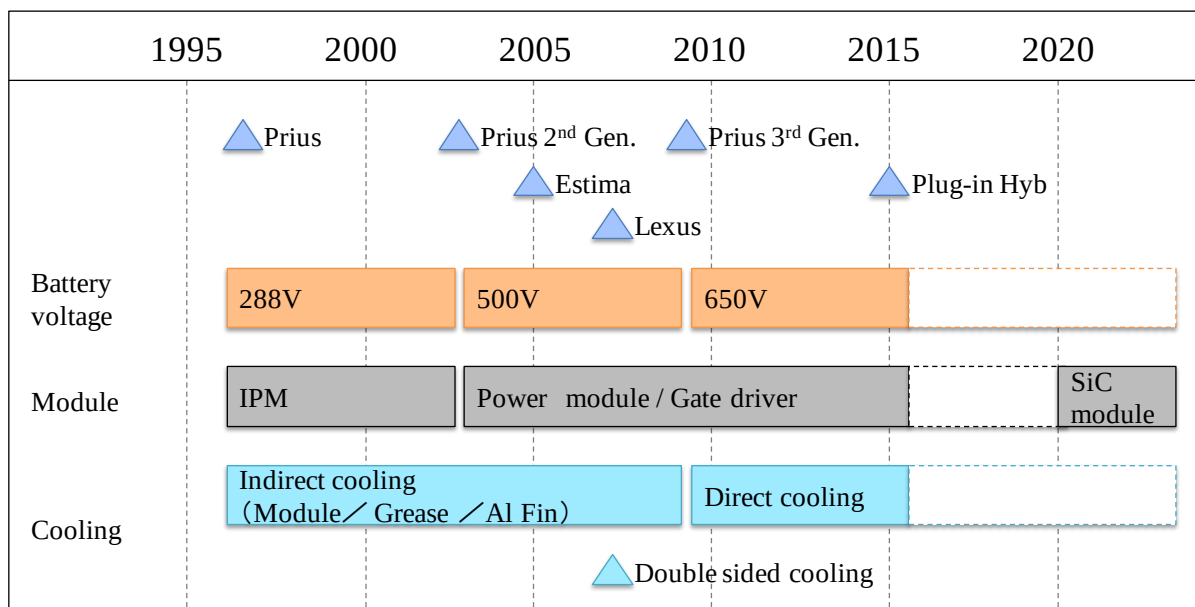


図 2.6 HEV 用インバータのパワーデバイスの歴史

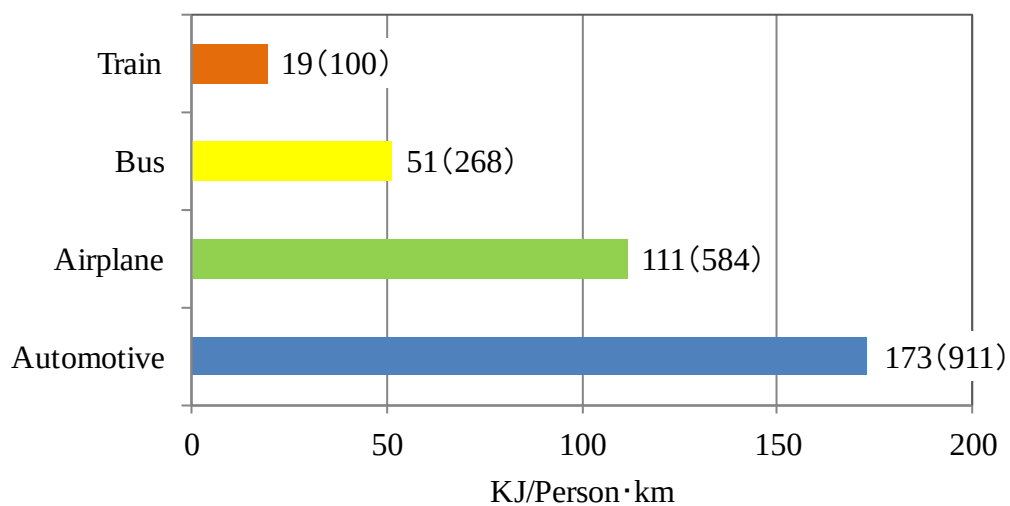
また、ハイブリッド自動車だけでなく、2014 年からは、プラグインハイブリッドカー（Plug-in hybrid vehicle : PHV）が製品化され、2015 年からは、電気自動車の発売が予定されている。いずれも、インバータが搭載され、そのキーデバイスには IGBT である。また、2020 年には、SiC-MOSFET を使ったフル SiC モジュールでの製品化の発表があった。

2.1.5 鉄道用パワーデバイス・周辺回路の歴史

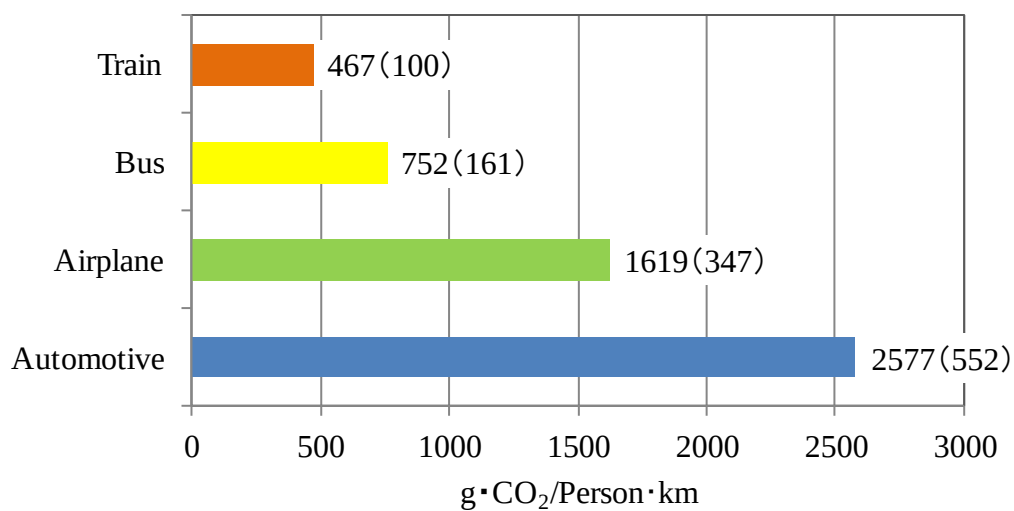
蒸気機関車が 1814 年に英国で発明され、世界中の陸上輸送に革命をもたらし、約 200 年が経過した。日本や欧州では、1900 年台初頭に発明された飛行機と競合しながら、高速鉄道の開発が進められてきた。高速鉄道は、1965 年、世界で初めて時速 210 km 走行を成功させた日本の新幹線が有名であるが、欧州でも 1990 年代以降、急速に高速鉄道列車が普及した。フランスの TGV やドイツの ICE などが有名である。

鉄道が、旅客 1 人を 1 km 運ぶのに必要とするエネルギーは、図 2.7 (a)に示すように、飛行機の約 1/3、自家用乗用車の約 1/5 と、他の輸送手段より格段に小さい[30]。また、鉄道が、旅客 1 人を 1 km 運ぶときに排出する CO₂ 排出量は、図 2.7 (b)に示すように、飛行機の約 1/6、自家用乗用車の約 1/10 に低減できる[31]。このため、世界中で高速鉄道のインフラ整備プロジェクトが発表され、時速 300 km クラスの高速鉄道路線が、世界的に一気に普及していくと考えられる。

今後、拡大する鉄道事業を考えると、更なる環境負荷低減の取り組みが必要である。今日まで、鉄道の省エネルギー化のためには、車体の材料や構造を見直して軽量化を図ること、電気式ブレーキの採用により、回生エネルギーを有効に利用することなど様々な技術開発が進められてきた。今後、主回路システムとしても、インバータの高効率化、全閉誘導電動機の高効率化、永久磁石同期電動機の採用、Li 電池などの蓄電デバイスの採用などにより、駆動システム全体としての高効率化が求められている。



(a) 旅客 1 人を 1 km 運ぶのに必要とするエネルギー[30]



(b) 旅客 1 人を 1 km 運ぶのに必要とする CO₂ 排出量[31]

図 2.7 旅客 1 人を 1km 運ぶのに必要とするエネルギーと CO₂ 排出量

図 2.8 に、鉄道用インバータ用のパワーデバイス・主回路構成の変遷を示す。電車への電力供給には、直流電化方式と交流電化方式がある。直流電化方式においては、世界的に多用されているものは 600 V, 750 V, 1500 V, 3000 V の 4 種類であるが、図 2.8 では、主に 1500 V 直流架線用の素子・主回路構成を中心に記載している。

1980 年代になると、鉄道用途に利用可能な耐圧 2.5 kV、さらには 4.5 kV の GTO が実用化され、可変電圧可変周波数制御（VVVF 制御）が可能となり、誘導電動機が主電動機に使用されるようになった。1990 年代になると、電圧制御型で電流飽和特性を有する高耐圧の IGBT が実用化された。IGBT を利用したインバータ搭載車両は、1992 年の帝都高速度交通営団の 06 系電車・07 系電車が始めてであり、その後、IGBT を搭載したインバータが主流になった。

IGBT は、安全動作領域が広いことから、スイッチング時の破壊から素子を守るためのアノードリアクトルやスナバ回路などの付属回路が不要である。この IGBT を搭載したインバータの出現により、駆動システムの小型・軽量化、省エネルギー化が進んできた。このように、パワーデバイスの進化とともに、インバータの小型、軽量、高効率化が進んできた。

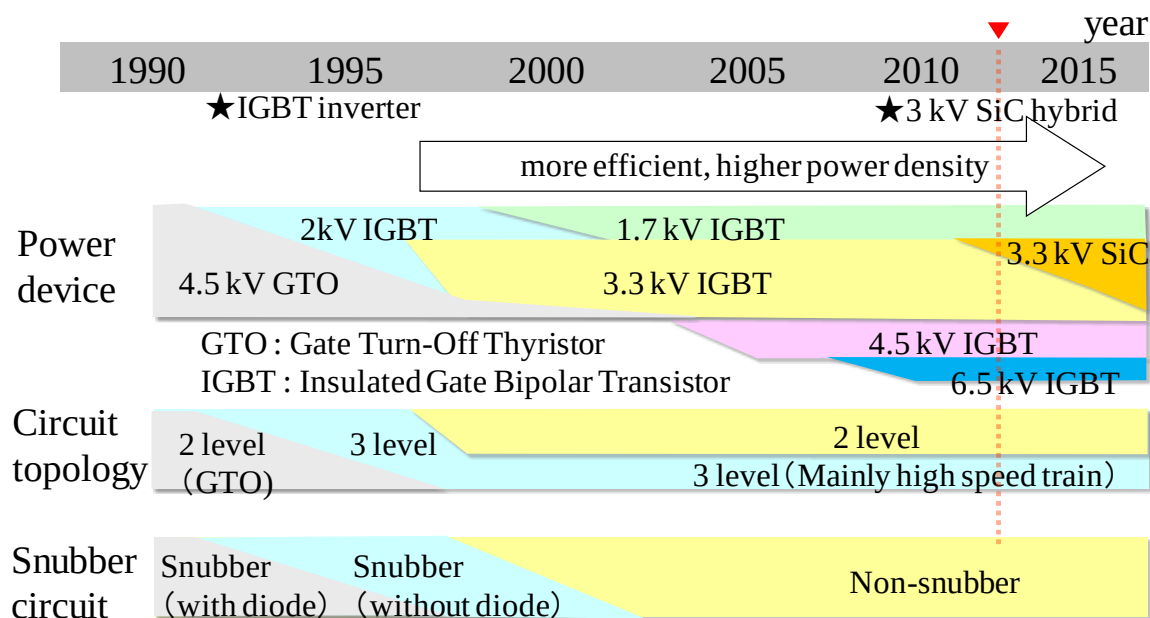


図 2.8 鉄道用インバータ用のパワーデバイス・主回路構成の変遷

鉄道用の IGBT が登場した当時は耐圧が 2 kV と低かったため、当初は IGBT を各アームに 2 個直列に接続して高い電圧に耐えられるような 3 レベルインバータを採用していた（図 2.9）。3 レベルインバータの主回路構成は各アームに素子が 2 個直列になり、これがさらに 2 組直列、これを 3 組並列にしたものである。各アームの midpoint からダイオードを介して、電源電圧の中間点へ接続する構成である。中間電圧も利用するため、全電圧－中間電圧＝0 V の 3 つの段階の電圧が得られ、波形の歪を小さくでき、より正弦波に近い波形を得られる。課題は、2 レベルインバータと比較して、2 倍以上の素子を使用し、回路構成が複雑になるため、コストが高くなり、装置が大型化することである。

1990 年後半から、IGBT の高耐圧化が進み、2 レベルインバータが可能になった（図 2.10）。この 2 レベルインバータでは、使用する IGBT の数が抑えられることから、装置の小型化、コスト低減が可能となる。また、欧州などでは、直流架線 3000 V の路線もあり、現在では 6.5 kV 定格の高耐圧 IGBT も製品化されている。

一方、交流電化区間では、直流電化区間の約 10 倍の高圧電圧を用いており、送電ロスが少なく、変電所間隔を長く取ることができ、地上設備のコスト低減が図れる。この交流電化区間を走行する電車の駆動システムでは、インバータに加えて、変圧器やコンバータを搭載する（図 2.11）回路構成となっている。

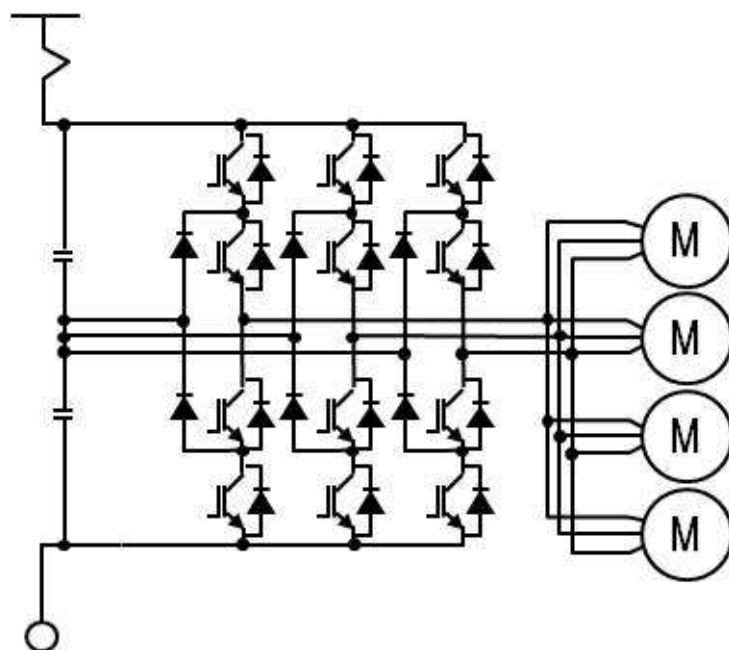


図 2.9 3 レベルインバータの主回路構成（直流電化区間）

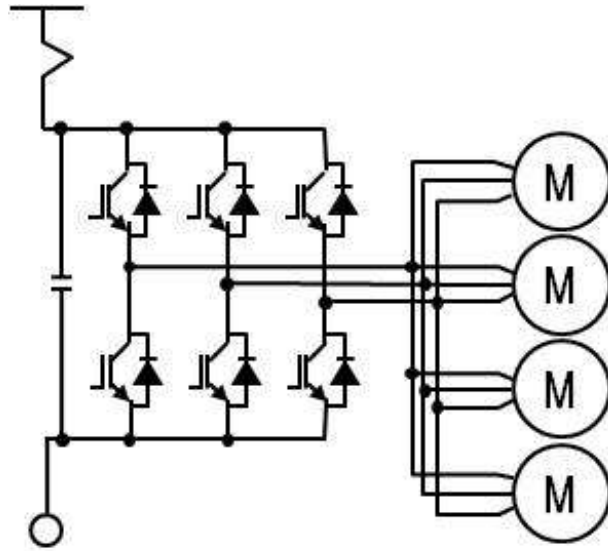


図 2.10 2 レベルインバータの主回路構成（直流電化区間）

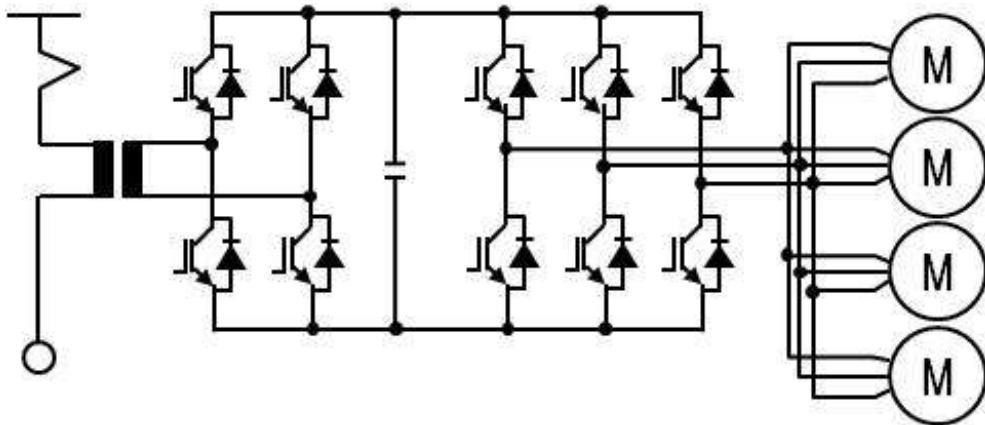


図 2.11 2 レベルインバータの主回路構成（交流電化区間）

2.2 IGBT の駆動・保護回路の技術動向

2.2.1 電力変換器の構成と課題

インバータが導入され、既に 40 年以上が経過し、産業、家電、エレベータ、HEV、鉄道などの誘導電動機や同期電動機などの電動機モータ制御用や、UPS などの電力補償装置や、PCS などの電力変換機器などに広く使用されている。これらの電力変換機器は、年々、高パワー密度化が、進んできている。また、インバータの普及促進を図るには、インバータのコスト低減も重要である。さらに、壊れない・故障しにくい・寿命が長いといった高信頼化・高寿命化に対する要求も高い。

図 2.12 に、電力変換器の構成と課題を示す。インバータの小型・低コスト・高信頼化を実現するためには、IGBT やダイオードなどのパワーデバイスの損失低減技術、パワーデバイスを搭載するパワーモジュールの高効率冷却技術、IGBT の駆動・保護回路の高性能・小型化技術が重要である。

IGBT の損失低減のためには、2.1.3 節で述べたように、ゲート部へのトレンチ構造の適用[6][10]や、裏面構造の最適化などにより、IGBT の導通特性やスイッチング特性を改善している。また、パワーモジュールの高効率冷却技術としては、IGBT を搭載するベースを直接媒体で冷却する直接冷却方式や[18]、IGBT を両面から冷却する両面冷却方式[19]などが提案され、インバータの小型・低コスト化に寄与している。

また、高信頼化のためには、IGBT のスイッチング動作によって発生する電磁放射（Electro Magnetic Interference : EMI）低減技術や、IGBT やゲート駆動回路の動作が阻害されない電磁耐性（Electro Magnetic Susceptibility : EMS）を持つことも重要である。さらには、IGBT モジュールに使用されている半田や、ワイヤボンディングなどの高寿命化技術の開発も重要である。

パワーデバイスの駆動・保護回路の小型・低コスト化のためには、駆動回路を構成する部品点数の低減、保護回路の IC 化、制御回路と駆動回路の絶縁方式の簡素化が重要である。絶縁方式の低コスト化・簡素化には、フォトカップラやパルストランスなどの絶縁通信手段の数を低減することが効果的で、ハイサイドとの PWM 信号や異常信号の伝達には、レベルシフト回路を用いる構成なども開発されている[20][21]。また、EMI を低減するために、ゲート電圧の最適化や、IGBT のスイッチング速度と損失を最適化するゲートの駆動技術も重要である。

IGBT の保護回路については、IGBT の過電流保護回路、IGBT の短絡保護回路や、IGBT の制御電源電圧不足保護・過電圧保護、IGBT の過温度保護などが一般的に使用され、IGBT の保護回路の高性能化に寄与している[20][21]。次の節では、IGBT を用いた電力変換装置の過電流・短絡保護回路について詳しく説明する。

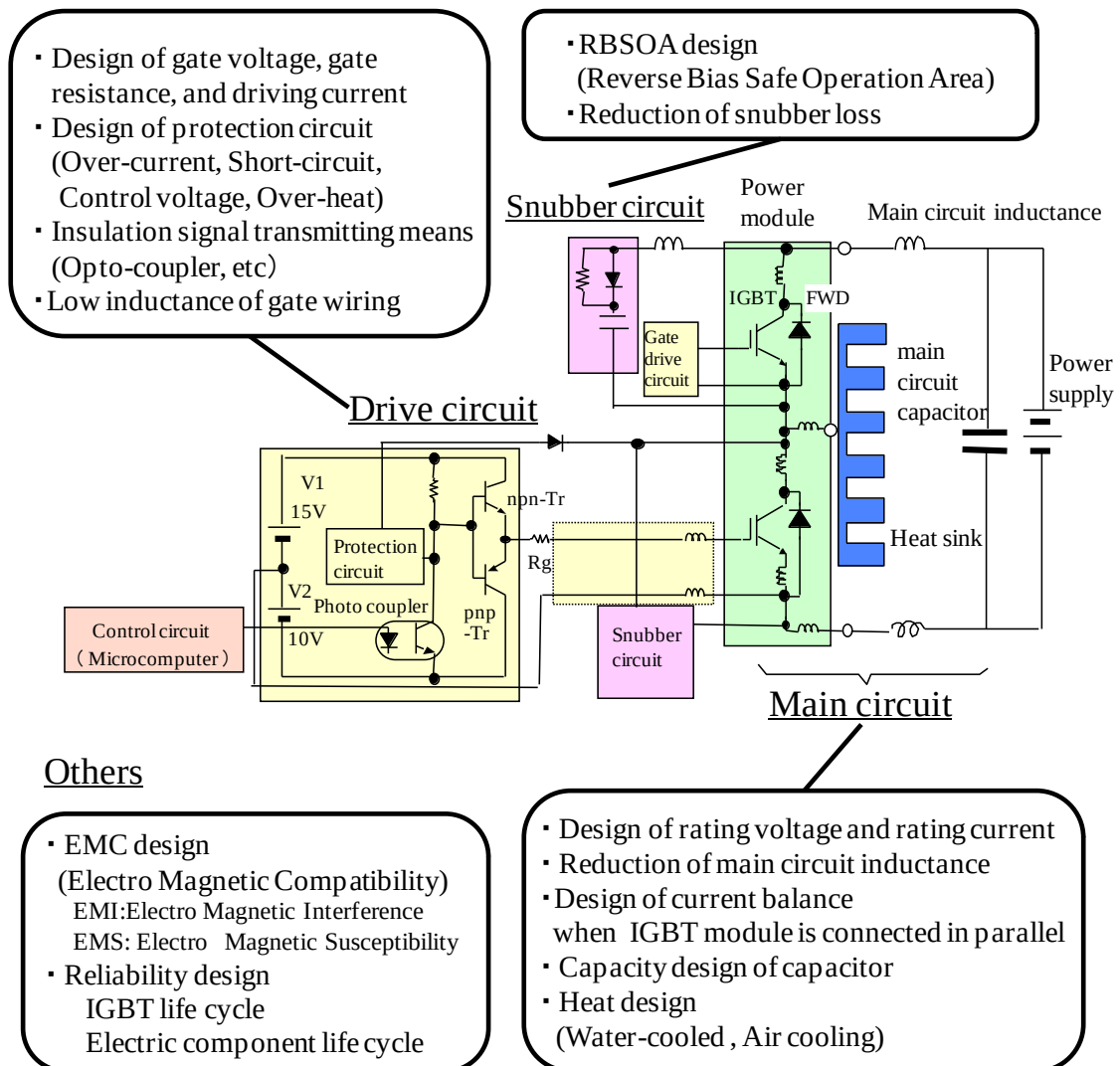


図 2.12 電力変換器の構成と課題

2.2.2 過電流保護回路と短絡保護回路の構成と課題

表 2.2 に、電流検出方式を示す。大別して 4 つの方式がある。電流トランス方式は、主に電流検出方式として用いられる。検出素子には、ホール素子やフェライトコアを使用する方式が主流であり、検出精度は良好であるが、検出速度は数十 μs 以上であり、コストも高い。

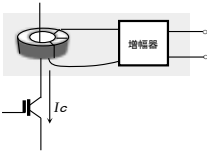
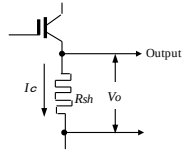
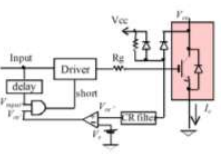
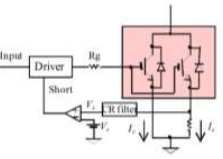
シャント抵抗方式は、過電流検出方式と短絡検出方式で用いられるが、シャント抵抗は、1 $\text{m}\Omega$ 以上で、数 mW クラスのものが多く、HEV や鉄道用などの大電流用途には、不向きである。また、シャントに発生する電圧 (V_o) は、1 V 以下に設定されるのが一般的で、マイコン (1 次側) 電位とは絶縁していないため、電流値をマイコン側にフィードバックすることが難しい。

大電流用途向け電力変換器の短絡保護方式としては、 V_{ce} 検出方式[22]とセンス IGBT 方式[23]が広く使用されている。センス IGBT 方式は、センス電流検出機能付きの IGBT を使用して、IGBT の数百～数千分の 1 の電流を検出する方式である。センス電流検出機能付きの IGBT を内蔵するために、コストが高いという欠点があった。また、センス電流とセンス抵抗の積となるセンス電圧をモニターするときに、モニターする配線が長い場合、センス電圧にノイズが乗りやすく、ローパスフィルタが必要であり、動作時間が遅くなるという欠点があった。

大電流用途向け電力変換器のもう一つの短絡保護方式である IGBT の V_{ce} 検出方式は、通常、IGBT のコレクタ電圧とドライバ IC の入力信号を併用して検出する方式が採用されている。この方式では、IGBT の短絡を誤検知しないように、正常状態か短絡状態かを判断するために、入力信号に 5 μs 以上のマスク期間を設けていたため、短絡保護時間は、5 μs 以上の長い時間が必要という欠点があった。

今回検討する方式は、 V_{ce} 検知とゲート電圧検知を組み合わせる方式を採用する。高コストなセンス IGBT を使用せずに、閾値電圧が異なる多様なゲート特性を持つ IGBT に対応し、センス IGBT 方式より短い時間で、短絡検知可能な短絡保護回路を構築する。

表 2.2 電流検出方式

Method	Current transformer (CT)	Shunt resistance	V _{ce} detection	Sense IGBT
Over current	○	○		○
Short circuit		○	○	○
Circuit block diagram				
Feature	• The hall element and the ferritic core are used. • The detection accuracy is excellent. • The insertion part is free because it is isolated. • The cost is high.	• The voltage of the shunt resistance is measured. ($V_o = R_{th} \times I_c$) • This voltage is not isolated with the main circuit. • It is not possible to apply to a large current inverter. • It uses it for electrical home appliances and industrial equipments • The cost is medium.	• The output voltage of IGBT is monitored. The input voltage is usually also monitored. • It is mainly used for an industrial equipment. • It is possible to apply by using a high-voltage diode. • The cost is low.	• A sense IGBT cell is installed in main IGBT in parallel. • The voltage of the sense resistance is measured. ($V_o = R_s \times I_s$) • It is mainly used with the automotive application and IPM. • The cost is medium.

2.2.3 大電流対応の短絡保護・短絡電流低減の技術動向

大電流用途向け電力変換器の短絡保護方式としては、V_{ce} 検出方式[22]とセンス IGBT 方式[23]が広く使用されているが、他の短絡保護方式として、IGBT のゲート電流を検出する方式[32][33]や、IGBT モジュールのエミッタインダクタンスに発生する電圧と IGBT のコレクタ電圧を併用して検出する方式[34]や、IGBT のゲート電圧のみで検出する方式[35]も提案されている。しかしながら、回路規模が大きい、検出速度が遅い、誤検出率が高いなどの点から、これらの短絡保護方式は普及していない。

IGBT が短絡した場合の短絡電流を低減するために、短絡時に IGBT のゲート電圧をクランプする方式[36-38]が提案されている。また、IGBT のコレクタ電流を遮断する際に IGBT の過電圧による破壊を防止するため、短絡時に IGBT をソフト遮断する方式も提案されている[39]。また、短絡時に IGBT のゲートの共振を防止する手法[40]や、IGBT のゲート電流を検出して、短絡電流を低減する手法が提案されている[41]。

2.3 シリコンカーバイド系パワー半導体の特長

シリコン (Si) を用いたパワーデバイスでは、Si の物性に起因する性能限界に近づいており、シリコンカーバイド (SiC) への期待が大きい。SiC の特長は、①Si : 50%, C : 50%の化学量論的組成を有するIV-IV族化合物半導体、②11%のイオン性を有する共有結合結晶、③SiC 結晶では Si-C 原子間距離が 0.189 nm と短い、④結合エネルギーが高い (約 4.5 eV) である。SiC の強い原子間結合力は高いフォノンエネルギーを持ち、高い熱伝導度を有する。この高い熱伝導度と熱的・科学的安定性を活用して、集積回路の放熱板やセラミック材やヒータ材料としても広く用いられている。一方、半導体としての SiC は、その強い原子間結合力は広い禁制帯幅と高い絶縁破壊電界強度、高い光学フォノンエネルギーを有するため、キャリアの飽和ドリフト速度が速い。広い禁制帯幅と優れた熱的安定性は、高温動作デバイスに適している。

1960 年に、Shockley が SiC は、Si の限界を打破する高性能デバイス実現の可能性を预言した[11]が、結晶成長の困難さにより、SiC 半導体研究の進展は遅れた。しかしながら、1980 年代以降、バルク結晶成長、およびエピタキシャル成長におけるブレークスルーが相次いで研究[12][13]され、1990 年代に入ると SiC 単結晶ウエハの市販が開始され、注目を集めるようになった。

SiC 半導体の研究開発の歴史は、結晶成長技術の開発が長い。SiC は常圧では液相が存在せず、約 2000~2200°C以上の高温で昇華する。従って、SiC 単結晶インゴット成長を育成する方法として、融液からの引上げ法を適用できない。現在主流の SiC 単結晶インゴット成長は、「昇華法」である。黒鉛るつぼ内に配置した SiC 多結晶原料を約 2400°Cの高温で昇華させ、やや低温部 (約 2200°C) に設置した種結晶上に再結晶化させ、SiC インゴットを得る方法である。結晶成長時の温度分布やインゴットの長尺化の制御が容易ではなく、様々な課題があるが、良質の単結晶ウエハの工業化が進められ、現在では直径 150 mm の低抵抗あるいは半絶縁性ウエハが市販され始めた。

SiC の結晶成長では、SiC 特有の重要な物理現象として、SiC の結晶多形 (ポリタイプ) 現象が挙げられる[42]。SiC は、結晶学的には同一の組成で c 軸方向に対して多様な積層構造を取るポリタイプ現象を示す材料として有名である。このポリタイプ現象は、Si, C 原子単位層の最密充填構造を考えたときの原子の積み重なるの違いにより記述できる。SiC では 200 種類以上のポリタイプが確認されているが、発生確率が高く応用上重要なのは、3C-SiC, 4H-SiC, 6H-SiC, 15R-SiC である。この表記法で、最初の数字は

積層方向（c 軸方向）の 1 周期中に含まれる Si-C 単位層の数を意味し、後の C, H, R は結晶系の頭文字（C：立方晶，H：六方晶，R：菱面体晶）を表している。図 2.13 に、3C-SiC、4H-SiC、6H-SiC の積層構造の模式図を示す。同図における“A, B, C”の表記は、六方最密充填における 3 種類の原子の占有位置（Si-C 対に相当）を意味している。なお、他の半導体でよく現れる閃亜鉛鉱（zincblende）構造は 3C、ウルツ鉱（wurtzite）構造は 2H と表記できる。

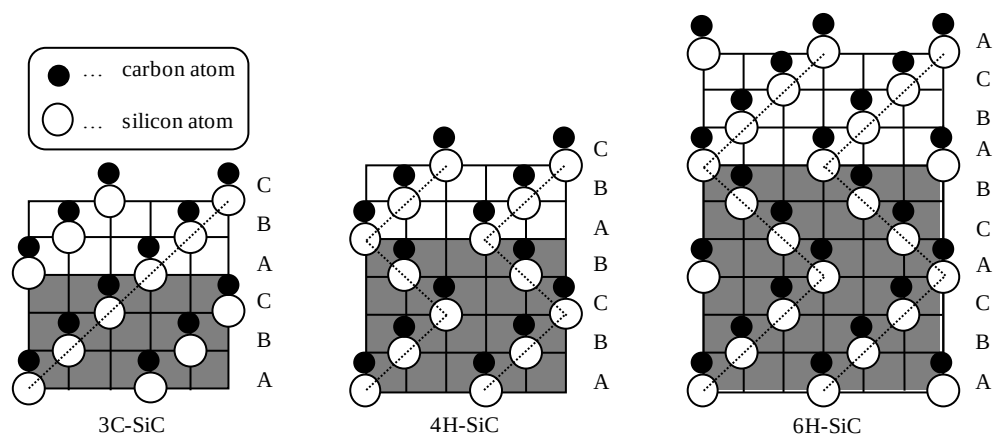


図 2.13 3C-, 4H-, 6H-SiC の積層構造の模式図

SiC はポリタイプによって熱的安定性や発生確率が異なり、高温（約 2000℃以上）では 6H-SiC、15R-SiC、4H-SiC の発生確率が高く、低温（約 1800℃以下）では 3C-SiC が発生しやすい。このため、高温で結晶成長を行う昇華法では 4H-SiC あるいは 6H-SiC が得られ、3C-SiC のインゴット成長は困難である。表 2.3 に、代表的な SiC ポリタイプの主な物理的性質[43]を示す。SiC は、各ポリタイプで禁制帯幅だけでなく移動度や不純物準位などの物性が異なるが、半導体デバイスとしては、電子移動度、正孔移動度が大きい、4H-SiC が最も注目されている。

表 2.3 代表的な SiC ポリタイプの主な物理的性質

	3C-SiC	4H-SiC	6H-SiC
積層構造	ABC	ABCB	ABCACB
格子定数 (Å)	4.36	a=3.09 c=10.08	a=3.09 c=15.12
禁制帯幅 (eV)	2.23	3.26	3.02
電子移動度 (cm ² /Vs)	1000	1000 (⊥c) 1200 (//c)	450 (⊥c) 100 (//c)
正孔移動度 (cm ² /Vs)	50	120	100
絶縁破壊電界強度 (MV/cm)	1.5	2.8	3.0
飽和ドリフト速度 (cm/s)	2.7×10 ⁷	2.2×10 ⁷	1.9×10 ⁷
熱伝導率 (W/cmK)	4.9	4.9	4.9
比誘電率	9.72	9.7 (⊥c) 10.2 (//c)	9.7 (⊥c) 10.2 (//c)

SiCを進める上で大きなブレークスルーとなったのが、京大の松波先生らが提案した「ステップ制御エピタキシー」[13][44]である。昇華法により作製された SiC ウエハは、無添加（アンドープ）結晶でも不純物や点欠陥密度が比較的高く（ $\sim 10^{15} \text{ cm}^{-3}$ ），デバイス作製に適しない。通常は、精密なドーピング密度と膜厚制御が容易な科学気相堆積（CVD）法により，SiC ウエハ上にデバイスを作製する活性層となる SiC 薄膜のエピタキシャル成長が行われる。このエピタキシャル成長において，基底面である SiC {0001} 面オン基板を用いると，低温安定な 3C-SiC の双晶が成長しやすいが，基板に数度のオフ角を設けることによって，4H-SiC，6H-SiC の高品質ホモエピタキシャル成長が可能となる。オフ角の導入によって SiC 基板表面に原子レベルのステップが形成され，いわゆるステップフロー成長（ステップからの 1 次元的横方向成長）が誘起される。この結果，吸着原子の占有位置がステップ端で一意に決定されるために，基板と同一のポリタイプがエピタキシャル成長層に複製される。つまり，基板表面のステップにより，成長層のポリタイプを制御できることから，「ステップ制御エピタキシー」の名称が付けられた。

表 2.4 に，SiC ポリタイプの中で現在最もデバイス応用に適している 4H-SiC と，Si，GaAs，GaN，ダイヤモンドの主な物性値とそれを基に計算した Johnson の性能指標（高

周波デバイス応用) および Baliga の性能指標 (パワーデバイス応用) を示す (それぞれ Si の値で規格化している) [43]。

4H- SiC の物性の特長は、絶縁破壊電界強度が Si や GaAs の約 10 倍、電子の飽和ドリフト速度が約 2 倍、熱伝導率が Si の約 3 倍と高い。GaN は 4H-SiC と同様の優れた物性値を示し、AlGaN や InGaN などの混晶を作製し、ヘテロ接合構造を形成できること、直接遷移型半導体であるので発光デバイスに適していることが特長である。一方、SiC は、広禁制帯幅半導体の中では例外的に p, n 両伝導型の広範囲価電子制御が容易であること、Si と同様に熱酸化により良質の絶縁膜 (SiO₂) が形成できること、および良質の導電性ウエハが市販されていることが特長である。SiC と GaN パワーデバイスは同等のポテンシャルを有しているが、SiC は、導電性ウエハがあり、縦型のデバイスを製作可能であることから、数 kV 以上の半導体デバイスに、GaN は、Si, SiC, サファイアなどの基板上に横型デバイスを製作可能であり、比較的パワーの小さい高周波向けの半導体デバイスに向いていると考えられる。一方で、結晶の品質、サイズ、欠陥密度などの技術的側面やコストについては時代とともに変化しており、ブレークスルー技術により、優位な立場がいつ変化するかわからない状態にあるとも言える。

上述のように、SiC は広い禁制帯幅を有し、熱的に安定な材料であることから、当初は高温動作デバイス用材料として研究開発が進められた。通常、Si を用いたデバイスでは、最高動作温度 (接合温度) が 150~200℃に制限されるが、SiC では 500℃の高温においても真性キャリア密度は約 10^{10} cm^{-3} と低く (室温における真性キャリア密度は 10^8 cm^{-3})、理論的には 800℃以上の温度でもデバイス動作は可能である。実際、650℃で SiC-MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) の動作を確認した報告や、300~350℃動作の SiC-MOSFET 適用の集積回路実現の報告がある。

発熱が大きい電力用パワーデバイスにおいても、SiC の高温動作性能は大きな魅力となる。特に容量の大きな鉄道や鉄鋼用の電力変換器 (Si パワーデバイス搭載) では、パワーデバイスユニットより大きい体積の水冷ユニットを併設することが多い。SiC を用いることにより、この水冷システムを小さくしたり、水冷ユニットを省き、空冷で対応できれば、変換器全体として大幅な小型化、高効率化と信頼性向上につながる。ただ、酸化膜やパッケージ、周辺の受動素子の制約があり、500℃動作を保証するのは容易ではない。当面は、SiC パワーデバイスの 150~250℃動作を確保しながら、周辺の実装技術の開発を進めることが重要である。

このように、パワー半導体として、Si よりも良い特性を持つ SiC であるが、Si と同

等以上の信頼性も期待されている。しかしながら、SiC ウェハに存在する結晶欠陥（転位欠陥，エピタキシャル膜表面欠陥）などにより，SiC デバイスの信頼性や歩留の低下を引き起こし，特に SiC-MOSFET などのスイッチング素子は，市場製品への適用例が非常に少ない。

表 2.4 4H-SiC, Si, GaAs, GaN, ダイヤモンドの主な物性値，性能指標，技術の現状

	4H-SiC	Si	GaAs	GaN	ダイヤモンド
禁制帯幅 (eV)	3.26	1.12	1.42	3.42	5.47
電子移動度 (cm ² /Vs)	1000	1350	8500	1500	2000
絶縁破壊電界強度 (MV/cm)	2.8	0.3	0.4	3	8
飽和ドリフト速度 (cm/s)	2.7×10 ⁷	1.0×10 ⁷	1.0×10 ⁷	2.4×10 ⁷	2.5×10 ⁷
熱伝導率 (W/cmK)	4.9	1.5	0.46	1.3	20
Johnson の性能指標	420	1	1.8	580	4400
Baliga の性能指標	420	1	15	850	13000
P 型価電子制御	○	○	○	△	○
n 型価電子制御	○	○	○	○	×
熱酸化	○	○	×	×	×
低抵抗ウェハ	○	○	○	△(SiC, GaN)	×
絶縁性ウェハ	○	△ (SOI)	○	△ (サファイヤ)	×
ヘテロ接合	×	×	○	○	×

○：容易あるいは入手可能，△：可能だが限定される，×：困難

図 2.14 に，SiC パワーデバイスの開発の歴史について示す。1980 年後半に IGBT が開発されて以来，低損失 IGBT の開発が続けられてきており，近年では，ゲートのトレンチ構造や，裏面の LiPT 構造などが採用され，IGBT の低損失化の性能も限界に近づいてきている。SiC パワーデバイスは，前述の通り，結晶性の良いウェハが 1990 年後半から販売され，国内・海外のメーカー問わず，凌ぎを削ってデバイス開発を推進している。リカバリ損失のない SBD は，600 V や 1.2 kV 耐圧の SBD が，各社から販売され，電源回路や PFC 回路などに適用して，電源などの高効率化に寄与している。また，インバ

ータ用途では、IGBT と組み合わせることによって、インバータ損失のうち、リカバリ損失とターンオン損失が大幅に低減できることから、600 V、1.2 kV クラスで、ハイブリッドモジュールの製品化も進んでいる。また、スイッチング素子については、SiC-MOSFET では、酸化膜の信頼性や、SiC-MOSFET のチャネル移動度が低いといった問題もあり、SiC-JFET の開発が 2000 年頃より先行して開発された。SiC-JFET には、ノーマリオン型とノーマリオフ型があるが、詳細は次節で述べる。

SiC の欠陥の代表的なものとして貫通らせん転移と、規定面転移がある。耐圧や信頼性に影響すると言われている規定面転移は、2010 年頃に大幅に低減され、信頼性の面で実用化が近づいてきている。また、Si と比べ 2010 年には 10 倍以上していたウエハの価格も、2014 年からは 6 インチ化が進み、2020 年を過ぎると、Si ウエハと比較し、2 ～3 倍の価格になると予想されている。今後は、SiC-MOSFET の開発も急速に進んでいくと考えられる。

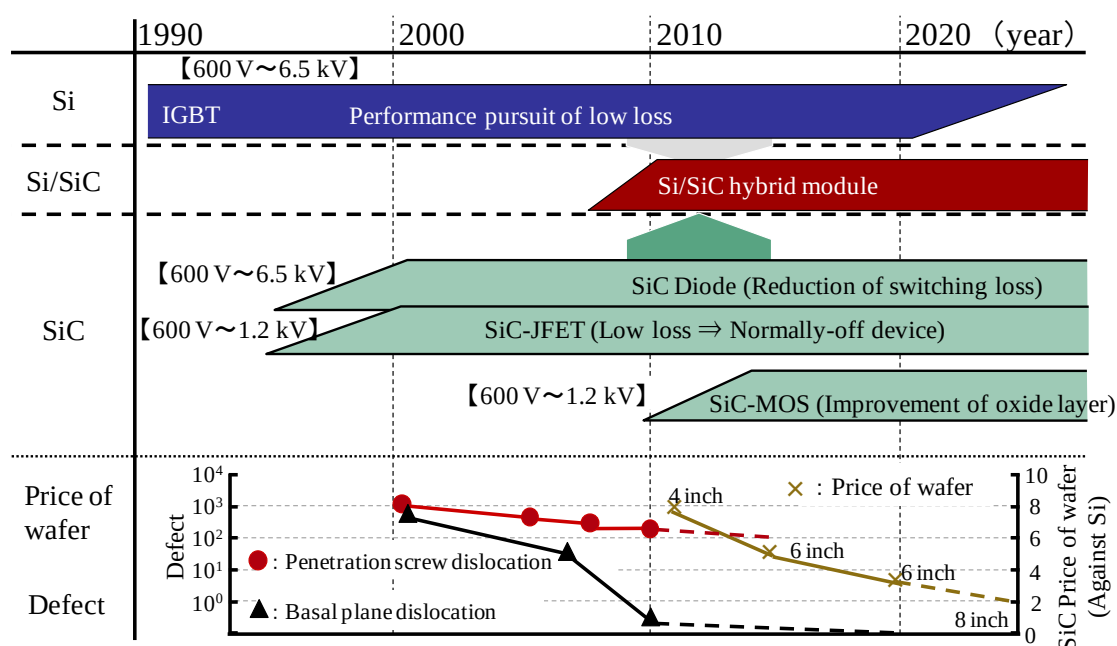


図 2.14 SiC パワーデバイスの開発の歴史

2.4 SiC ダイオードの適用効果

2.4.1 Si-pn ダイオードと SiC-SBD の導通特性の違い

図 2.15 に、Si-pn ダイオードと SiC-SBD の導通（順方向）特性の違いを示す。3.3 kV 素子特性を例にとって比較する。Si-pn ダイオードでは、pn 接合によるビルトイン電圧が 0.6 V 程度あり、ダイオードに電流が流れ始める電圧（立ち上がり電圧）は、約 0.7 V である。小電流領域での電流の傾きは小さく、大電流領域では、正孔と電子が多数存在することにより、電流の傾きは大きくなる。また、高温の 125 °C においては、pn 接合によるビルトイン電圧は小さくなるが、正孔と電子の注入が少なくなり、大電流領域での電流の傾きは小さくなり、室温と高温 (125 °C) の導通特性は、ほぼ同じ特性を示す。

一方、SiC-SBD では、ショットキー電位により、立ち上がり電圧が変わる。立ち上がり電圧は、一般的な Ti (チタン) の場合で 0.9 V 程度あり、Ni (ニッケル) の場合で、1.1 V 程度である。SiC-SBD を用いた場合、小電流領域でも、電流の傾きは大きい。また、室温では、大電流領域でも電流の傾きは大きく、Si-pn ダイオードの特性とほぼ同じ特性を示す。一方、高温の 125 °C においては、SiC-SBD は電子電流で動作するユニポーラデバイスであることから、ドリフト領域でのオン抵抗の温度依存性が、温度の 2 乗以上あるため、電流の傾きは小さくなり、高温 (125 °C) の導通特性は、Si と比べ悪くなる。

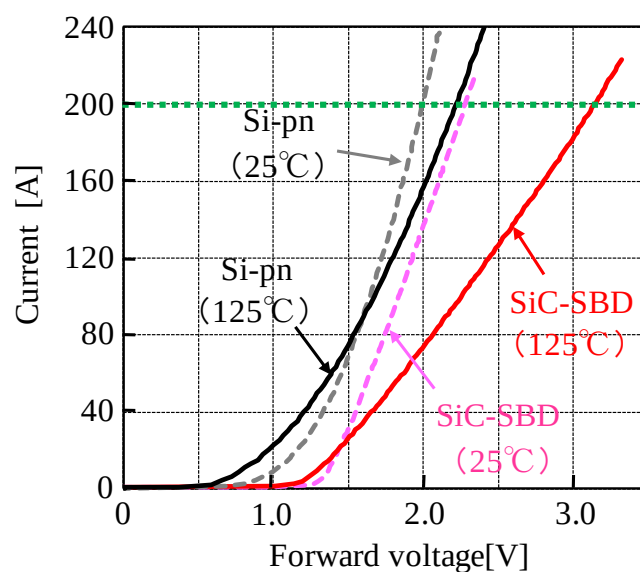


図 2.15 Si-pn ダイオードと SiC-SBD の導通（順方向）特性（3.3 kV 素子）

2.4.2 SiC-SBD のスイッチング特性とインバータ適用効果

図 2.16 に、Si-pn ダイオードと SiC-SBD を用いた場合のターンオン波形とリカバリ波形の模式図を示す。インバータ 1 相分を用いて、Si-pn ダイオードと SiC-SBD を用いた場合のターンオン波形とリカバリ波形を示す。Si-pn ダイオードでは、導通状態では、デバイスの内部に多数のキャリア（電子と正孔）が蓄積して、導通損失（オン抵抗）を低減している。インバータ 1 相分の回路で、(1)の方向に電流が流れ、ダイオードに流通している状態から、下アームの IGBT がターンオンに移行すると、(2)の方向に電流が転流し、上アームの Si-pn ダイオードは徐々に電流が減少する。電流がゼロになった状態でも、Si-pn ダイオードの内部には、多数の電子と正孔が蓄積しており、この電子と正孔の再結合により、逆方向に電流が流れる。この逆方向の電流と電圧の積により、リカバリ損失を発生する。このリカバリ電流は、下アームの IGBT にも重畳し、ターンオン損失増加の要因になる。

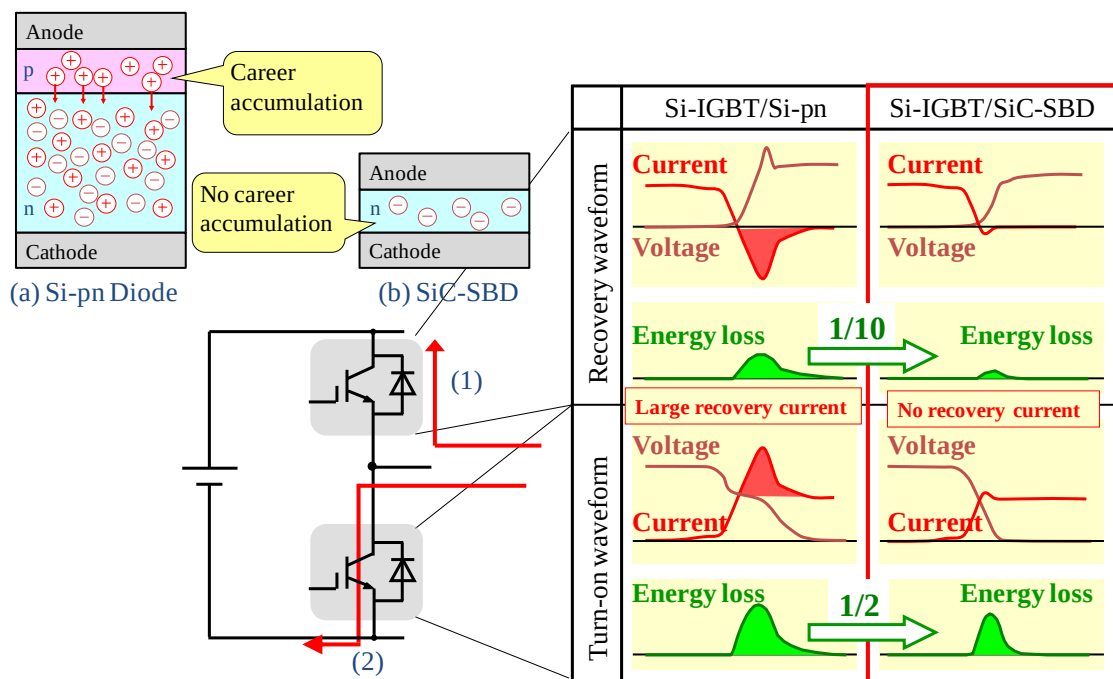


図 2.16 ターンオン波形とリカバリ波形の模式図

SiC-SBD を用いた場合は、導通状態では、デバイスの内部に電子が存在する。(2)方向に電流が転流した場合、上アームの SiC-SBD の電流は徐々に減少し、電流がゼロになった状態で、電子は消滅するため、リカバリ電流は発生しない。下アームの IGBT に重畳するリカバリ電流はなくなり、ターンオン電流も、Si-pn ダイオードを用いた場合と比べ、大幅に減少する。

従って、Si-pn ダイオードを SiC-SBD に代えることによって、リカバリ損失を 1/10 以下に、ターンオン損失を 1/2 程度に低減することが期待される。

2.5 SiC スイッチング素子と応用技術

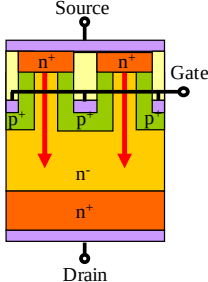
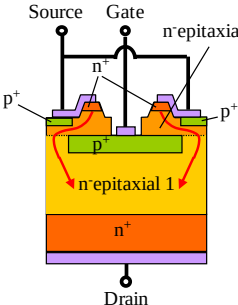
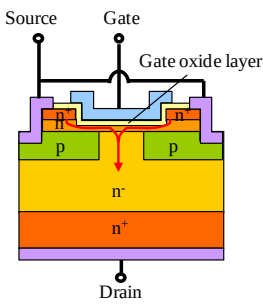
2.5.1 SiC スイッチング素子の種類と特徴

表 2.5 に、SiC の代表的なスイッチング素子を示す。SiC の長所を活かせるスイッチング素子としては、MOSFET や接合 FET などの電流導通領域に pn 接合を持たないユニポーラデバイスである。理由としては、SiC のバンドギャップは、約 3 V と非常に大きく、電流導通領域に pn 接合を形成した場合、ビルトイン電圧（立ち上がり電圧）が約 2.5 V と高いためである。

SiC-MOSFET は、酸化膜の信頼性やチャネルの移動度の向上が課題であり、酸化膜を使用しない SiC-JFET 素子が先行して製品化されている。SiC-JFET は、ノーマリオン型とノーマリオフ型の 2 つのタイプがある。ノーマリオン型 SiC-JFET[27]は、HEV や鉄道用途では、フェールセーフの観点から、不向きである。日立は 2004 年からの NEDO プロジェクト『次世代クリーン自動車対応省エネルギーパワーモジュールの研究開発』では、ノーマリオフ型 SiC-JFET の開発を推進している。ノーマリオフ型の SiC-JFET[15][45]は、オン抵抗は 3 つのデバイスの中で、最も小さくなると期待されている。一方で、閾値電圧が 1 V 程度と非常に低く、3 V を越えるとゲート-ソース間に電流が流れるため、制御電圧範囲が狭いことから、制御性が課題である。

一方、SiC-MOSFET は、酸化膜信頼性やチャネルの移動度の向上が改善されれば、ゲート駆動回路は、従来の MOS ゲートの IGBT と同じ方式を流用でき、非常に使い易いパワーデバイスになり、将来はこの SiC-MOSFET が主流になると考えられる。

表 2.5 SiC の代表的なスイッチング素子

Power device	SiC-JFET		SiC-MOSFET [14][46][47]
	Normally-off [15][45]	Normally-on [27]	
Device structure			
Rating voltage	>3kV	>5kV	>5kV
Ron ・ Area (@600 V)	◎ 2.1 mΩ・cm ²	◎ 約 5 mΩ・cm ²	○ (It depends on the mobility of the channel) 9.4 mΩ・cm ²
Gate oxide	Non	Non	50-100 nm
Controllability of gate terminal	Low voltage drive of 2.5V-3.0 V	(1) Negative bias control 0V(on)/-15V(off) (2) Cascode connection with Si-MOSFET	Conventional gate driver is applied. 15V(on)/-10V(off)

2.5.2 ノーマリオフ SiC-JFET の特性

図 2.17 に、ノーマリオフ SiC-JFET の断面概略図を示す。トレンチ部に形成した p⁺ gate でドリフト領域を挟み込んだ縦型トレンチ接合 FET である。オン抵抗低減のため局所的にチャネル領域の不純物濃度を高めた急峻局所プロファイル構造である。これによりチャネル領域のキャリアの伝導度が高められ、ソース幅を微細化した場合においてもオン抵抗の低減が可能となる。また局所的に不純物濃度を高めているため、高電界が発生しやすい箇所の電解集中が避けられ耐圧確保が可能となる。さらに、P⁺ gate とドリフト層の濃度勾配が急峻となるため、チャネル領域内の静電ポテンシャルが過剰に低下せず、高耐圧化が実現できる。図 2.18 に、試作した 40 A SiC-JFET のチップ外観を示す。

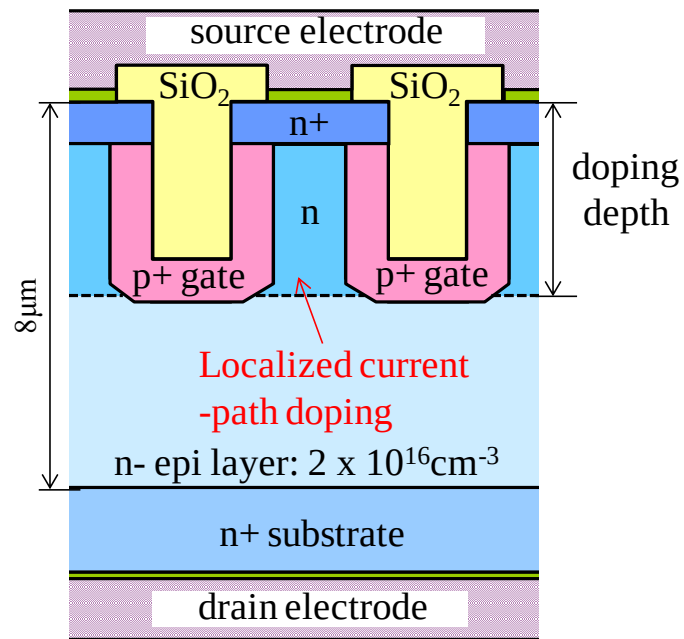


図 2.17 ノーマリオフ SiC-JFET の断面概略図

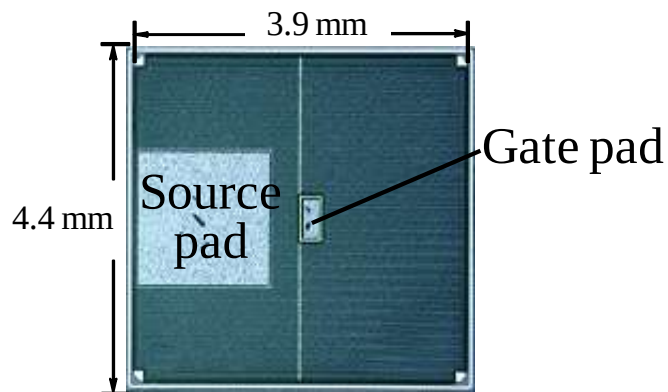


図 2.18 試作した 40 A SiC-JFET のチップ外観

図 2.19 に、耐圧特性の測定結果を示す。局所的な高電界領域の抑制とチャネル領域の濃度勾配急峻化の効果によって、耐圧を 662 V まで高耐圧化できた。

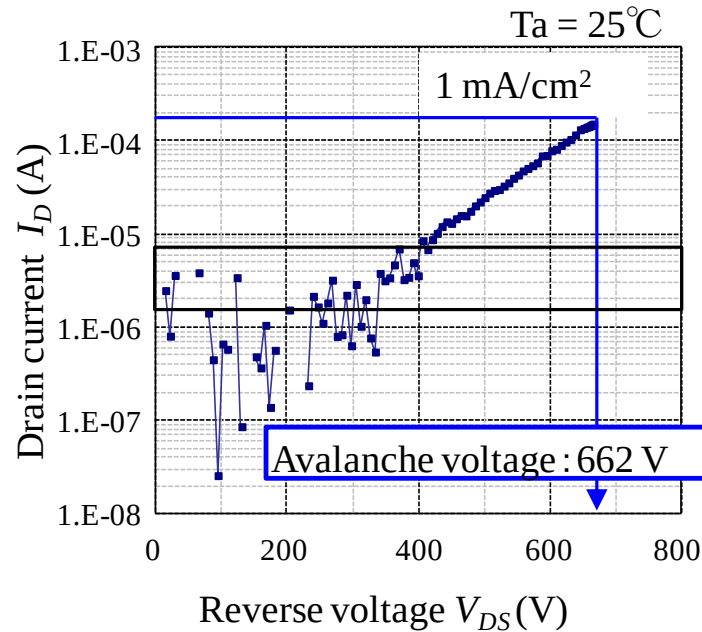


図 2.19 耐圧特性の測定結果

図 2.20 に、ドレイン電圧-ドレイン電流特性を示す。測定温度は 25°C で、ゲート電圧は 1.0 V~3.5 V の範囲で、0.5 V の電圧ピッチで測定している。図 2.20 から判るように、ドレインの飽和電流は、ゲート電圧に依存して増加する。また、ゲート閾値電圧は、約 1.2 V であり、Si の MOSFET や IGBT と比較し、非常に小さい。また、1 V で 40 A の特性を示しているの、アクティブ面積のチップサイズで換算すると、オン抵抗は、約 $3\text{m}\Omega \cdot \text{cm}^2$ を達成している。

図 2.21 に、ゲート電圧-ゲート電流特性を示す。測定温度は 25°C, 75°C, 125°C である。25°C, 75°C, 125°C のいずれの温度においても、ゲート電圧が 2 V を超えると、ゲート-ソース間に順方向寄生ダイオードが存在することにより、ゲート電流が増加する。そのため、駆動回路では、導通時のゲート電圧をできるだけ低く抑える必要があるが、ゲート電圧が低い場合は、ドレインの飽和電流が定格電流を超えないため、ゲート電圧は 2.5 V から 3.0 V の間で高精度に制御する必要がある。

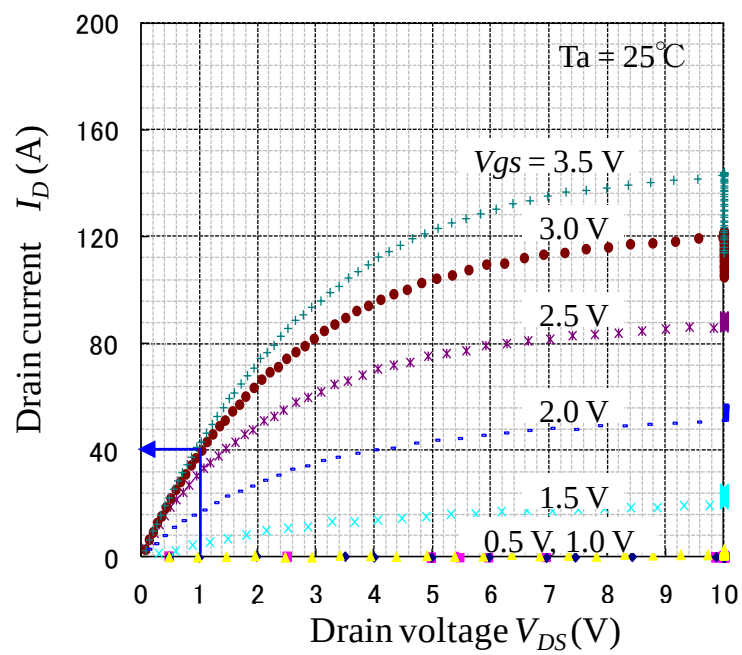


図 2.20 ドレイン電圧-ドレイン電流特性

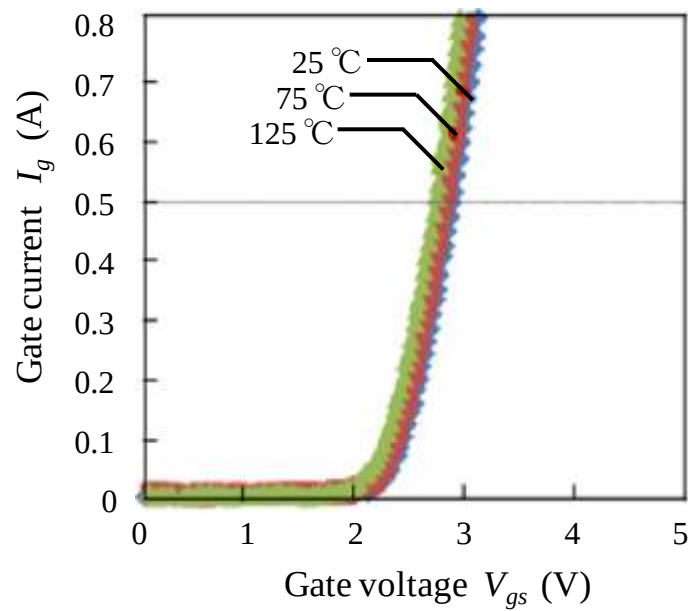


図 2.21 ゲート電圧-ゲート電流特性

2.5.3 SiC-JFET のサーバ電源への適用

図 2.22 に、データセンタの年間エネルギー消費量を示す。近年の IT 技術の進展により、IT 機器が消費する電力も膨大な量が見込まれている。米国でデータセンタの電力消費が急増しているが、そのうち、約 20%はサーバ電源で電力損失として失われている。2025 年には、約 1000 億 kWh/年になると予想される。サーバ電源での電力損失は発熱となるため、空調の消費電力への影響も大きい。このままデータセンタの増設が続けば、我が国においても、米国と同様に、多くの電力がサーバ電源で失われることになる。

このような背景のもと、省エネルギー化・地球温暖化解消の観点から、データセンタ用サーバ電源に代表される数 kW 級電源機器の電力損失の大幅低減と機器小型化の実現が必須課題となっているが、従来の Si パワーデバイスを用いた電源の効率改善は限界に近づいている。そのため、その実現には電源機器への SiC パワーデバイスの適用が有効であり、高効率の電源を開発することとした。

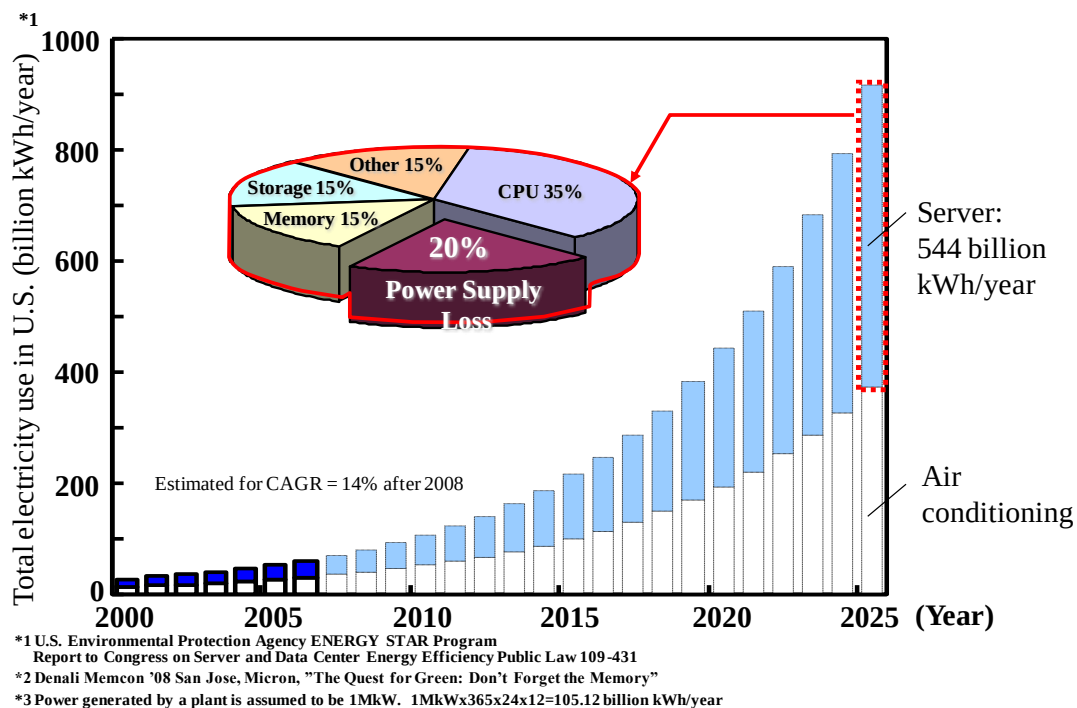


図 2.22 データセンタの年間エネルギー消費量

次に、サーバ電源の概要を説明する。図 2.23 に、サーバ電源のブロック図を、図 2.24 に、力率改善回路 PFC とインバータ回路 DCDC を示す。サーバ電源の役割は、入力電源 AC 200 V を、負荷である DC 12 V/175 A（2 kW）に変換して CPU ボード（Blade）に供給することである。その構成は、ノイズ除去用のラインフィルタ、AC/DC 変換用の整流ダイオード回路、DC 200V を 360 V に変換する力率改善回路 PFC、DC 360 V を AC 360 V に変換するインバータ回路、AC360 V を AC 12 V に降圧するトランス Transformer、及び降圧された AC 電圧を DC 変換する整流回路から構成される。

一般的なサーバ電源では、PFC 回路とインバータ回路に Si-MOSFET 素子が適用されている。SiC 素子を適用する場合は、図 2.23 と図 2.24 に示したように PFC 回路とインバータ回路においてハッチングされた素子が好適である。PFC 回路においてはスイッチング素子とチョッパダイオード、インバータ回路においてはスイッチング素子と還流用のダイオードがその候補である。

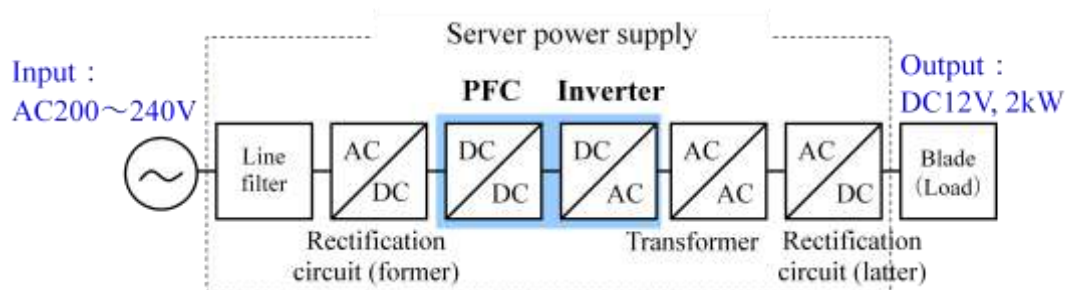


図 2.23 サーバ電源ブロック図

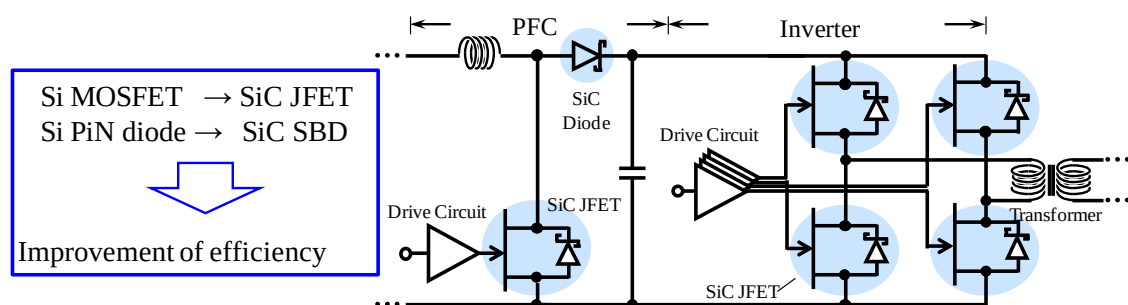


図 2.24 力率改善回路 PFC とインバータ回路 DCDC

第3章

新しい電圧検出型高速短絡保護回路を有する 大電流 IGBT 用 600V ドライバ IC

この章では、1997 年に世界に初登場した HEV 用のインバーに広く使用されてきている IGBT に関して、高信頼な駆動回路・保護回路を検討する。大電流用途のインバータにおいて、数百 A でのスイッチング時でも、安定な駆動回路や保護回路を備え、数百 A の大電流 IGBT を駆動できるロバストな駆動回路や短絡保護回路を内蔵した 600 V のドライバ IC の開発について述べる。

特に、IGBT の短絡保護技術に関しては、従来の高価なセンス IGBT を用いた方式から、IGBT の制御端子（ゲート）電圧と、IGBT の高圧端子（コレクタ）電圧を併用して電圧検知する方式を採用する。この技術の開発により、通常市販されている多様なゲート特性を持つ IGBT の全てに対応可能なようにし、短絡検出時間を、センス IGBT を用いた方式よりも短い $2.5\ \mu\text{s}$ 以内の高速で検知する方式を構築する。また、通常動作時には、誤動作しない短絡保護技術を構築する。

さらに、通常動作時の IGBT のターンオフ損失を増加させずに、IGBT の短絡時のピーク電流を低減するゲート駆動回路を構築する。これらを搭載した回路で、インバータ実機にて、短絡動作検証及び誤動作の有無の検証を行って、HEV の実製品へ製品適用した結果を述べる。

3.1 新しい電圧検出型短絡保護回路の提案と原理

3.1.1 新しい電圧検出型短絡保護回路の提案

まず始めに、新しく提案する短絡保護回路の回路方式を説明する。表 3.1 に、従来の短絡保護方式と、本論文で提案する短絡保護方式の比較を示す。1 番目のセンス電流検出機能付きの IGBT を使用して短絡検出する方式は、IGBT の通流電流を正確に検出できるという利点があり、多くの HEV 用のインバータで、この短絡検出法を使用した短絡保護が行われてきた。しかし、この方式では、比較的高コストであるセンス機能付きの IGBT が必要不可欠である。さらに、センス IGBT 端子からドライバ IC の検出端子までの配線インダクタンスの影響で、短絡の誤検出が発生する可能性があり、 $2\text{ }\mu\text{s}$ 程度の時定数を持った CR フィルタ回路を、ドライバ IC の検出端子の近傍に付加することが一般的である。このため、短絡保護動作時間は $2\text{--}3\text{ }\mu\text{s}$ 程度である。

2 番目の IGBT のコレクタ電圧とドライバ IC の入力信号を用いる方式は、高コストのセンス電流検出機能付きの IGBT を使用する必要がないという利点がある。この方式では、入力信号 (V_{input}) と IGBT のコレクタ電圧 (V_{ce}) の状態を観測して、IGBT の短絡の有無を判断する。IGBT のコレクタ電圧 (V_{ce}) の下降時間は、IGBT の定格容量や温度、主回路の電圧値や電流値により変化する。この回路では、 V_{input} と V_{ce} が High の場合に、短絡と判断するため、通常のターンオン動作において、短絡の誤検出を避けるように、入力信号 (V_{input}) に $5\text{ }\mu\text{s}$ 以上の遅れ時間を設ける必要がある。このため、短絡保護動作時間は、この遅れ時間に依存し、 $5\text{ }\mu\text{s}$ 以上の時間を必要とする。

これらに対して、本論文で提案する方式は、IGBT のコレクタ電圧と IGBT のゲート電圧を同時に検出する点に特長がある。この方式では、2 番目の方式と同様にセンス電流検出機能付きの IGBT を使用する必要がないという利点がある。通常のターンオン動作時には、ゲート電圧が一定となる（この期間をミラー期間と呼ぶ）が、短絡時のターンオン動作では、ミラー期間が発生しないことに着目し、短絡の有無を判断する方式である。また、IGBT のゲート電圧検出値とコレクタ電圧検出値を、それぞれ別々の検出レベルに設定することにより、短絡時には、時間遅れなく、短絡を判断することを可能にしている。一方で、通常のターンオン動作時には、短絡の誤検出を確実に防止する回路構成としている。従って、1 番目のセンス電流検出方式に比べて、安価で、短絡保護動作時間を短縮し、短絡の誤検出を防止できるという優れた特長がある。

表 3.1 従来の短絡保護方式と，本論文で提案する短絡保護方式の比較

	Protection method	IGBT	Protection speed	Circuit block diagram	Waveforms
Conventional	Sense IGBT monitoring	With a sensing cell	Fast 2-3 μ s		
	Vce monitoring	Without a sensing cell	Slow > 5 μ s		
	Depend- ent	With gate voltage monitor	Very fast 1-2.5 μ s		

3.1.2 IGBT のゲート電圧とコレクタ電圧併用型短絡保護の

原理

次に、IGBT のゲート電圧とコレクタ電圧併用型短絡保護方式の原理を示す。図 3.1 に、短絡保護回路の機能ブロック図を示す。この機能ブロック図は、上アームの回路を示しているが、下アームについても、同様の回路構成である。この短絡保護回路は、ドライバ IC と数種類の周辺回路部品から構成している。IGBT のコレクタ電圧 (V_{ce}) は、ドライバ IC の SCT 端子により検出する。SCT 端子の電圧 (V_{SCT}) は、ドライバ IC 内部のコレクタ電圧比較用のコンパレータの設定電圧 (V_{SC}) より高い場合は High を出力し、低い場合は Low を出力する。また、IGBT のゲート電圧 (V_{ge}) は、R2 と R3 により分割し、分割点の電圧を、ドライバ IC の SGT 端子により検出する。SGT 端子の電圧 (V_{SGT}) は、ドライバ IC 内部のゲート電圧比較用のコンパレータの設定電圧 (V_{SG}) より高い場合は High を出力し、低い場合は Low を出力する構成としている。

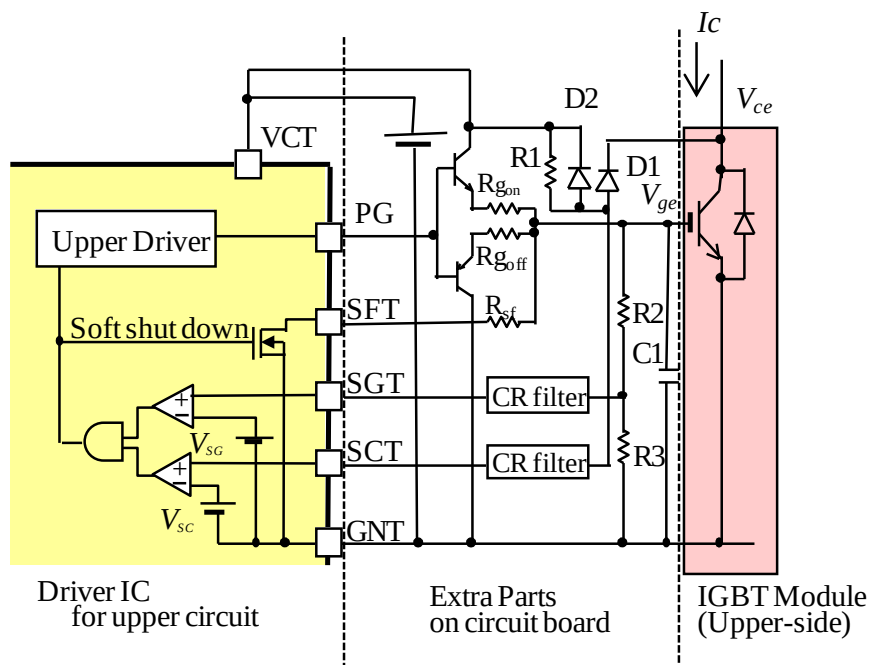


図 3.1 短絡保護回路の機能ブロック図

この短絡保護回路では、SGT 端子の電圧と SCT 端子の電圧が、ドライバ IC 内部のそれぞれのコンパレータの設定電圧よりも共に高い場合に、短絡と判断する。また、短絡状態と判別した場合には、PG 端子をハイインピーダンスの状態にし、SFT 端子に接続する n-MOSFET をオンさせることにより、高いゲート抵抗 (R_{sf}) で遮断するソフト遮断動作により、大きなコレクタ電流を低い di/dt で遮断する。また、ゲート電圧の検出には、図 3.1 に示した R2 と R3 を使用し、ゲート電圧を抵抗で分割して検出できるようにした。ゲート電圧の検出レベルを、駆動対象の IGBT の閾値電圧に合わせて可変できるようにし、広範囲な閾値電圧を持つ IGBT に対応している。

図 3.2 に、通常のターンオン動作時とアーム短絡時のターンオン動作時におけるゲート電圧 (V_{ge})、コレクタ電圧 (V_{ce})、及びコレクタ電流 (I_C) の波形比較を示す。ゲート電圧が 0V から上昇し始めてから 500 ns の期間は、通常のターンオン動作時とアーム短絡時のターンオン動作時ともに、IGBT のゲート-エミッタ間容量 (C_{ge}) を充電しているため、ゲート電圧波形 (V_{ge}) は同じ波形を示す。

アーム短絡時のターンオン動作時では、コレクタ電圧 (V_{ce}) は、主回路コンデンサと IGBT モジュールのループ回路で構成される主回路インダクタンスと、IGBT のコレクタ電流の変化率 (di/dt) の積で決まる電圧降下分 (図 3.2 では約 200 V) 減少した後、約 1 μs の時間で主回路電圧まで上昇する。コレクタ電圧が上昇している期間では IGBT のゲート-コレクタ間容量 (C_{gc}) の放電は無くなるため、ゲート電圧 (V_{ge}) が一定の電圧を保つミラー期間は発生しない。このため、ゲート電圧は上昇し続けるとともに、IGBT のコレクタ電流も増加し続ける。従って、アーム短絡時のターンオン動作時では、コレクタ電圧が High ($V_{SCT} > V_{SC}$) のままで、ゲート電圧が High ($V_{SGT} > V_{SG}$) に移行するため、ローパスフィルタの時定数の約 300 ns 経過後、短絡を直ちに検出できる。短絡を検出後、SFT 端子に接続している高抵抗 R_{sf} により、約 10 μs の期間でコレクタ電流をソフト遮断する。コレクタ電流 (I_C) が流れ始めてから、ソフト遮断を開始する時間を、短絡保護動作時間と定義する。

一方、通常のターンオン動作時には、コレクタ電圧 (V_{ce}) とゲート電圧 (V_{ge}) の両方が High となる期間が重なると、短絡と誤検出するため、コレクタ電圧 (V_{ce}) とゲート電圧 (V_{ge}) の両方が Low となる期間が必要になる。この期間を、ターンオン動作時の短絡誤検出の余裕時間と定義する。通常のターンオン動作時には、ゲート電圧 (V_{ge}) が IGBT の閾値電圧を超えると、一定の電圧を保つミラー期間に、IGBT のゲート-コレクタ間容量 (C_{gc}) を放電し、IGBT のコレクタ電圧 (V_{ce}) は IGBT の飽和電圧まで単調

に減少する。ゲート電圧の検出レベルを IGBT の閾値電圧より高い値に設定（図 3.1 では 14 V）すれば、SGT 端子の電圧と SCT 端子の電圧は、同時に High ($V_{SGT} > V_{SG}$, $V_{SCT} > V_{SC}$) にならないため、短絡を誤検出せずに、正常のターンオン動作と判断する。通常のターンオン動作時には、 V_{ge} と V_{ce} が両方 Low となるターンオン時の短絡誤検出の余裕時間が長いほど、短絡の誤検出の可能性が低くなる。

また、通常のターンオフ時においても、 V_{ge} と V_{ce} が両方 Low となっている期間を、ターンオフ動作時の短絡誤検出の余裕時間と定義する。

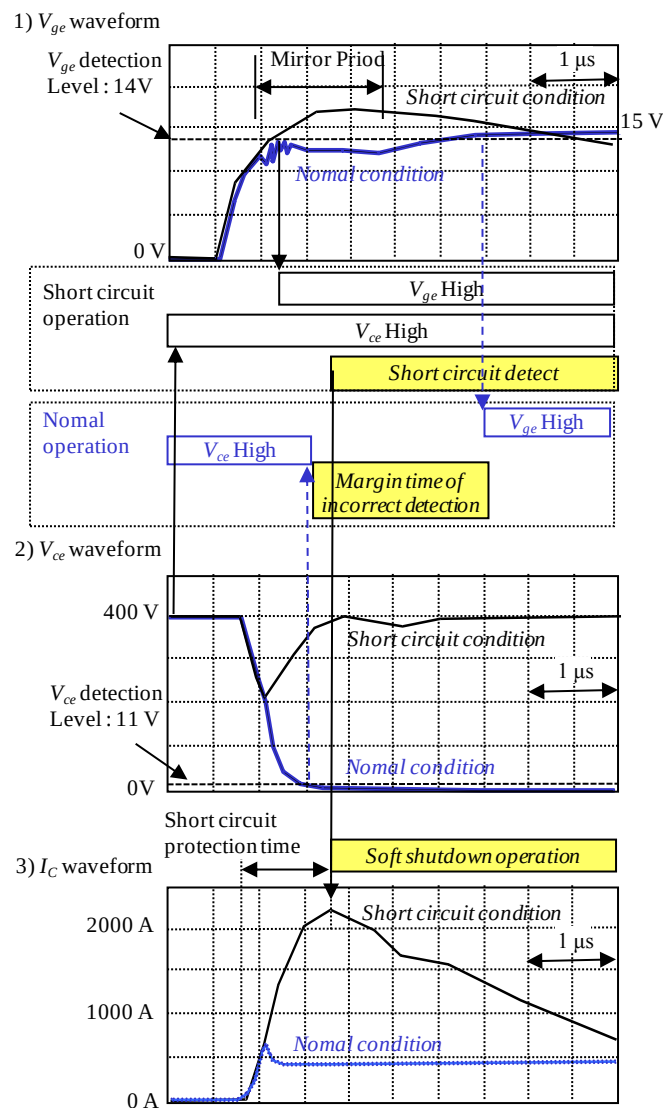


図 3.2 通常のターンオン動作時とアーム短絡時のターンオン動作時におけるゲート電圧(V_{ge}), コレクタ電圧(V_{ce}), 及びコレクタ電流(I_c)の波形比較

3.2 短絡保護回路の評価

3.2.1 短絡保護動作時間

この節では、短絡保護動作時間の実測結果を示す。

図 3.3 に、主回路電圧 (V_{CC}) が 300 V と 350 V における IGBT のゲート電圧の検出レベルと短絡保護動作時間の実測結果を示す。図 3.1 のドライバ IC の外付けの R2 と R3 の抵抗を変えることによって、IGBT のゲート電圧の検出レベルを変更した。ドライバ IC 内部のゲート電圧比較用のコンパレータの設定電圧 (V_{SC}) は 8 V に固定しているため、IGBT のゲート電圧の検出レベルが 15 V の場合は、 $R2/R3=21\text{ k}\Omega/24\text{ k}\Omega$ とし、14 V の場合は、 $R2/R3=18\text{ k}\Omega/24\text{ k}\Omega$ 、13 V の場合は、 $R2/R3=15\text{ k}\Omega/24\text{ k}\Omega$ とした。センス電流検出方式と同等性能以上の短絡保護動作時間を達成するために、IGBT の短絡保護動作時間の目標値は $2.5\text{ }\mu\text{s}$ 以下とした。

IGBT のゲート電圧の検出レベルが低いほど、IGBT の短絡保護動作時間は短くなり、ゲート電圧の検出レベルが、14 V 以下の設定で、目標の $2.5\text{ }\mu\text{s}$ を達成可能であることを検証した。また、主回路電圧が 350 V と高いほど、短絡保護動作時間が短くなることが判った。

次に、短絡保護動作時間の主回路電圧変動に対する影響について検討した。図 3.4 に、主回路電圧変動に対する短絡保護動作時間の実測結果を示す。主回路電圧の標準電圧の 300 V に対して、 $\pm 100\text{ V}$ の主回路電圧の変動範囲において、短絡保護動作時間を実測した。また、IGBT のゲート電圧の検出レベルは、13 V, 14 V, 15 V で測定を行った。IGBT のゲート電圧検出レベルが 13 V, 14 V の場合は、主回路電圧が 200 V から 400 V の間で変動した場合でも、短絡保護動作時間を目標値の $2.5\text{ }\mu\text{s}$ 以内に検出できることを検証した。

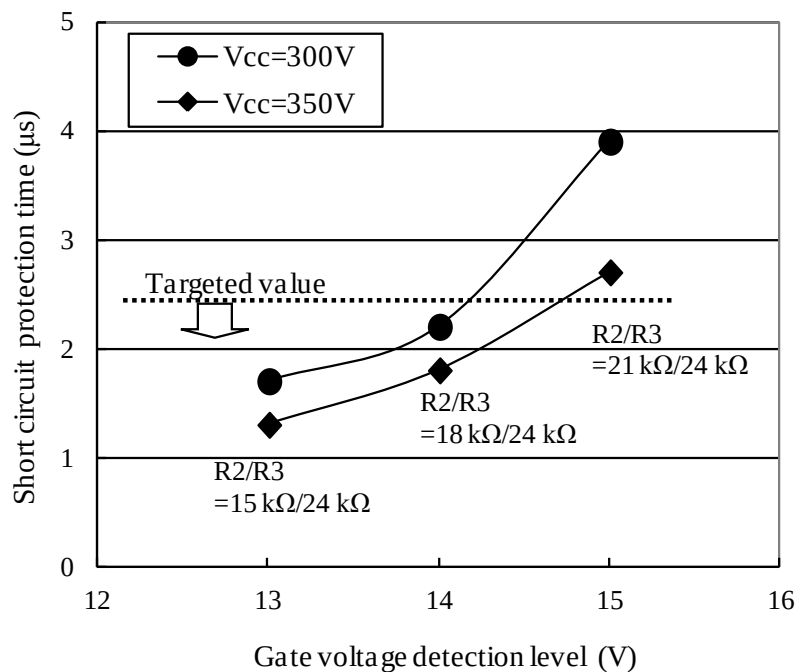


図 3.3 主回路電圧 (V_{cc}) が 300 V と 350 V における IGBT のゲート電圧の検出レベルと短絡保護動作時間の実測結果

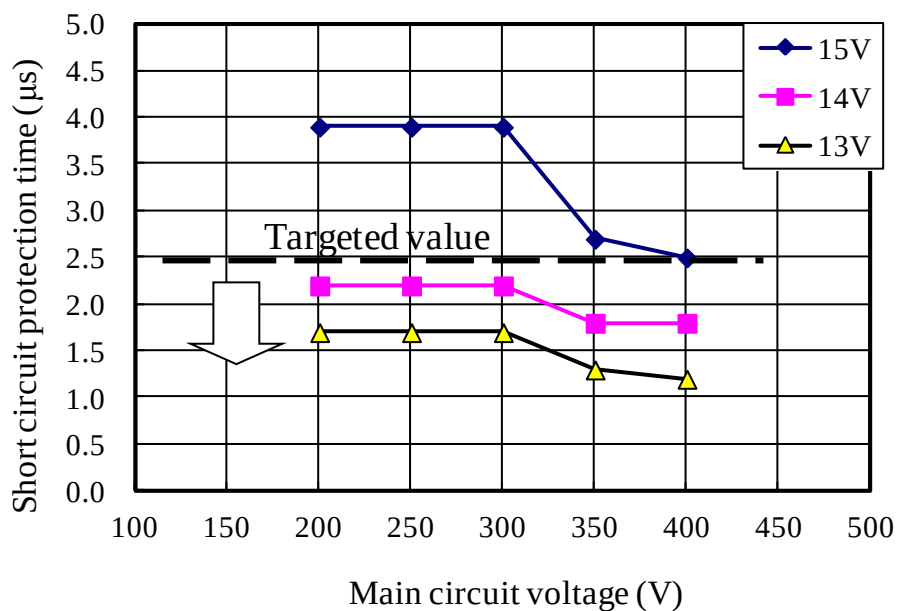


図 3.4 主回路電圧変動に対する短絡保護動作時間の実測結果

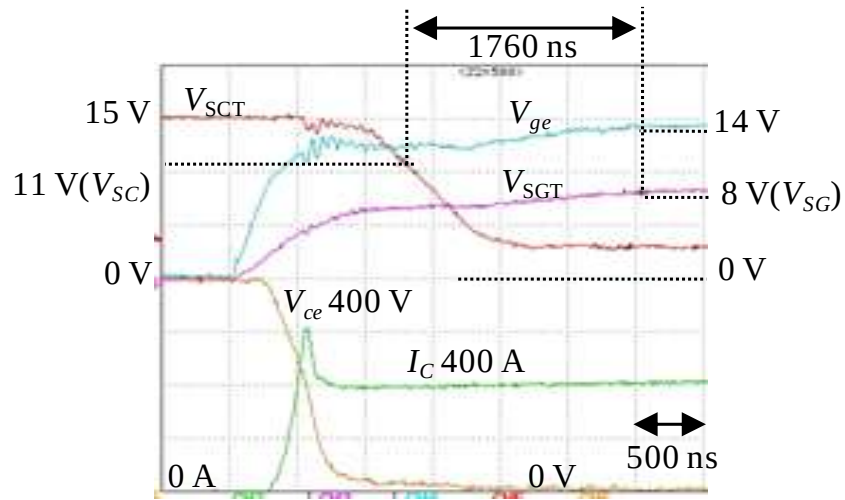
3.2.2 短絡誤検出の余裕時間の検討

IGBT のゲート電圧の検出レベルを低く設定すると、短絡保護動作時間はさらに短くなるが、通常のターンオン動作において、IGBT のコレクタ電流が大きい場合には、ミラー期間のゲート電圧 (V_{ge}) が高くなり、通常のターンオン動作を短絡動作と誤検出する可能性がある。そこで、IGBT のゲート電圧の検出レベルを 14 V および 13 V とした場合について、通常のターンオン時と通常のターンオフ時における短絡誤検出の余裕時間を検証した。

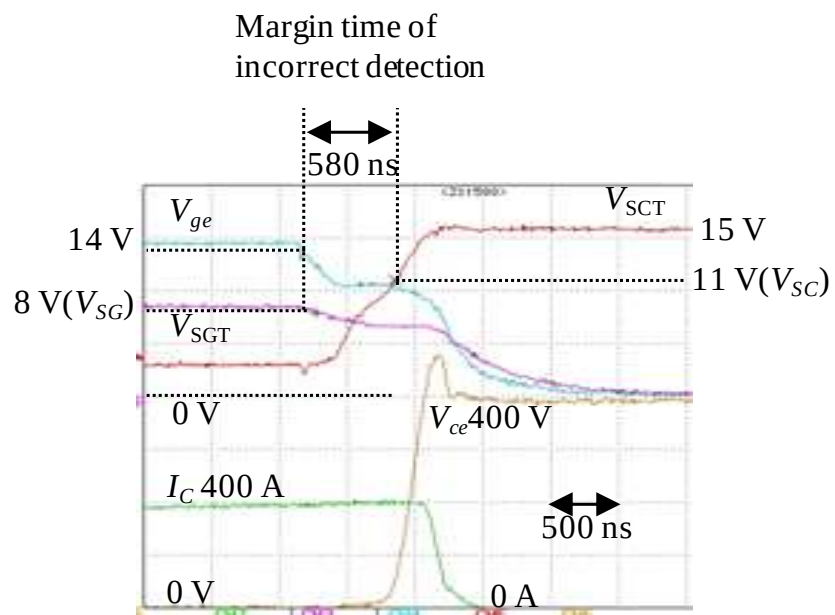
図 3.5 に、IGBT のゲート電圧の検出レベルを 14 V とした場合の短絡誤検出の余裕時間の実測波形を示す。短絡の誤検出は、ミラー電圧が高い場合、すなわち IGBT のコレクタ電流が大きい場合に発生し易いため、短絡誤検出の検証は、IGBT の定格電流 400 A の場合で検証した。図 3.5(a) は、通常のターンオン時の波形である。IGBT のコレクタ電圧 (V_{ce}) が 15 V 以上の場合、 V_{SCT} は電源電圧にクランプしている。IGBT のコレクタ電圧の検出レベル (V_{SC}) が 11 V、IGBT のゲート電圧の検出レベルが 14 V (V_{SG} は 8 V の設定) であるので、IGBT のコレクタ電圧 (V_{SCT}) が 11 V より低下してから、IGBT のゲート電圧 (V_{ge}) が 14 V に達するまでが、短絡誤検出の余裕時間になる。図 3.5(a) より、通常のターンオン時には、 V_{SGT} と V_{SCT} が両方 Low となっている期間である短絡誤検出の余裕時間が 1760 ns であることが判った。

次に、通常のターンオフ時の短絡誤検出の余裕時間について検討した。図 3.5(b) は、通常のターンオフ時の波形である。IGBT のゲート電圧の検出レベルは 14 V であり、IGBT のコレクタ電圧の検出レベル (V_{SC}) が 11 V であるので、IGBT のゲート電圧 (V_{ge}) が 14 V より低下してから、コレクタ電圧 (V_{SCT}) が 11 V に達するまでが、 V_{SGT} と V_{SCT} が両方 Low となり、短絡誤検出の余裕時間になる。図 3.5(b) より、通常のターンオフ時には、短絡誤検出の余裕時間が 580 ns であることが判った。

IGBT のゲート電圧の検出レベルを 13 V まで低下した場合でも、ターンオフ時には、ゲート電圧の検出レベルが 14 V の場合と同等の短絡誤検出の余裕時間であることを確認した。しかし、ターンオン時の短絡誤検出の余裕時間が減少するため、IGBT のゲート電圧検出レベルは、14 V と設定した。



(a) ターンオン



(b) ターンオフ

図 3.5 IGBT のゲート電圧の検出レベルを 14 V とした場合の短絡誤検出の
余裕時間の実測波形

3.2.3 短絡電流を低減する駆動回路の検討

インバータの信頼性を向上するためには、IGBT が短絡した場合に、IGBT がラッチアップして破壊することを防止することが重要である。IGBT の破壊防止のため、短絡時の IGBT のピーク電流 ($I_{C(peak)}$) を低減する手法を検討した。短絡時の IGBT のピーク電流を下げる手法としては、IGBT のゲート抵抗を大きくして、ターンオン速度を遅くする手法があるが、この手法を適用した場合、通常動作時の IGBT のターンオン損失も大きくなる。通常動作時の IGBT のターンオン損失 (E_{on}) を増加させずに、短絡時の IGBT のピーク電流 ($I_{C(peak)}$) を低減する回路方式を検討した。図 3.1 に示す回路構成で、IGBT のターンオン用のゲート抵抗 $R_{g_{on}}$ を小さくし、IGBT のゲート端子とエミッタ端子の間に $C1$ を付加する手法である。

IGBT のターンオン損失 (E_{on}) は、主に IGBT のコレクタ電流 (I_C) の di/dt で決まるため、IGBT の入力容量 (C_{ies}) と IGBT のゲート端子とエミッタ端子の間の外付けの追加容量 ($C1$) の和と、IGBT のターンオン用のゲート抵抗 ($R_{g_{on}}$) と IGBT の内部に存在する内蔵抵抗の和の積の時定数を同等とした。

図 3.6 に、ターンオン時と短絡時の波形を示す。左側の波形は、 $R_{g_{on}}=5.6\ \Omega$ で外付けの追加容量 ($C1$) なしの場合を示す。右側の波形は、 $R_{g_{on}}=2.2\ \Omega$ 、 $C1=33\ nF$ の場合を示す。 $C1$ に $33\ nF$ を付加し、ターンオン用のゲート抵抗を $2.2\ \Omega$ に小さくした場合、IGBT のターンオン損失は、ほぼ同等である。

一方、短絡時には、帰還容量を介して、ゲートへの充電電流が発生し、ゲート電圧が制御電圧の $15\ V$ よりも高く充電される。短絡時の IGBT のピーク電流 ($I_{C(peak)}$) は、IGBT のゲート構造や定格容量や主回路電圧にも依存するが、今回の実験では、IGBT のゲート端子とエミッタ端子の間に、IGBT の入力容量 (C_{ies}) とほぼ同等の外付けの追加容量 ($C1$) を付加することが最も効果的である。この結果、IGBT の入力容量に対する帰還容量の割合を小さくすることで、短絡時のゲート電圧の過電圧 (ΔV_{ge}) を抑制し、短絡時の IGBT のピーク電流を抑制する。本検討では、IGBT の短絡時のゲート電圧の過電圧 (ΔV_{ge}) は $9\ V$ から $5\ V$ に約半分に低減でき、短絡時の IGBT のピーク電流を、 $3800\ A$ から $3300\ A$ に約 15% 低減していることが判る。

図 3.7 に、短絡時のピーク電流とターンオン損失の関係を示す。追加容量 ($C1$) なしの場合、 $C1=33\ nF$ の場合、 $C1=15\ nF$ の場合を示している。今回の実験では、通常動作

時の IGBT のターンオン損失(E_{on})をほぼ同等で, 短絡時の IGBT のピーク電流($I_C(peak)$)を, 約 15 %低減した。

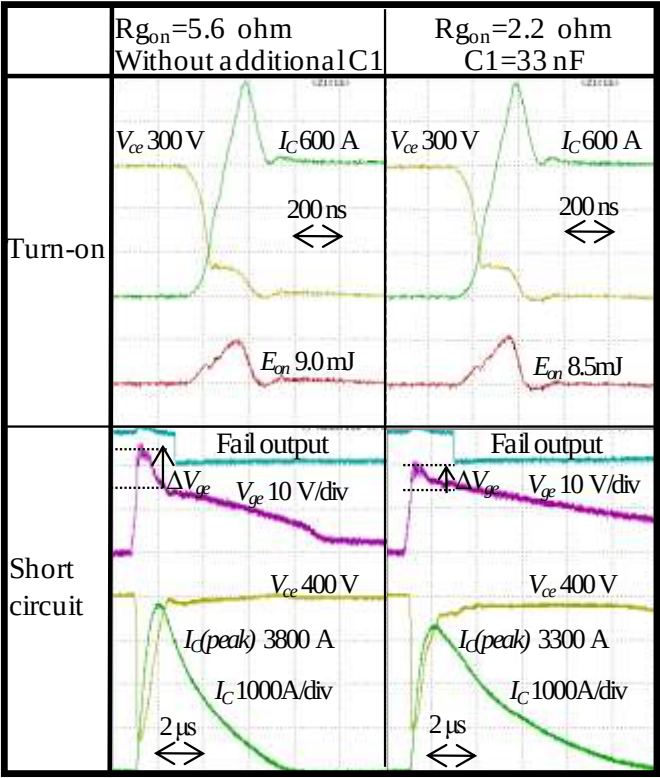


図 3.6 ターンオン時と短絡時の波形

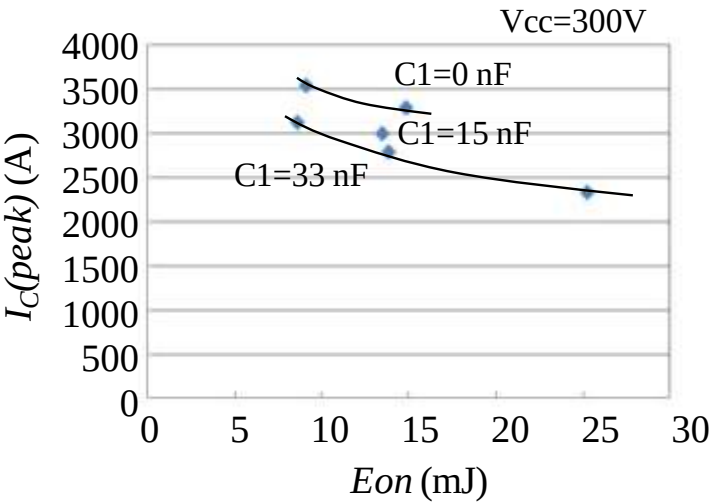


図 3.7 短絡時のピーク電流とターンオン損失の関係

3.3 ドライバ IC の開発とインバータ評価

3.3.1 ドライバ IC の開発

図 3.8 に、開発した高耐圧ゲートドライバ IC の機能ブロック図を示す。今回開発したゲート電圧とコレクタ電圧を検出する短絡保護回路、短絡電流の低減回路を内蔵している。さらに、ドライバ IC 内に、レベルシフト回路を内蔵して、フォトカプラの数を低減した。

図 3.9 に、開発した高耐圧ゲートドライバ IC のチップ外観写真を示す。DI (Dielectric-Isolation) 接合分離技術[48]を用いて、この IC を開発した。チップの上側は、上アームの駆動回路と保護回路を構成している。チップの下側は、下アームの駆動回路と保護回路を構成している。

図 3.10 に、600 V/400 A の IGBT モジュールと、開発したドライバ IC を搭載したプリント基板を実装した写真を示す。IGBT モジュールは、6in1 タイプの 600 V/400 A 級を試作し、開発したドライバ IC を、3 相分搭載している。

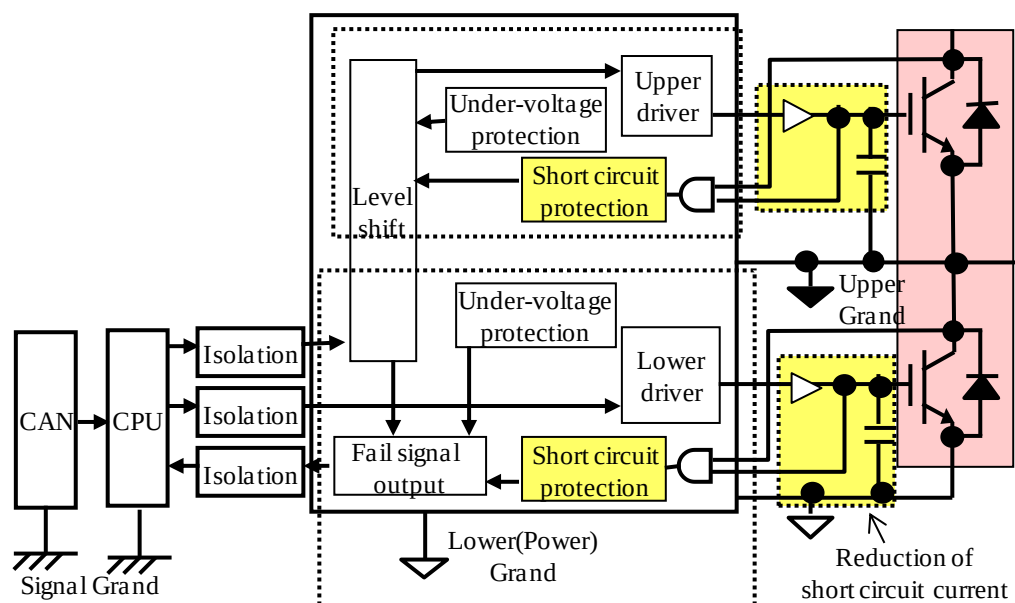


図 3.8 開発した高耐圧ゲートドライバ IC の機能ブロック図



図 3.9 開発した高耐圧ゲートドライバ IC のチップ外観写真

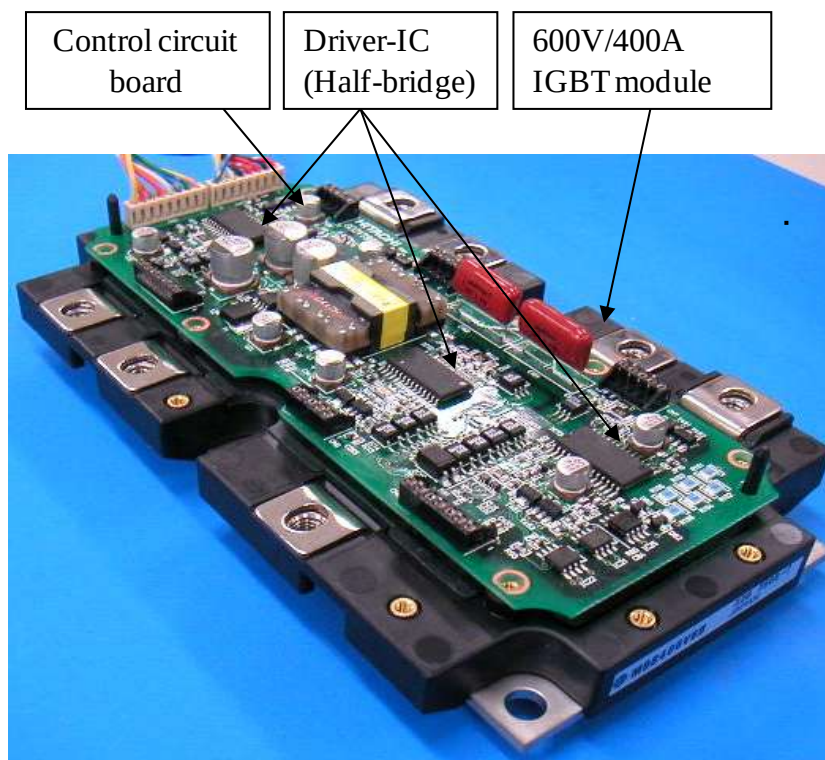


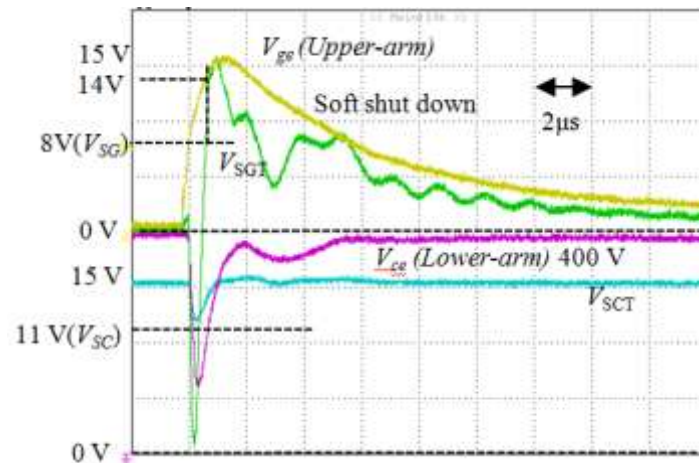
図 3.10 600 V/400 A の IGBT モジュールと，開発したドライバ IC を搭載したプリント基板を実装した写真

3.3.2 600 V/400 A 級 IGBT モジュールでの短絡保護動作の 検証

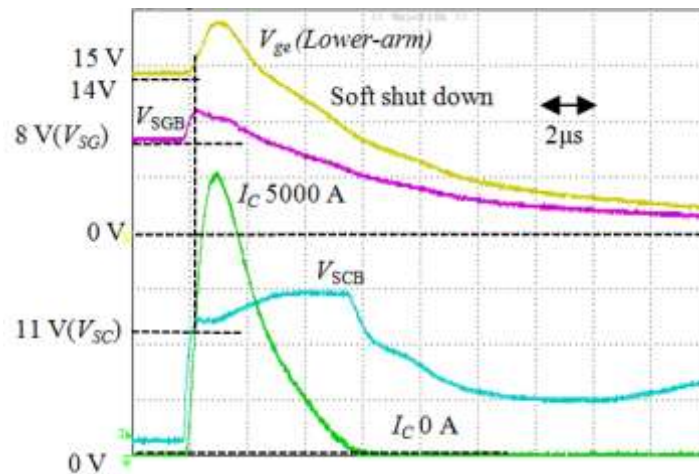
図 3.10 に示す 600 V/400 A の IGBT モジュールを用いて短絡動作を検証する。図 3.9 に示すドライバ IC は、上アームと下アームに同時に駆動信号を入力すると、ゲート信号を出力しない構成としているため、上アーム用と下アーム用の 2 つのドライバ IC を用いて、短絡動作を評価した。主回路電圧は 400 V、主回路インダクタンスは 70 nH、 $R_{g_{on}}$ は $2.2\ \Omega$ 、C1 は 33 nF の条件で試験を行った。下アームのドライバ IC にオンの信号を入力した状態で、上アームのドライバ IC にオンの信号を入力した。

図 3.11 に、短絡動作波形を示す。図 3.11(a)に、上アームの波形とインバータ出力端子電圧波形 ($V_{ce}(\text{Lower-arm})$) を、図 3.11(b)に、下アームの波形とコレクタ電流 (I_C) 波形を示す。上アームのドライバ IC にオンの信号を入力した後に、コレクタ電流 (I_C) が流れ始める。上アームの IGBT の短絡保護回路では、IGBT のコレクタ電圧 (V_{SCT}) は、コレクタ電圧検出レベル (V_{SC}) の 11V より高いままで、IGBT のゲート電圧 (V_{ge}) が、ゲート電圧検出レベルの 14V (V_{SG} の設定は 8V) を越えて、短絡を検出し、ソフト遮断を開始している。コレクタ電流 (I_C) が流れ始めてからの短絡保護動作時間は、約 $1\ \mu\text{s}$ である。また、下アームの IGBT の短絡保護回路では、IGBT のゲート電圧 (V_{SGB}) は、IGBT のゲート電圧検出レベルの 14V (V_{SG} の設定は 8V) より高いままで、コレクタ電圧 (V_{SCB}) が、コレクタ電圧検出レベル (V_{SC}) の 11V を越えて、短絡を検出し、ソフト遮断を開始している。コレクタ電流 (I_C) が流れ始めてからの短絡保護動作時間は、約 500 ns である。

このように、6in1 タイプの 600 V/400 A の IGBT モジュールを用いて、短絡保護動作を検証した。



(a) 上アームの波形



(b) 下アームの波形

図 3.11 短絡動作波形

3.3.3 600 V/400 A 級 IGBT モジュールでのモータ駆動評価

次に、図 3.10 に示す、開発した IGBT モジュールとドライバ IC を用いて、モータ駆動評価を行った。

図 3.12 に、PM (Permanent Magnet) モータ駆動時の各相の電流波形を示す。駆動条件は、主回路電圧 400 V、出力電流 260 A、3000 回転、出力トルク 50 Nm である。ドライバ IC が短絡を誤検出することなく、IGBT を駆動できることを確認した。

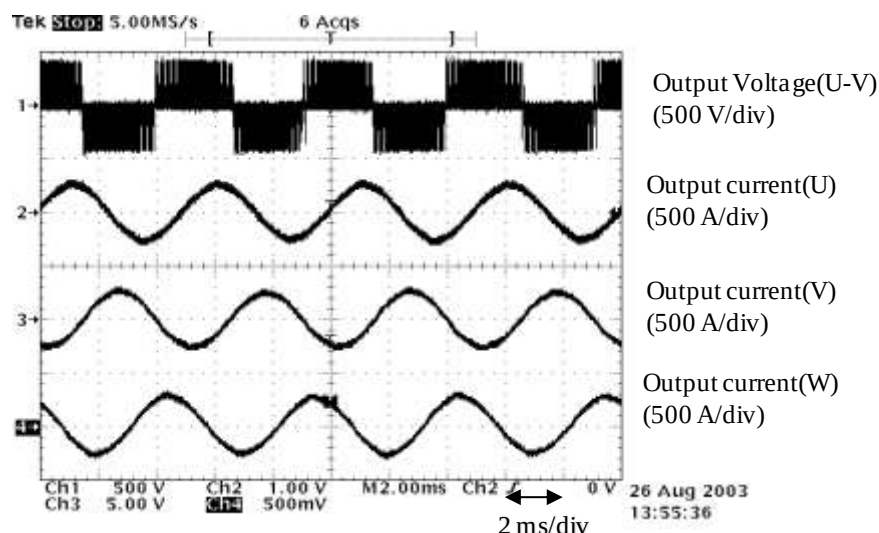


図 3.12 PM (Permanent Magnet) モータ駆動時の各相の電流波形

3.4 3章のまとめ

HEV などの大電流用途のインバータを駆動するため、安定な短絡保護動作を高速で実現する電圧検出型の短絡保護方式を開発した。

開発した短絡保護方式は、IGBT のコレクタ電圧と IGBT のゲート電圧を同時に検出する方式で、高コストのセンス電流検出機能付き IGBT を使用しないにもかかわらず、短絡保護動作時間を $2.5 \mu\text{s}$ 以内に高速化した。主回路の標準電圧 300 V に対し、主回路電圧の変動 $\pm 100 \text{ V}$ を考慮しても、短絡保護動作時間が $2.5 \mu\text{s}$ 以内を実現した。短絡誤検出の余裕時間は、通常のターンオン時に 1760 ns 、通常のターンオフ時に 580 ns あり、短絡の誤検出の可能性が極めて低い。

また、ターンオン用のゲート抵抗を小さくし、IGBT のゲート端子とエミッタ端子の間に、IGBT の入力容量と同等の外付けの容量を付加することによって、IGBT のターンオン損失を同等としたまま、短絡時の IGBT ピーク電流を約 15% 低減することができた。

これらの技術を適用することで、安定な短絡保護回路を実現した。この回路を搭載したドライバ IC を使用することで、 $600 \text{ V}/400 \text{ A}$ 級の各種 IGBT モジュールを駆動することが可能である。

第4章

3 kV 級 SiC ショットキーバリアダイオードを 搭載したハイブリッドモジュールと高速駆動 を併用した鉄道インバータ

この章では、Si に代わる次世代のデバイスと注目されている SiC を用いたデバイスの導入を検討した。日本では、直流 1500 V 架線が 90 パーセント以上を占めているため、直流 1500 V に適用可能な 2 レベルインバータを構築する。世界に先駆けて、低漏れ電流を特長とする 3 kV 級の SiC-SBD を開発し、Si-IGBT を組合わせたプロトタイプ (3 kV/200 A) の SiC ハイブリッドモジュールを開発した。

Si のダイオードでは、定格電流が 30 パーセント程度で、ダイオードの通流幅が 5 μ s 以下と小さい場合は、Si のダイオード内の正孔と電子が再結合する影響で、過大な電圧を発生するため、ゲート抵抗を大きくせざるを得なかったが、SiC-SBD を適用することによって、ゲート抵抗を小さくすることができる。

さらに、この回路を鉄道用のインバータやコンバータに適用した場合のインバータ及びコンバータの損失低減効果を見積もる。また、180 kW モータの無負荷駆動に成功した結果を述べる。

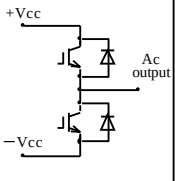
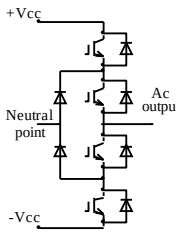
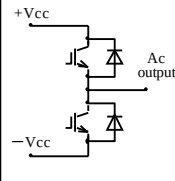
4.1 鉄道向け SiC インバータ開発の方針

表 4.1 に、国内の架線電圧と国内の路線長のデータを示す。国内では、1500 V 架線が約 90%を占めており、世界的にも 1500 V 架線は多い。1500 V 架線では、3.3 kV のモジュール耐圧のデバイスを用いれば、2 レベルの主回路構成を実現でき、1 相に必要なデバイス数は 3 レベルの 6 個に対し、2 個となり、主回路の構成が簡単になる。従って、3.3 kV 耐圧の SiC 素子の開発を推進した。

スイッチング素子への SiC 適用に関しては、2000 年後半から、SiC-MOSFET の開発事例がある[46][49]が、酸化膜の課題もあり、現状では試作・評価段階である。まずは、SiC ダイオードを適用した場合でも、スイッチング損失が大幅に低減できることから、Si-IGBT と組合わせた SiC ハイブリッドモジュールの開発を進めた。SiC ハイブリッドモジュール開発としては、600 V 耐圧の素子では、HEV 用のインバータとして、両面冷却に Si-IGBT と SiC-SBD を適用した事例がある[51]。また、4.5 kV 耐圧の素子では、高電圧大電力変換器用途に、Si-IGBT と SiC-pn ダイオードを組合わせたハイブリッドモジュールを適用した事例がある[52][53]。3.3 kV 耐圧で、SiC-SBD を製作する場合、逆電圧印加時に、漏れ電流が大きくなり、素子の構造の工夫が必要である。本開発では、逆電圧印加時にも、漏れ電流が小さくなる素子構造を検討した。

また、Si-pn ダイオードを用いた場合は、ダイオードの電流が小さく、電流通流幅が小さい場合には、リカバリ時に大きな跳ね上がり電圧が発生するため、ゲート抵抗を大

表 4.1 国内の架線電圧と国内の路線長のデータ

Line voltage	750V, 600V	1500 V	
Length of domestic railway track	865.3 km (7.4 %)	10817.1 km (92.6 %)	
Rating voltage	1.7 kV	1.7 kV	3.3 kV
Number of needed modules/leg	2	6	2
Circuit topology	2 level 	3 level 	2 level 

きくし、ターンオン速度を緩やかにして使用する必要があった[54]。今回、3.3kV SiC-SBD と Si-IGBT を組合わせたハイブリッドモジュールでは、リカバリ時に発生する大きな跳ね上がり電圧は発生しないと考え、併せて SiC ハイブリッドモジュールの高速駆動の検討も行った。

4.2 Si-pn ダイオードを搭載したインバータの課題

図 4.1 に、Si-pn ダイオードを用いた場合と SiC-SBD を用いた場合に、ダイオードがオフ状態からオン状態に移行したときのキャリア（正孔+電子）濃度分布を示す。Si-pn ダイオードは、オフ状態からオン状態に移行したときに、アノード電極から正孔が注入され、カソード電極から電子が注入される。10 μ s 以内では、時間が経過すると共に、アノード電極とカソード電極の間のキャリア濃度分布は、徐々に高くなる。約 10 μ s 以上を超えると、キャリア濃度分布はほとんど変化しない。また、ダイオードの電流が大きい場合は、キャリア濃度分布は全体的に高くなり、電流が小さい場合は、キャリア濃度分布は全体的に低くなる。一方、SiC-SBD を用いた場合は、1 μ s 以内で、均一な電子濃度分布になる。また、電流の大小に関係なく、電子濃度分布は一定である。

図 4.2 に、Si-pn ダイオードを用いた場合と SiC-SBD を用いた場合に、ダイオードがオン状態からオフ状態に移行したときのキャリア（正孔+電子）濃度分布と、電流・電圧波形の模式図を示す。ダイオードの電流が 30%以上と 30%以下の場合、ダイオードの通流幅が 15 μ s 以上の場合と、5 μ s 以下の場合を示している。

図 4.2 (a)に示すように、ダイオードの電流が 30%以上と大きく、通流幅が 15 μ s 以上と大きい場合は、オン状態では、①に示すように、Si-pn ダイオードのアノード側(A)からカソード側(K)まで、ほぼ均一に高いキャリア濃度分布になり、Si-pn ダイオードの中央部からカソード側(K)に、多くの正孔と電子が存在する。次に、ダイオードがオン状態からオフ状態に移行する際には、②に示すように、長い期間、正孔と電子の再結合が発生し、ダイオードの逆回復の dl/dt が小さくなる。アノード-カソード間の跳ね上がり電圧は、この逆回復 dl/dt と主回路のインダクタンス L の積により決まるため、跳ね上がり電圧は小さくなる。

次に、図 4.2 (b)に示すように、ダイオードの電流が 30%以下と小さく、通流幅が 15 μ s 以上と大きい場合は、オン状態では、①に示すように、アノード側(A)からカソード

側(K)まではほぼ均一なキャリア濃度分布になるが、Si-pn ダイオードの中央部からカソード側(K)に存在する正孔と電子の数は、図 4.2 (a)よりも少なくなるため、図 4.2 (a)の大電流遮断の場合と比較し、ダイオードの逆回復の dI/dt は少し小さくなり、跳ね上がり電圧は少し大きくなる。

一方、図 4.2 (c)に示すように、ダイオードの電流が 30%以下と小さく、電流通流幅が $5\ \mu\text{s}$ 以下と小さい場合（以下、狭幅リカバリ動作と呼ぶ）には、オン状態では、①に示すように、電流通流幅が $15\ \mu\text{s}$ 以上と大きい図 4.2 (a)や図 4.2 (b)と比較して、Si-pn ダイオードの中央部からカソード側(K)に存在する正孔と電子の数は、極端に少なくなる。そのため、正孔と電子の再結合の時間が極端に短くなるため、逆回復の dI/dt は大きくなり、大きな跳ね上がり電圧が発生する。この跳ね上がり電圧は、ゲート抵抗を小さくすることで、IGBT のターンオンを急峻にすると更に大きくなり、素子の破壊や dV/dt の増加によるノイズの上昇の原因となる。このため、Si-pn ダイオードを用いた場合には、ゲート抵抗を大きくし、ターンオン速度を緩やかにし、ターンオン損失を増加させて使用する必要があった[54]。

一方、SiC を用いた SBD は、図 4.1 の模式図に示すように、電子のみで動作するユニポーラデバイスである。オフ状態からオン状態に移行したときには、カソード電極から電子が注入され、アノード電極とカソード電極の間の電子濃度は、 $1\ \mu\text{s}$ 以内に一定になる。同様に、オン状態からオフ状態に移行したときには、カソード電極から電子が掃きだされ、 $1\ \mu\text{s}$ 以内に電子は消滅する。

図 4.2 (a)に示すダイオードの電流が大きく、通流幅が大きい場合、図 4.2 (b)に示すダイオードの電流が小さく、通流幅が大きい場合、図 4.2(c)に示すダイオードの電流が小さく、電流通流幅が小さい場合のいずれのケースでも、オン状態では、①に示すように、SiC-SBD のアノード側(A)からカソード側(K)まで一定のキャリア濃度分布になる。ダイオードがオン状態からオフ状態に移行する際には、 $1\ \mu\text{s}$ 以内に、電子は消滅し、②に示すように、リカバリ電流が発生しない。

従って、ダイオードの電流値やダイオードの電流通流幅が変化しても、逆回復に伴う急峻な dI/dt は発生せず、大きな跳ね上がり電圧は発生しない。従って、SiC-SBD を搭載したハイブリッドモジュールでは、Si-pn ダイオードの場合に起きる狭幅リカバリの現象は発生せず、ターンオンを高速化できると考え、実際に、SiC-SBD と Si-IGBT を搭載した SiC ハイブリッドモジュールを試作し、モジュールのスイッチング試験により検証した。

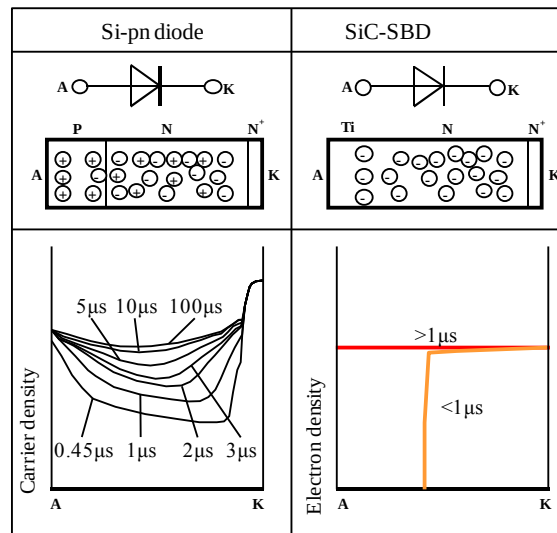


図 4.1 ダイオードがオフ状態からオン状態に移行したときのキャリア濃度分布

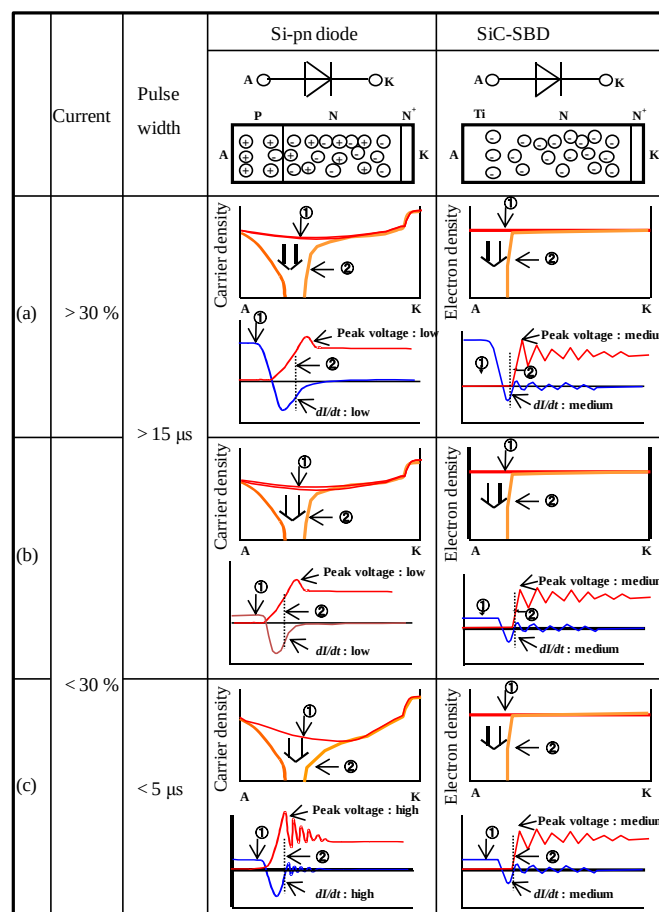


図 4.2 ダイオードがオン状態からオフ状態に移行したときのキャリア濃度分布と電流・電圧波形の模式図

4.3 試作したハイブリッドモジュールと検証回路

4.3.1 高耐圧 3 kV 級の SiC-SBD と SiC ハイブリッドモジュール

ハイブリッドモジュールに用いた SiC ダイオードのデバイス構造について説明する。SiC は絶縁破壊強度が Si の約 10 倍であることから、SiC を用いれば、ショットキーバリアダイオード(SBD)を適用できる。しかし、SBD は逆電圧印加時に、漏れ電流が大きい。そこで、鉄道用インバータへの適用を目指して、逆方向の漏れ電流の低減とショットキー界面の電界緩和効果を目的に、ショットキー接合に pn 接合をマージした JBS (Junction Barrier Schottky) 構造を採用し、3.3 kV 耐圧の SiC-SBD を試作した。

図 4.3 に試作した 3.3 kV SiC-SBD の断面構造を示す。アノード電極下部に、ショットキー接合に pn 接合を混在させる JBS 構造を形成し、逆電圧印加時の漏れ電流を低減する。また、終端部には、P の濃度を 2 段階にした JTE (Junction Termination Extension) 構造を形成し、逆方向電圧印加時の電界集中を緩和した。さらに、逆電圧印加時に、SiC-SBD の表面の余剰な電子や正孔による耐圧低下の要因を防止するために、SiC-SBD の終端部には、チャンネルストッパーを設けている。

図 4.4 に、従来の SiC-SBD と開発した JBS 構造の SiC-SBD の逆電圧印加時の漏れ電流の特性を示す。従来構造のショットキーバリア接合のみの SiC-SBD では、1.5 kV 以上の逆電圧を印加すると、漏れ電流が大きくなる。一方、今回開発したショットキー接合に pn 接合をマージした JBS 構造では、1.5 kV 以上の逆電圧を印加しても、漏れ電流は小さい。この構造を採用することで、SiC-SBD の高信頼化を実現する。

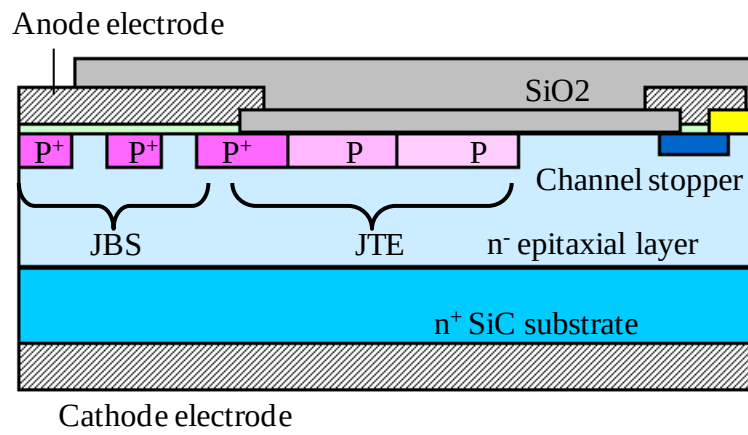


図 4.3 試作した 3.3 kV SiC-SBD の断面構造

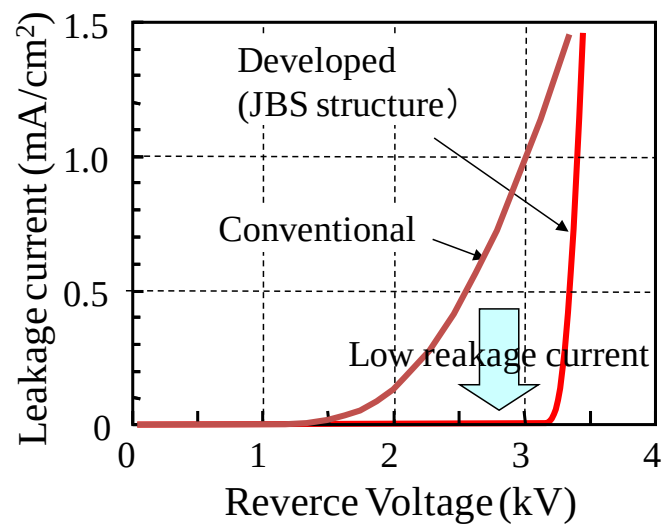


図 4.4 従来の SiC-SBD と試作した JBS 構造の SiC-SBD の漏れ電流の特性

図 4.5 に、試作した SiC-SBD のチップ外観写真を示す。チップサイズは、4.5 mm×4.5 mm である。SiC-SBD チップの外周部には、逆電圧印加時に、SiC-SBD の表面の余剰な電子や正孔による耐圧低下の要因を防止するために、ポリイミドを塗布している。

図 4.6 に、Si-IGBT と SiC-SBD を搭載した SiC ハイブリッドモジュール試作品の外観写真を示す。定格電流 50 A の Si-IGBT を 4 個並列接続し、定格 12.5 A の SiC-SBD を 16 個並列接続している。また、比較用に、定格電流 100 A の Si-pn ダイオードを 2 個並列接続した従来の Si-IGBT モジュールも試作し、評価を行なった。

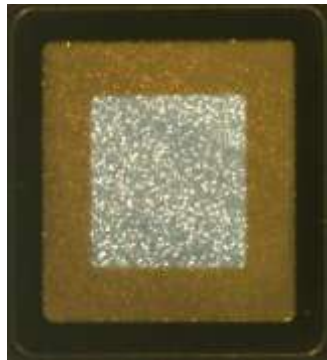


図 4.5 試作した SiC-SBD のチップ外観写真

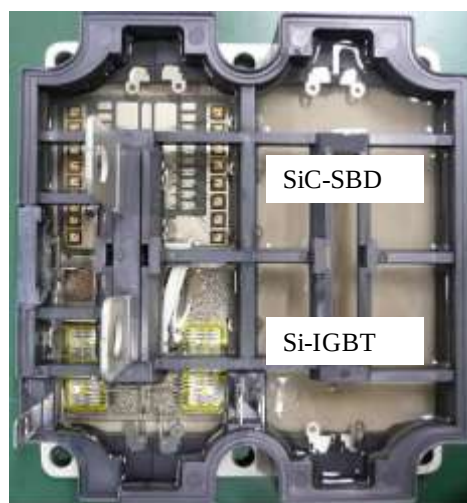


図 4.6 Si-IGBT と SiC-SBD を搭載した SiC ハイブリッドモジュール試作品の外観写真

4.3.2 スイッチング特性の評価回路

次に、スイッチング特性の評価回路について説明する。図 4.7 に、試験回路を示す。試験回路はインバータの 1 相分を模擬したハーフブリッジの回路を用い、IGBT をダブルパルスでスイッチング動作させ、ターンオン特性、ターンオフ特性及びリカバリ特性を取得した。

主回路電圧は 1500 V で測定を行った。主回路のインダクタンスは、3.3 kV/1200 A のモジュールを適用した場合は、通常 70 nH 程度である。今回のプロトモジュールでは、電流は 1/6 の 200 A であることから、主回路インダクタンスは、約 6 倍の 400 nH とし、測定を行った。また、IGBT には、並列接続時の共振防止用に、1 つの IGBT で約 32 Ω の抵抗を内蔵しており、4 並列で 8 Ω の内蔵抵抗を付加している。従って、IGBT のターンオンを急峻にした高速駆動時の特性を取得するために、外部のゲート抵抗 (R_g) を変化させた。なお、ダイオードの電流値とダイオードの電流通流幅は、ダブルパルスのオンパルス幅とオフパルス幅を調整し、試験を行った。

また、リカバリ dV/dt は、図 4.8 に示すように、ダイオードの端子電圧 (V_{ak}) の変化率が最も急峻な値とした。

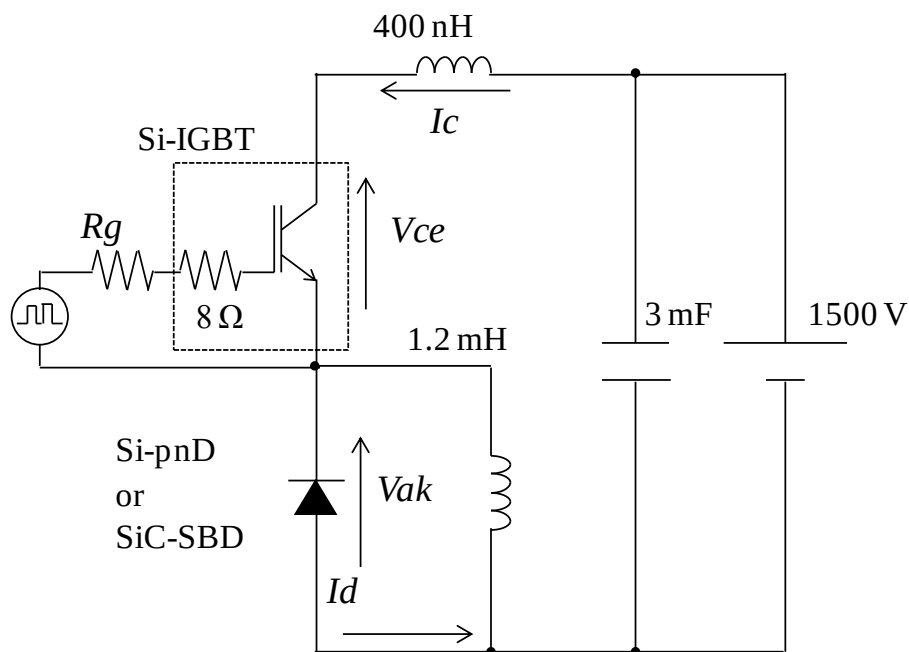


図 4.7 試験回路

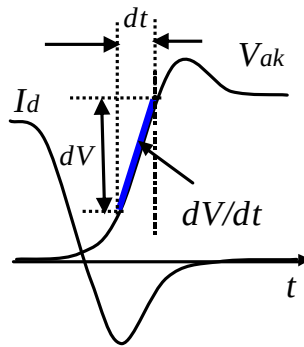


図 4.8 リカバリ dV/dt の定義

4.4 スイッチング波形と損失評価

4.4.1 スイッチング波形比較

この節では、スイッチング波形の比較評価結果を示す。図 4.9 に、 R_g が $2.2\ \Omega$ 、 T_j が $25\ ^\circ\text{C}$ の条件で、ダイオード電流が $200\ \text{A}$ で、ダイオードの通流幅が $164\ \mu\text{s}$ の場合と、ダイオード電流が $20\ \text{A}$ で、ダイオードの通流幅が $15\ \mu\text{s}$ 、 $4\ \mu\text{s}$ の場合の Si-pn ダイオードと SiC-SBD のスイッチング波形を示す。また、図中のリカバリ dV/dt は、図 4.8 に示すように、ダイオードの端子電圧 (V_{ak}) の変化率が最も急峻な値とした。

Si-pn ダイオードを用いた場合、ダイオード電流が定格の $200\ \text{A}$ で、ダイオードの通流幅が $164\ \mu\text{s}$ のときのリカバリ dV/dt は、 $15.2\ \text{kV}/\mu\text{s}$ である。ダイオード電流が定格の 10% の $20\ \text{A}$ で、ダイオードの通流幅が $15\ \mu\text{s}$ のときのリカバリ dV/dt は、電流が $200\ \text{A}$ のときと比較して、約 2 倍の $32.5\ \text{kV}/\mu\text{s}$ となった。さらに、ダイオード電流が定格の 10% の $20\ \text{A}$ で、ダイオードの通流幅を $4\ \mu\text{s}$ にしたときのリカバリ dV/dt は、電流が $200\ \text{A}$ のときと比較して、約 10 倍の $143\ \text{kV}/\mu\text{s}$ に増加し、跳ね上がり電圧は $3110\ \text{V}$ に上昇した。

一方、SiC-SBD を用いた場合、ダイオード電流が定格の $200\ \text{A}$ で、ダイオードの通流幅が $164\ \mu\text{s}$ のときのリカバリ dV/dt は、 $50.2\ \text{kV}/\mu\text{s}$ である。ダイオード電流が定格の 10% の $20\ \text{A}$ で、ダイオードの通流幅が $15\ \mu\text{s}$ と $4\ \mu\text{s}$ のとき、電圧・電流波形はほとんど変化なく、リカバリ dV/dt は約 $40\ \text{kV}/\mu\text{s}$ である。従って、SiC-SBD を用いた場合、Si-pn ダイオードの場合に考慮していた狭幅リカバリ時の大きいリカバリ dV/dt や跳ね上がり電圧を考慮する必要がないことが判る。

$$R_g=2.2\ \Omega, T_j=25\ ^\circ\text{C}$$

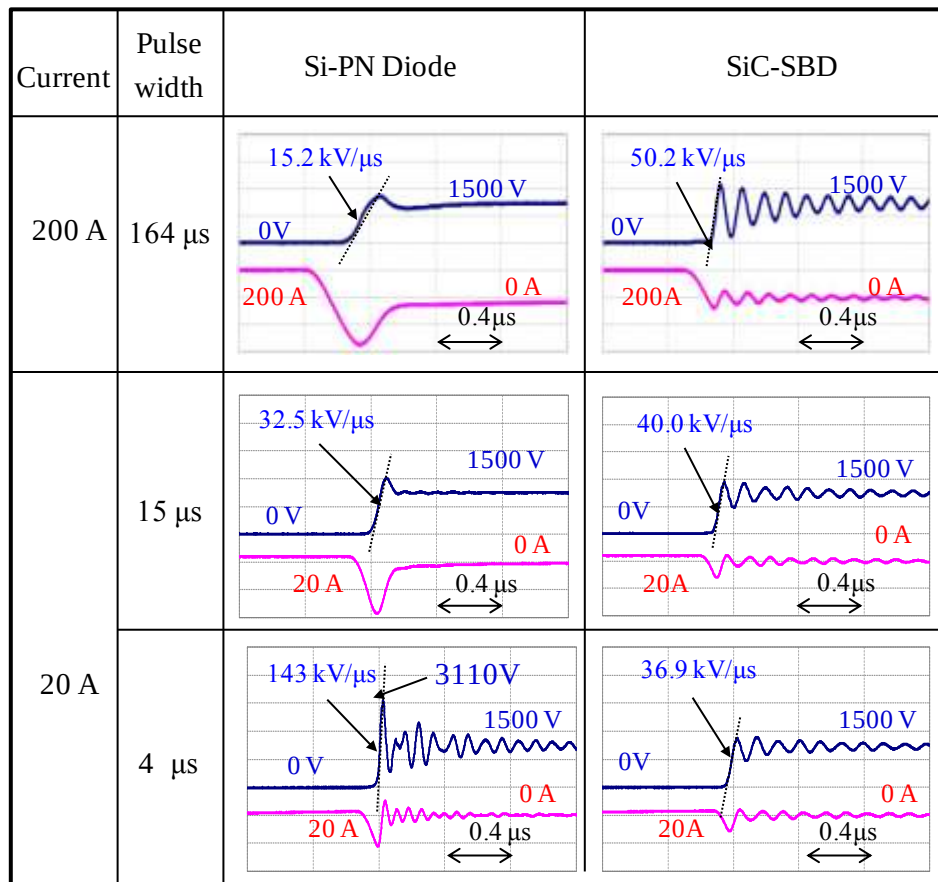


図 4.9 Si-pn ダイオードと SiC-SBD のスイッチング波形の比較

図 4.10 に、Si-pn ダイオードを用いた場合と SiC-SBD を用いた場合の跳ね上がり電圧のダイオードの通流幅依存性を示す。ダイオード電流が 20 A で、 T_j が 25 $^\circ\text{C}$ の場合を示している。Si-pn ダイオードを用いた場合、IGBT の R_g を 2.2 Ω と小さくした条件で、ダイオードの通流幅を小さくした場合は、跳ね上がり電圧が急激に大きくなり、ダイオードの通流幅が 4 μs 付近では、跳ね上がり電圧は 3000 V を越える。一方、SiC-SBD を用いた場合は、IGBT の R_g を 2.2 Ω と小さくした条件で、ダイオードの通流幅を小さくしても、跳ね上がり電圧は 2000 V 以下に抑制することができる。

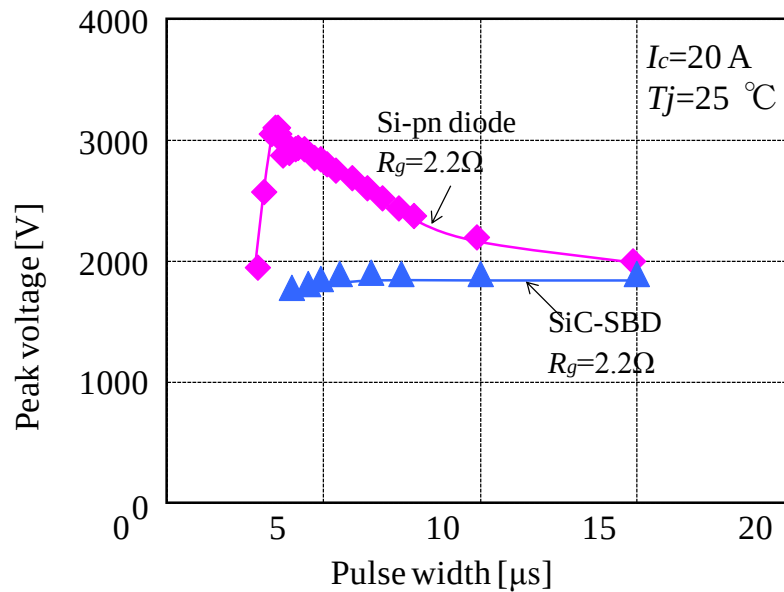


図 4.10 跳ね上がり電圧のダイオードの通流幅依存性

次に、このリカバリ dV/dt の最大値が同じ値になるゲート抵抗値を検討した。図 4.11 に、リカバリ dV/dt の電流依存性を示す。リカバリ dV/dt が最も大きくなる条件は、Si-pn ダイオードのときは、 T_j が 25 °C、ダイオードの通流幅が約 4 μs の場合である。SiC-SBD のときは、ダイオードの通流幅には依存せず、 T_j が 125 °C の場合である。Si-pn ダイオードと SiC-SBD 共に、 R_g が 2.2 Ω 、22 Ω の条件で、試験を行なった。Si-pn ダイオードを用いた場合、ダイオード電流が小さいほどリカバリ dV/dt は大きく、定格電流の 30% の 60 A 以下の小さい電流領域で最も大きくなる。 R_g が 22 Ω の場合は、 dV/dt の最大値は 50 kV/ μs 程度であるが、 R_g が 2.2 Ω の場合は、 dV/dt の最大値は 150 kV/ μs まで増加する。一方、SiC-SBD を用いた場合、ダイオード電流が大きいほど dV/dt は大きくなり、100 A 以上ではほぼ一定となっている。図 4.11 の結果から、 dV/dt の最大値を 50 kV/ μs 以内に抑制する場合、Si-pn ダイオードを用いた時の R_g は 22 Ω 、SiC-SBD を用いた時の R_g は 2.2 Ω にする必要がある。

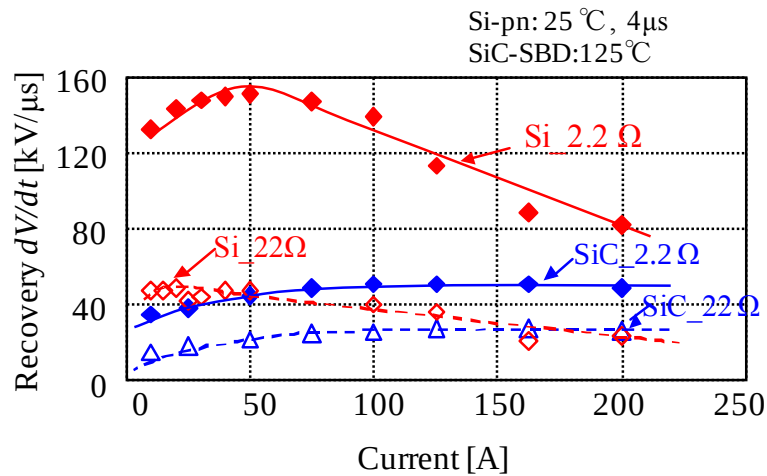


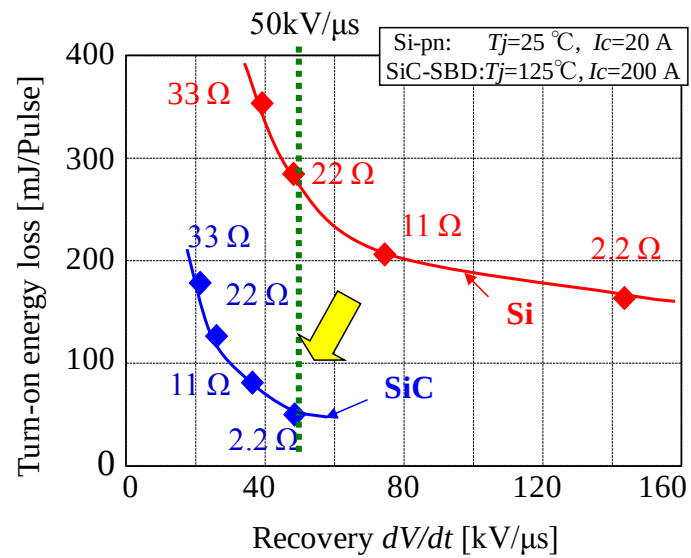
図 4.11 リカバリ dV/dt の電流依存性

4.4.2 電圧変化率とスイッチング損失

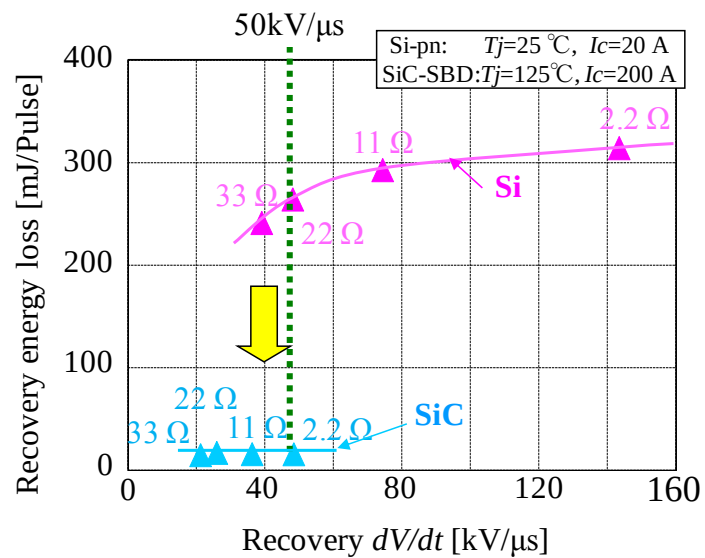
次に、IGBT のゲート抵抗 (R_g) が、リカバリ dV/dt やターンオン損失やリカバリ損失に及ぼす影響を検討した。図 4.12 (a)に、リカバリ dV/dt に対する IGBT のターンオン損失の関係を、図 4.12 (b)に、リカバリ dV/dt に対するダイオードのリカバリ損失の関係を示す。図中の数字は、IGBT の R_g の値である。横軸の値のリカバリ dV/dt の最大値は、動作温度、通流電流幅で、最も大きくなる最悪条件で評価した。すなわち、Si-pn ダイオードの場合は、 T_j が 25 °C、電流が 20 A の狭幅リカバリのときの値を、SiC-SBD の場合は、 T_j が 125 °C、電流が 200 A のときの値を用いた。図 4.12 の縦軸のターンオン損失とリカバリ損失の値は、電流が 200 A で評価した。

図 4.12 (a)に、ターンオン損失とリカバリ dV/dt の関係を示す。同じ R_g で比較すると、SiC-SBD を用いたときのリカバリ dV/dt は、Si-pn ダイオードと比較して、約 1/2 となり、ターンオン損失も約 1/2 になる。また、50 kV/μs のリカバリ dV/dt の条件で比較すると、ターンオン損失は約 1/6 に低減することが可能である。また、図 4.12 (b)に、リカバリ損失とリカバリ dV/dt の関係を示す。同じ R_g で比較すると、SiC-SBD を用いたときのリカバリ損失は、Si-pn ダイオードと比較して、約 1/20 から約 1/50 に低減される。

これらの結果から、最大のリカバリ dV/dt を同一の条件とした場合、SiC-SBD を用いたときは、IGBT の R_g を小さくすることが可能になり、ターンオン損失とリカバリ損失を大幅に低減できる。



(a) ターンオン損失とリカバリ dV/dt の関係



(b) リカバリ損失とリカバリ dV/dt の関係

図 4.12 リカバリ dV/dt とスイッチング損失の IGBT のゲート抵抗依存性

4.5 鉄道用変換器の損失低減効果の検証

4.5.1 モータ駆動試験

図 4.13 に、試作したインバータの外観写真を示す。手前側はヒートパイプ式の冷却器である。ヒートパイプ冷却器には、モジュールを実装するヒートブロック部がある。ヒートブロック部には、図 4.6 で示す試作した 3 kV/200 A のモジュールを 6 個使用し、インバータに組み込んだ。

モータ駆動試験は、180 kW の誘導モータを用いて実施した。図 4.14 に、180 kW モータを駆動した場合の 3 相の電流波形を示す。電流ピーク 150 A で正常に駆動できることを確認した。

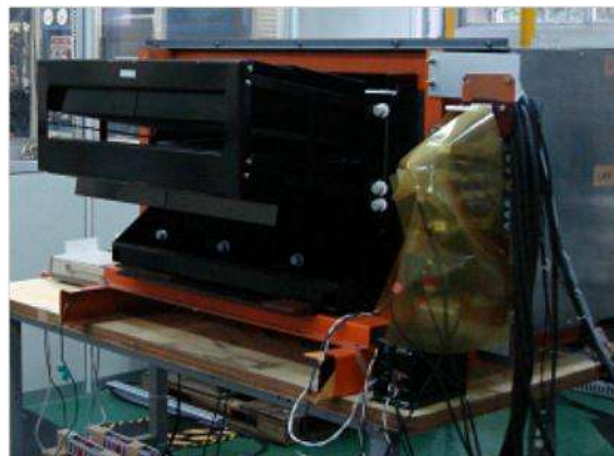


図 4.13 試作したインバータの外観写真

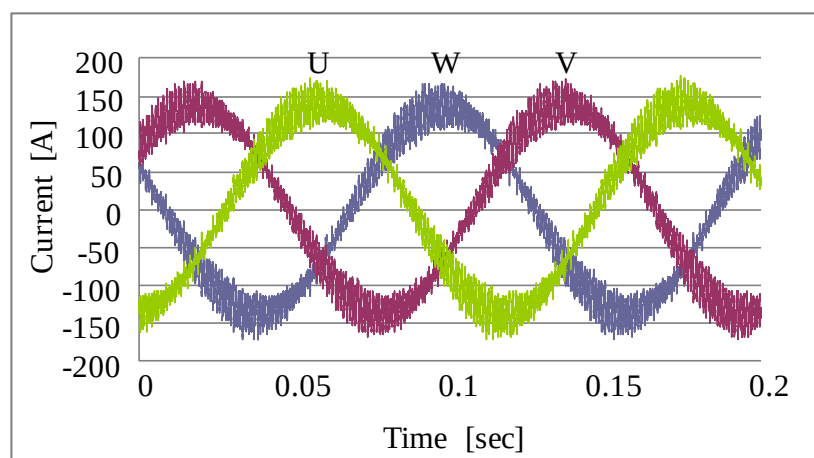


図 4.14 180 kW モータを駆動した場合の 3 相の電流波形

4.5.2 シミュレーションによる鉄道変換器の損失低減効果

試算

次に、SiC-SBD を適用したハイブリッドモジュールを、交流路線の電車に適用した時の損失低減効果を、走行シミュレーションにより試算した。デバイスで発生する損失は IGBT とダイオードの順方向特性と、スイッチング損失の電流依存性から見積もる。

図 4.15 に、試作したハイブリッドモジュールに搭載されている SiC-SBD と、従来の IGBT モジュールに搭載されている Si-pn ダイオードの順方向電圧特性を示す。25℃では、SiC-SBD と Si-pn ダイオードでは同等の電圧-電流特性を示している。Si-pn ダイオードの 125℃の順方向電圧は、定格電流で、25℃の場合と比較すると、約 0.2 V 程度大きくなる。この要因は、Si-pn ダイオードは正孔と電子で動作するバイポーラデバイスであり、抵抗成分の温度依存性は小さいためである。一方、SiC-SBD の 125℃の順方向電圧は、定格電流で、25℃の場合と比較すると、約 1 V 大きくなる。この要因は、SiC-SBD は電子のみで動作するユニポーラデバイスであり、抵抗成分の温度依存性が大きいためである。また、計算に用いる Si-IGBT の順方向電圧特性は、従来の IGBT モジュール、試作したハイブリッドモジュールともに同じ値である。

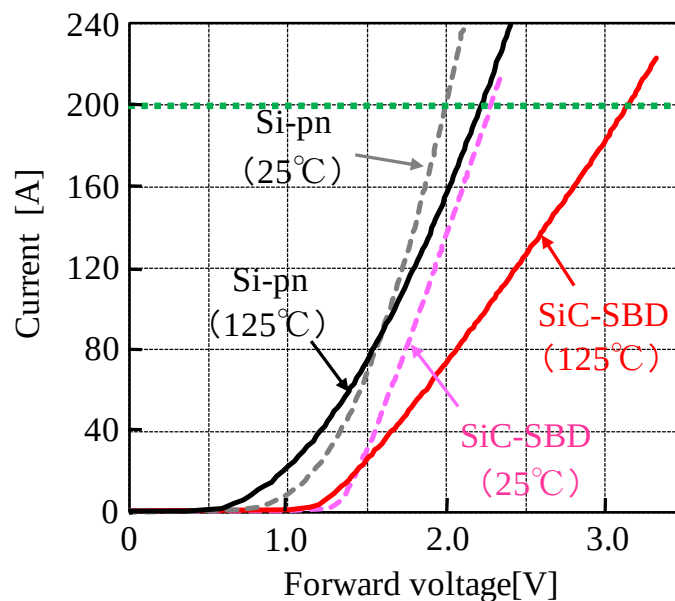


図 4.15 SiC-SBD と Si-pn ダイオードの順方向電圧特性

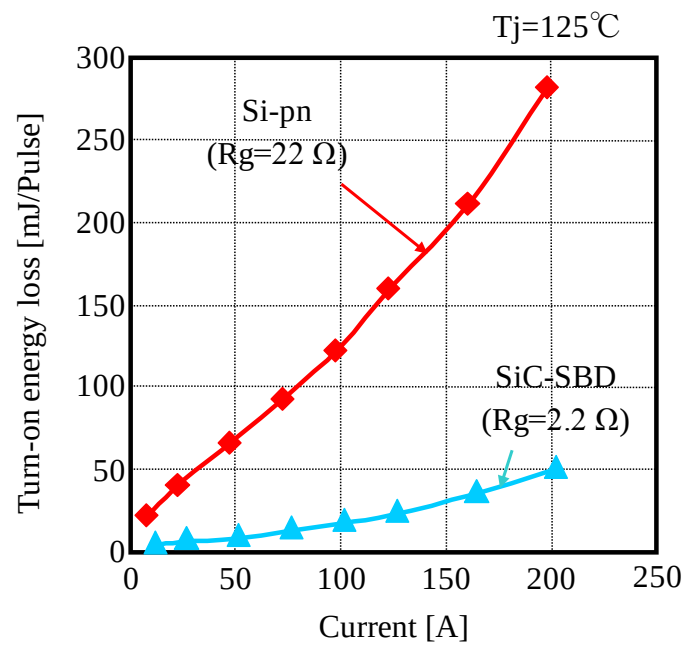
図 4.16 に、IGBT のターンオン損失とダイオードのリカバリ損失の電流依存性を示す。測定温度は、最悪条件を仮定して、 T_j が 125°C の条件で測定した。50 kV/ μs のリカバリ dV/dt に抑制する条件として、Si-pn ダイオードを用いた時の R_g は $22\ \Omega$ を用い、SiC-SBD を用いた時の R_g は $2.2\ \Omega$ を用いた。ターンオン損失の電流依存性は、全電流領域で約 1/6 に、リカバリ損失の電流依存性は、全電流領域で約 1/10 から約 1/50 に低減可能である。また、IGBT のターンオフ時の R_g は同等の条件とし、ターンオフ損失の電流依存性は、同じ値を用いた。

図 4.17 に、SiC-SBD を交流路線の電車に適用した際の損失低減効果の走行シミュレーション結果を示す。走行シミュレーションでは、交流路線に、高速車両を約 40 分間走行した場合を試算した。計算で適用する損失の値は、インバータの最悪動作条件を考慮して、 T_j が 125°C で計算した。図 4.17(a)はインバータ損失、図 4.17 (b)はコンバータ損失、図 4.17 (c)はインバータとコンバータを合わせた損失を示す。コンバータでは、高調波を抑制するため、約 1 kHz の高周波スイッチングで動作し、インバータは車両の速度に合わせ、50～約 2 kHz の可変周波数で動作している。

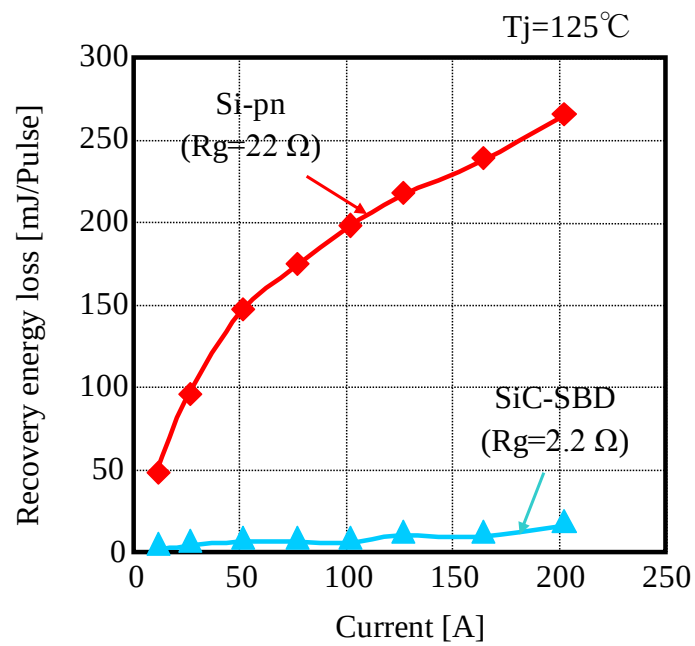
インバータでは、図 4.17 (a)に示すように、IGBT の導通損失が占める割合が大きい。ため、インバータの損失は約 15%低減する。さらにインバータ損失を低減するためには、IGBT の順方向電圧特性や IGBT のターンオフ特性の改善が必要である。

一方、常時高周波で動作するコンバータでは、図 4.17 (b)に示すように、ターンオン損失、リカバリ損失を大幅に低減しているため、コンバータ損失は約 40%低減する。

また、インバータとコンバータを合わせた損失は、図 4.17 (c)に示すように、約 32%低減する。このように、SiC-SBD を適用した SiC ハイブリッドモジュールを用い、ターンオンの時に高速駆動を適用することで、大幅な損失低減が可能であることを見出した。



(a) ターンオン損失



(b) ターンオフ損失

図 4.16 IGBT のターンオン損失とダイオードのリカバリ損失の電流依存性

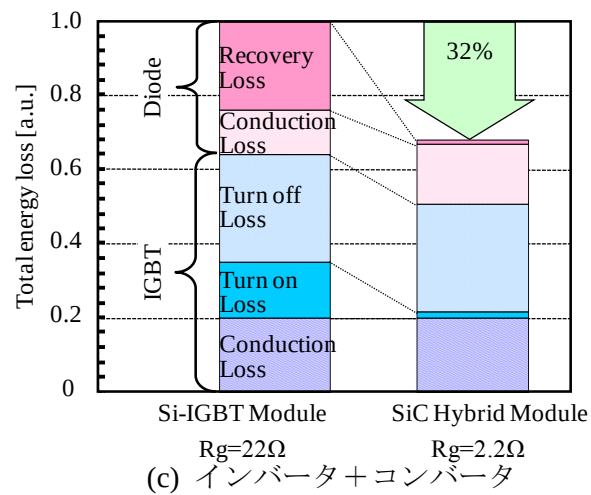
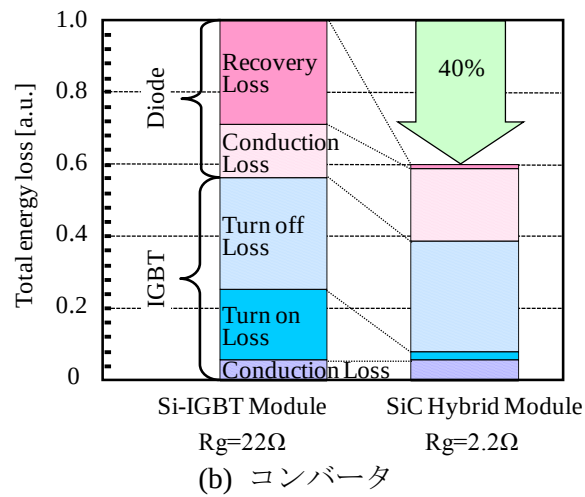
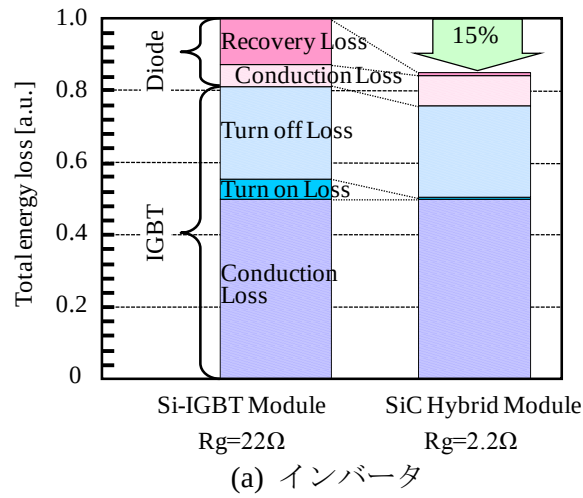


図 4.17 SiC-SBD を交流路線の電車に適用した際の損失低減効果のシミュレーション結果

4.6 4章のまとめ

Si に代わる次世代のデバイスと注目されている SiC ダイオード を用いた 3 kV 級ハイブリッドモジュールを開発した。日本で 90%以上を占める直流 1500 V 架線に対応可能なハイブリッドモジュールである。

世界に先駆けて、低漏れ電流を特長とする 3 kV 級の SiC-SBD を開発し、Si-IGBT を組合わせたプロトタイプ(定格電流 200 A) の SiC ハイブリッドモジュールを開発した。

Si のダイオードでは、定格電流が 30%程度で、ダイオードの通流幅が 5 μ s 以下と小さい場合は、Si のダイオード内の正孔と電子の再結合する影響で、過大な電圧を発生するため、ゲート抵抗を大きくせざるを得なかったが、SiC-SBD では、ダイオードの電流値や通流幅の影響がなくなり、ゲート抵抗の値を小さくすることができ、ターンオン損失やリカバリ損失を大幅に低減できることを見出した。

SiC-SBD を Si-IGBT と並列に実装した 3 kV/200 A の SiC ハイブリッドモジュールを試作し、リカバリ時の dV/dt の最大値を同程度にした条件で、リカバリ損失を約 1/10 以下に低減し、ターンオン損失を約 1/6 に低減して、リカバリ dV/dt とスイッチング損失のトレードオフを改善した。

さらに、シミュレーションを用い、交流路線の電車に適用した際の損失低減効果を検証した結果、インバータ部では約 15%の損失を低減し、コンバータ部では約 40%の損失を低減し、インバータとコンバータを合わせた損失では、約 3 割低減可能であることを確認し、その有効性を示した。さらに、180 kW モータの駆動を実施し、安定した動作を確認した。

第5章

3.3 kV/1200 A 小型 SiC ハイブリッドモジュールを適用した鉄道用小型インバータ

この章では、鉄道用インバータの小型・低損失化のため、従来の 3.3 kV/1200 A のモジュールの 2/3 のサイズの SiC ハイブリッドモジュールを開発する。ショットキーバリア接合に pn 接合をマージした JBS 構造を採用し、スイッチング素子には、導通特性を改善した Si-IGBT を適用する。

また、駆動技術については、3.3kV/1200A SiC ハイブリッドモジュールのターンオン時に、IGBT のゲートの状態を検出して、3 段階に分けて制御する低損失駆動（アクティブゲート駆動）技術を適用することで、従来の固定ゲート方式と比較して、ターンオン損失を低減する手法を述べる。また、実装技術については、熱伝達率に優れた小型冷却器を開発する。

その結果、IGBT の性能改善と SiC-SBD によるスイッチング損失の低減効果、アクティブゲート駆動技術の適用により、インバータ損失を 35 パーセント低減した。また、コンデンサの改善や、冷却器の小型化により、インバータの質量と体積を 40 パーセント低減した。また、190 kW モータを 4 台同時に駆動することに成功した結果について述べる。

5.1 鉄道向け小型 SiC インバータ開発の課題

表 5.1 に、インバータ体積の削減のための課題と対応方針について示す。インバータの体積低減のためには、①回路構成のシンプル化、②IGBT モジュールの低損失化、③冷却効率の向上が重要である。

回路のシンプル化に関しては、耐圧 3.3 kV の SiC-SBD を開発することで、1500 V 直流架線で 2 レベル制御を可能とし、回路規模を最小化する。

SiC ハイブリッドモジュールの損失低減には、SiC-SBD の採用により、スイッチング損失を従来 IGBT モジュールよりも半減する。さらに、IGBT の導通損失も同時に行い、SiC ハイブリッドモジュールの更なる低損失化を図る。また、アクティブゲート技術の採用により、SiC ハイブリッドモジュールのスイッチング損失をさらに低減する。

また、スイッチング損失を低減することにより、モジュールサイズを従来の 2/3 に小型化する。一方、モジュールサイズを小型化した場合は、モジュールやフィンの熱抵抗が大きくなるため、冷却構造の改善も課題であり、高熱伝達率の冷却器を開発する。

本章では、パワーモジュールの損失低減と、損失を低減するアクティブゲート技術の検討と、冷却効率を改善する冷却構造を検討する。

表 5.1 インバータ体積の削減のための課題と対応方針

課題	開発内容
回路構成の シンプル化	1500 V 直流架線で 2 レベル制御を可能とするため、 耐圧 3.3 kV の SiC ダイオードを開発
IGBT モジュールの 低損失化	SiC ダイオード採用によるスイッチング損失低減
	アクティブゲート制御技術の導入
	Si-IGBT の損失低減
冷却効率の向上	風上と風下の温度差を最小化する冷却構造

5.2 3.3 kV/1200 A 小型 SiC ハイブリッドモジュール

この節では，開発した小型ハイブリッドモジュールについて説明する。

図 5.1 に従来の Si-IGBT モジュールとハイブリッドモジュールの外観写真を示す。定格は 3.3 kV/1200 A である。従来の Si-IGBT のモジュールのサイズは 190 mm×140 mm である。開発したハイブリッドモジュールは，ショットキー接合に pn 接合をマージした SiC-SBD の採用と，特性を改善した Si-IGBT の採用により，モジュールのサイズは 130 mm×140 mm となり，従来の Si-IGBT モジュールと比較し，約 2/3 に小型化した。

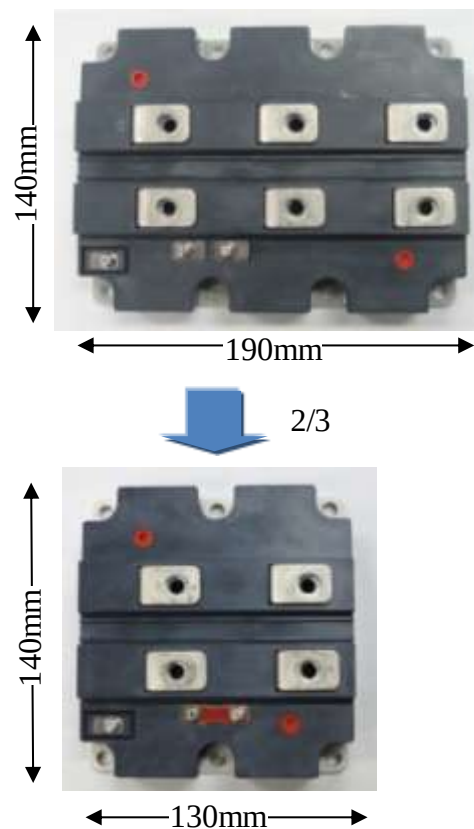


図 5.1 従来の Si-IGBT モジュールとハイブリッドモジュールの外観写真

図 5.2 にハイブリッドモジュールの逆方向電圧-電流特性を示す。JBS 構造の採用により，逆方向電圧 3.3 kV において，0.1 mA 以下の逆方向の漏れ電流を実現した。

図 5.3 に，3.3 kV/1200 A SiC ハイブリッドモジュールと従来の Si-IGBT モジュールのスイッチング特性の比較を示す。Si-pn ダイオードと比較し，リカバリ電流がゼロにな

り，従来の IGBT モジュールと比較し，リカバリ損失を 95%低減した。また，ターンオン損失に関しても，リカバリ電流の重畳がなくなるため，従来の IGBT モジュールと比較し，同じゲート抵抗を用いた場合は，ターンオン損失を約 50%低減した。これらから判るように，スイッチング損失全体でも，約 50%の損失低減を実現した。

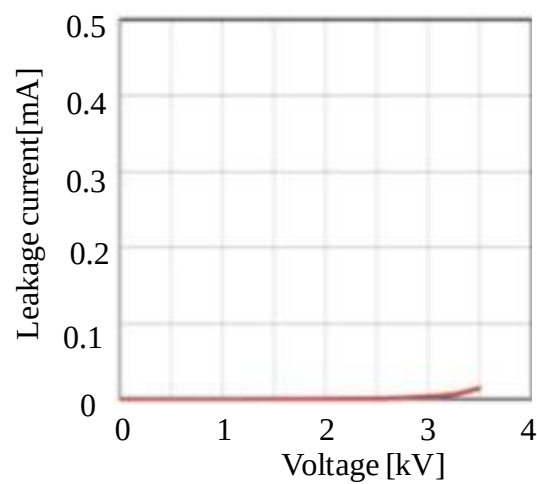


図 5.2 ハイブリッドモジュールの逆方向電圧-電流特性

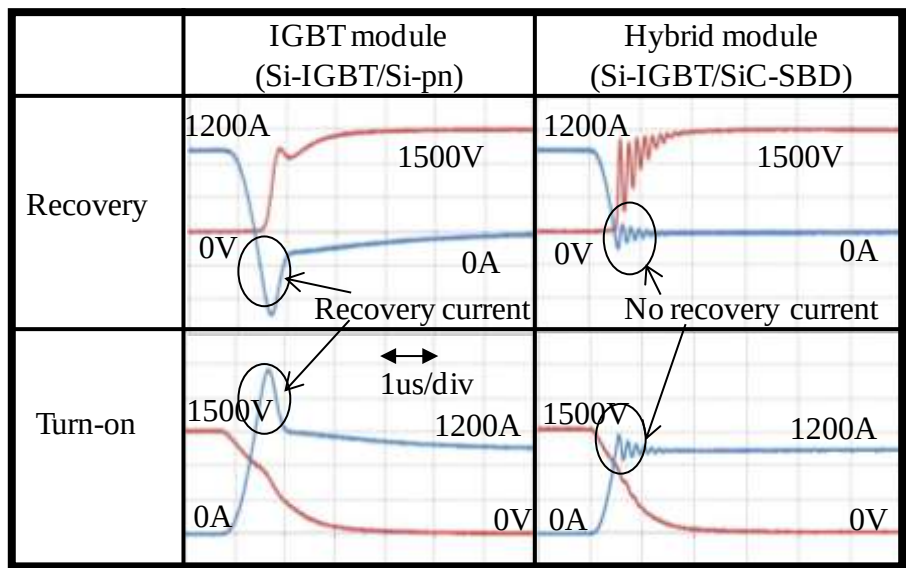


図 5.3 3.3kV/1200A SiC ハイブリッドモジュールと従来 Si-IGBT モジュールのスイッチング特性の比較

5.3 SiC ハイブリッドモジュールのアクティブゲート制御技術

5.3.1 アクティブゲート駆動技術の原理

次に、リカバリ時の跳ね上がり電圧とターンオン損失の関係を改善するアクティブゲート駆動技術の概要について説明する。ターンオン損失を低減するために、ターンオン速度を高速化すると di/dt が上昇し、跳ね上がり電圧が増加する。つまり、ターンオン損失と跳ね上がり電圧はトレードオフの関係がある。このトレードオフを改善する一手法として、アクティブゲート駆動技術の適用を検討した。

アクティブゲート駆動とは、ターンオン期間中にゲート抵抗を切り替えて、跳ね上がり電圧が発生する期間においてはターンオン速度を緩やかにし、跳ね上がり電圧に無関係な期間においてはターンオンを高速化し、ターンオン損失を低減することで、跳ね上がり電圧とターンオン損失のトレードオフを改善するゲート駆動方式である。

図 5.4 に、アクティブゲート駆動を適用したゲート回路図を示す。また、図 5.5 に、アクティブゲート駆動適用時のゲート電圧、ゲート電流の模式図を示す。本方式では、ターンオン期間を次の三つに分割し、ゲート抵抗を切り替え、ゲート電流を三段階に切り替える。

期間① ターンオン時間短縮期間

期間② 跳ね上がり電圧低減期間

期間③ ターンオン損失低減期間

期間①のターンオン時間短縮期間では、ゲート電流はスピードアップコンデンサ C_{sp} と値の小さなゲート抵抗 R_{g1} を介して流れ、ゲート容量をゲート電圧が閾値付近に上昇するまで、高速に充電する。これにより、ターンオン信号が入力されてから、ターンオン開始までの時間を短縮可能となる。

期間②の跳ね上がり電圧低減期間では、ゲート電流は大きい値のゲート抵抗 R_{g2} を介して流れる。その結果、ターンオン速度を緩やかにし、跳ね上がり電圧を抑制する。

期間③のターンオン損失の低減期間では、 SW をオンさせ、小さい値のゲート抵抗 R_{g1} により駆動し、ターンオン速度を高速化する。

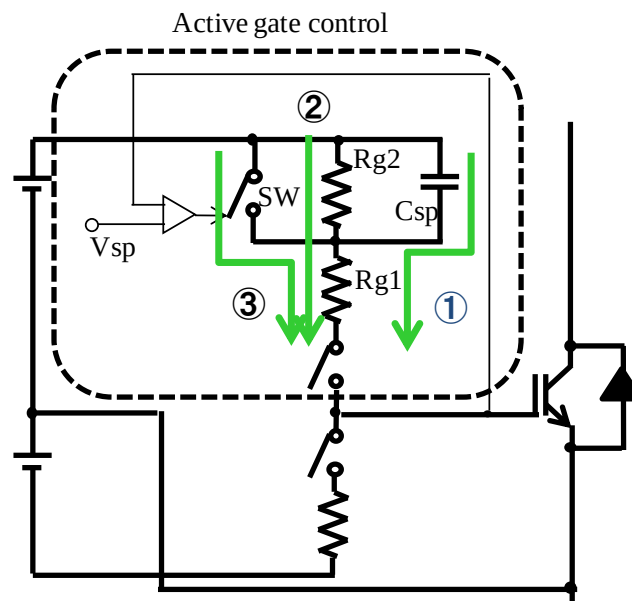


図 5.4 アクティブゲート駆動を適用したゲート回路図

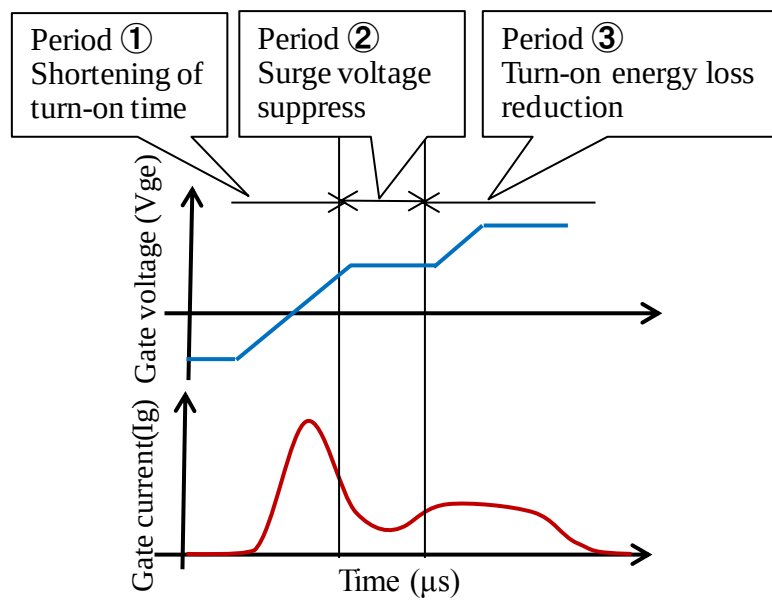


図 5.5 アクティブゲート駆動適用時のゲート電圧，ゲート電流の模式図

5.3.2 アクティブゲート駆動の検証結果

この節では、アクティブゲート方式の波形比較とターンオン損失の低減効果について説明する。

図 5.6 に、SiC ハイブリッドモジュールを用いた場合の、従来の固定ゲート方式とアクティブゲート方式の波形の比較を示す。上段から、ゲート電流、コレクタ電圧、リカバリ電圧を示し、最下段は、コレクタ電流とコレクタ電圧の積であるターンオン損失を示している。

アクティブゲート方式のゲート電流は、ゲート電流固定ゲート抵抗適用時と比較し、期間①の領域では、スピードアップコンデンサ (Csp) により高速に充電し、ターンオン時間を、従来の固定ゲート方式より、100 ns 程度低減している。期間②の領域では、高抵抗 (Rg2) により、ゲート電流を低減している。この電流を低減することによって、リカバリ電圧の跳ね上がり電圧を低減している。期間③の領域では、ソフトゲート駆動回路のスイッチをオンさせ、低抵抗 (Rg1) でゲート駆動することにより、ゲート電流を増加している。コレクタ電圧は、従来の固定ゲート方式より、200 ns 程度高速に遮断している。この結果、ターンオン損失は、従来の固定ゲート方式と比較し、15%程度低減することができた。

図 5.7 に、ターンオン損失と跳ね上がり電圧の 3 つのケースのトレードオフカーブを示す。測定条件は、直流電圧が 1500 V、電流が 1200 A である。従来の 3.3 kV/1200 A 定格の IGBT と、開発した 3.3 kV/1200 A 定格の SiC ハイブリッドモジュールを用いて試験を行った。実験結果で示すトレードオフカーブの 1 つ目は、従来の IGBT モジュールにアクティブゲート駆動を適用した場合である。2 つ目は、SiC ハイブリッドモジュールに従来の固定ゲート方式を適用した場合である。3 つ目は、SiC ハイブリッドモジュールにアクティブゲート駆動を適用した場合である。

同じ跳ね上がり電圧でターンオン損失を比較すると、SiC ハイブリッドモジュールにアクティブゲート駆動を適用した場合は、固定ゲート抵抗で動作させた場合と比較して、損失を約 15%程度低減可能である。また、SiC ハイブリッドモジュールにアクティブゲート駆動を適用した場合のターンオン損失は、従来の IGBT モジュールにアクティブゲート駆動を適用した場合と比較し、ターンオン損失を約 44%低減できることを見出した。

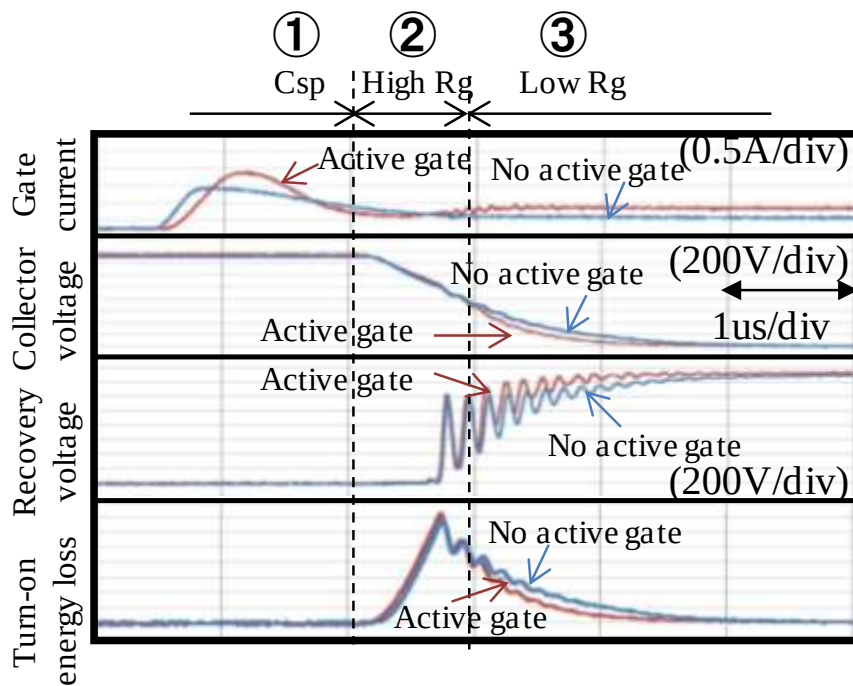


図 5.6 従来方式とアクティブゲート方式の波形の比較

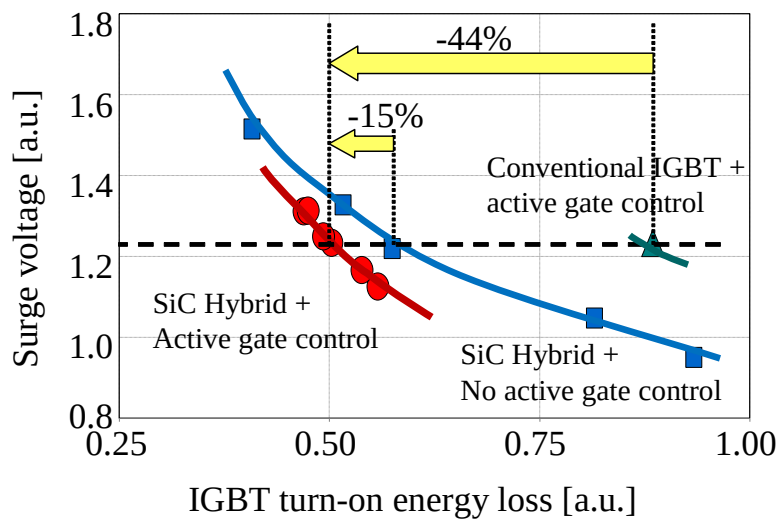


図 5.7 ターンオン損失と跳ね上がり電圧のトレードオフ

5.4 鉄道向け小型・高効率インバータの開発

5.4.1 小型冷却器の開発

5.2 節に記載のように、IGBT の導通損失の低減と、SiC-SBD の採用で、スイッチング損失を低減することにより、モジュールサイズを従来の 2/3 に小型化した。一方、モジュールサイズを小型化した場合は、モジュールやフィンの熱抵抗が大きくなるため、冷却構造の改善も課題であり、熱伝達率の高い冷却器を開発する。

図 5.8 に、従来構造と開発した冷却構造を示す。受熱部に、グリースを介して、6 個の IGBT モジュールや SiC ハイブリッドモジュールが搭載される。モジュールが発熱すると、グリースを介して、熱が伝熱される。ヒートパイプ内には冷媒が内蔵されており、この冷媒は上方向に移動する。その後、この冷媒は、走行風により冷却される。

従来構造では、上方向のみに冷媒が移動する構造で、ヒートパイプは走行風に対して、一列に並ぶ構成としていた。開発構造では、ヒートパイプを左右の 2 方向に分岐することで、均熱効果を最大化した。さらに、ヒートパイプは走行風に対して、多段に配置することによって、熱伝達率の高い冷却器を開発した。

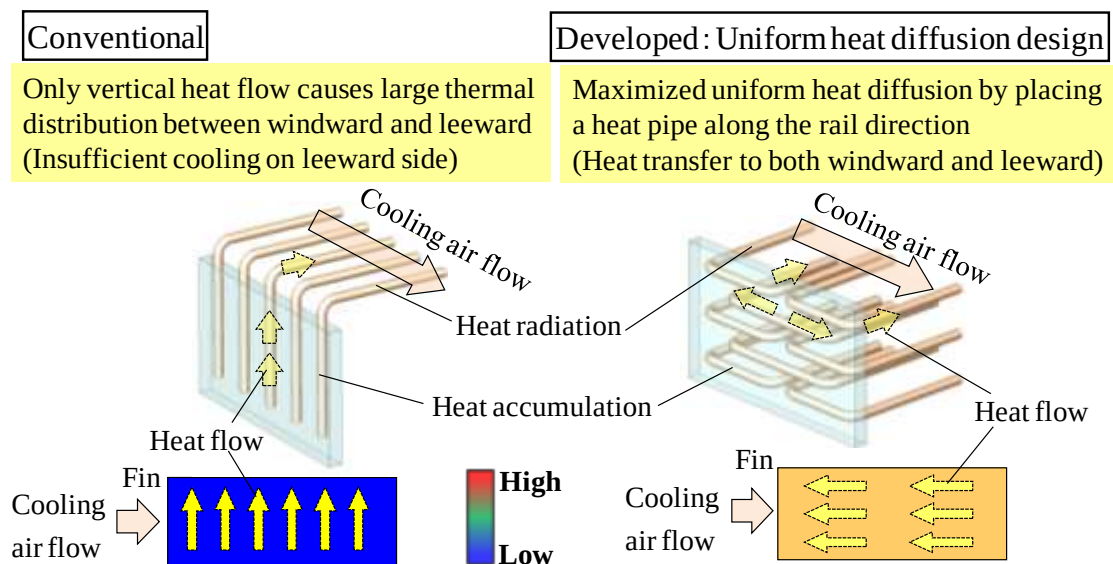


図 5.8 開発した冷却構造

5.4.2 鉄道向け小型インバータ

図 5.9 に、従来の鉄道用インバータと今回開発したインバータの外観写真を示す。従来の 2/3 のサイズの SiC ハイブリッドモジュールを採用し、実装面積を削減した。

SiC ハイブリッドモジュールの冷却部についても、冷却性能を高めるため、

図 5.8 で示すようにヒートパイプの形状を改善し、冷却器を小型化した。

これらの技術を採用することで、従来の鉄道用インバータと比較して、体積と質量をそれぞれ 40%低減した。

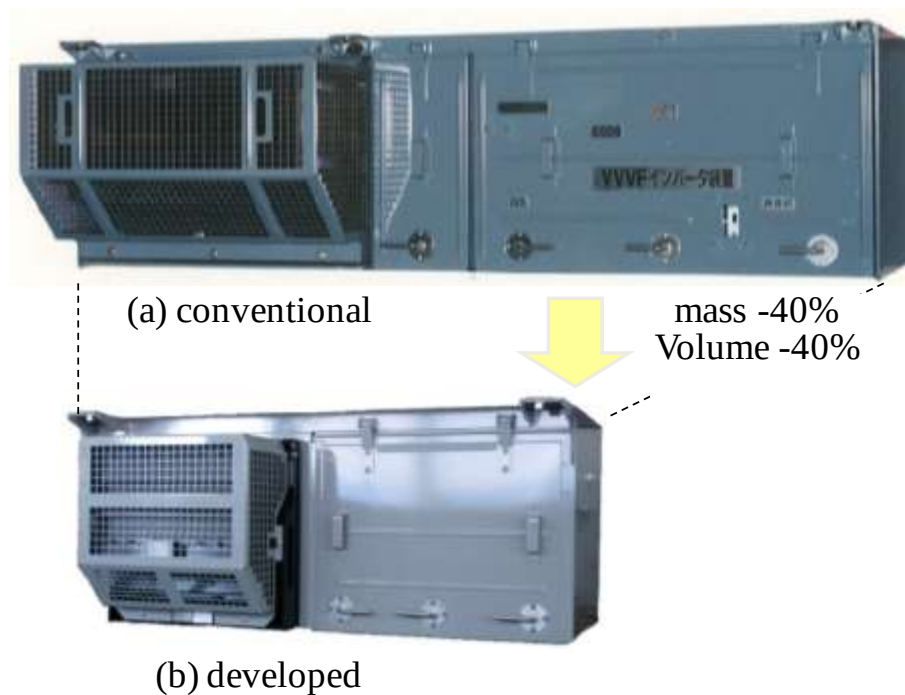


図 5.9 従来の鉄道用インバータと今回開発したインバータの外観写真

5.4.3 SiC ハイブリッドモジュール適用による損失低減効果

次に、SiC ハイブリッドモジュールを鉄道の電力変換システムに適用した際の損失低減効果をシミュレーションにより試算した。直流架線電圧 1500 V とし、インバータで発生する損失を従来の IGBT インバータと比較した。計算には実際の路線パターンを模擬した。

図 5.10 に、損失低減効果シミュレーション結果を示す。IGBT は、表 2.1 に示すように、表面にはトレンチ構造を採用し、裏面には LiPT (Low injection Punch Through) 構造を採用することで、IGBT の導通損失を、約 20%低減した。さらに、SiC ハイブリッドモジュールの適用と、アクティブゲート駆動技術を適用することで、スイッチング損失を約 15%低減した。この結果、インバータ損失を約 35%低減可能である。

Line voltage	1500 V
Type of train	Commuter car
Operating mode	Powering operation Regenerative brake operation

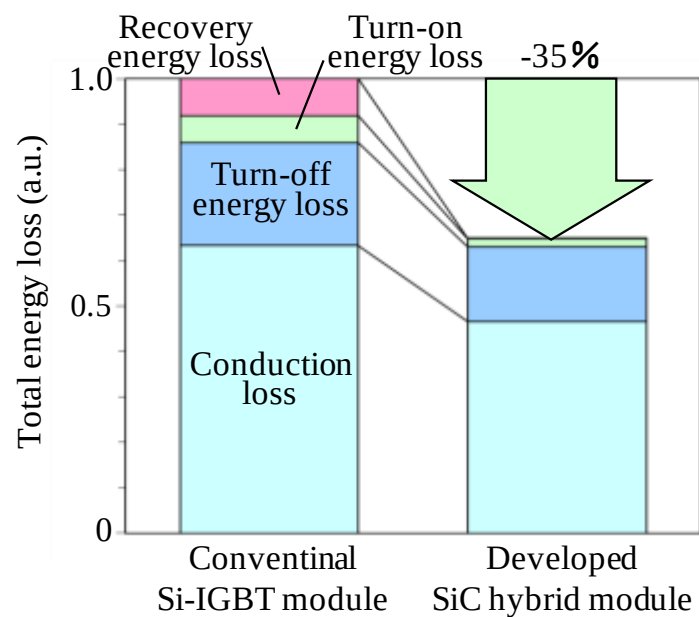


図 5.10 損失低減効果シミュレーション結果

5.4.4 モータ駆動試験

次に，モータ駆動試験の試験結果を示す。

図 5.11 に，190 kW の誘導モータを 4 個駆動した場合のインバータ出力電流波形を示す。正常な 3 相交流電流波形を確認し，インバータとしての正常動作を確認した。図 5.12 に，走行試験時のチャート図を示す。上から，供給電圧，モータ電流，トルク指令，トルク電流，界磁電流，スリップ周波数，変調率，インバータ周波数，モータ周波数，モータ電流を示す。力行，惰行，回生動作にて，インバータとしての正常動作を確認した。

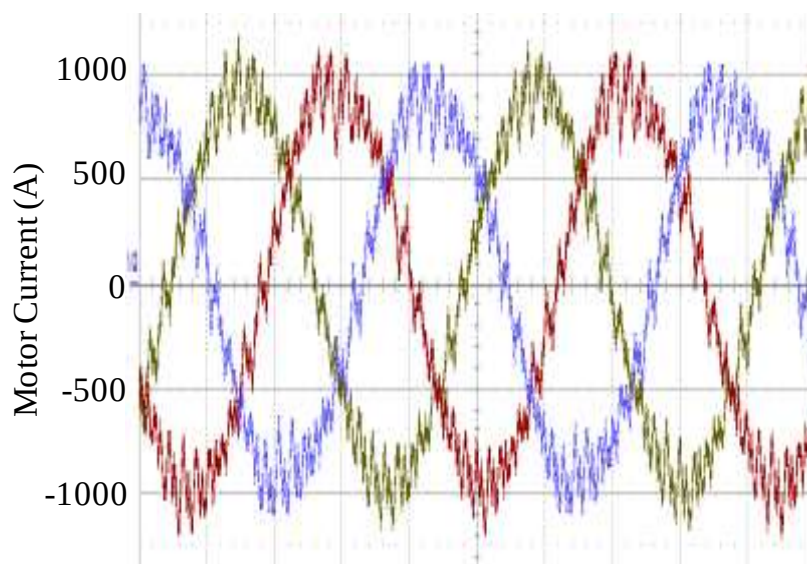


図 5.11 誘導モータ駆動時のインバータ出力電流波形

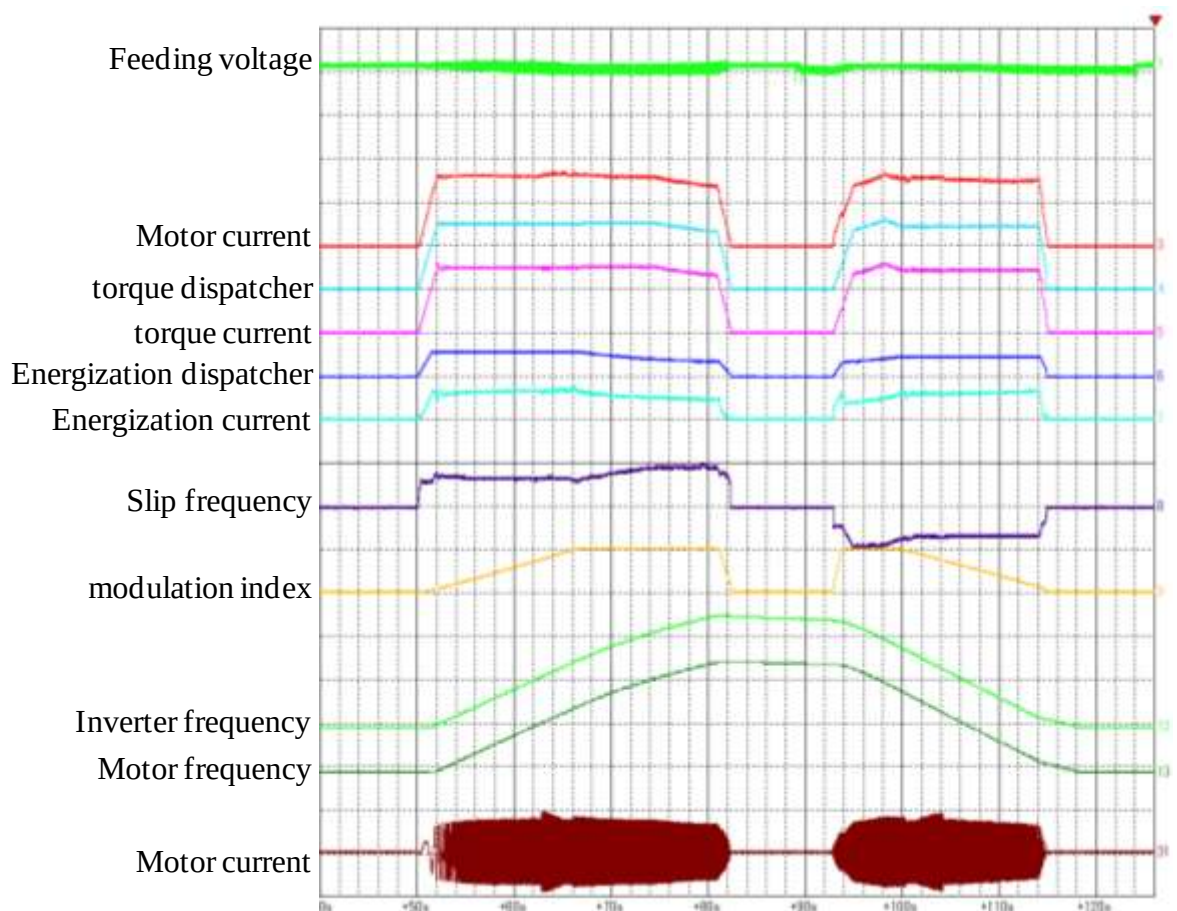


図 5.12 走行試験時のチャート図

5.5 5 章のまとめ

直流架線電圧 1500V に対応するため、JBS 構造を適用した低漏れ電流の 3.3 kV SiC-SBD を開発した。この SiC-SBD と性能改善を図った Si-IGBT を搭載し、従来比 2/3 のサイズの小型の 3.3 kV/1200 A 級の SiC ハイブリッドモジュールを開発した。この SiC ハイブリッドモジュールを搭載し、アクティブゲート駆動技術を採用することで、インバータ損失を約 35%低減した。

さらに、冷却性能を高めたヒートパイプ構造を採用することで、従来の鉄道インバータ装置と比較して、体積と質量をそれぞれ 40%低減した。

また、開発した 3.3 kV/1200 A 級の SiC ハイブリッドモジュールを 6 個搭載したパワーユニットを試作し、190 kW モータを 4 台同時に駆動することに成功した。

第6章

低閾値電圧を持つ SiC-JFET の高速駆動回路の構築とサーバ用電源への適用

この章では、閾値電圧の低いノーマリオフ SiC-JFET の駆動速度の高速化について、回路・実装方式の両面から検討する。SiC-JFET の 50 ns 以内のターンオン時間、ターンオフ時間を実現するため、ソース分割端子の実装方式や、ゲート抵抗にコンデンサを並列接続するスピードアップコンデンサ駆動回路方式を検討する。

また、この実装方式や駆動回路方式を適用した PFC 回路や、DCDC コンバータ回路を構築し、製品版同等の 2 kW のサーバ電源を試作し、効率最高点で 95.1 パーセントとなる世界最高クラスの電源効率を実現した結果を述べる。

6.1 ノーマリオフ SiC-JFET の高速駆動実装方式の検討

6.1.1 従来の実装方式の課題

図 6.1 に、従来方式であるソース共通端子（Common source terminal）方式の回路図と波形概念図を示す。図 6.1 は、SiC-JFET を一般的なスイッチング素子の駆動方法を用いて動作させた場合の動作波形を示している。図 6.1 の左図に示すように、ゲートドライバ回路（Gate Driver）はソース端子（S）の電位を基準に所望のゲート電位（ V_{GS} ）を出力する。ゲート端子（G）の電位の立ち上がり立ち下がり、ゲートドライバの出力電流や外付けゲート抵抗（ R_G ）、スイッチング素子の入力容量等に依存する。従って、ゲート駆動時間を高速化するには、ゲート端子に発生するノイズを抑えつつ、ゲート抵抗を低く設定することが通常の IGBT 素子では効果的である。なお、例えばスイッチング素子をディスクリットパッケージに実装する際には、図 6.1 に示すような寄生インダクタンス（ L_S ）が生じる。この寄生インダクタンスによってサージ電圧（ V_L ）が発生するが、通常の IGBT 素子ではゲート電位（ V_{GS} ）が高く（一般的に 15 V 程度）設定できるため、そのサージ電圧（ V_L ）を差し引いても、実効的なゲート電位（ V_{GS} ）を十分に確保できる。一方、SiC-JFET は、ゲートソース間に順方向寄生ダイオードが存在するため、図 2.21 に示すように、ゲート電位（ V_{GS} ）は最大 3 V が設定上限値である。3 V 以上の高いゲート電位 V_{GS} を印加すると、SiC-JFET の寄生ダイオードが完全にオンするため、1 A 以上のゲートリーク電流が流れてしまい、電源回路の損失を増加させる。このため、ソース端子（S）に接続される寄生インダクタンス（ L_S ）が存在すると、図 6.1 の右図に示す波形のようにサージ電圧（ V_L ）が発生し、実効的なゲート電位（ V_{GS} ）が低下する。特に SiC-JFET の場合は、この影響が大きい。また SiC-JFET はその構造上入力容量（ C_{iss} ）が大きく、ゲート電位（ V_{GS} ）を完全にオン電圧に遷移するために必要なゲート電荷（ Q_g ）も大きいので、スイッチング速度を高速化することが難しい。

以上のように、一般的なスイッチング素子の駆動方式を流用して SiC-JFET を駆動する場合には、

- ① ソース端子（S）の寄生インダクタンス（ L_S ）を低減する、
- ② SiC 接合 FET の入力容量（ C_{iss} ）を高速充放電する、

以上の 2 点が高速駆動に対して、重要な要素になる。

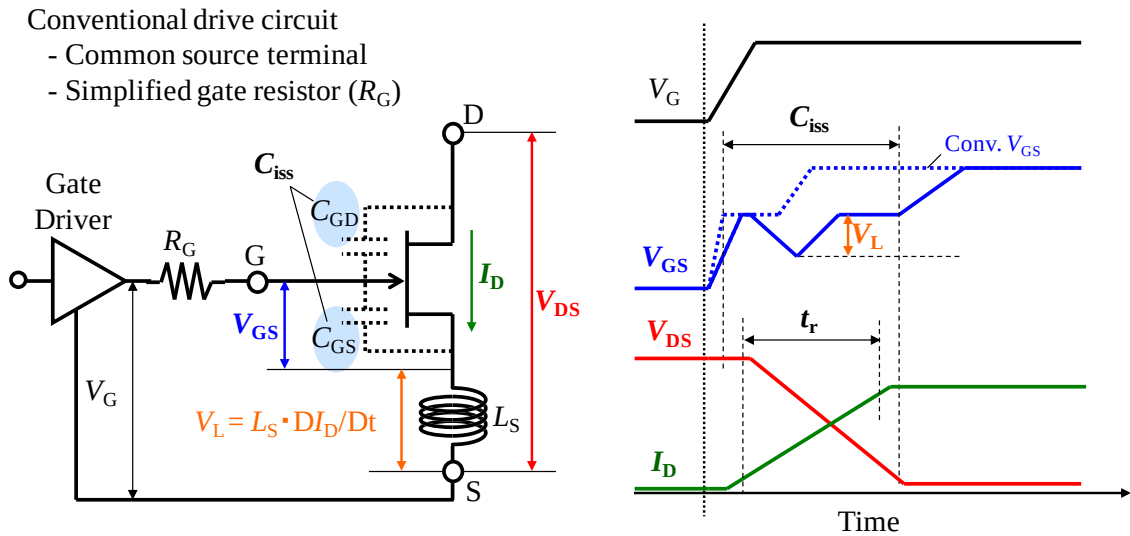


図 6.1 従来方式であるソース共通端子方式の回路図と波形概念図

6.1.2 高速駆動を実現する実装・回路方式の検討

6.1.1 で記載したの 2 つの課題を解決するために、スピードアップコンデンサ併用ソース端子分割方式 (Separated source terminal) を考案した。

まずソース端子分割方式について説明する。図 6.2 に、ソース端子分割方式の回路図と波形概念図を示す。ソース端子分割方式は、図 6.2 の左図に示すように、ソース端子 (S) を S1 と S2 に分割し、ソース端子 S1 を主回路電流 (I_D) が流れる接地側へ接続し、ソース端子 S2 を主回路電流 (I_D) が流れないゲートドライバ回路のソース電位側へ接続する。ゲートドライバ側には主回路電流 (I_D) が流れないので、寄生インダクタンス (L_{S2}) に起因するサージ電圧 (V_L) は非常に小さい。このため、図 6.2 の右図の波形に示すように、サージ電圧が小さく、SiC-JFET を高速駆動するために必要な実効的なゲート電圧 (V_{GS}) を十分に確保できる。

次に、提案したソース端子分割方式に、さらなる高速化のためのスピードアップコンデンサを併用した方式について説明する。図 6.3 に、ソース分割方式とスピードアップコンデンサの併用方式の回路図と波形概念図を示す。図 6.3 の左図に示すように、スピードアップコンデンサ (C_{SP}) を外付けゲート抵抗 (R_G) と並列接続する方式である。スピードアップコンデンサ (C_{SP}) の役割はゲート抵抗 (R_G) を介して SiC-JFET に入力されるゲートドライバの出力電流を補うように、スピードアップコンデンサ (C_{SP}) に

蓄積した電荷を，SiC-JFET の入力容量 (C_{iss}) に高速充電することが可能となる。コンデンサ (C_{sp}) に蓄積された電荷を，SiC-JFET のゲート電荷 (Q_g) の充放電に利用することができるため，入力容量 (C_{iss}) の高速充放電が可能となる。従って，スイッチ時間 (t_r) が，ソース端子分割方式だけを用いた場合よりもさらに短縮できる。

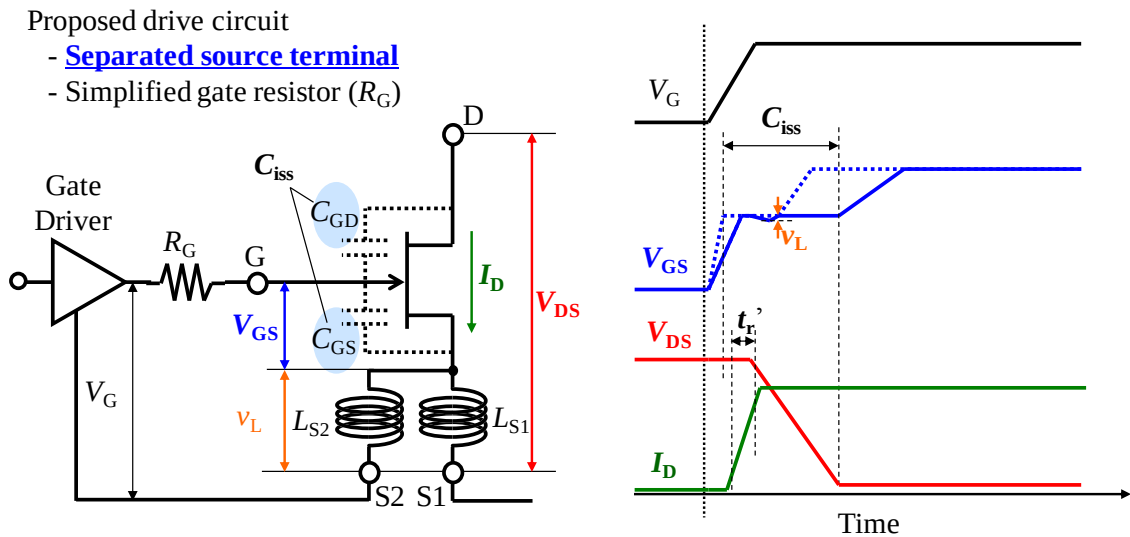


図 6.2 ソース端子分割実装方式の回路図と波形概念図

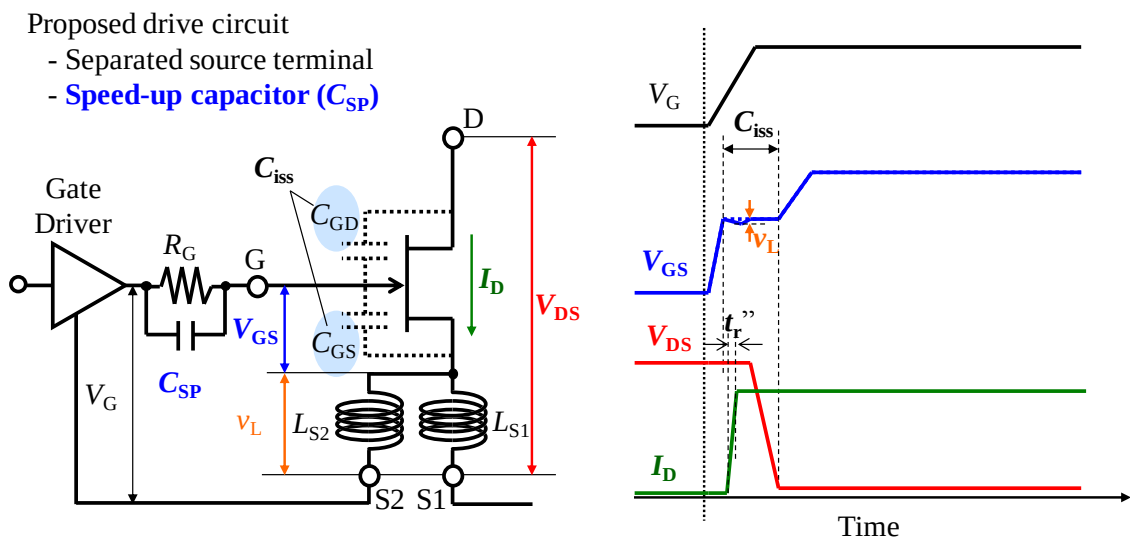


図 6.3 ソース分割方式とスピードアップコンデンサの併用方式の回路図と波形概念図

尚、提案したスピードアップコンデンサ併用ソース端子分割方式は、ソース端子を物理的に分割するため、一般的なディスクリートパッケージである TO-247 や TO-220 を用いて SiC 接合 FET を実装することはできない。そのため、今回提案した方式の駆動方式を実現するために、4 ピンのパッケージを新たに試作した。

図 6.4 に、今回開発したソース分割端子方式の実装パッケージを示す。試作したパッケージの端子配置は、左からゲート端子 (G)、ドレイン端子 (D)、ソース端子 (S)、センス端子 (Se) である。ソース端子 (S) は主回路電流 (I_D) が流れる接地側へ接続し、センス端子 (Se) は主回路電流 (I_D) が流れないゲートドライバ側へ接続する。また SiC-JFET と各端子は 125 μm のアルミワイヤを超音波接合して接続した。パッケージは DCDC 回路用であり、還流用ダイオードである SiC ショットキーバリアダイオード SBD を集積実装している。

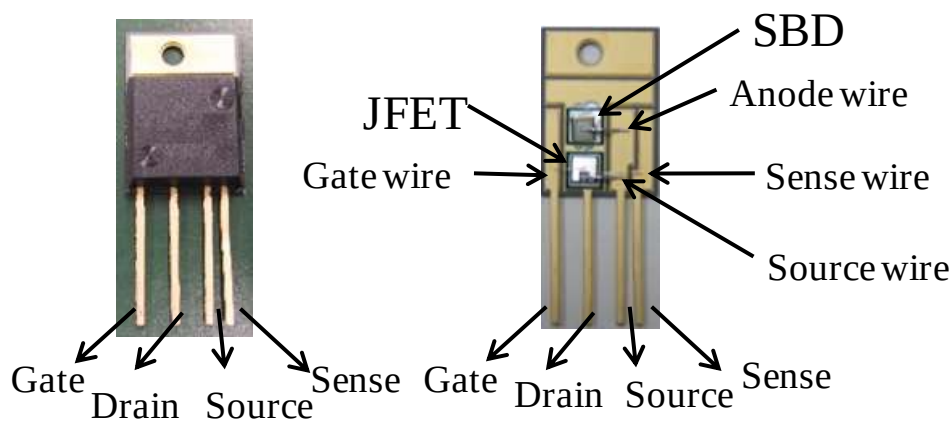


図 6.4 ソース分割方式の実装パッケージ

6.2 ノーマリオフ SiC-JFET の高速駆動方式の検証

この節では、ソース端子分割方式とスピードアップコンデンサ方式について、評価検証する。まず最初に、ソース端子分割方式の効果について検証する。

図 6.5 に、従来のソース端子共通方式とソース端子分割方式を用いた場合のスイッチング波形を示す。なお、スイッチング評価は、誘導負荷を用い、下アームの SiC-JFET をダブルパルスで駆動した。主回路電圧 (V_{DS}) は 300 V、電流は 40 A の条件で試験を行った。また、両方式ともに、スピードアップコンデンサ (C_{SP}) は 100 nF、外付けゲート抵抗 (R_G) は 100 Ω の条件で、試験を実施した。ターンオン時間 (t_{on})、ターンオフ時間 (t_{off}) は、それぞれスイッチング電流の立ち上がり 10%~90%、および立ち下り 90%~10%を測定した。

図 6.5 の結果から分かるように、ソース端子共通方式のターンオン時間は 73.4 ns、ターンオフ時間は 39.5 ns、ターンオン損失は 1.8 mJ/pulse、ターンオフ損失は 0.97 mJ/pulse であった。一方、提案したソース端子分割方式のスイッチング時間は、ターンオン時間は 48.4 ns、ターンオフ時間は 35.3 ns、ターンオン損失は 0.76 mJ/pulse、ターンオフ損失は 0.91 mJ/pulse であった。この結果から、ターンオン時間及びターンオン損失が大幅に低減できることが判った。

次に、スピードアップコンデンサ方式の効果を評価検証する。図 6.6 に、ターンオン時のスピードアップコンデンサ方式の高速駆動の検証結果を示す。スピードアップコンデンサ併用ソース端子分割方式を用いた場合のターンオン時の立上り時間 (t_r) と、ターンオン損失 (E_{on}) のスピードアップコンデンサ容量値 (C_{SP}) 依存性である。パラメータは外付けゲート抵抗 (R_G) の値である。スピードアップコンデンサの容量値 1 nF においてゲート抵抗 R_G を小さくすると、ターンオン時の立上り時間 (t_r) およびスイッチング損失 (E_{on}) が低減することがわかる。これはコンデンサ容量値が比較的小さく、スイッチング速度がゲート抵抗 (R_G) の値に依存しているためと考えられる。また、ゲート抵抗 (R_G) が 4.7 Ω と小さい場合は、ターンオン時の立上り時間 (t_r) は、スピードアップコンデンサ容量値 (C_{SP}) にあまり依存しない。ゲート抵抗 (R_G) が小さいと、スピードアップコンデンサ (C_{SP}) の容量カップリング効果が小さくなるためである。なお、ゲート抵抗 (R_G) が小さいと、ゲート損失が増加するため、ゲート抵抗 (R_G) はスイッチング損失が増加しない範囲で大きくすることが望ましい。今回の実測結果から、

ゲート抵抗 R_G の値は $100\ \Omega$ ，スピードアップコンデンサ (C_{SP}) の値は $100\ \text{nF}$ と設定した。

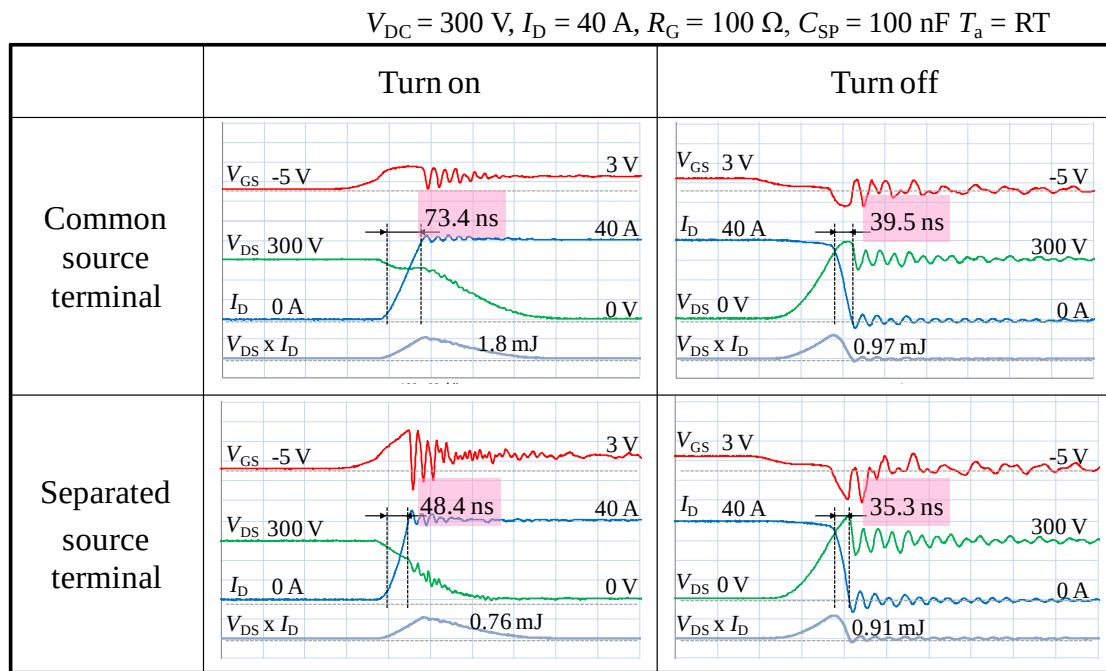


図 6.5 スピードアップコンデンサ方式を採用した場合の回路図と波形概念図

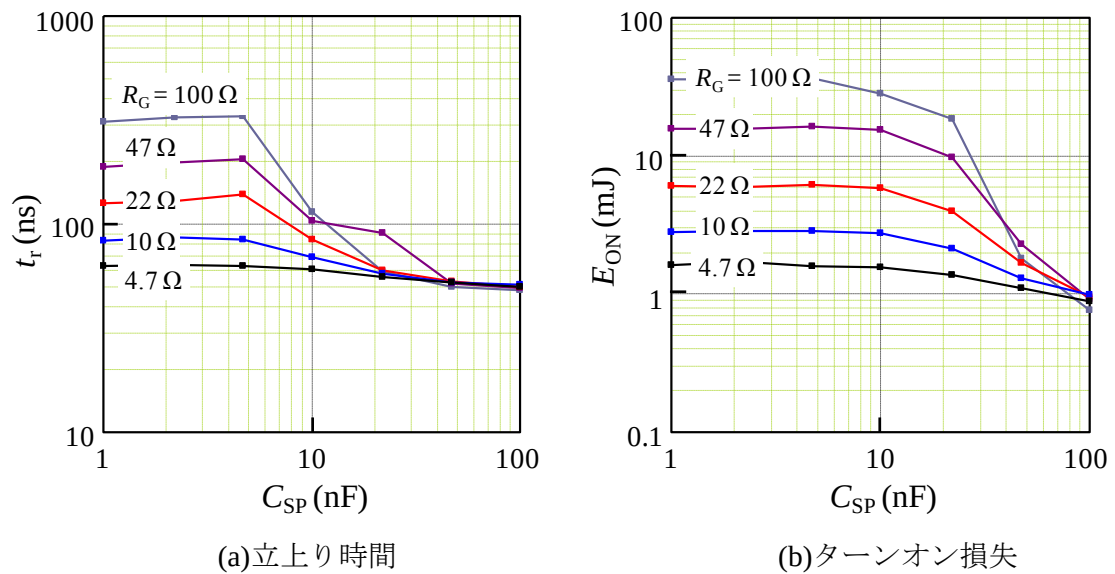


図 6.6 ターンオン時のスピードアップコンデンサ方式の高速駆動の検証

6.3 SiC-JFET のサーバ用電源回路への課題と検討

次に、SiC-JFET のサーバ電源への適用結果について述べる。図 2.23 に、サーバ電源のブロック図を、図 2.24 に、力率改善回路 PFC とインバータ回路 DCDC の回路構成を示す。本開発では、力率改善回路 PFC においては、主スイッチとチョッパダイオード、インバータ回路 DCDC においては、主スイッチと還流用ダイオードに、SiC-JFET と SiC-SBD の適用を検討した[55]。

表 6.1 に、PFC 回路、DCDC 回路の高効率化の施策を示す。今回試作した電源に搭載されている主な技術は、①スピードアップコンデンサ併用ソース端子分割方式、②スピードアップコンデンサとゲート抵抗の最適化、③損失削減と高速駆動を両立するゲートオンオフ電圧設計、④動作マージン補償回路、⑤SiC-JFET とショットキーバリアダイオードの集積パッケージ技術、を導入した。

また、更なる高効率化の追加検討を実施し、①SiC-JFET のゲートパッド最適配置、②プロセス改善によるゲートリーク電流削減、③主回路電源電圧や SiC-JFET の駆動電圧の最適化、④スイッチング高速化に伴う不要回路削除等を実施した。以上のような施策を盛り込み、電源効率を評価した。

表 6.1 PFC, DCDC 回路の高効率化の施策

Unit	Item
PFC	1. Use of SiC-JFETs 2. High-speed gate drive circuit 3. Optimaized of gate voltage 4. Removal of a ZVS circuit
DCDC	1. Use of SiC-SBD and SiC-SBDs 2. High-speed gate drive circuit 3. Opimized of gate voltage 4. Low loss transformer 5. Optimized of ZVS vehavior

6.4 2 kW 級サーバ電源試験

6.4.1 サーバ電源試作

図 6.7 に、構築したサーバ電源評価システムを示す。入力用の 230 V AC 電源と測定対象物であるサーバ電源、サーバ電源の負荷として電子負荷を利用し、変換効率は電力メータを用いて評価するものである。

また、図 6.7 の右図に、試作したサーバ電源の外観を示した。図 6.7 ではインバータ回路 DCDC に SiC 接合 FET を搭載した例を示している。

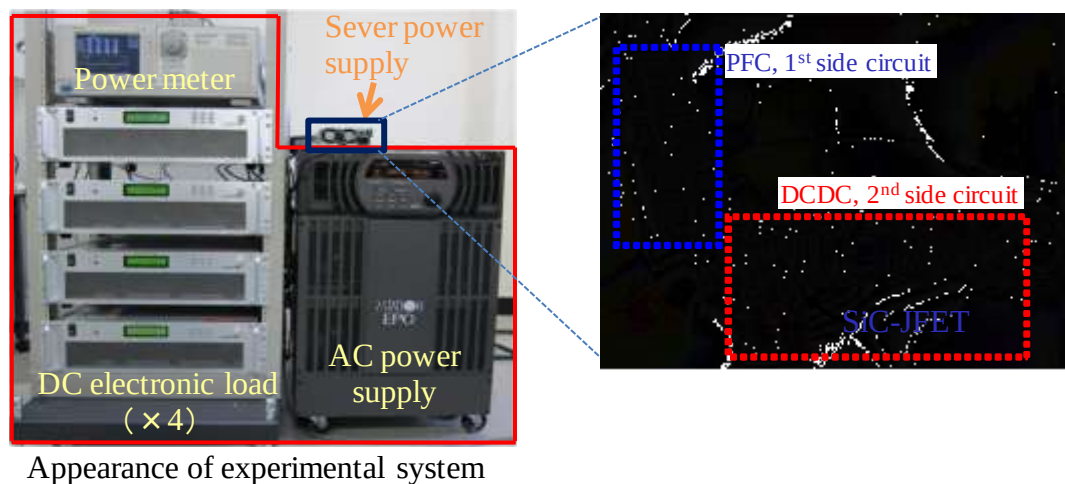


図 6.7 試作したサーバ電源の外観図

6.4.2 サーバ電源の効率評価

図 6.8 に、試作したサーバ電源の効率評価結果を示す。開発した技術を適用し、負荷率 50%において、効率 95.1% (2 kW 電源) を達成した。また、負荷率 50%以下では、従来の Si-MOSFET を用いた機種よりも 2%の効率向上を実現した。低負荷率での効率向上もサーバ電源にとって重要である。大規模データセンタでは、負荷が小さい時間帯は、複数の電源のうち、一部を止めることにより、効率の低い低負荷率での電源稼働を避ける制御も実施されているが、低負荷率における個々の電源の効率向上も強く求められている。

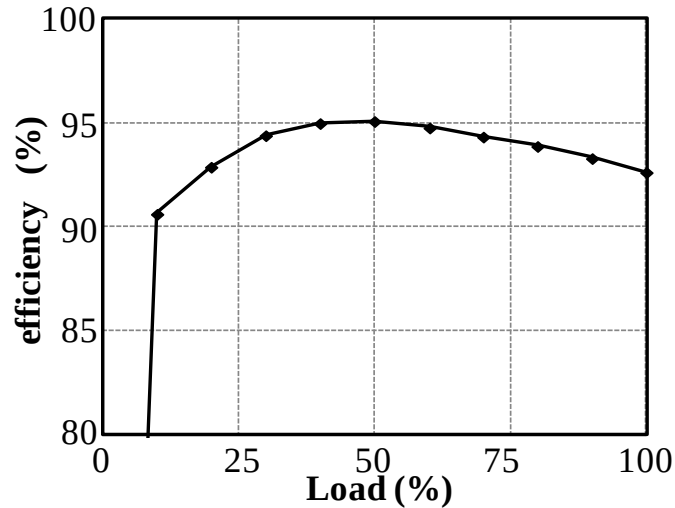


図 6.8 試作したサーバ電源の効率評価結果

6.5 6章のまとめ

閾値電圧の低いノーマリオフ SiC-JFET の駆動速度の高速化について、回路・実装方式の両面から検討した。

SiC-JFET のソース分割端子の実装方式と、ゲート抵抗にコンデンサを並列接続するスピードアップコンデンサ駆動回路方式を開発した。開発方式のターンオン時間は、従来方式と比較し、73.4 ns から 48.4 ns に短縮し、ターンオン損失は、1.8 mJ/pulse から 0.76 mJ/pulse に大幅に低減した。ターンオフ時間も、39.5 ns から 35.3 ns に短縮し、ターンオフ損失は、0.97 mJ/pulse から 0.91 mJ/pulse に低減した。

さらに、本開発で検討した実装方式や駆動回路方式を適用した PFC 回路や、DCDC 回路を適用し、不要回路の削減などを行ったサーバ電源の高効率化を検討した。製品版同等の 2 kW のサーバ電源を試作し、負荷率 50%において、95.1%となる世界最高クラスの電源効率を実現した。

第7章

結言

7.1 本研究の成果

本研究では、HEV 用インバータや鉄道用インバータやサーバ用電源などの電力変換装置を研究対象とし、電力変換装置の省エネ化、低コスト化、小型化、及び高信頼化をめざし、IGBT や SiC ダイオード、SiC-JFET などのパワーデバイスの高速駆動回路技術、高信頼保護回路技術の検討を行った。

以下、本論文の主要な成果を示す。

■新しい電圧検出型高速短絡保護回路を有する大電流 IGBT 用 600V ドライバ IC

HEV などの大電流用途のインバータを駆動するため、安定な短絡保護動作を高速で実現する電圧検出型の短絡保護方式を開発した。開発した短絡保護方式は、IGBT のコレクタ電圧と IGBT のゲート電圧を同時に検出する方式で、高コストのセンス電流検出機能付き IGBT を使用しないにもかかわらず、短絡保護動作時間を $2.5\ \mu\text{s}$ 以内に高速化した。主回路の標準電圧 $300\ \text{V}$ に対し、主回路電圧の変動 $\pm 100\ \text{V}$ を考慮しても、短絡保護動作時間が $2.5\ \mu\text{s}$ 以内を実現した。短絡誤検出の余裕時間は、通常のターンオン時に $1760\ \text{ns}$ 、通常のターンオフ時に $580\ \text{ns}$ あり、短絡の誤検出の可能性が極めて低い。また、ターンオン用のゲート抵抗を小さくし、IGBT のゲート端子とエミッタ端子の間に、IGBT の入力容量と同等の外付けの容量を付加することによって、IGBT のターンオン損失を同等としたまま、短絡時の IGBT ピーク電流を約 15% 低減することができた。これらの技術を適用することで、安定な短絡保護回路を実現した。この回路を搭載したドライバ IC を使用することで、 $600\ \text{V}/400\ \text{A}$ 級の各種 IGBT モジュールを駆動することが可能である。

結論として、低コストでかつ各種のゲート特性を持った IGBT の短絡保護を、汎用性のある回路で、高速に高信頼に保護できることを示した。

■3 kV 級ショットキーバリアダイオードを搭載したハイブリッドモジュールと高速駆動回路を併用した鉄道インバータ

Si に代わる次世代のデバイスと注目されている SiC を用いたデバイスの導入を検討した。日本では、直流架線電圧 1500 V が 90%以上を占めている。

直流架線 1500 V に適用可能な 2 レベルインバータに対応する低損失なパワーモジュールを開発するため、世界に先駆けて、低漏れ電流を特長とする JBS 構造を適用した 3 kV 級の SiC-SBD を開発し、Si-IGBT と組合わせたプロトタイプの SiC ハイブリッドモジュールを開発した。

Si のダイオードでは、定格電流が 30%程度で、ダイオードの通流幅が $5\ \mu\text{s}$ 以下と小さい場合は、Si のダイオード内の正孔と電子が再結合する影響で、過大な電圧を発生するため、ゲート抵抗を大きくせざるを得なかったが、SiC-SBD では、ダイオードの電流値や通流幅の影響がなくなり、ゲート抵抗の値を小さくすることができ、ターンオン損失やリカバリ損失を大幅に低減できることを見出した。実際に、SiC-SBD を Si-IGBT と並列に実装した 3 kV/200 A の SiC ハイブリッドモジュールを試作し、リカバリ時の dV/dt の最大値を同程度にした条件で、リカバリ損失を約 1/10 に低減し、ターンオン損失を約 1/6 に低減して、リカバリ dV/dt とスイッチング損失のトレードオフを改善した。

さらに、シミュレーションを用い、交流路線の電車に適用した際の損失低減効果を検証した結果、インバータ部では約 15%の損失を低減し、コンバータ部では約 40%の損失を低減し、インバータとコンバータを合わせた損失では、約 3 割低減可能であることを確認し、その有効性を示した。

結論として、SiC-SBD の特長を引き出す高速駆動回路を構築するとともに、SiC-SBD の適用効果を定量的に見積もった

■3.3 kV/1200A 小型 SiC ハイブリッドモジュールを適用した鉄道用小型インバータ

SiC ハイブリッドモジュール搭載のインバータの実用化に向けて、小型・低損失化技術を検討した。高信頼なハイブリッドモジュールを実現するため、JBS 構造を適用した低漏れ電流の 3.3 kV SiC-SBD と、性能改善を図った Si-IGBT を搭載し、従来比 2/3 のサイズの小型の 3.3 kV/1200 A 級の SiC ハイブリッドモジュールを開発した。

この SiC ハイブリッドモジュールを搭載し、アクティブゲート駆動技術を採用することで、インバータ損失を約 35%低減した。さらに、冷却性能を高めたヒートパイプ構造

を採用することで、従来の鉄道インバータ装置と比較して、体積と質量をそれぞれ 40% 低減した。また、開発した 3.3 kV/1200 A 級の SiC ハイブリッドモジュールを 6 個搭載したパワーユニットを試作し、190 kW モータを 4 台同時に駆動することに成功し、実用化に向け前進した。

■低閾値電圧を持つ SiC-JFET の高速駆動回路の構築とサーバ電源への適用

電力変換器の更なる低損失化をめざし、SiC スイッチング素子の適用を検討した。フェールセーフの観点から、酸化膜を使用しないノーマリオフ型 SiC-JFET を候補とした。閾値電圧の低いノーマリオフ SiC-JFET の高速駆動について、回路・実装方式の両面から検討した。SiC-JFET のソース分割端子の実装方式と、ゲート抵抗にコンデンサを並列接続するスピードアップコンデンサ駆動回路方式を開発した。開発方式のターンオン時間は、従来方式と比較して、73.4 ns から 48.4 ns に短縮し、ターンオン損失は、1.8 mJ/pulse から 0.76 mJ/pulse に大幅に低減した。さらに、本開発で検討した実装方式や駆動回路方式を適用した PFC 回路や、DCDC コンバータ回路を適用し、不要回路の削減などを行い、サーバ電源の高効率化を検討した。製品版同等の 2 kW のサーバ電源を試作し、負荷率 50%において、95.1%となる世界最高クラスの電源効率を実現した。

7.2 今後の課題

今後、さらに検討を必要とする課題を以下に挙げる。

■新しい電圧検出型高速短絡保護回路の展開

今回開発した IGBT のコレクタ電圧と IGBT のゲート電圧を同時に検出する保護方式は、HEV などの 600V 耐圧の素子については汎用的に適用可能である。今後、1200V 耐圧の IGBT や、鉄道向けなどの 1.7 kV, 3.3 kV 耐圧品への展開へ向けて検討を進める。高耐圧 IGBT へ展開する場合、高電圧のコレクタ電圧に代わる検出方式も検討する必要がある。

■ SiC-SBD 適用鉄道インバータ

SiC ウエハは、Si より高価であり、欠陥も多いとされている。高価な SiC を使うため、冷却器を含む装置の小型化技術を開発し、装置の小型・低コスト化を推進していきたい。また、SiC ダイオード適用によるスイッチング損失低減効果を生かし、モータの高調波損失を低減する PWM 制御技術の開発や、高周波化技術を検討し、インバータとモータの主回路システムでの高効率化技術の検討を進める。

■ SiC-JFET の高速駆動回路の構築とサーバ電源への適用

ノーマリオフ SiC-JFET はゲート電圧を高精度に制御する必要がある。ゲート電圧に対するオン抵抗とゲート電流値の関係を明確化し、最も高効率となるゲート電圧の選定・設計を行う必要がある。また、ノーマリオフ SiC-JFET は、閾値電圧が 1V 程度と低いため、高電圧・大電流のアプリケーションへの展開が難しいと考えているが、適用範囲を明確化させる必要がある。一方で、SiC スwitchング素子は、現在 3 種類（ノーマリオン SiC-JFET, ノーマリオフ SiC-JFET, SiC-MOSFET）の開発が進められている。電圧、電流に応じた最適なアプリケーションを選定し、開発を進めていく必要がある。また、回路設計者側から見たデバイスの使い易さをデバイス開発者にフィードバックしていき、導通特性やスイッチング特性やゲート特性の最適化を行っていく必要がある。

参考文献

- [1] W.E. Newell, "Power Electronics - Emerging from Limbo, ". IEEE Trans., vol. IA-10, pp. 7-11; Jan./Feb. (1974).
- [2] 和島幸一, 鈴木豊, 堀孝正, 山口晃一:「高耐压大電流半導体素子とその応用」, 日立評論, vol. 57, No. 5, PP.5-10 (1975-5)
- [3] N. Konishi, M. Mori, M. Naito, T. Tanaka, K. Miyata, & M. Okamura, "A 6000 V, 1500 A light activated thyristor" , IEEE IEDM Digest of Tech. Papers, p. 642-645, (1980)
- [4] T. Mimura, Y. Tsunoda, Y. Tadokoro, & N. Yamano, " A 8 kV 3500 A light triggered thyristor", IEEE Int'l Symposium on Power Semiconductor Devices and IC's, p. 181-184, (1995)
- [5] 安波政弘, 中村清, 坂上正, 田村薫:「鉄道車両へのパワーエレクトロニクス応用」, 日立評論, vol.68, No.3, PP. 11-16 (1986-3)
- [6] IGBT 図書企画編集委員会: 世界を動かすパワー半導体ーIGBT がなければ電車も自動車もうごかないー 電気学会, 2008
- [7] A. Nakagawa, Y. Yamaguchi, K. Watanabe, H. Ohashi, M. Kurata, "Experimental and numerical study of non-latch-up bipolar-mode MOSFET characteristics", IEEE International Electron Devices Meeting Technical Digest, pp. 150–153 (1985)
- [8] K. Hamada, T. Kushida, A. Kawahashi and M. Ishiko, "A 600 V 200 A low loss high current density trench IGBT for hybrid vehicles", Proceedings. ISPSD2001, pp. 449-452 (2001)
- [9] K. Nakata, K. Nakamura, S. Ito and K. Jinbo, "A three level traction inverter with IGBTs for EMU", in Proceedings. IAS, pp.667-672 (1994)
- [10] Yoshiaki Toyota, So Watanabe, Taiga Arai, Masatoshi Wakagi, Masashi Shinagawa, Katsunori Azuma, Yuji Shima, Tetsuo Oda, Yasushi Toyoda, Katsuaki Saito and Mutsuhiro Mori, "Novel 3.3-kV Advanced Trench HiGT with Low Loss and Low dv/dt Noise", Proceedings. ISPSD2013, pp. 29-32 (2013)
- [11] W. Shockley, Silicon Carbide –A High Temperture Semiconductor (pergamon Press, 1960), p.xviii.
- [12] Yu. M. Tairov and V. F. Tsvetkov. J. Crystal Growth (Netherlands), 52. 146 (1981)
- [13] N. Kuroda, K. Shibahara, W.S. Yoo, S. Nishino and H. Matsunami, Ext. Abstr. 19th Conf.

on Solid State Devices and Materials (Tokyo, 1987) pl 227.

- [14] Michel Mermet-Guyennet, Alberto Castellazzi, Joseph Fabre, Philippe Ladoux, “Electrical Analysis and Packaging Solutions for High-Current Fast-Switching SiC Components” CIPS, 2012, March, 6-8, 2012, Nuremberg, Germany.
- [15] H. Shimizu, H. Okino, S. Akiyama, K. Katoh, N. Yokoyama and K. Ishikawa, “600 V/27 mΩ Normally-off SiC JFET for High Efficiency Power Supply”, Extended Abstracts of the 2012 International Conference on Solid State Devices and Materials, Kyoto, pp. 893–894, 2012.
- [16] T. Kimoto, T. Urushidani, S. Kobayashi, and H. Matsunami, “High-voltage (> 1KV) SiC schottky barrier diodes with low on-resistances,” IEEE Electron Device Letters, vol. 14, no. 12, pp. 548–550 (1993)
- [17] H. Okino, N. Kameshiro, K. Konishi, N. Inada, K. Mochizuki, A. Shima, N. Yokoyama, and R. Yamada, "Electrical Characteristics of Large Chip-size 3.3 kV SiC-JBS Diodes" Materials Science Forum Vols. 740-742, pp 881-886 (2013)
- [18] Toshiki Kurosu, Koji Sasaki, Atsuo Nishihara and Keisuke Horiuchi, “Packaging Technologies of Direct-Cooled Power Module” , The 2010 International Power Electronics Conference pp2115-pp2119
- [19] B. C. Charboneau, F. Wang, J. D. van Wyk, D. Boroyevich, Z. Liang, E. P. Scott, C. W. Tipton, "Double-sided liquid cooling for power semiconductor devices using embedded power packaging", Industry Applications Conference, 2005. Fourtieth IAS Annual Meeting. Conference Record of the 2005, On page(s): 1138 - 1143 Vol. 2 Volume: 2, 2-6 Oct. 2005
- [20] R. Herzer, "Integrated gate driver circuit solutions" , Proceedings. CIPS 2010, pp.1-10
- [21] R. Herzer, "Gste driver technologies" , ISPSD tutorial 2012, pp.53-86
- [22] Z. Shen, K. C. So, and T.P. Chow, “Comparative study of integrated current sensors in N-channel IGBT's”, Proceedings. ISPSD1994, pp.75 -80(1994)
- [23] R. Letor and G. C. Aniceto, “Short circuit behavior of IGBTs correlated to the intrinsic device structure and on the application circuit,” IEEE Trans. Ind. Applicat., vol. 31, no. 2, pp. 234-239, Mar./Apr. 1995.
- [24] M. Bakran, H.-G. Eckel, M. Helsper, A. Nagel, “Challenges in Using the Latest Generation of IGBTs in Traction Converters“, EPE Toulouse, (2003)

- [25] Y. Hagiwara, M. Tanaka, M. Ueno, "Technological Development of an IGBT applied Traction System for the Series 700 Shinkansen High-Speed Train.", International Conference Railway Traction System 2001, Capri, pp. 2.1-2.19.
- [26] M. M. Bakran, H-G. Eckel, "Traction Converter with 6.5kV IGBT Modules", EPE 2001, Graz, Conf. Proceedings CD.
- [27] C. Cass, R. Burgos, F. Wang and D. Boroyevich, "Three-phase AC Buck Rectifier using Normally-On SiC JFETs at 150 kHz Switching Frequency," Power Electronics Specialists Conference, 2007. PESC 2007. IEEE, pp. 2162-2167, 2007.
- [28] Katsumi Ishikawa, Kaoru Katoh, Ayumu Hatanaka, Kazutoshi Ogawa, Haruka Shimizu, Natsuki Yokoyama, "High-Speed Drive Circuit with Separate Source Terminal for 600 V / 40 A Normally-off SiC-JFET", Materials Science Forum Vols. 740-742, pp.1060-1064 (2013).
- [29] M. Hagiwara and H. Akagi, "Control and Experiment of Pulsewidth-Modulated Modular Multilevel Converters," Power Electronics, IEEE Transactions on, Vol. 24, 2009, pp. 1737-1746
- [30] 国土交通省 総合政策局 「交通関係エネルギー要覧 2007」
- [31] 交通エコロジー・モビリティ財団「運輸・交通と環境 2007」
- [32] M. A. R. Blanco, A. C. Sanchez, D. Theilliol, L. G. V. Valdes, P. S. Teran, L. H. Gonzalez and J. A. Alquicira, "A Failure-Detection Strategy for IGBT Based on Gate-Voltage Behavior Applied to a Motor Drive System" IEEE Trans. Industrial Electronics, VOL. 58, NO. 5, MAY 2011. pp1625-1633
- [33] K. Yuasa, S. Nakamichi and I. Omura, "Ultra high speed short circuit protection for IGBT with gate charge sensing" Proceedings. ISPSD2010, pp.37 -40 (2010)
- [34] L. Chen, and F.Z. Peng, "Active Fault Protection for High Power IGBTs" in Proc. IEEE Appl. Power Electron. Conf., Washington, DC, Feb. 15-19, 2009, pp. 2050-2054.
- [35] K. Sasagawa, Y. Abe and K. Matsuse, "Study on Gate-Controlled Protection Methods for IGBTs Under A Short-Circuit Condition", IEEJ Trans. 1A, Vol.127, No.5, pp.478-484 (2007) (in Japanese)
 笹川清明・阿部康・松瀬貢規:「ゲート波形制御による IGBT 短絡保護方式の検討」,
 電学論 D, 127, 5, pp.478-484 (2007)
- [36] R. Chokhawala, G. Castino, "IGBT fault current limiting circuit, " IEEE Industry

- Applications Magazine, vol. 1, pp. 30-35, Oct. 1995.
- [37] S. Musumeci, R. Pagano, A. Raciti, G. Belverde, C. Guastella, and M. Melito, "A novel protection technique devoted to the improvement of the short circuit ruggedness of IGBTs," in Proc. IEEE IECON, 2003, pp. 1733-1738.
 - [38] S. Musumeci, R. Pagano, A. Raciti, G. Belverde and M. Melito, "A New Gate Circuit Performing Fault Protections of IGBTs During Short Circuit Transients," IEEE IAS Annual Meeting, October 2002, vol. 4, pp. 2614-2621.
 - [39] K. Sasagawa and H. Miki, "A new driving and protective circuit of IGBT for motor drive application" in Proc. IEEE Appl. Power Electron. Conf., San Diego, CA, Mar. 7-11, 1993, pp. 402-407
 - [40] R. Pagano, Y. Chen, K. Smedly, S. Musumeci, and A. Raciti, "Short circuit analysis and protection of power module IGBTs," in Proc. IEEE Appl. Power Electron. Conf., Austin, TX, Feb. 19-23, 2005, pp. 777-783.
 - [41] K. Yuasa, S. Nakamichi and I. Omura "Ultra High Speed Short Circuit Protection for IGBT with Gate Charge Sensing" Proceedings. ISPSD2010, pp37-40 (2010)
 - [42] A.R. Verma, K. Krishna. Polymorphism and Polytypism in Crystals. Wiley, New York (1966), p. 105.
 - [43] 松波弘之、大谷昇、木本恒暢、中村孝：半導体 SiC 技術と応用（第 2 版）日刊工業新聞社， 2011
 - [44] H. Matsunami and T. Kimoto: Step-controlled epitaxial growth of SiC: High quality homoepitaxy," Mater. Sci. Eng. R20 (1997) 125
 - [45] H. Shimizu, Y. Onose, T. Someya, H. Onose, and N. Yokoyama, "Normally-Off 4H-SiC Vertical JFET with Large Current Density" , Material Science Forum, Vol. 600–603, p. 1059, 2008.
 - [46] K. Hamada, N. Miura, S. Hino, T. Kawakami, M. Imaizumi, H. Sumitani, and T. Oomori," Significant Effect of JFET Doping on Low On- resistance 4H-SiC DMOSFETs of 3300 V Rating", SSDM2012, (2012)
 - [47] T. Nakamura, T. Nakamura, Y. Nakano, M. Aketa, R. Nakamura, S. Mitani, H. Sakairi, Y.Yokotsuji, "High Performance SiC Trench Devices with Ultra-low Ron", Tech. Digest. 2011 Int. Electron Device Meeting (San Francisco, 2011), 26.5.1.
 - [48] Koichi Suda, Shoichi Ozeki, Hitoshi Matsuzaki, Koji Kawamoto, "An Intelligent Power IC

- with Multiple Outputs for Automotive Application”, Proceedings. ISPSD’90, pp49-54 (1990)
- [49] C. Lin, S-H. Ryu, J. Charlotte, S. Dhar, R. Callanan, J. Richmond, A.K. Agarwal, J. Palmour, "3300V, 30A 4H-SiC power DMOSFETs", Intern. Sem. Device Research Symp., (2009).
- [50] B. Borowy, L. Casey, G. Davis and J. Connell, “HiRel Double Sided Package For Si/SiC Power Module”, IEEE 06CH37728 44th Annual. International Reliability Physics Symposium, San Jose, pp. 613-614(2006)
- [51] K. Sung, K. Suzuki, Y. Tanaka, T. Ogura, and H. Ohashi, "A study of Switching Frequency Limitation of High Voltage Power Converters in Combination of Si-IEGT and SiC-PiN Diode, " 21th Annual IEEE Applied Power Electronics and Exposition, pp. 455-459 (2006)
- [52] T. Kinjo, K. Takao, Y. Tanaka, K. Sung, and H. Ohashi, "Quantitative Study on Operation Frequency Limitation of Multi-level High Voltage Power Converter Equipped with Si-IEGT and SiC-PiN Diode," in IEEE 2008 Power Electronics Specialists Conference, 2008, pp. 2909-2913.
- [53] K. Takao, Y. Tanaka, K. Sung, K. Wada, T. Shinohe, T. Kanai and H. Ohashi, "3-Level Power Converter with High-Voltage SiC-PiN Diode and Hard-Gate-Driving of IEGT for Future High-Voltage Power Conversion Systems, " in IEEE 2010 Applied Power Electronics Conference, 2010, pp.1101-1107, 2010.
- [54] M. Nagasu, H. Kobayashi, T. Saiki, Y. Yasuda, R. Saitou and M. Mori, “3.3kV IGBT modules having soft recovery diodes with high reverse recovery di/dt capability (HiRC)”, in Proc. PCIM international, 1998 pp. 175-178
- [55] K. Katoh, K. Ishikawa, A. Hatanaka, K. Ogawa, S. Akiyama, T. Ogawa, N. Yokoyama, N. Maru, O. Takahashi and K. Nishisu, “Study on Low-loss Gate Drive Circuit for High Efficiency Server Power Supply using Normally-off SiC-JFET” , The 2014 International Power Electronics Conference, pp2285-2289 (2014).

発表論文

学会誌論文

- [1] 石川勝美, 佐々木正貴, 小笠原悟司 : “新しい電圧検出型高速短絡保護回路を有する大電流 IGBT 用 600V ドライバ IC” : 電気学会 D 部門論文誌 : 2014 年 9 月号

国際会議

- [1] Katsumi, Ishikawa, Koichi Suda, Masataka Sasaki and Hideki Miyazaki, “A 600V Driver IC with New Short Protection in Hybrid Electric Vehicle IGBT Inverter System” , Proceedings of the 17th International Symposium on Power Semiconductor Devices & IC's (ISPSD'05) pp59-62, 2005 (May23-26, 2005 Santa Barbara,CA)
- [2] Katsumi Ishikawa, Hidekatsu Onose, Yasuo Onose, Takasumi Ooyanagi, Tomoyuki Someya, Natsuki Yokoyama and Hiroshi Hozouji, “Normally-off SiC-JFET inverter with low-voltage control and a high-speed drive circuit” , Proceedings of the 19th International Symposium on Power Semiconductor Devices & IC's (ISPSD'07) pp217-220, 2007 (May27-30, 2007 Jeju, Korea)
- [3] Katsumi Ishikawa, Kazutoshi Ogawa, Hidekatsu Onose, Norifumi Kameshiro and Masahiro Nagasu, “Inverter Loss Reduction Using 3kV SiC-JBS Diode and High-speed Drive Circuit” , Materials Science Forum Vols. 645-648 (2010) pp1127-1130
- [4] Katsumi Ishikawa, Kazutoshi Ogawa, Hidekatsu Onose, Norifumi Kameshiro and Masahiro Nagasu, “Traction Inverter that Applies Hybrid Module Using 3-kV SiC-SBDs” , The 2010 International Power Electronics Conference pp3266-3270
- [5] Katsumi Ishikawa, Kaoru Katoh, Ayumu Hatanaka, Kazutoshi Ogawa, Haruka Shimizu and Natsuki Yokoyama, “High -Speed Drive Circuit with a Separated Source Terminal for 600 V /40 A Normally-off SiC-JFET” , Material Science Forum Vols. 740-742, pp.1060-1064
- [6] Katsumi Ishikawa, Kazutoshi Ogawa, Seigo Yukutake, Norifumi Kameshiro and Yasuhiko Kono, ”Traction Inverter that Applies Compact 3.3 kV / 1200 A SiC Hybrid Module” , The 2014 International Power Electronics Conference, pp2140-2144 (2014)

国内会議

- [1] 石川 勝美, 宮崎 英樹, 佐々木 正貴, 鈴木 勝徳, 須田 晃一: 大電流インバーター用途の新短絡保護内蔵 600V ゲートドライバーIC の開発: 電気学会合同研究会 (EDD-05-61, SPC-05-86) (福井)
- [2] 石川勝美, 川端幸雄, 小野瀬秀勝: 低電圧制御・高速駆動回路を内蔵したノーマリオフ型 JFET インバータの開発: 電気学会合同研究会 (EDD-07-71, SPC-07-97) (三重)
- [3] 石川勝美, 小川和俊, 長洲正浩, 亀代典史, 小野瀬秀勝: SiC ダイオードを搭載した鉄道インバータ, 第 46 回鉄道サイバネ・シンポジウム, 506 (2009.11)

共著論文 (連名: 本論文に関連分を記載)

- [1] Kaoru Katoh, Katsumi Ishikawa, Ayumu Hatanaka, Kazutoshi Ogawa, Satoru Akiyama, Takashi Ogawa, Natsuki Yokoyama, Naoki Maru, Osamu Takahashi, Koji Nishisu, “Study on Low-loss Gate Drive Circuit for High Efficiency Server Power Supply using Normally-off SiC-JFET” , The 2014 International Power Electronics Conference, pp2285-2289 (2014)

その他関連執筆

- [1] 鉄道車両と技術 3kV 級 SiC ダイオードを搭載したハイブリッドモジュール No158 (PP19-22) 2009/10 レールアンドテック出版
- [2] 工業材料 鉄道車両向けインバータのニーズと SiC ダイオードへの期待 2009 Vol.57 No.10(pp40-44) 2009/10
- [3] 工業材料 SiC ダイオード適用による鉄道車両向けインバータの高効率化 (特集 動き出した SiC パワー半導体: 省エネルギーの切り札) 2011 Vol59 No,12(pp57-60) 2011/12
- [4] SiC 単行本“半導体 SiC 技術と応用”
- [5] 日経エレクトロニクス 2013 年 7 月 22 日号 NE Selection パワー半導体第 5 回 『3.3kV の SiC ダイオードで鉄道用インバータを小型・軽量に』 2013.7.22 号 pp70-74 (2013)

特許

出願件数（総件数 50 件以上，主筆案件 24 件）

特許成立件数（総件数 23 件，主筆案件 6 件）

本論文に関する案件を記載

特許第 3239714 号 半導体装置（光サイリスタのライフタイム制御方式）

特許第 3931627 号 半導体スイッチング素子のゲート駆動装置

（ゲート電流検出による破壊検知回路）

特許第 4449640 号 インバータ装置（大電流駆動用ドライバ IC 回路）

特許第 4816139 号 パワー半導体スイッチング素子の駆動回路（SiC-JFET）

特許第 4816182 号 スwitchング素子の駆動回路（SiC-JFET）

特許第 4988784 号 パワー半導体装置（IGBT と SiC-SBD の面積規定）

特許第 5186095 号 ゲート駆動回路（アクティブゲート駆動技術）

特許第 5476028 号 パワー半導体スイッチング素子のゲート駆動回路及び
インバータ装置（SiC-SBD 対応ターンオンの高速駆動）

その他論文

- [1] Katsumi Ishikawa, Ryuji Kobayashi, Satoru Narahara and Fumio Hasegawa , “Epitaxial Growth of GaAs at One to Two Monolayers per Cycle by Alternate Supply of GaCl₃ and AsH₃” , Jpn. J. Appl. Phys. Vol.31(1992) pp.1716-1720
- [2] Ryuji Kobayashi, Katsumi Ishikawa, Satoru Narahara and Fumio Hasegawa, “Role of Hydrogen in Atomic Layer Epitaxy of GaAs Using GaCl₃” , Jpn. J. Appl. Phys. Vol.31(1992) pp.1730-1732
- [3] Ryuji Kobayashi, Satoru Narahara, Katsumi Ishikawa and Fumio Hasegawa, “In Situ Observation of Atomic Layer Epitaxy of GaAs Using GaCl₃ by Surface Photo-Absorption Method” , Jpn. J. Appl. Phys. Vol.32(1993) pp.164-166

謝辞

本論文を纏めるにあたり、指導教員である北海道大学大学院情報科学研究科システム情報学専攻の小笠原悟司教授には、御多用にも拘らず、懇切なるご指導とご鞭撻を賜りました。ここに、心から感謝の意を表すと共に、厚くお礼申し上げます。また、副査としてご指導賜りました北海道大学大学院情報科学研究科の北裕幸教授、五十嵐一教授、竹本真紹准教授には、温かいご指導、ご助言を賜り、深く感謝申し上げます。

本論文は、筆者が 1999 年から 2014 年の間に勤務していた株式会社日立製作所日立研究所、水戸交通システム本部、日立事業所（現、日立パワーパワーデバイス株式会社）において、HEV や鉄道用のパワーデバイスの駆動・保護回路やインバータの研究開発成果の一部を纏め、小笠原教授の御指導のもとで纏めたものである。

本研究では、日立パワーパワーデバイス株式会社の黒須俊樹 主管技師長、須田晃一郎 部長、日立製作所水戸交通システム本部の仲田清 本部長、日立製作所交通システム社の岩滝雅人 技師長、元日立製作所日立研究所の宮崎英樹 主任研究員（現、日立オートモティブ株式会社部長）、元日立製作所水戸交通システム本部の長洲正浩 主管技師（現、茨城独立行政法人工業高等専門学校）には、本研究を進める上で、数々のご指導を賜りました。深くお礼申し上げます。

また、日立製作所水戸交通システム本部の小川和俊 技師、日立製作所日立研究所の佐々木正貴 研究員、加藤かおる 研究員、畑中歩 研究員には、本研究を纏める上で、多大なるご協力を賜り、深くお礼申し上げます。

筆者が本研究を纏めるに至ったのも、元日立製作所日立研究所の小島啓二 所長（現、日立製作所常務 CTO 兼研究開発グループ長）、元日立製作所日立研究所の鈴木教洋 センター長（現、日立製作所中央研究所所長）のご配慮とご指導によるものである。また、筆者が半導体の研究に従事したきっかけは、茨城大学工学部に在籍した恩師の菊間勲 教授、及び、筑波大学理工学研究科に在籍した恩師である長谷川文夫 教授より、 ZnSe や GaAs などの化合物半導体に関するご指導や、論文執筆に関するご指導を賜ったことである。また、株式会社日立研究所に入社した後に、パワーデバイスとその応用研究に携わることができたのは、当時の恩師である、元株式会社日立研究所主管研究長の門馬直弘氏、元株式会社日立研究所主管研究員の小林裕氏のご指導によるものであり、深く感謝したい。

以上