



HOKKAIDO UNIVERSITY

Title	CMOSラッチアップの解析と耐設計法への応用に関する研究
Author(s)	青木, 隆宏
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	乙第4802号
Issue Date	1995-06-30
DOI	https://doi.org/10.11501/3083390
Doc URL	https://hdl.handle.net/2115/58653
Type	doctoral thesis
File Information	gakui_4802.pdf



CMOSラッチアップの解析と
耐設計法への応用に関する研究

1995年

青木 隆宏

目 次

第1章 序論	
1. 1 研究の主旨	1
1. 2 研究の背景	1
1. 3 ラッチアップ研究の歴史と課題	4
1. 4 本研究の目的と各章の構成	7
第1章参考文献	10
第2章 ラッチアップ耐性の電氣的評価法	
2. 1 緒言	12
2. 2 ラッチアップトリガ電流式	13
2. 3 パルストリガ電流注入ラッチアップ評価	15
2.3.1 過渡応答特性評価測定系	15
2.3.2 P基板入力パルストリガ電流応答特性	16
2.3.3 Nウェル入力パルストリガ電流応答特性	17
2.3.4 n^+ ドレイン入力パルストリガ電流応答特性	17
2.3.5 p^+ ドレイン入力パルストリガ電流応答特性	18
2. 4 パワーアップ時のラッチアップ応答	25
2. 5 インパクトイオン化によるラッチアップ特性	28
2.3.1 DC特性評価	28
2.3.2 過渡応答特性評価	29
2. 6 まとめ	35
第2章参考文献	36
第3章 数値解析によるラッチアップ現象の解析と応用	
3. 1 緒言	38
3. 2 デバイスシミュレータの解析モデル	39
3.2.1 デバイスの基本方程式	39
3.2.2 物理モデル	40
3. 3 2次元DCシミュレータによる解析	41
3.3.1 DC解析による非線形効果の把握	41
3.3.2 ラッチアップ過渡応答解析用回路モデル	45
3. 4 2次元過渡シミュレータによるパルス応答解析	48
3. 5 重粒子入射ラッチアップ解析への応用	54
3.5.1 重粒子入射ラッチアップ	54
3.5.2 解析モデル	55
3.5.3 バルク構造における解析結果	56
3.5.4 p^-/p^+ エピ構造における解析結果	62
3. 6 まとめ	67
第3章参考文献	68

第4章	ラッチアップ耐性の温度特性	
4. 1	緒言	70
4. 2	温度依存評価手法	71
4.2.1	テスト構造と測定系	71
4.2.2	ラッチアップパラメータ評価法	72
4. 3	トリガ電流とパラメータの温度依存	76
4.3.1	ラッチアップトリガ電流	76
4.3.2	ラッチアップパラメータ	76
4.3.3	解析式による定量的検討	78
4. 4	まとめ	89
	第4章参考文献	90
第5章	発光現象を用いたラッチアップ解析	
5. 1	緒言	91
5. 2	ラッチアップ状態からの微小発光	92
5. 3	デバイス数値解析による考察	99
5. 4	L S I 内のラッチアップ発生箇所同定	101
5. 5	多重pnpn構造におけるラッチアップ発光	104
5. 6	まとめ	110
	第5章参考文献	111
第6章	L S I 内部回路における耐ラッチアップ設計指針	
6. 1	緒言	112
6. 2	内部回路におけるラッチアップ耐性	114
6.2.1	テスト構造	114
6.2.2	評価結果	115
6. 3	内部回路における耐ラッチアップ設計指針	123
6.3.1	ラッチアップモデル	123
6.3.2	解析結果	124
6. 4	まとめ	126
	第6章参考文献	131
第7章	総括	132
	本研究に関する発表論文等一覧	136
	謝辞	138

第1章 序論

1. 1 研究の主旨

本研究は、CMOS (Complementary Metal-Oxide-Semiconductor) 集積回路におけるラッチアップ現象の解析および耐ラッチアップ設計指針の検討に関する。周知のように、現用LSIの主流であるCMOS集積回路にはラッチアップと呼ばれる現象があり、これがCMOSの微細化を難しいものにしている要因のひとつである。本研究は、ラッチアップ現象の実験的・理論的解析をもとにラッチアップ防止のための効果的な設計指針を確立し、よってCMOS LSIの微細化設計を容易とするものである。以下にその内容を述べる。

1. 2 研究の背景

(CMOSの誕生)

シリコン半導体を用いたCMOS回路が初めて発表されたのは、1963年の国際固体素子回路会議(ISSCC)である。^[1] CMOS回路は、その特長として低スタンバイ消費電力、高ノイズマージン、回路設計の容易性など幾つかの利点を持っていたが、当時すぐには普及しなかった。この理由は、当時の主流であったnE/D MOS*1集積回路とバイポーラ集積回路に比べて、素子占有面積が大きい、速度性能が低い、製造プロセスが複雑でコストが高い、という問題があったことによる。そのため、1970年代のCMOS回路の応用は一部の分野に限定され、たとえば低消費電力・高ノイズマージンを生かした低電圧駆動の腕時計や電卓、あるいは放射線耐性が要求される衛星搭載用集積回路などにとどまっていた。ただし、この時期に、CMOSについての基本的な検討が進められた。また、耐放射線用としてnチャネルとpチャネルのMOSFETを絶縁基板上に形成したSOS構造*2のCMOS^[2]が早くも製作されている。

*1 nE/D MOS : n-channel Enhancement/Depletion Metal-Oxide-Semiconductor の略称でノーマリーオフとノーマリーオンのトランジスタを組み合わせた回路構成

*2 SOS構造 : Silicon on Sapphire構造

(CMOS LSIの発展)

MOSFETの微細化に関して1974年にスケーリング則が報告され、^[3] 電界一定の下でMOSFETを縮小・微細化して高集積化・高速化を図るシナリオが築かれた。その結果として、まずnE/DMOS回路の微細化・高集積化が進行し、1978年頃には $1.5\mu\text{m}$ nMOSプロセス技術を用いて10Kゲート規模のLSIが開発されるに至った。ただしその消費電力は7Wと大きなものであった。^{[4]・[5]} この頃から、高集積化におけるCMOSの優位性が認識されるようになった。その理由として次の2点があげられる。^[6]

(1) LSIユーザである装置システムサイドが要求したものは、TTLコンパチブルな5V電源電圧を維持し、かつ、高集積で消費電力の小さい自然空冷可能なLSIチップであった。これは、nE/DMOS集積回路（およびバイポーラ集積回路）では実現困難であり、スタンバイ時の消費電力がないCMOS集積回路によってはじめて可能となることであった。

(2) 微細化のためMOS LSIプロセス工程が一般的に複雑化する方向にあり、CMOS集積回路のための余分なプロセス増加があまり問題とならなくなった。

このような状況のもとで、1980年前後にはnE/DMOS集積回路からCMOS集積回路への大転換^[7] がなされるに至った。

(ラッチアップ現象)

CMOS集積回路が主流となりその微細化が進行する過程で、ラッチアップ現象によるLSIの動作障害がクローズアップされるようになった。CMOS構造では、図1-1に示すように、縦型PNP寄生バイポーラトランジスタ^{*3}と横型NPN寄生バイポーラトランジスタ^{*4}があり、この2つが結合して寄生PNPNサイリスタ構造を形成している。ラッチアップ現象とは、この寄生サイリスタが、何らかのトリガにより導通して過大な電源電流がLSI内に流れる現象である。このため、すなわち、CMOS回路の電源端子と接地間の電圧電流特性は、上記寄生PNPNサイリスタのため、極端に言えば図1-2のような負性抵抗特性を有する。これが、入出力端子から混入する外来雑音や電源投入時の変位電流などでトリガされオン状態となりラッチアップが生じる。いったんラッチアップ状態になるとLSIは機能しなくなり、また早急に電源を遮断しないと過大電流による素子破壊や配線断線を生じることがある。

^{*3} p⁺ ソース・ドレイン拡散層をエミッタ、Nウェルをベース、P基板をコレクタとするもの。

^{*4} n⁺ ソース・ドレイン拡散層をエミッタ、P基板をベース、Nウェルコレクタとするもの。

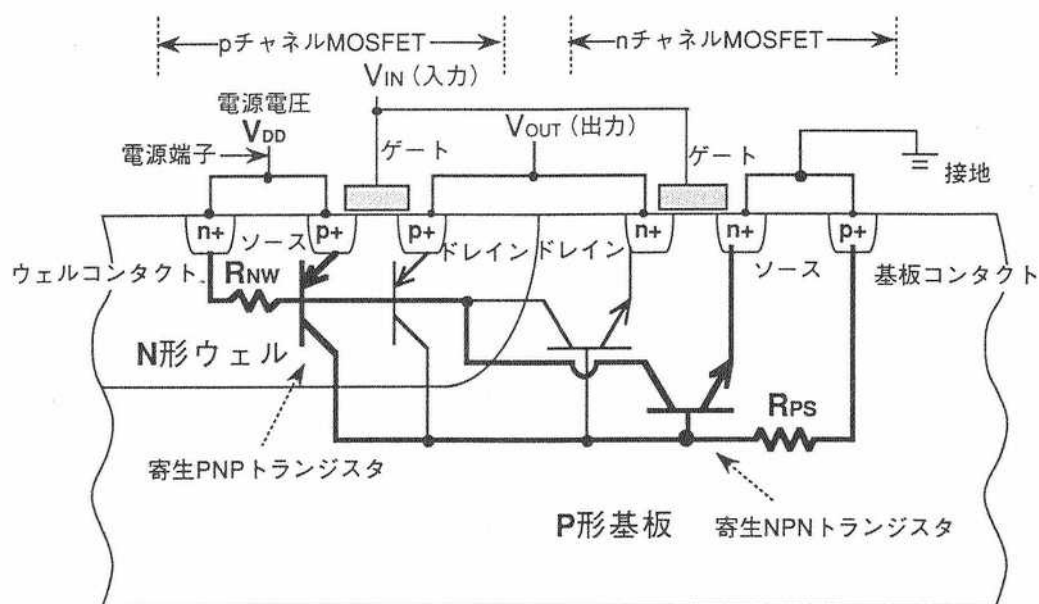


図1-1 CMOSにおける寄生サイリスタ構造

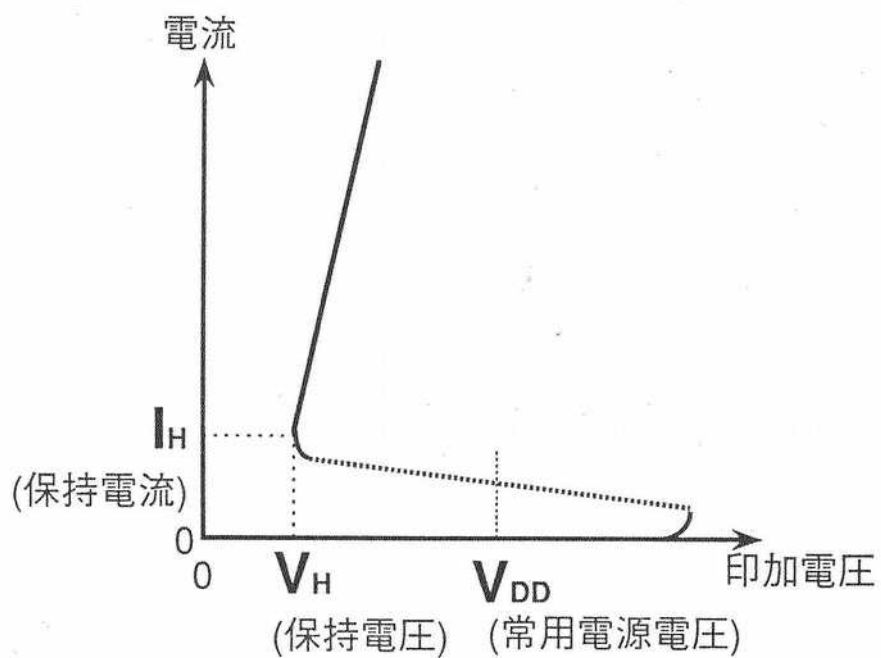


図1-2 典型的なラッチアップの電圧電流特性
(電源端子-接地間の電圧電流特性)

ラッチアップを生じさせる主なトリガ要因を表1-1に挙げる。これらトリガ要因の多くは通常のLSI使用状態でも生ずるものである。そのため、何らかの対策を施さない限り、ラッチアップの発生は避けられない。かくしてCMOS LSIの発展とともに、ラッチアップの抑制が重要な問題となった。

1. 3 ラッチアップ研究の歴史と課題

ラッチアップ現象を防止するためには、原理的にみて次のいずれかの対処をおこなえばよい。

- (1) 寄生PNPトランジスタの電流増幅率 β_p とNPNトランジスタの電流増幅率 β_n の積を1より小さくする($\beta_p \cdot \beta_n < 1$)。そうすれば、寄生PNPNサイリスタの動作自体が避けられる。
- (2) $\beta_p \cdot \beta_n > 1$ であっても、寄生サイリスタの保持電圧 V_H を電源電圧以上にできれば実用上で問題がない。保持電流 I_H を電源供給可能電流より大きくできれば、それでもよい。
- (3) 上記2項を満足しなくとも、外来要因によるトリガ電流値を規制できて、その値が寄生サイリスタのラッチアップ発生の閾値より小さく抑えられるならばラッチアップに至らない。

この条件を満たすためには、デバイス構造上で表1-2に示す対策が有効であることは知られていた。ただ、その各項目の効果は定性的にしか把握されておらず、しかも多くが微細化と低コスト化に相反するものなので、的確な耐ラッチアップ設計は本質的に難しいことであった。しかし、LSIパターン寸法 $5 \sim 2 \mu m$ のレベルまでは、構造設計自体の余裕があり、定性的なラッチアップ対策でも問題を生じることにはなかった。

LSIの微細化が進み、1982年頃から $1 \mu m \sim$ サブ μm 領域の研究が始まるとともに、事態が一変した。このような微細領域では、デバイス構造に冗長な設計をすることができない。したがって、新しいLSIの設計ごとにラッチアップ特性を測定・評価し、その結果をもとに微細化を阻害しないよう最小限かつ的確なラッチアップ対策方針を立てる必要がある。そのため、LSIの微細化とともに、測定・評価・モデリングを含む系統的かつ定量的な耐ラッチアップ設計の研究が必要となった。本研究は、このような状況のもとで耐ラッチアップ設計方針の確立を目指して開始されたものである。本研究を始める時点において、ラッチアップに関する研究状況と課題は次のようなものであった。

表 1-1 ラッチアップのトリガ要因の分類

場 所	トリガ電流生成要因
入出力端子	・ オーバースhoot電流（外来トリガ雑音電流） ・ アンダースhoot電流（外来トリガ雑音電流）
電源線	・ 電源電圧の急激な変動による接合容量の充放電電流（パワーアップ時、電源雑音重畳時）
内部回路	・ ウェル・基板間アバランシェブレイクダウン電流 ・ ソース・ドレイン拡散層のアバランシェブレイクダウン電流 ・ ソース・ドレイン拡散層間のパンチスルー電流 ・ フィールド部の寄生MOSFETのオン電流 ・ ゲートリーク電流 ・ α線、γ線等の放射線照射および光照射によるキャリア励起電流 ・ NMOSFETドレイン近傍の高電界によるインパクトイオン化により誘起される基板電流

表 1-2 ラッチアップ対策（デバイス構造に係わる主なもの）

ラッチアップ対策案	入出力部	内部回路	備 考
・ ガードバンド構造	○	△	占有面積増
・ 分離間隔を広げる	○	△	占有面積増
・ キャリア吸収層(pseudo-collector)	○	△	占有面積増
・ 金ドーピング、中性子照射 (life-time killer)	○	○	技術が難しい
・ Trench分離	○	○	技術が難しい
・ エピ on 高濃度基板（低基板抵抗）	○	○	コスト高
・ 高濃度埋め込み層	○	○	コスト高

(ラッチアップの電氣的評価法)

ラッチアップ耐性の電氣的評価法に関するこれまでの研究では、図 1-1 で示した保持電圧 V_H と保持電流 I_H が最も簡便なラッチアップ耐性をあらわす指標であった。また、ラッチアップが生じる際のトリガ電流値を指標とする場合もあった。しかし、ラッチアップ現象は本来過渡的な現象なので正確には過渡特性を評価することが必要である。それにもかかわらず、その解析・評価が複雑なことから、これまでは D C 的な取扱いに限定されていた。そのため、電氣的評価の課題としては、パルスのトリガに対する過渡応答特性の評価法の確立が望まれていた。

(ラッチアップのモデリングと解析)

ラッチアップのモデリングは、主として簡易等価回路^{[8]-[11]}を使った D C 解析であった。これから各種の特性式、すなわち保持電流式、保持電圧式、トリガ電流式、ラッチアップフリー条件式を算出し、その結果をもとにラッチアップが生じないような入出力回路部の構造設計やレイアウト配置法の検討がなされた。ところで、ラッチアップは過渡的な現象なので正確には過渡解析を行う必要がある。しかし、過渡解析は非常に複雑なことから、これまでの研究は主として D C 的な取扱いに限定されていた。したがって、パルスのトリガに対する過渡応答特性の解析法の確立が重要な課題であった。さらに、ラッチアップ現象自体のデバイス内のキャリアの静的および動的振る舞いについてほとんど研究がなされていなかった。

(ラッチアップ耐性の温度特性)

L S I は動作中に温度上昇を生ずることが普通であるから、ラッチアップの温度依存性は重要な問題である。ところが、この点について多少の評価結果が報告^[9]されているものの、どのパラメータが温度依存性に係わるかはあまり議論されていなかった。したがって、周囲温度上昇に伴うラッチアップ耐性の低下について、素子構造とレイアウトにおけるどのパラメータが主因であることを明らかにすることが課題であった。

(ラッチアップ発生箇所の観察法)

L S I 内のラッチアップ発生箇所の同定は、耐ラッチアップ設計に際して重要なデータを与える。C M O S L S I 内のどの箇所でラッチアップが生じているのかを調べる方法については、幾つか提案されていた。たとえば、(1)局所的に発生するジュール熱を赤外線サーモグラフ^[9]やコレステリック液晶の温度光学効果を利用して観察する方法^[8]、(2)走査型電子顕微鏡 S E M (Scanning Electron Microscope) の電子線励起電流モード

(E B I C : Electron Beam Induced Current) ^[13] での画像処理により同定する方法、などが提案されている。しかし、これらの技術の分解能は数 μm から数十 μm のオーダーであるため、L S I のサブミクロン高集積化に対しては分解能の点で不十分である。そのため1ミクロン以下の高分解能をもつ簡便な評価技術の開発が課題であった。

(L S I 内部回路における耐ラッチアップ設計)

ラッチアップの防止策に関する検討は、宇宙環境用のCMOS L S I の研究 ^{[14] - [17]} から始まった。幾つかの対策として、金ドーピング ^[16] あるいは中性子照射 ^[17] による少数キャリアのライフタイム低減、高濃度埋め込み層による寄生トランジスタ電流増幅率の低減 ^{[18] - [19]} および n^- / n^+ エピ基板による等価基板抵抗の低減 ^[19] などが提案された。続いて、民生用のCMOS集積回路について、入出力回路のレイアウトを工夫したラッチアップ防止策 ^{[8], [20], [21]} が研究された。また、横型寄生PNPトランジスタのベース抵抗値を低減させるための n^+ ガードバンド方法が提案され、これはチップ面積や製造工程の点で効果的なこと ^[8] が示された。さらに、ラッチアップを構造的に防止することを目的としたウェル溝分離技術 ^[22] の研究もなされた。バルクCMOSデバイスの微細化により、これまであまり目立たなかった高集積な内部回路におけるラッチアップ耐性の確保は、ますます重要性を増してきている。しかし、これまでの対策方針の多くは個別のかつ定性的なものであった。そしてL S I 内部回路における系統的かつ定量的な耐ラッチアップ設計指針についてはほとんど研究がなされておらず、その早期の確立が課題であった。

1. 4 本研究の目的と各章の構成

本研究の目的は、今後のCMOS L S I 微細化に対応するための系統的かつ定量的な耐ラッチアップ設計指針を確立することである。そのため、前節に挙げた研究課題について検討を行なう。すなわち、①CMOS構造におけるラッチアップ過渡特性の評価法を確立する、②ラッチアップ現象の動的メカニズムを数値解析により解明する、③ラッチアップトリガ電流の温度依存性をデバイスパラメータで解析する、④L S I 内でのラッチアップ発生箇所の同定を1ミクロン以下の高分解能で行う、および⑤L S I 内部回路における耐ラッチアップ設計指針を確立する、ことを検討する。図1-3に本論文の構成を示す。

本論文は7章より構成される。以下に各章ごとの概要を記す。

第2章において、パルストリガに対するラッチアップ過渡応答特性測定評価法を提案し、その結果を述べる。パルストリガ電流発生回路およびパルス電圧源の導入により、これまで困難であった過渡測定を可能とした。具体的には、(i)デバイス各領域からのパルス電流注入トリガ、(ii)電源投入パワーアップ時の変位電流トリガ、(iii)インパクトイオン化基板電流トリガのラッチアップ過渡応答特性、について測定評価法と評価結果を述べる。

第3章においては、2次元2キャリアデバイスシミュレータを用いて、ラッチアップ現象の解析を行った。その結果得られたデバイス内部の電位分布、過剰キャリアの静的、動的振る舞いを述べる。さらに、宇宙環境下を想定した高エネルギー重粒子入射に対するキャリア生成モデル化とラッチアップ過渡解析の適用を述べる。

第4章においては、これまであまり議論されることがなかったラッチアップ温度特性について解析する。ラッチアップトリガ電流と構成素子パラメータの温度依存性を評価し、周囲温度上昇に伴うラッチアップ耐性の低下の主要因を明らかにする。

第5章においては、LSIのラッチアップ発生箇所の新しい観察法を提案する。はじめにラッチアップ部分の電子・ホール再結合による微小発光現象を解析する。次に、これを利用してLSI内での高分解能な発生箇所ならびにホットエレクトロン発生箇所を高分解能で識別・同定する方法を述べる。

第6章において、従来明確でなかったLSI内部回路の耐ラッチアップ設計法に関して新しい効果的な指針を提案する。具体的には、寄生素子パラメータ、レイアウト設計パラメータおよびトリガ生成電流の大きさを用いて、実用的な耐ラッチアップ条件を定式化する。これは、第2章から第5章までの測定・評価法とあわせて、今後の微細CMOS LSIにおける耐ラッチアップ設計を容易にかつ確実にするものである。

第7章は本論文の総括であり、本研究で得られた結果をまとめる。さらに、今後の課題ならびに展望を述べる。

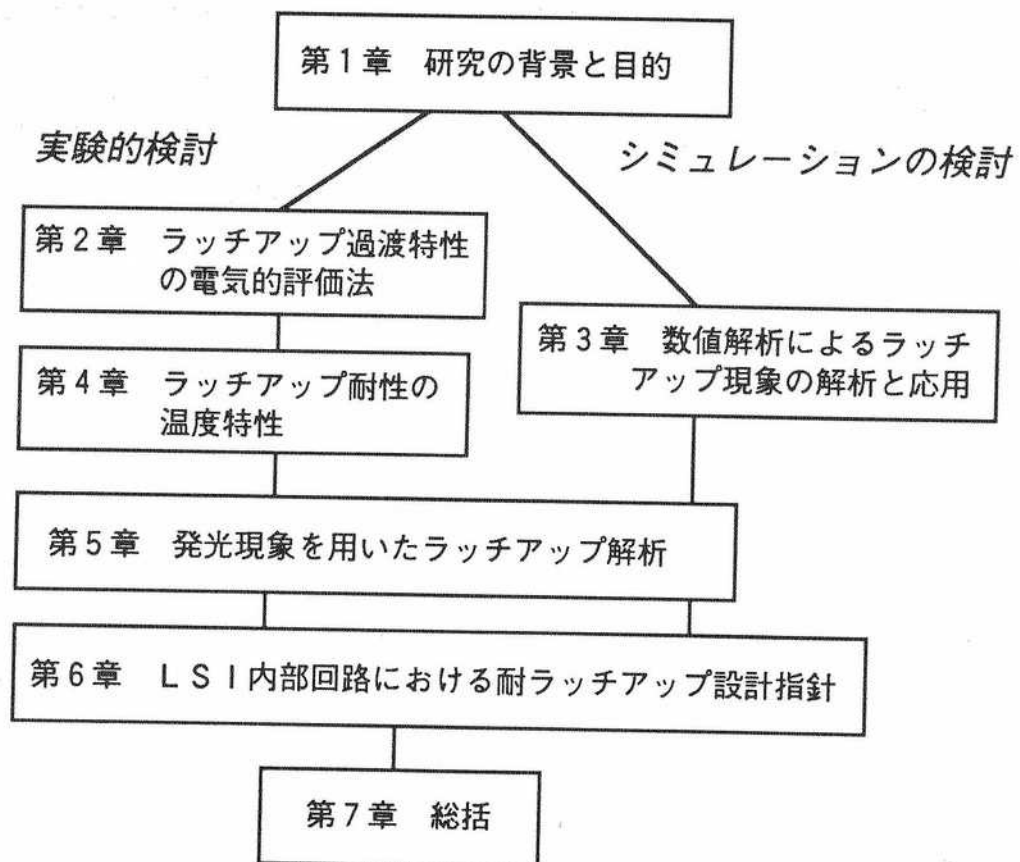


図1-3 本論文の構成

第1章参考文献

- [1] F.M. Wanlass and C.T. Sah, "Nanowatt logic using field-effect metal-oxide semiconductor triodes," 1963 ISSCC Digest, 32 (1963).
- [2] A. Capell, D.Knoblock, L.Mather and L. Lopp, "Process refinements bring CMOS on sapphire into commercial use," Electronics, pp. 99-105 (1977).
- [3] R.H.Dennard, F.H.Gäns Glen, H.N.Yu, V.L.Rideout, E.Bassous and A.R.Lebianc, "Design of ion-implanted MOSFETs with very small physical dimensions," IEEE J. Solid-State Circuits, SC-9, pp.256-268 (1974).
- [4] J.W.Beyers, L.J.Dohse, J.P.Fucetola, R.L.Kochis, C.G.Lob, G.L.Taylor, and E.R.Zeller, "A 32b VLSI CPU chip," ISSCC Digest of Technical Papers, pp. 104-105 (1981).
- [5] J.M.Mikkelsen, L.A.Hall, A.K.Malhotra, S.D.Secombe and M.S.Wilson, "An NMOS VLSI process for fabrication of a 32b CPU chip," ISSCC Digest of Technical Papers, pp. 106-107 (1981).
- [6] R. Kasai, T. Aoki, H. Yoshimura, S. Horiguchi and T. Sudo, "CMOS vs. nE/D MOS for logic VLSI," IECE Technical Report, SSD-81-53, pp.15-22 (1981).
- [7] S. Horiguchi, H. Yoshimura, R.Kasai, and T. Sudo, "An automatically designed 32b CMOS VLSI processor," ISSCC Digest of Technical Papers, pp. 54-55 (1982).
- [8] M. Kyomatsu, T. Araki, T. Ohtsuki and M. Nakayama, "Analysis of latch-up in CMOS IC," Trans. IECE Japan, C-61, No.2, pp.106-113 (1978).
- [9] D. B. Estreich, "The physics and modeling of latch-up and CMOS integrated circuits," Tech. Report No. G-201-9, Stanford Electronics Lab., Stanford Univ. (1980).
- [10] W.D.Raburn, "A model for the parasitic SCR in bulk CMOS," 1980 IEDM Technical Digest, pp.252-255 (1980).
- [11] L.C.Parrillo, R.S.Payne, R.E.Davis, G.W.Reutlinger and R.L.Field, "Twin-tub CMOS- A technology for VLSI circuits," 1980 IEDM Technical Digest, pp.752-755 (1980).

- [12] R. S. Payne, W. R. Grant and W. J. Bertram, "Elimination of latch-up in bulk CMOS LSI circuits," 1980 IEDM Technical Digest, pp. 248-251 (1980).
- [13] P. V. Dressendorfer and M. G. Armendariz, "A SEM technique for experimentally locating latchup paths in integrated circuits," IEEE Trans. Nucl. Sci., vol. NS-27, pp. 1688-1693 (1980).
- [14] B. L. Gregory and B. D. Shafer, "Latch-up in CMOS integrated circuits," IEEE Trans. Nucl. Sci., vol. NS-20, pp. 293-299 (1973).
- [15] L. L. Sivo, F. Rosen and L. C. Jeffers, "Latchup screening of LSI devices," IEEE Trans. Nucl. Sci., vol. NS-23, pp. 1534-1537 (1976).
- [16] W. R. Dawes, Jr. and G. F. Derbenwick, "Prevention of CMOS latchup by gold doping," IEEE Trans. Nucl. Sci., vol. NS-23, pp. 2027-2030 (1976).
- [17] J. R. Adams and R. J. Sokel, "Neutron irradiation for prevention of latch-up in MOS integrated circuits," IEEE Annual Conf. on Nuclear and Space Rad Effects (1979).
- [18] D. B. Estreich, A. Ochoa and R. W. Dutton, "An analysis of latch-up prevention in CMOS IC's," 1978 IEDM Technical Digest, pp. 230-234 (1978).
- [19] A. Ochoa, W. Dawes and D. Estreich, "Latch-up control in integrated circuits," IEEE Trans. Nucl. Sci., vol. NS-26, pp. 5065-5068 (1979).
- [20] K. Sato and M. Ueno, Abstract of JSAP Spring Meetings, 27a-N-9 (1976), Abstract of JSAP Fall Meetings, 1a-X-9 (1976).
- [21] M. Kyomasu, T. Yosihara, T. Araki and T. Kuwabara, Abstract of JSAP Fall Meetings, 1a-X-10 (1976).
- [22] R. D. Rung, H. Momose and Y. Nagakubo, "Deep trench isolated CMOS devices," 1982 IEDM Technical Digest, pp. 237-240 (1982).

第2章 ラッチアップ耐性の電氣的評価法

2. 1 緒言

ラッチアップがおこりやすいかどうかをあらわす指標、いわゆる“ラッチアップ耐性”は、主に寄生サイリスタの保持電圧 V_H 、保持電流 I_H 、トリガ電流 I_{trg} であらわされ一般的にこれらの値が高いほどラッチアップ耐性が高いとされている。従来から行われている具体的なラッチアップ耐性の評価方法は、①カーブトレーサを用いた電源電圧の過電圧印加による保持電圧 V_H および保持電流 I_H の評価法^{[1] - [3]}、②出力端子から注入する正および負のDCトリガ電流評価法^[4]、③ウェルおよび基板端子から注入する正および負のDCトリガ電流評価法^[5]、④コンデンサに電荷蓄積してトリガ端子に印加するコンデンサ電圧印加法^[6] 等がある。これらの方法は主にDCでの評価がなされていた。しかしながら、ラッチアップのターンオン現象自身は本来は過渡的な現象であり、さらに、トリガにはDCの他に非常に短期間に混入するパルス状のものもある。過渡特性の実験的評価に関しては、これまでにパルスの基板トリガ電流注入に対するラッチアップ耐性の実験的評価がなされており^[7]、数百ナノ秒以下の短いパルス幅でのトリガパルスの閾値電流値はDCトリガで測定された値よりも高く、これが寄生バイポーラ素子のベース応答時間特性に依存することが報告された。しかし、種々のトリガ入力端子に対してのパルスラッチアップ耐性を評価する方法については、従来ほとんどなされていなかった。また、LSI内部で生成されるトリガに対するラッチアップ過渡特性に関しては、電源パワーアップ時の変位電流によるラッチアップ過渡解析^{[8], [9]} が報告されているのみの状況であった。以上の様に、パルスのトリガに対するラッチアップ現象の過渡応答特性および耐性の実験的評価法は早急に確立されなければならない重要な課題であった。

本章では、パルストリガに対するラッチアップターンオン過渡応答特性の実験的な評価法とその測定結果を中心に述べる。^{[10], [11]} 具体的な測定項目は、①P(N)ウェルおよび p^+ (n^+) ドレイン端子からパルストリガ電流注入させた場合のラッチアップ過渡応答特性および耐性のトリガパルス幅依存性、②電源パワーアップ時に生成される変位電流によるラッチアップ過渡応答特性、ならびに③NMOSFETのドレイン高電界でインパクトイオン化誘起されたホール基板電流によるラッチアップ過渡応答特性 である。これらの評価結果をもとに、DCによるラッチアップ耐性とパルスのトリガに対する耐性との相違を定量的に議論する。

2.2 ラッチアップトリガ電流式

図2-1のラッチアップ評価素子構造に示されるようにバルクCMOS回路内の寄生サイリスタ構造に混入する主要な外来トリガ電流入力モードには、Pウェル（或いは基板）正トリガ入力、Nウェル（或いは基板）負トリガ入力、 n^+ ドレイン負トリガ入力、 p^+ ドレイン正トリガ入力の4モードがある。各入力モードでのラッチアップ簡易等価回路を図2-2に示す。ウェル端子からのトリガ入力の場合は通常2トランジスタ等価回路モデルであらわされる。一方、ドレイン端子トリガ入力の場合はトリガ入力端子をエミッタとしたトランジスタを加えた3トランジスタ等価回路モデルでそれぞれあらわされる。特に近接している構造では、トリガトランジスタをアノード（カソード）とした寄生サイリスタが先にラッチアップし、その後 $V_{DD}-V_{SS}$ 間での寄生サイリスタに波及してラッチアップする。DCトリガにおけるラッチアップ閾値トリガ電流式は、各等価回路から以下の式であらわされる。

$$\text{Pウェル（基板）入力： } I_{trg}(\text{Psub}) = V_{FN}/R_P + V_{FP}/(\beta_n R_N)$$

$$\text{Nウェル（基板）入力： } I_{trg}(\text{Nwel}) = -[V_{FP}/R_N + V_{FN}/(\beta_p R_P)]$$

$$\text{p}^+ \text{ドレイン入力： } I_{trg}(\text{p}^+ \text{ drain}) = [(\beta_{p'}+1)/\beta_{p'}] * V_{FN}/R_P$$

（トリガトランジスタ側で先にラッチアップする場合）

$$I_{trg}(\text{p}^+ \text{ drain}) = [\beta_n(\beta_{p'}+1)/(\beta_n\beta_{p'}-1)]$$

$$* [V_{FN}/R_P + V_{FP}/(\beta_n R_N)]$$

（トリガトランジスタ側で先にラッチアップしない場合）

$$\text{n}^+ \text{ドレイン入力： } I_{trg}(\text{n}^+ \text{ drain}) = -[(\beta_{n'}+1)/\beta_{n'}] * V_{FP}/R_N$$

（トリガトランジスタ側で先にラッチアップする場合）

$$I_{trg}(\text{n}^+ \text{ drain}) = -[\beta_p(\beta_{n'}+1)/(\beta_n\beta_p-1)]$$

$$* [V_{FP}/R_N + V_{FN}/(\beta_p R_P)]$$

（トリガトランジスタ側で先にラッチアップしない場合）

ここで、 $\beta_{p'}$ 、 $\beta_{n'}$ はPNPおよびNPNのトリガトランジスタの電流増幅率、 β_p 、 β_n は2トランジスタモデルの各トランジスタの電流増幅率、 R_P は等価P基板（ウェル）抵抗、 R_N は等価Nウェル（基板）抵抗、 V_{FN} および V_{FP} はそれぞれNPN、PNPトランジスタのベース・エミッタ間順バイアス電圧である。

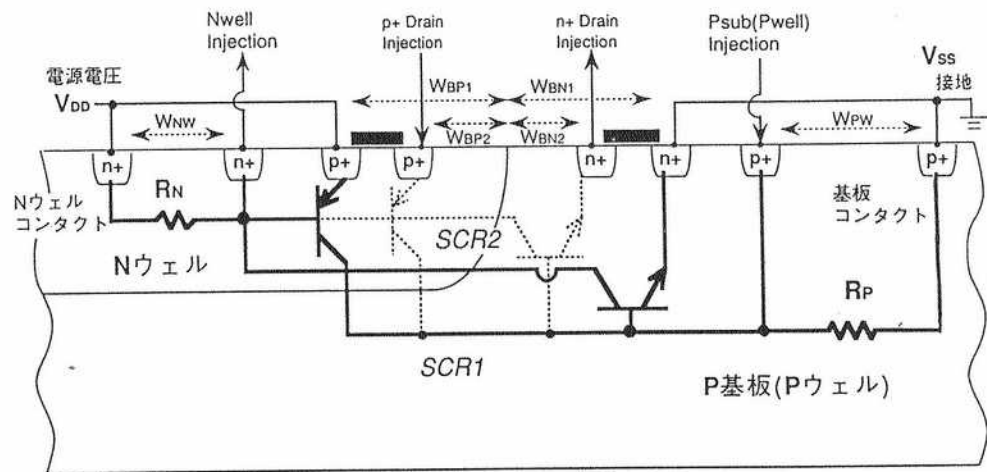


図 2-1 寄生サイリスタ評価用素子構造

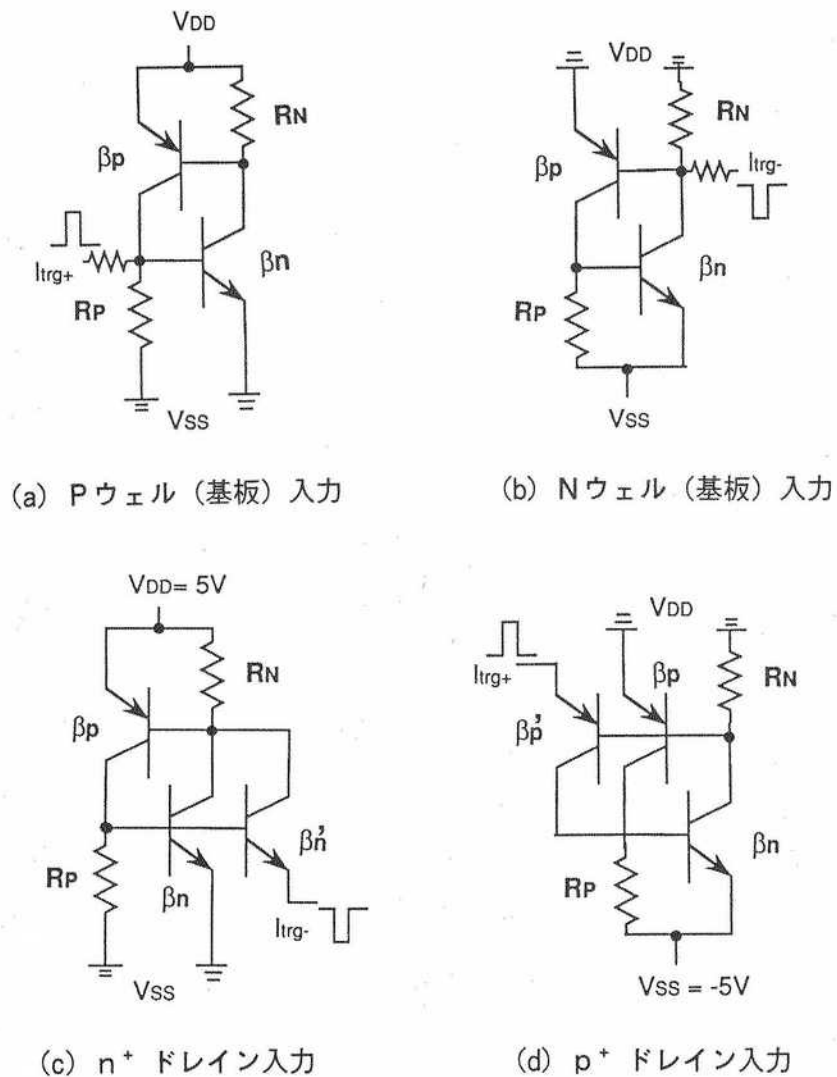


図 2-2 寄生サイリスタのトリガ電流入力モード

2. 3 パルストリガ電流注入ラッチアップ過渡応答特性評価

2.3.1 過渡応答特性評価測定系

パルストリガ電流に対するラッチアップ過渡応答特性を評価するための測定系を図 2-3 に示す。被測定素子(DUT; Device Under Test)、パルス電圧源(Pulse Generator)、トリガパルス電流源(Current Pulse Generator) および電流電圧波形観測用シンクロスコープより構成される。印加電源電圧はパルス電圧源($Z = 50 \Omega$ 、5 V 出力、繰り返し周波数 50 KHz 程度)とし、トリガパルス電流源と同期させ繰り返し波形とすることにより過渡応答波形観測を容易にした。また、パルス電圧源の使用はラッチアップ時に発生するジュール熱による被測定素子の破壊防止にも有効である。ラッチアップターンオン電流波形は、モニタ抵抗 5 ~ 10 Ω を接地側に付加して FET プローブを用いて観測した。ここで、測定時における留意事項としては、パルス電源の内部インピーダンスを考慮に入れ、P ウェル入力および n^+ ドレイン入力の場合は V_{DD} 側を電源電圧 5 V とし V_{SS} 側を接地した。一方、N ウェル入力および p^+ ドレイン入力の場合は V_{DD} 側を接地し、 V_{SS} 側に電源電圧(-5 V)を印加した。また、寄生サイリスタ部のみでのラッチアップトリガ電流を評価するために NMOSFET のゲート電圧を Low、PMOSFET のゲート電圧を High とし、両 MOS トランジスタをオフ状態(3 値出力回路における H 出力)とした。これにより通常の CMOS インバータ回路では、いずれかがオンしている MOSFET のチャネルに流れ込むトリガ電流成分の経路を遮断させた。

トリガパルス電流源として図 2-4 に示す電流パルス発生回路^[10](一例として正トリガパルス電流源の場合)を新規に作製した。この電流パルス発生回路は基本的には電流モード切り換え回路(CML: Current Mode Logic)を応用したパルス電圧・電流変換回路である。パルストリガ電流のパルス幅は図中の右端の外部印加パルス電圧(Low -1V, High 3V)のパルス幅で調整し、出力電流値は可変抵抗で調整して設定した。本測定系を用いた予備検討として、2 μm P ウェル CMOS プロセスの寄生サイリスタテスト構造において P ウェル入力 1 μsec のパルス幅のトリガ電流に対するラッチアップターンオン波形を測定した一例を図 2-5 に示す。ここでラッチアップが生じる閾値トリガ電流値を I_{trg} (LU)と定義(LU: Latch-Upの略)した。図中(a)から(c)に対応し、トリガ電流値 I_{trg} が I_{trg} (LU)前後での電源電流波形を示す。本測定系でラッチアップターンオン過渡特性が評価できることを確認した。前述の図 2-2 で示した 4 種のトリガ電流注入モードを評価するために用いたテスト素子の主な寸法は以下のとおりである。図 2-1 においてウェ

ル端から離れたソース・ドレイン拡散層とウェル・基板端の分離距離 W_{BN1} , W_{BP1} は、それぞれ $6\ \mu\text{m}$ 、ウェル端に近接するソース・ドレイン拡散層とウェル・基板端の分離距離 W_{BN2} , W_{BP2} は、それぞれ $2\ \mu\text{m}$ である。基板注入トリガ端子と基板コンタクトとの配置距離およびウェル注入トリガ端子とウェルコンタクトとの配置距離 W_{NW} , W_{PW} は、それぞれ $36\ \mu\text{m}$ である。また、Nウェルの接合深さは約 $4\ \mu\text{m}$ である。ここでウェル端から離れた側のPNPN構造をSCR-1（横型NPNトランジスタのベース間隔 $6\ \mu\text{m}$ ）、ウェル端側のPNPN構造をSCR-2（同ベース間隔 $2\ \mu\text{m}$ ）と定義し、以下の議論で用いる。尚、カーブトレーサによる保持電流値 I_H の測定結果はそれぞれSCR-1で $4.5\ \text{mA}$ 、SCR-2で $2.7\ \text{mA}$ であった。次節で、各トリガ入力モードでのパルス電流トリガ応答特性の測定結果を述べる。

2.3.2 P基板入力パルストリガ電流応答特性

図2-6にP基板入力の正のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg+}(\tau)$ 特性を示す。SCR-1については、 $\tau > 400\ \text{ns}$ でほぼ直流トリガ電流値 $2.15\ \text{mA}$ にほぼ等しく、 $\tau = 200\ \text{ns}$ で $2.35\ \text{mA}$ 、 $\tau = 100\ \text{ns}$ で $3.1\ \text{mA}$ 、 $\tau = 55\ \text{ns}$ で $5\ \text{mA}$ であり、パルス幅 τ の減少とともに閾値トリガ電流は増加する。一方、SCR-2では、 $\tau > 200\ \text{ns}$ でほぼ直流トリガ電流値 $1.0\ \text{mA}$ にほぼ等しく、パルス幅 τ の減少とともに閾値トリガ電流は徐々に増加するが、SCR-1に比べ、より短いパルス幅に対しても応答しラッチアップが生ずる。パルス幅の減少による閾値トリガ電流の増加の理由を以下に考察する。図2-2(a)の等価回路からラッチアップ閾値トリガ電流値はPウェル等価抵抗を流れる電流成分 $I_{PW} = V_{FN}/R_P$ と横型NPNトランジスタのベース電流成分 I_{BN} にわけられる。いま、トリガパルス幅を τ 、横型NPNトランジスタのベース走行時間を τ_F とすると、Nウェル等価抵抗を流れるコレクタ電流の最大値はおおむね、 $\beta_n I_{BN}[1 - \exp(-\tau/\tau_F)]$ とあらわされる。従って、縦型PNPトランジスタをオンさせるための必要なベース電流成分 $I_{BN}(\tau)$ は、直流トリガ電流でのベース電流成分を $I_{BN(dc)}$ とすると、

$$I_{BN}(\tau) = I_{BN(dc)} \cdot [1 - \exp(-\tau/\tau_F)]^{-1}$$

$$I_{BN(dc)} = V_{FP}/(\beta_n R_N)$$

であらわされる。図2-6のパルス幅依存の測定結果から、横型NPNトランジスタのベース走行時間 τ_F の値を概算すると、SCR-1で約 $30\ \text{ns}$ 、SCR-2で約 $10\ \text{ns}$

であった。したがって横型NPNトランジスタのベース幅が $2\mu\text{m}$ のSCR-2の方が幅の狭いパルストリガに対しラッチアップしやすいことをあらわしている。

典型的なラッチアップターンオン波形を観測し、立ち上がり時間を比較することにより両者の応答速度の相違を調べた。図2-7にトリガパルス幅 τ を 100ns と一定とし、トリガ電流波高値をラッチアップ閾値トリガ電流レベルより僅か越えた値での注入させた時のラッチアップターンオン電流応答波形((a) SCR-1、(b) SCR-2)を示す。ここで、SCR-1のトリガ電流値 3.1mA におけるターンオン立ち上がり時間が約 60ns に対し、SCR-2のトリガ電流値 1.6mA における立ち上がり時間が約 20ns と高速にターンオンしている。この結果から、横型NPNトランジスタのベース幅が小さいことに対応して、ベース走行時間が短縮することにより、高速応答している。

2.3.3 Nウェル入力パルストリガ電流応答特性

図2-8にNウェル入力の負のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg-}(\tau)$ 特性を示す。図からSCR-1については、 $\tau > 400\text{ns}$ でほぼ直流トリガ電流値 -2.42mA にほぼ等しく、 $\tau = 100\text{ns}$ で -2.8mA 、 $\tau = 60\text{ns}$ で -3.8mA 、パルス幅 τ の減少とともに閾値トリガ電流は増加することがわかる。一方、SCR-2では $\tau > 300\text{ns}$ でほぼ直流トリガ電流値 -2.2mA にほぼ等しく、パルス幅 τ の減少とともに閾値トリガ電流は増加しているが、SCR-1に比べより短いパルス幅に対してもラッチアップが生ずる。図2-9にトリガパルス幅 τ が 100ns の場合の閾値トリガ電流レベルより僅か越えた値でのラッチアップターンオン電流応答波形を示す。SCR-1のターンオン立ち上がり時間が約 60ns に比べ、SCR-2の立ち上がり時間が約 20ns と横型NPNトランジスタのベース幅が小さいことに対応して高速応答している。

2.3.4 n⁺ ドレイン入力パルストリガ電流応答特性

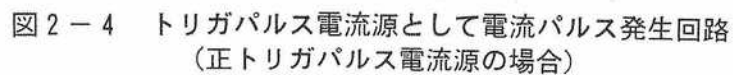
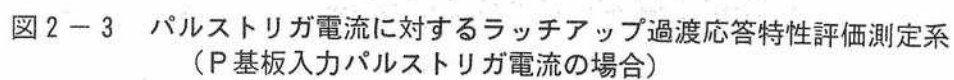
図2-10にn⁺ ドレイン入力の負のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg-}(\tau)$ 特性を示す。n⁺ ドレインがトリガトランジスタのエミッタとなり、このNPNトランジスタがSCR-1のPNPトランジスタに近接する場合、このトランジスタ間での寄生サイリスタが先にオンし始め、 $V_{DD}-V_{SS}$ 間のSCR-1がオンする。このため、SCR-1の閾値トリガ電流値は、おおむね

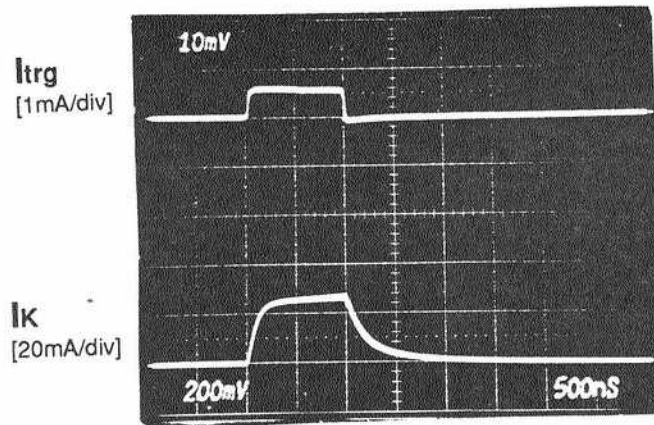
$$I_{trg-}(n+ drain) = - [(\beta_{n'} + 1) / \beta_{n'}] * V_{FP} / R_N$$

の式で示される。ベース幅が2 μ mの横型NPNトリガトランジスタの電流増幅率 $\beta_{n'}$ がベース幅が6 μ mのトリガトランジスタの電流増幅率に比べ大きいと、SCR-1のパルス幅が1 μ s以上でほぼDCと等しいラッチアップトリガ電流値はSCR-2に比べ小さな値となる。図2-11にトリガパルス幅 τ が100 nsの場合の閾値トリガ電流レベルよりわずかに越えた値でのラッチアップターオン電流応答波形を示す。n⁺ ドレイン（エミッタ）からのトリガ注入で横型NPNのトリガトランジスタのベース電流がP基板等価抵抗 R_{Ps} を介し、 V_{SS} から負方向に流れるため、モニタ電流は初めは負方向である。この横型NPNトリガトランジスタと縦型PNPトランジスタとの間で寄生サイリスタがオンし、続いてSCR-1（2）の横型NPNトランジスタがオンして、ラッチアップ過程でモニタ電流は正に反転する。SCR-1のターンオン立ち上がり時間が約60 nsに対し、SCR-2の立ち上がり時間が約15 nsであった。これは、上述のSCR-2の閾値電流値がSCR-1より大きいにもかかわらず、 $V_{DD}-V_{SS}$ 間での横型NPNトランジスタのベース幅が小さいことに対応して高速応答している。

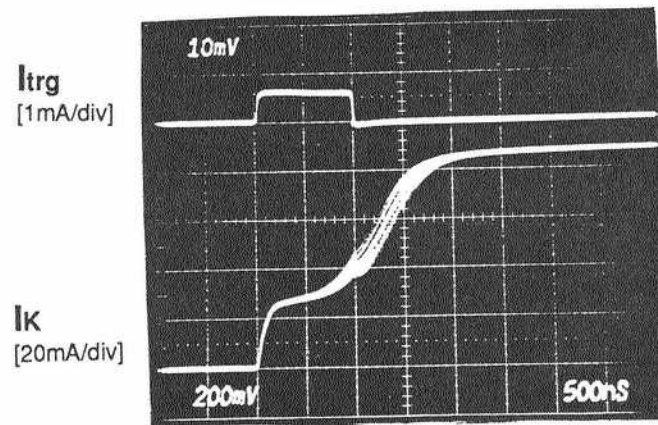
2.3.5 p⁺ ドレイン入力パルストリガ電流応答特性

図2-12にp⁺ ドレイン入力の正のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg+}(\tau)$ 特性を示す。図2-13にトリガパルス幅 τ が100 nsの場合の閾値トリガ電流レベルより僅かに越えた値でのラッチアップターオン電流応答波形を示す。p⁺ ドレイン（エミッタ）からのトリガ注入で縦型PNPトランジスタのベース電流がNウェル等価抵抗 R_{NW} を介し、 V_{DD} から正方向に流れるため、モニタ電流は初めは正方向である。縦型PNPトランジスタのコレクタ電流により、P基板等価抵抗における電位降下により横型NPNトランジスタのベース・エミッタ間を順バイアスしオンする。このコレクタ電流がNウェル等価抵抗に負方向に流れることにより、モニタ電流を反転させラ

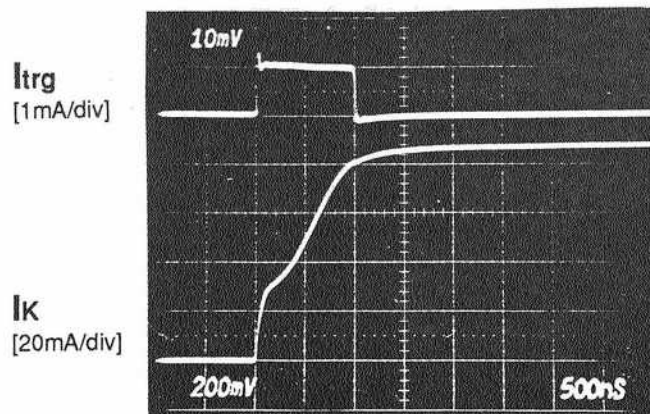




(a) $I_{trg} < I_{trg}(LU)$
(0.55 mA, $\tau = 1 \mu s$)



(b) $I_{trg} = I_{trg}(LU)$
(0.60 mA, $\tau = 1 \mu s$)



(c) $I_{trg} > I_{trg}(LU)$
(1.0 mA, $\tau = 1 \mu s$)

図 2-5 P 基板入力の正のトリガパルス電流に対するラッチアップターンオン波形
(I_{trg} は入力トリガ電流値、 $I_{trg}(LU)$ はラッチアップが生じる閾値トリガ電流値)
(a) $I_{trg} < I_{trg}(LU)$ (b) $I_{trg} = I_{trg}(LU)$ (c) $I_{trg} > I_{trg}(LU)$
(0.55 mA, $\tau = 1 \mu s$) (0.60 mA, $\tau = 1 \mu s$) (1.0 mA, $\tau = 1 \mu s$)

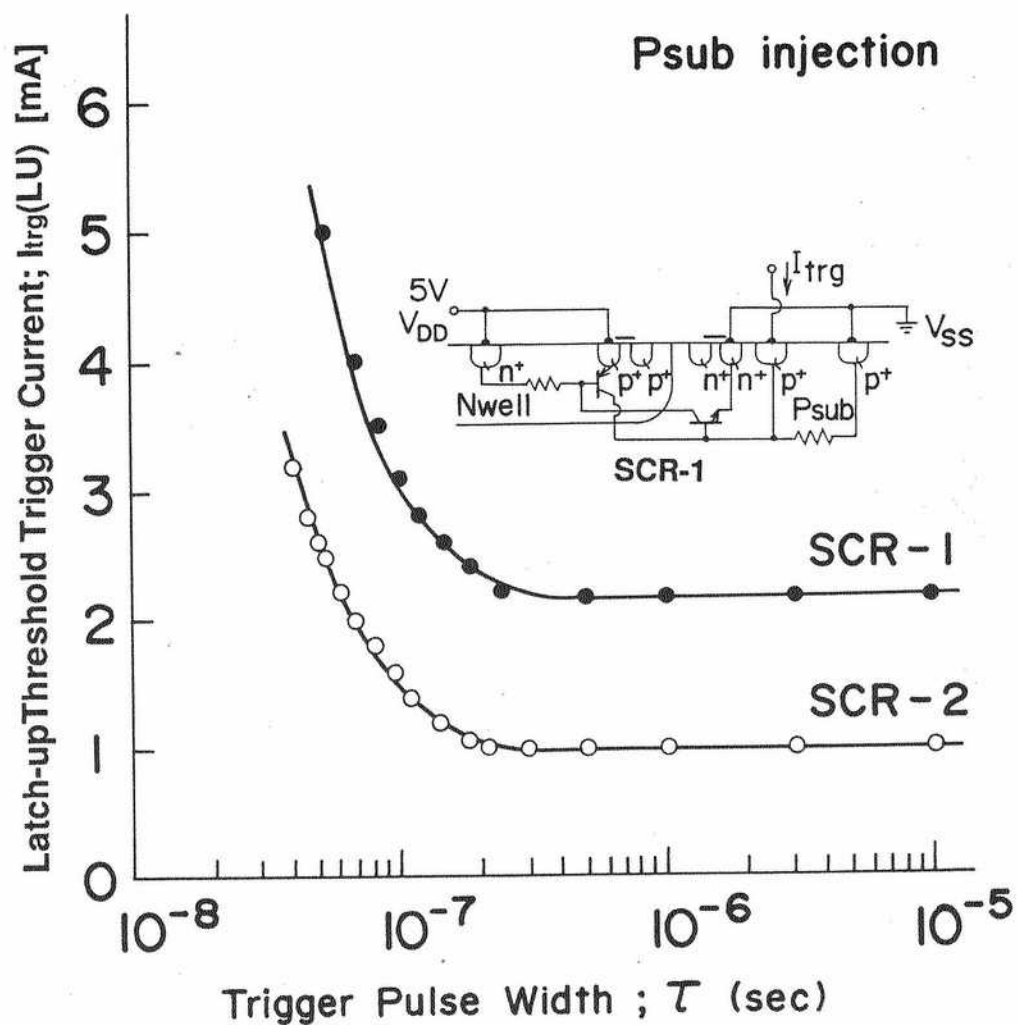


図 2-6 P 基板入力の正のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg+}(\tau)$ 特性

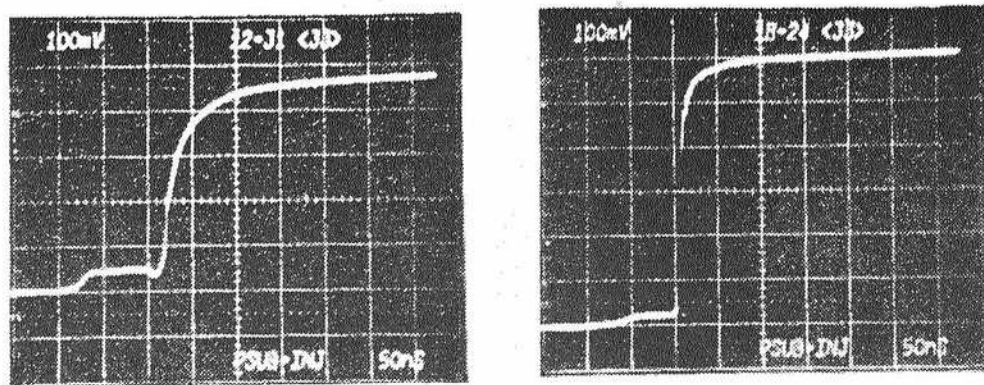


図 2-7 P 基板入力トリガの閾値電流レベル近傍でのラッチアップターオン電流応答波形 (トリガパルス幅 $\tau = 100$ ns の場合) 図2-1 参照

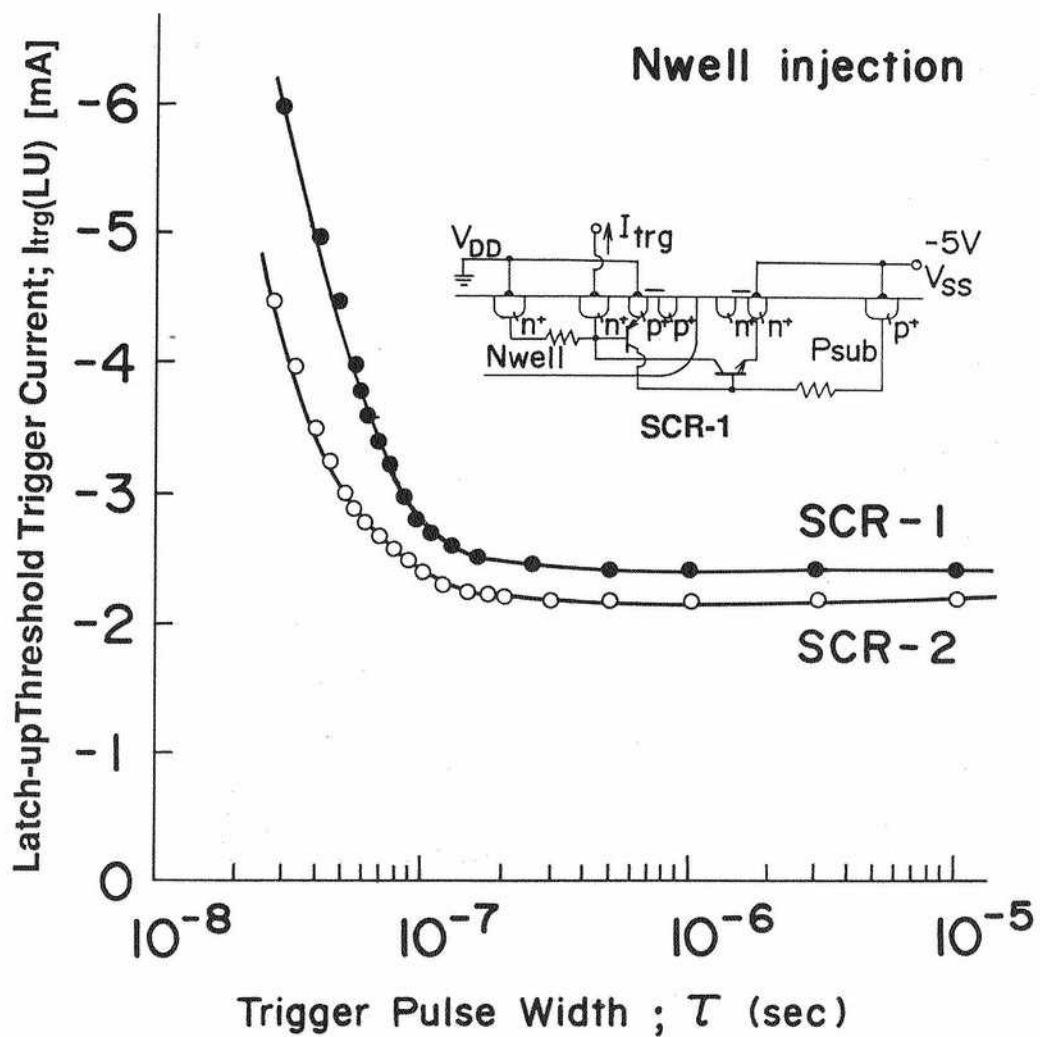
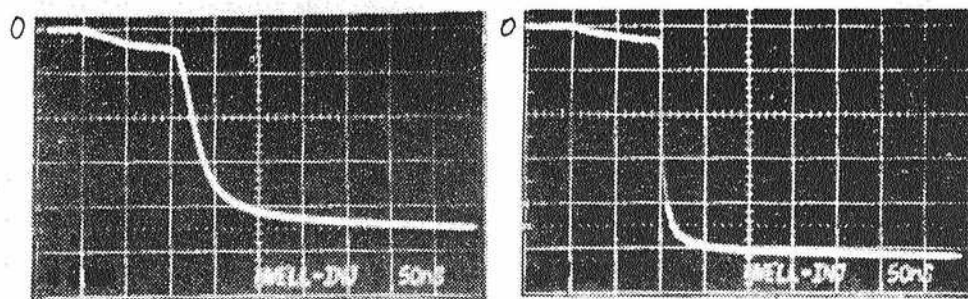


図 2-8 Nウェル入力の負のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg-}(\tau)$ 特性



(a) SCR-1 ($W_{BN1} = W_{BP1} = 6\mu m$) (b) SCR-2 ($W_{BN2} = W_{BP2} = 2\mu m$)

図 2-9 Nウェル入力トリガの閾値電流レベル近傍でのラッチアップターオン電流応答波形 (トリガパルス幅 $\tau = 100$ ns の場合)

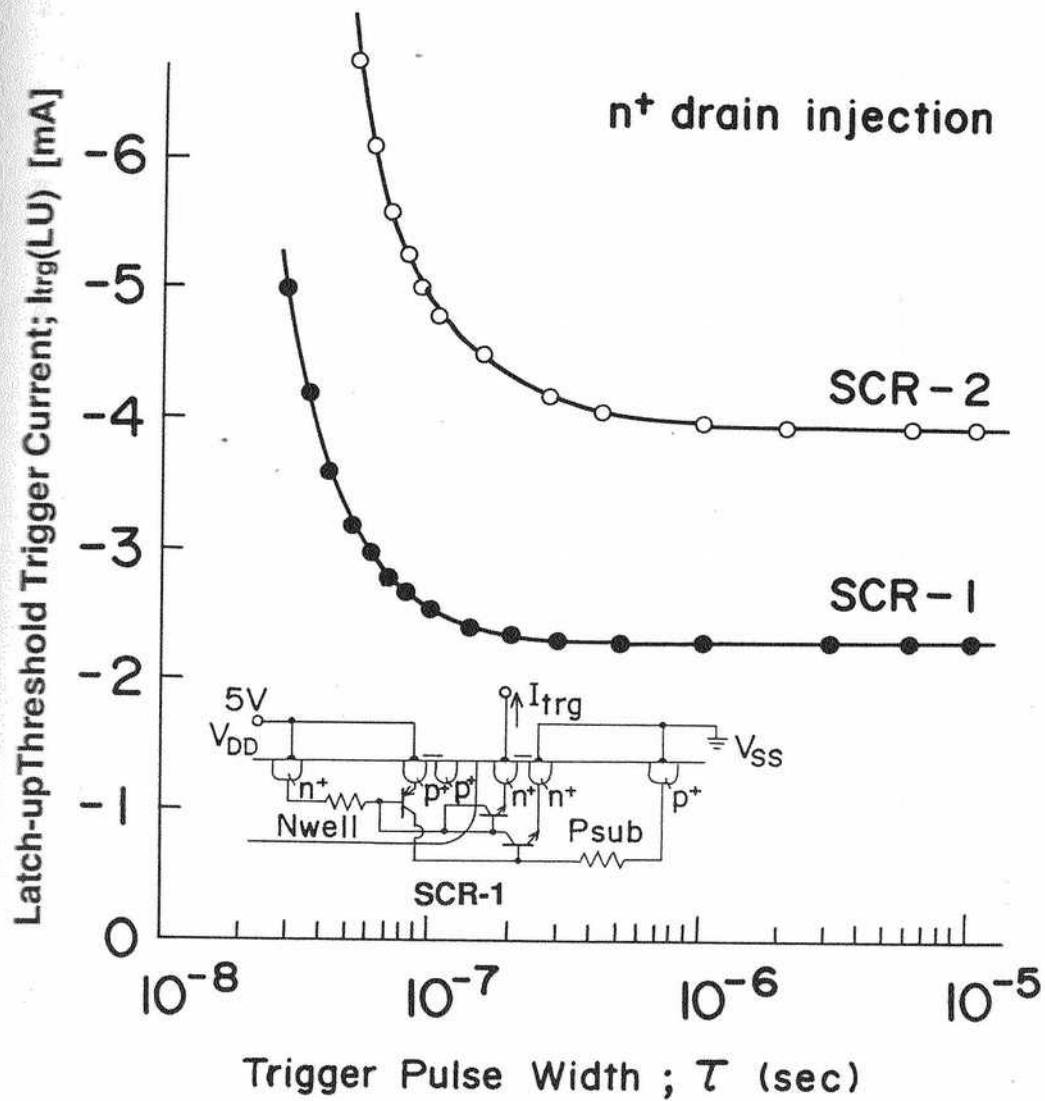


図2-10 n^+ ドレイン入力の負のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg-}(\tau)$ 特性

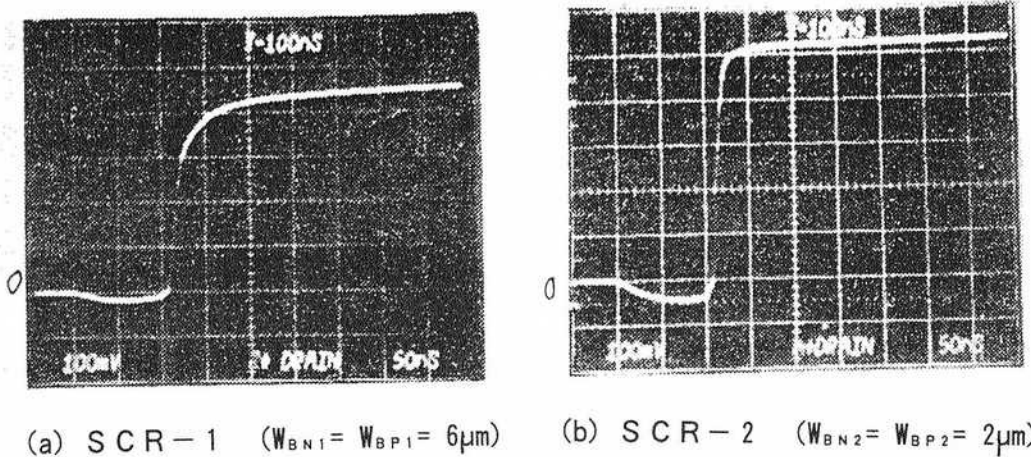


図2-11 n^+ ドレイン入力トリガの閾値電流レベル近傍でのラッチアップターオン電流応答波形 (トリガパルス幅 $\tau = 100$ ns の場合)

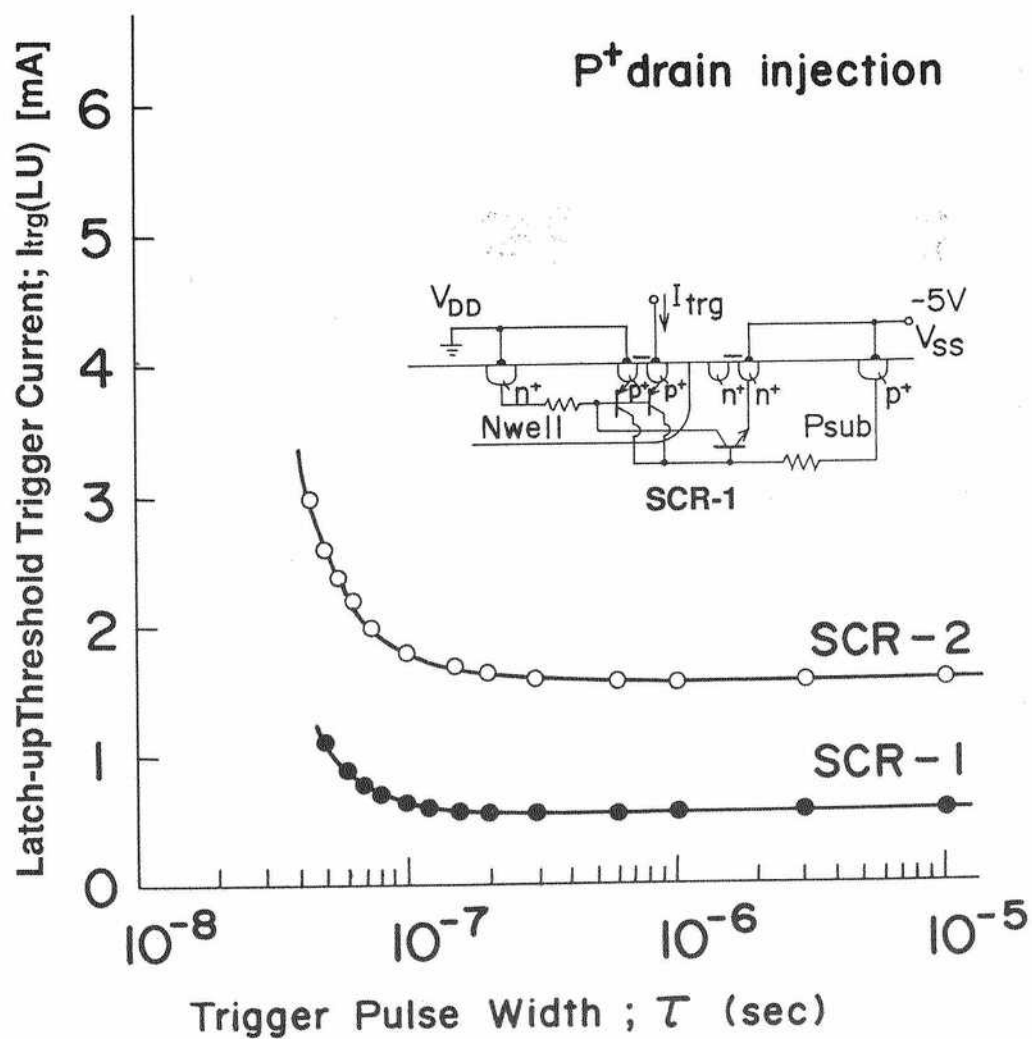


図 2-12 p⁺ ドレイン入力の正のトリガパルス電流のパルス幅 τ に対するラッチアップ閾値トリガ電流 $I_{trg+}(\tau)$ 特性

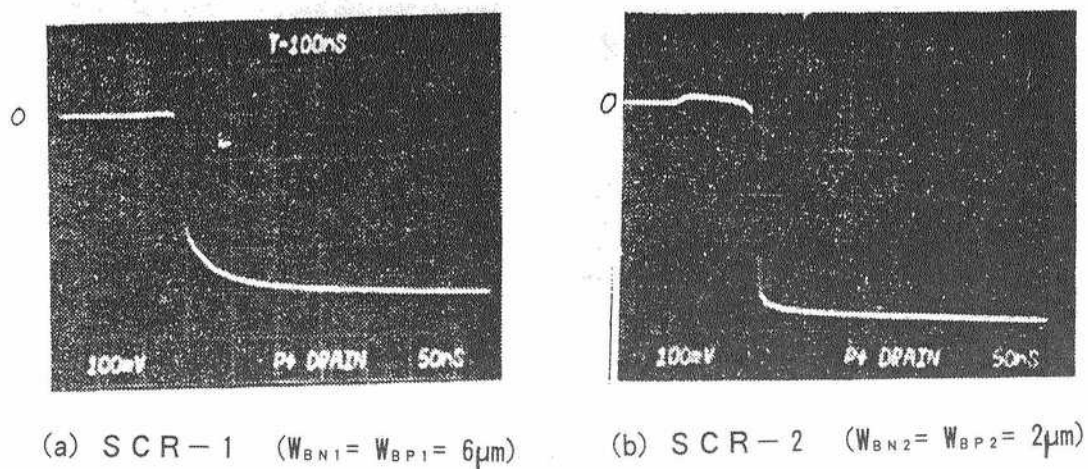


図 2-13 p⁺ ドレイン入力トリガの閾値電流レベル近傍でのラッチアップターオン電流応答波形 (トリガパルス幅 $\tau = 100$ ns の場合)

2. 4 パワーアップ時のラッチアップ応答

電源電圧投入（パワーアップ）時には、図 2-14 に示す N ウェル CMOS 構造のように N ウェル/P 基板間の接合が過渡的に逆バイアスされ、N ウェル側で電子キャリアが、P 基板側で正孔キャリアがそれぞれ出払われ空乏層が延びる。この時、ウェル基板間の接合容量を C_j 、電源電圧を V_{DD} 、電源立ち上がり時間を t_p とすると、等価直列抵抗の影響を無視できるという仮定のもとでは、

$$I_{dis} = d(C_j V_{DD})/dt = (C_j V_{DD})/t_p \quad (2.1)$$

という変位電流(displacement current)が過渡的に流れる。この変位電流がウェル等価抵抗あるいは基板等価抵抗で電位降下が生じ、寄生バイポーラトランジスタを順バイアスさせオンさせるほど大きい場合、ラッチアップを生じさせる要因となる。変位電流は、ウェル等価抵抗、基板等価抵抗が大きい場合、等価直列抵抗 $R_{PW} + R_{NW}$ の影響を考慮して、

$$I_{dis} = [C_j V_{DD}/t_p][1 - \exp(-t/\tau)], \quad \tau = C_j(R_{PW} + R_{NW})$$

となる。一般的に変位電流はパワーアップ時間が短いほどピーク電流は大きい、短時間に流れるため、寄生バイポーラトランジスタのベース走行時間で代表される高速応答特性に依存する。

本節では 1.2 μm ルール N ウェル CMOS プロセスを用いた寄生サイリスタのパワーアップ時のラッチアップ応答特性についての評価結果を述べる。図 2-15 にパワーアップ時のラッチアップ過渡応答評価測定系を示す。電源としては、ラッチアップターンオン波形の測定の容易さと被測定素子(DUT:device under test)の破壊防止のため、パルス電源($Z = 50 \Omega$)を用いた。カソード側には、波形測定用のモニタ抵抗(10Ω)を挿入して、ラッチアップ電源波形を観測した。

図 2-16 (a)~(c) にそれぞれ、5 V 印加時の立ち上がり時間 t_p が 100 ns, 60 ns, 58 ns の電源電流の波形を示す。(a)(b)の電源電流は、電源立ち上がりに対応した変位電流である。ここで、各図の dV_{DD}/dt はそれぞれ、50 mV/ns, 83 mV/ns, 86 mV/ns である。図中の(b)ではラッチアップが生じない際の電源立ち上がり時間 60 ns, (c)ではラッチアップがちょうど生じる際の電源立ち上げ時間(58 ns)であり、ラッチアップターンオン時間は 30 ns 程度である。このように、通常の 5 V 電源電圧使用のバルク CMOS 構造において数十 ns の電源立ち上がり時間で、ラッチアップが生じる。このため、バルク CMOS

LSI を用いたシステムでは、少なくとも電源パワーアップによるラッチアップが生じないようにパワーアップ時間を数百 μs ~ 数 ms 以上と規定しなければならない。

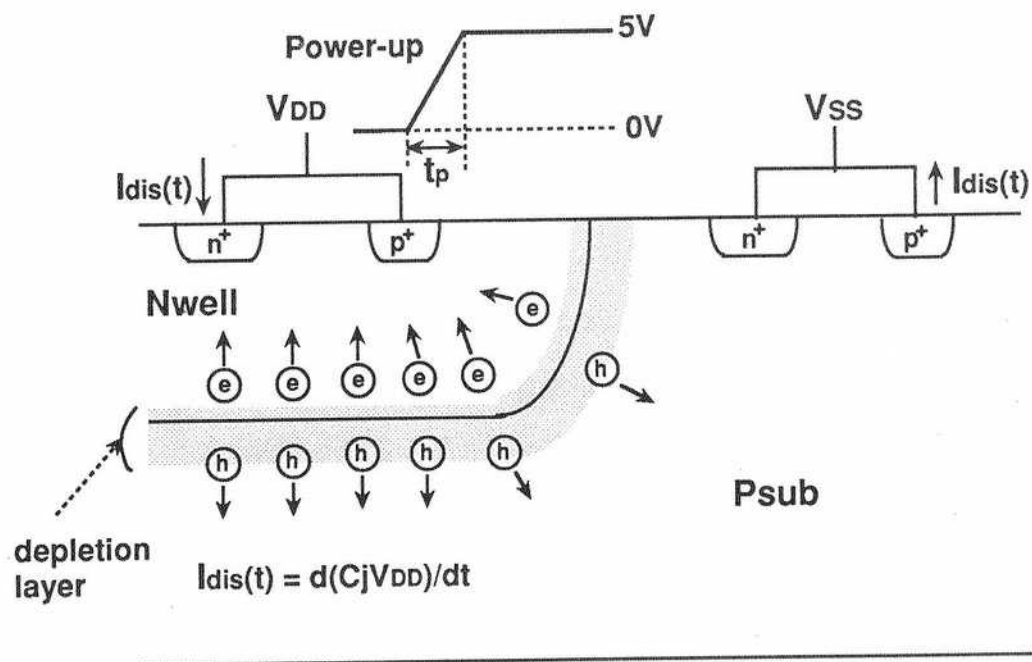


図 2-14 パワーアップ時の変位電流生成モデル
 $I_{dis} = d(C_j V_{DD})/dt$

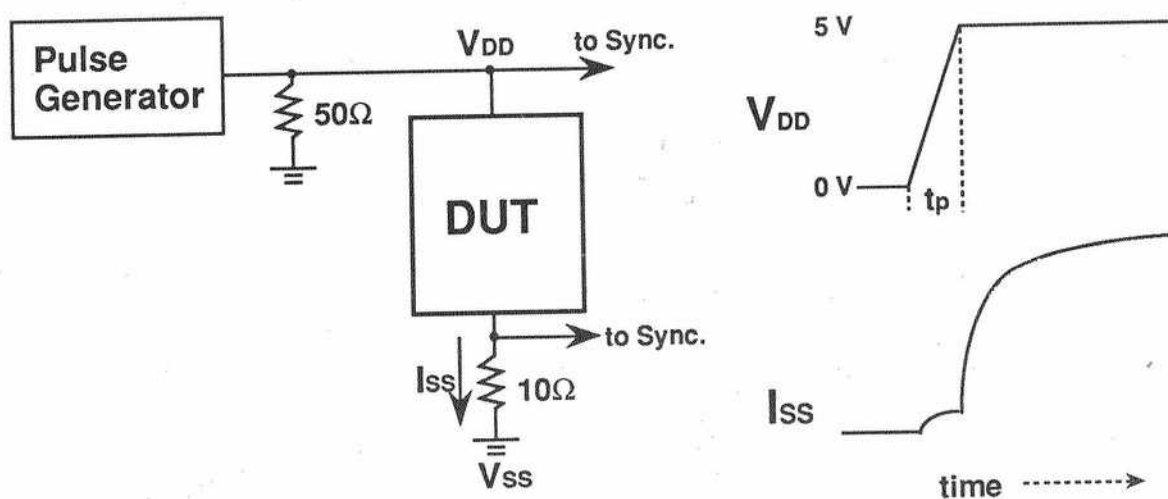
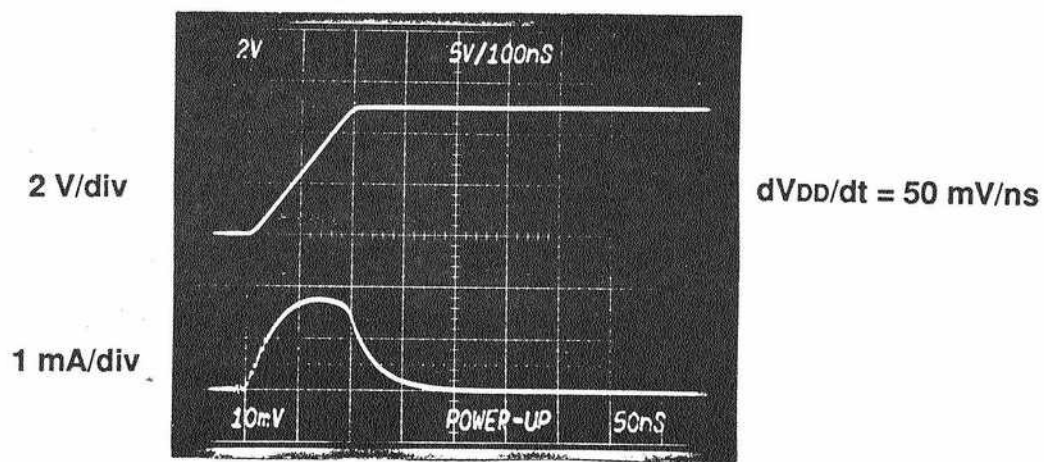
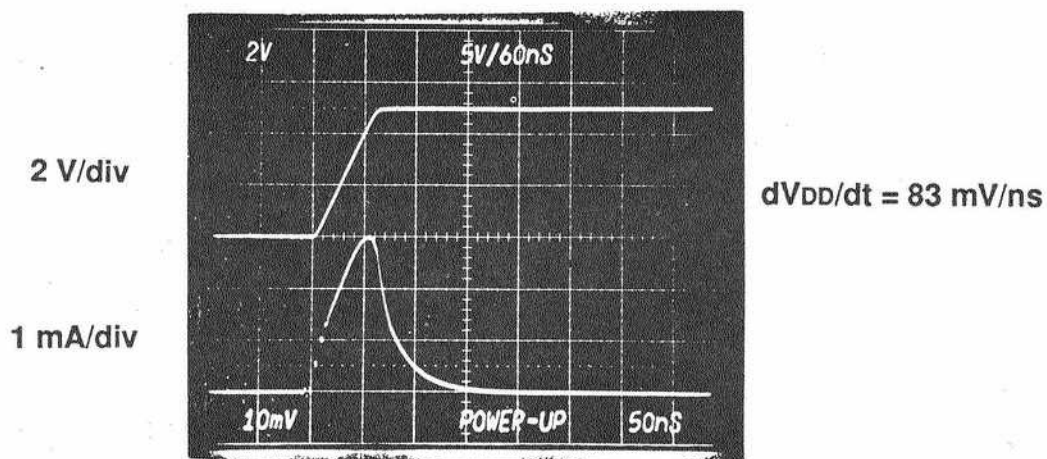


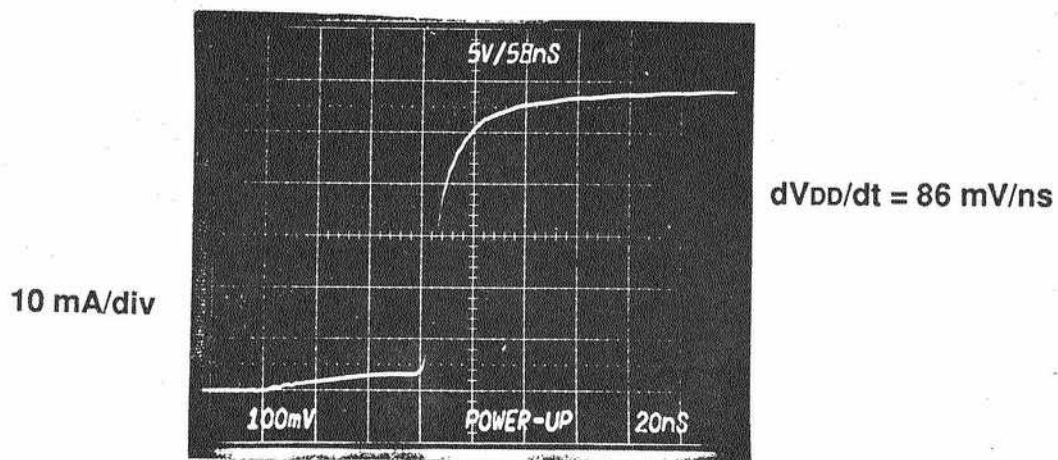
図 2-15 パワーアップ時のラッチアップ過渡応答評価測定系



(a) 立ち上がり時間 $t_p = 100 \text{ ns}$



(b) $t_p = 60 \text{ ns}$ ラッチアップ直前



(c) $t_p = 58 \text{ ns}$ ラッチアップ直後

図 2-16 パワーアップ時のラッチアップ過渡応答波形

2. 5 インパクトイオン化によるラッチアップ特性

2.5.1 DC特性評価

内部回路におけるラッチアップの主なトリガ要因は、前節の変位電流の他にNMOSFETの高電界ドレイン近傍でのホットエレクトロンによるインパクトイオン化誘起生成ホール基板電流^{[12] - [15]}がある。図2-17に典型的なNMOSFETの基板電流 I_{sub} 及びドレイン電流 I_D のゲート電圧 V_G 依存性（ドレイン電圧3.0V~5.0V）を示す。基板電流は $I_{sub} = f(V_{DS}, V_G)$ となるドレイン電圧とゲート電圧の関数であらわされる。インパクトイオン化による生成ホール基板電流が等価Pウェル抵抗 R_{PW} に流れることによる電圧降下（ $I_{sub} \cdot R_{PW}$ ）で寄生NPNバイポーラトランジスタのエミッタ・ベース間を順バイアスさせるほど大きい場合、トランジスタはオンする。このコレクタ電流によりNウェル等価抵抗での電圧降下を生じ、寄生PNPトランジスタをオンさせ、正帰還がかかりラッチアップ過程に遷移する。したがって、Pウェル等価抵抗を低減させるか、生成ホール基板電流を低減させるかが耐性向上に有効であるが、通常はPウェル等価抵抗を低減するためウェルコンタクトの必要な数だけ配置することにより耐性を確保している。

図2-18にインパクトイオン化によるラッチアップ特性評価のため、インバータ回路のテスト構造（ECL/LV-TTL混載BiCMOS LSI用の-4.5V/3.3V系の0.5 μ m BiCMOSプロセス^[13]で作製）を示す。ドライバ回路を想定し、基本インバータ回路（ゲート長 $L_g=0.55\mu$ m, ゲート幅 $W_n=11.4\mu$ m(NMOS), $W_p=16.2\mu$ m(PMOS))を32ヶ並列に構成した。ラッチアップ耐性のウェルコンタクトの配置間隔 X_p 依存性を評価するため、 X_p はそれぞれ38.4 μ m, 76.8 μ m, 153.6 μ mの3水準とした。図2-19(a)~(c)に電源電圧を3.5V~4.5Vまで0.5Vステップで印加した場合のインバータ回路の入出力伝達特性および電源電流特性を示す。(a)の $X_p=153.6\mu$ mでは $V_{DD}=4.0$ Vの場合、(b)の $X_p=76.8\mu$ mおよび(b)の $X_p=38.4\mu$ mでは $V_{DD}=4.5$ Vの場合でラッチアップが生じていることがわかる。図2-20にラッチアップの生じる閾値電源電圧のウェルコンタクト間隔 X_p 依存性（出力電位をHighに固定）を示す。ここで、印加ゲート電圧はNMOSFETの基板電流が最大となる様に調整した。図から、閾値電源電圧以下では、基板電流によるラッチアップが少なくとも生じないことと、また閾値電源電圧以上ではラッチアップが生じる可能性があることを示している。しかしながら、実際の回路動作においては基板電流の発生時間は過渡的であるため、生成される基板電流はゲート入力電圧の立ち上がり時間および出力端子での負荷容量に依存する。このため、過渡的な基

板電流生成に対するラッチアップ耐性はDC特性よりも高くなると予想される。

2.5.2 過渡応答特性評価

図2-21に過渡応答特性評価用の測定系を示す。素子の破壊防止と波形観測の容易性から同期させた2台のパルス電源を用いて、電源用と入力信号用に適用した。ラッチアップ応答波形は、カソード側に5Ωのモニタ抵抗を介して観測した。図2-22にインバータ回路（ウェルコンタクト間隔 $X_p=153.6\ \mu\text{m}$ ）において入力電圧 V_{in} の立ち上がり時間 t_p とラッチアップが生じる際の電源電圧 V_{DD} の関係を示す。ここで図中に示す様に、出力端子に外付けした負荷容量（0pF, 30pF, 300pF, 3nF）をパラメータとした。また、インバータ回路内のNMOSFETで生成されるトリガ電流としての基板電流は、図2-17で $V_{DS}(t)=V_{OUT}(t)$, $V_G(t)=V_{in}(t)$ と置き換えることにより求まる。そこで電源電圧が高いほど生成基板電流が高くなるため、短い入力立ち上がりでもラッチアップが生じる。さらに、入力電圧の立ち上がり時間 t_p が長いほど基板電流生成時間が長くなるので同様に低電源電圧でラッチアップが生じやすくなる。次に、出力端子での外部負荷容量 C_L 依存については、 $X_p=153.6\ \mu\text{m}$ 、電源電圧4.8V一定の条件での結果を以下に述べる。外部負荷容量値が（0pF, 30pF, 300pF, 3nF）に対し、それぞれラッチアップが生じる入力立ち上がり時間は（0.24us, 0.20us, 0.1us, 50ns）であった。これは、外部負荷容量が大きいほど出力端子での立ち下がりにかかる時間がかかるので、基板電流の生成量は増加するためである。図2-23に電源電圧4.8V一定の場合の、負荷容量をパラメータとしたラッチアップが発生する入力立ち上がり時間とウェルコンタクト間隔の依存性を示す。ウェルコンタクト間隔が狭いほど、ウェル等価抵抗の低減によりラッチアップ耐性が高くなるため、ラッチアップが生じるための入力立ち上がり時間が大きくなることがわかる。図2-24にインバータ回路のラッチアップターンオンに関し、パルス電源電圧 V_{DD} 、入力信号 V_{IN} 、出力信号 V_{OUT} 、

カソード電流 I_{SS} のラッチアップ直前、直後の時間推移を示す。ここで、パルス電源電圧 V_{DD} は4.6V一定とし、出力端子には外部負荷容量30pFを付加した。入力電圧の波高値は4.2Vで、立ち上がり時間は(a)で90ns, (b)で100nsである。インバータの入出力波形で入力立ち上がり時間よりも出力立ち下がり時間（40ns）の方が速いため、カソード電流では、入力立ち上がり時、立ち下がり時においてPMOSFETもオンしている電源からの貫通電流が観測される。ここで、電源電圧は50Ω整合のパルス電源のため、インバータ反転時およびラッチアップ時で電源の電圧降下が生じている。

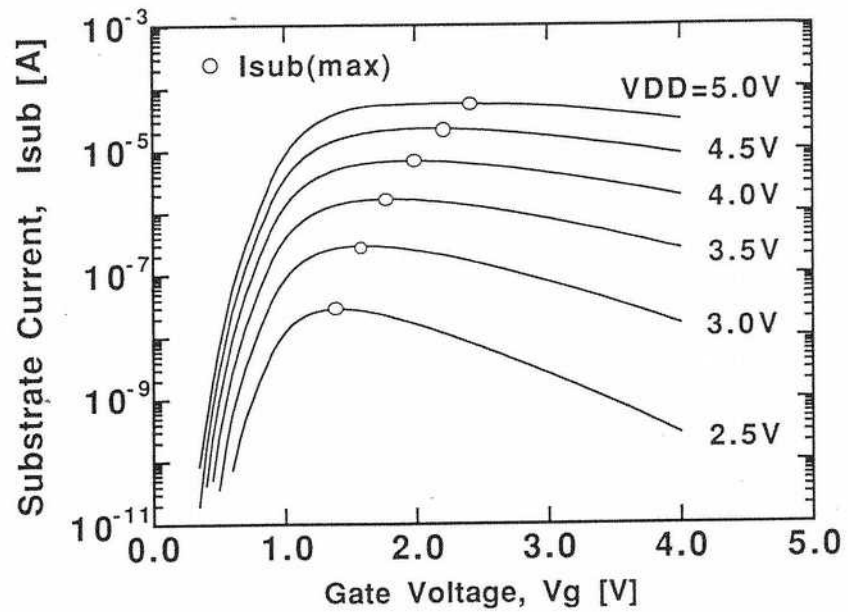


図 2-17 典型的な NMOSFET の基板電流 I_{sub} 及びドレイン電流 I_{DS} のゲート電圧 V_g 依存性 ($W_n = 10 \mu m$, $L_g = 0.55 \mu m$)

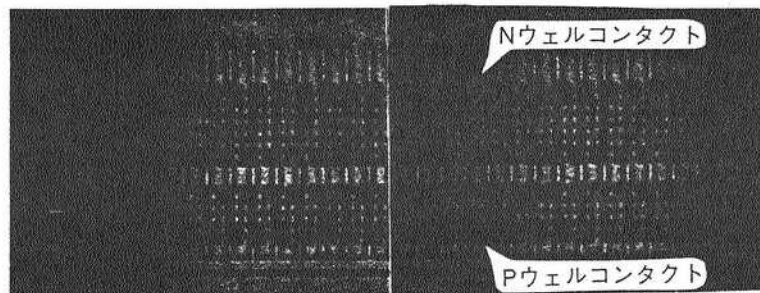
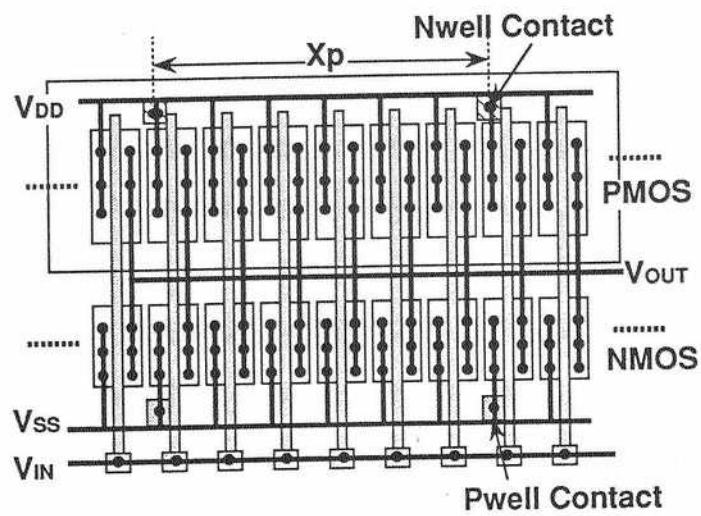
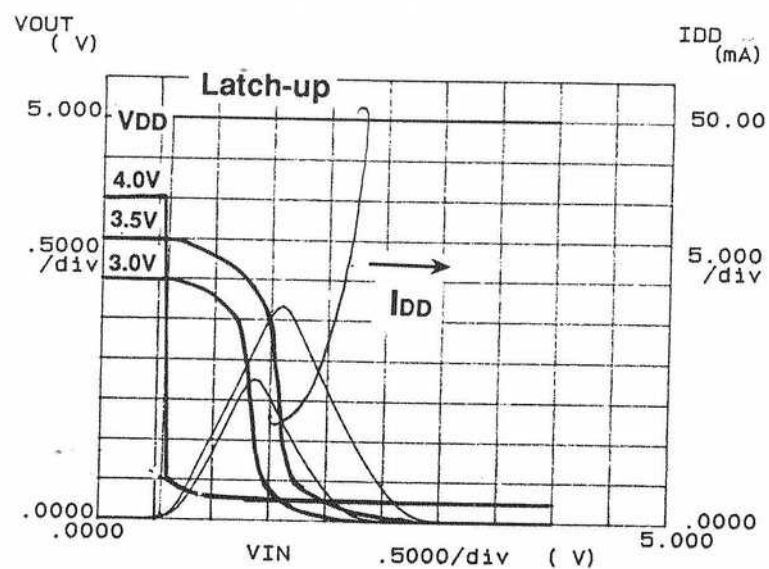
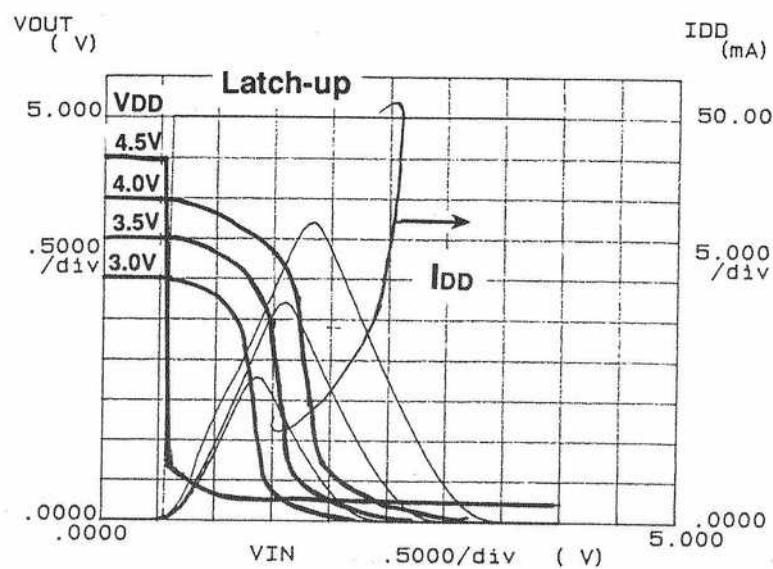


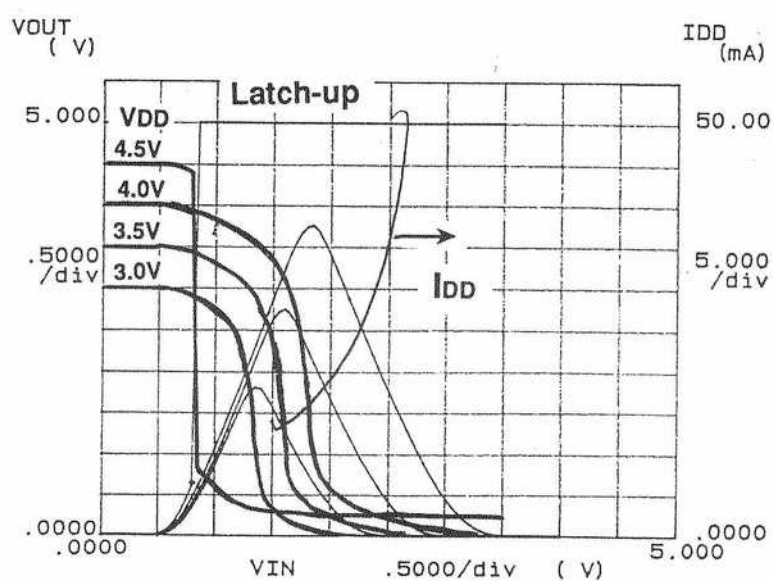
図 2-18 インバータ出力回路の平面模式図および顕微鏡写真



(a) $X_p = 153.6 \mu\text{m}$



(b) $X_p = 76.8 \mu\text{m}$



(c) $X_p = 38.4 \mu\text{m}$

図 2-19 インバータ回路の入出力伝達特性および電源電流特性

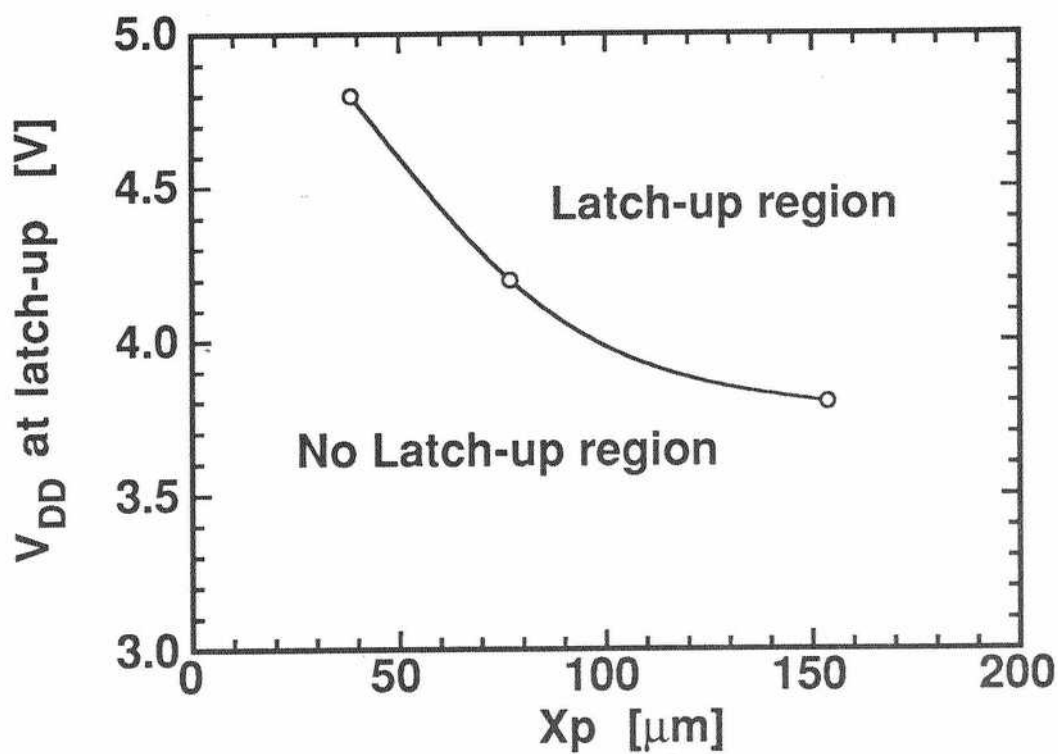


図 2-20 基板電流生成によりラッチアップが生じる際の電源電圧のウェルコンタクト間隔 X_p 依存性（出力端子High固定）

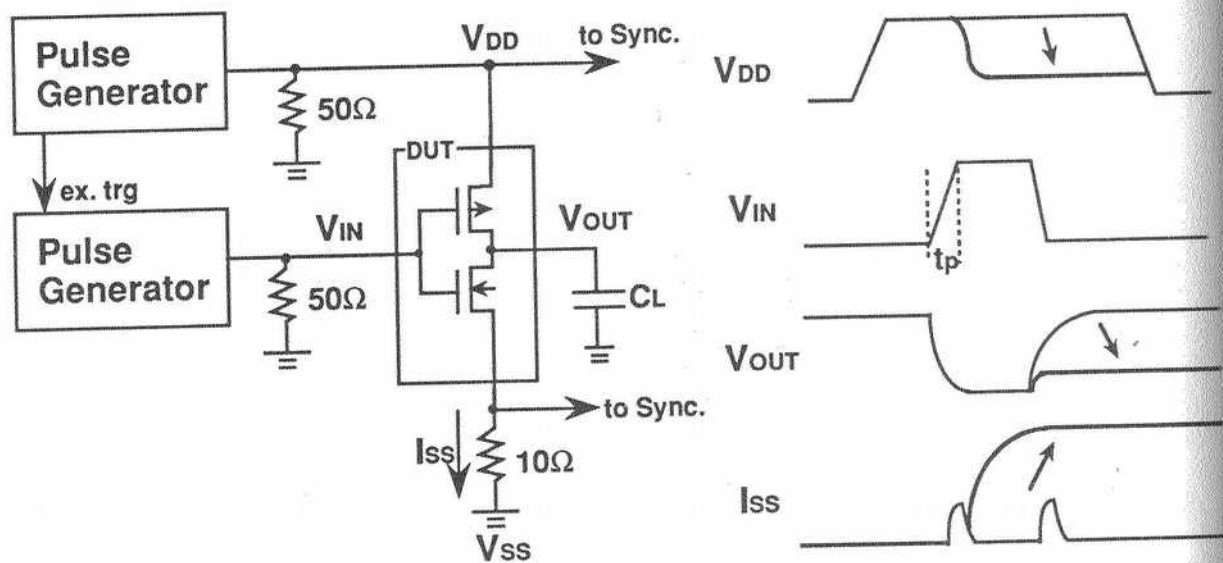
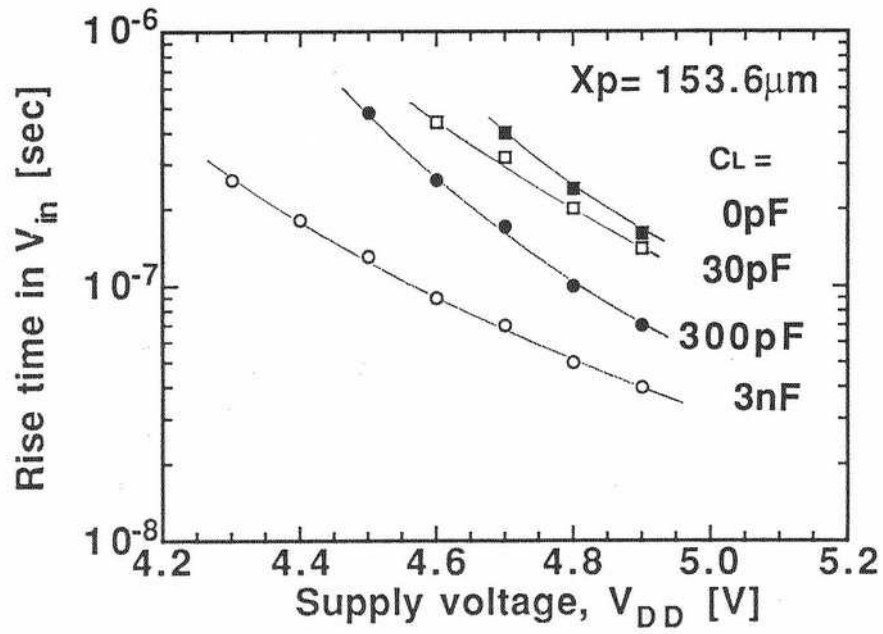
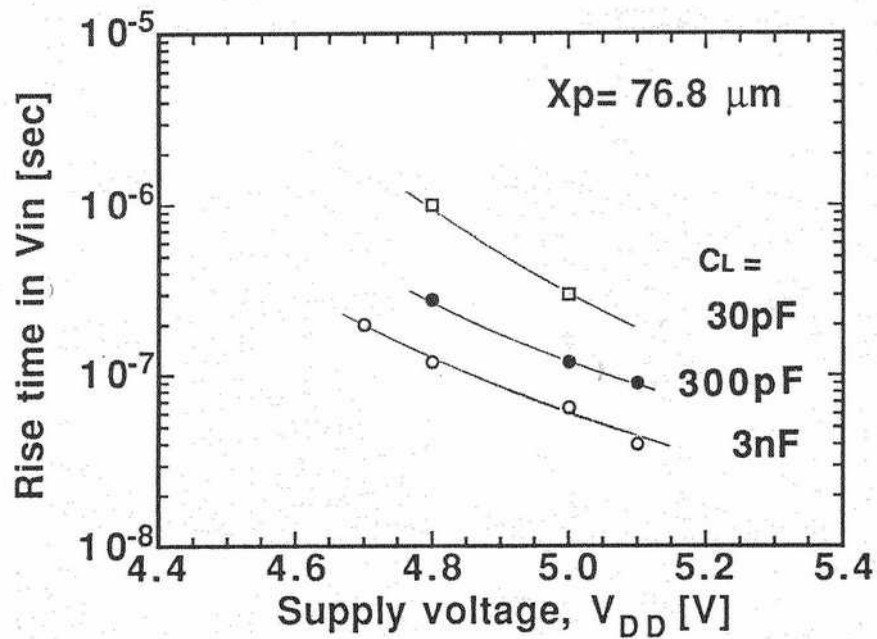


図 2-21 インパクトイオン化によるラッチアップの過渡応答特性の測定系



(a) $X_p = 153.6 \mu m$



(b) $X_p = 76.8 \mu m$

図 2-22 入力電圧 V_{in} の立ち上がり時間 t_p とラッチアップ閾値を示す電源電圧との関係
(出力負荷容量をパラメータ)

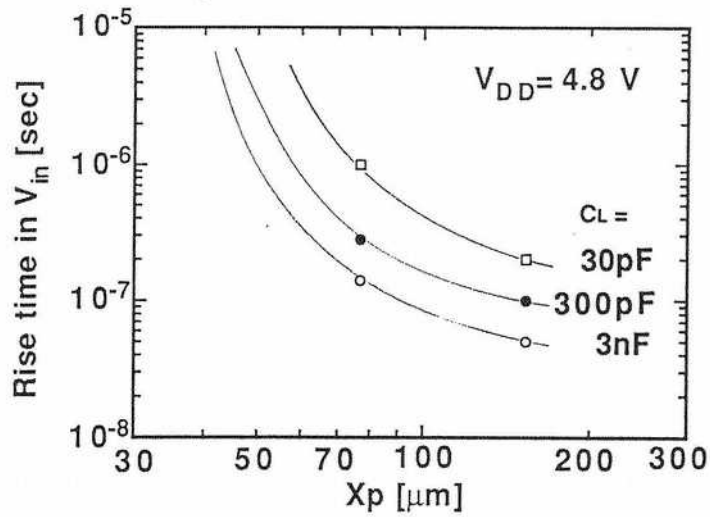
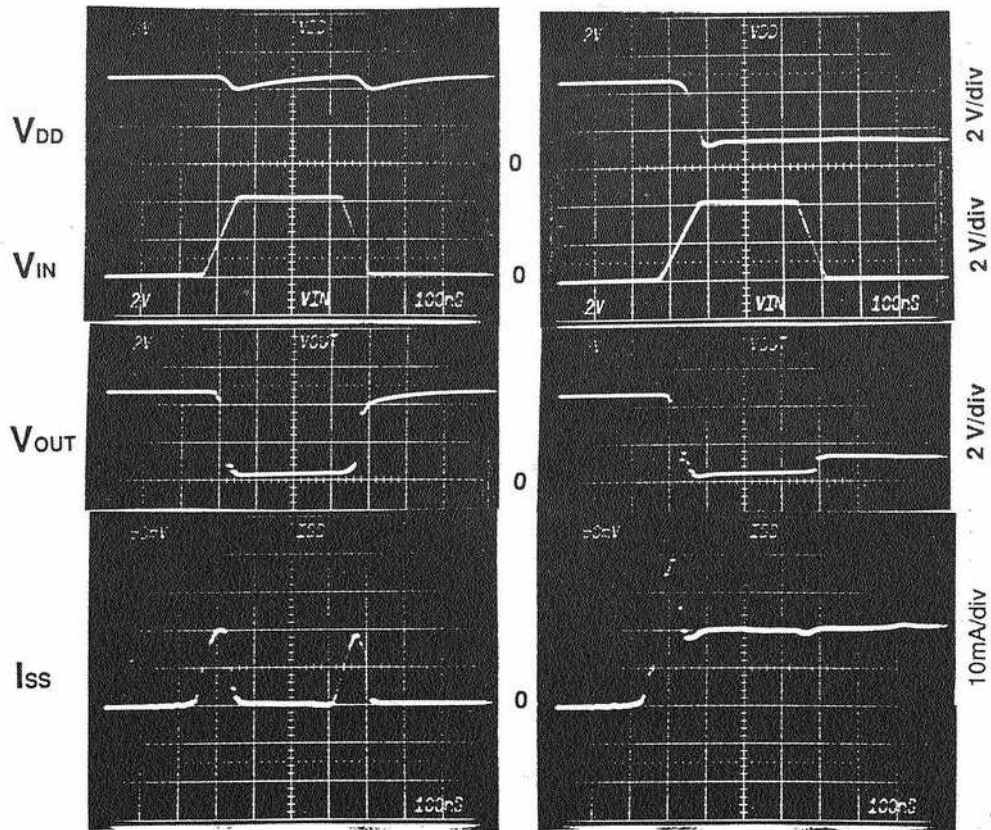


図 2-23 入力電圧 V_{IN} の立ち上がり時間 t_p に対するウェルコンタクト間隔 X_p 依存性 ($V_{DD} = 4.8 \text{ V}$, 出力負荷容量をパラメータ)



before latch-up
at $t_p = 90 \text{ ns}$

just latch-up
at $t_p = 100 \text{ ns}$

$V_{DD} = 4.6 \text{ V}$, $V_{IN} = 4.2 \text{ V}$ $CL = 30 \text{ pF}$

$V_{DD} = 4.6 \text{ V}$, $V_{IN} = 4.2 \text{ V}$ $CL = 30 \text{ pF}$

(a) 立ち上がり時間 $t_p = 90 \text{ ns}$

(b) 立ち上がり時間 $t_p = 100 \text{ ns}$

図 2-24 インバータ回路の基板電流におけるラッチアップターンオン波形 (パルス電源電圧 V_{DD} 、入力信号 V_{IN} 、出力信号 V_{OUT} 、カソード電流 I_{SS})

2. 6 まとめ

本章では、ラッチアップターンオン過渡応答特性を中心に①パルストリガ電流注入によるラッチアップ過渡応答特性、②パワーアップ時の変位電流によるラッチアップ過渡応答特性、ならびに③インパクトイオン化誘起の基板電流によるラッチアップ過渡応答特性について詳細に評価した。以下の得られた結果をまとめる。

- (1) パルストリガ電流に対するラッチアップ過渡応答特性の評価法を提案した。Pウェル(基板)入力、Nウェル(基板)入力、 n^+ ドレイン入力、 p^+ ドレイン入力の4モードに対してトリガ閾値電流のパルス幅依存性、ラッチアップターンオン波形の測定を行った。ラッチアップトリガ電流のパルス幅依存性は、主に横型NPNトランジスタのベース走行時間に依存して説明できることを明らかにした。
- (2) パワーアップ時のラッチアップターンオン過渡応答特性を評価し、数十nsの高速な電源電圧の立ち上がり時間で、ラッチアップが生じることが明らかになった。
- (3) インパクトイオン化誘起ホール基板電流によるCMOSインバータ回路のラッチアップターンオン過渡応答を評価した。ラッチアップが生じる際の入力電圧の立ち上がり時間は、基板電流生成量に係わる電源電圧および負荷容量に依存することを明らかにした。また、電源電圧一定のもとでは、入力電圧の立ち上がり時間が短いほど、また出力端の負荷容量が小さいほどラッチアップ耐性が高くなることを明らかにした。

尚、本検討の成果の一つであるパルストリガ電流によるラッチアップ耐性の評価法について、1984年に日本電子機械工業会で招待講演^[16]を行い、ラッチアップ耐性の新しい評価方法として、規格制定^[17]の一助となった。

第2章 参考文献

- [1] B. L. Gregory and B. D. Shafer, "Latch-up in CMOS integrated circuits,"
IEEE Trans. Nuclear Science, vol. NS-20, pp. 293-299 (1973).
- [2] D. B. Estreich, "The physics and modeling of latch-up and CMOS integrated
circuits," Stanford Electronics Lab. Tech. Rep. G-201-9 (1980).
- [3] P. V. Dressendorfer and A. Ochoa, "An analysis of the modes of operation of
parasitic IC's," IEEE Trans. Nucl. Sci., vol. NS-28, pp. 4288-4294 (1981).
- [4] C. C. Huang, M. D. Hartranft, N. F. Pu, C. Yue, C. Rahn, J. Scharankler, G. D. Kirchner,
F. L. Hampton and T. E. Hendrickson, "Characterization of CMOS latch-up",
Tech. Digest of 1982 IEDM, pp. 454-457 (1982).
- [5] Y. Sakai, T. Hayashida, N. Hisamoto, O. Minato, T. Masuhara, K. Nagawasa, T. Yasui and
Tanimura, "Advanced Hi-CMOS device technology," Tech. Digest of 1981 IEDM,
pp. 534-537 (1981).
- [6] M. Kyomasu, T. Araki, T. Ohtsuki and M. Nakayama, "Analysis of latch-up in CMOS
IC," Trans. IECE Japan, Vol. C61, No. 2, pp. 106-113 (1978).
- [7] R. D. Rung, H. Momose, "Improved modeling of CMOS latch-up and
VLSI implications," Proceeding of Symp. VLSI Tech., 4.1 (1982).
- [8] R. R. Troutman and H. P. Zappe, "Power-up triggering conditions for latchup
in bulk CMOS," Proceeding of Symp. VLSI Tech., 4.2 (1982).
- [9] R. R. Troutman and H. P. Zappe, "A transient analysis of latch-up in bulk
CMOS," IEEE Trans. Electron Devices, vol. ED-30, pp. 170-179 (1983).
- [10] T. Aoki, R. Kasai and S. Horiguchi, "Transient characteristics of latch-up
in bulk CMOS," Electronics Letters, Vol. 19, pp. 758-759 (1983).
- [11] T. Aoki, R. Kasai and S. Horiguchi, "A CMOS latch-up model including
non-linear effects," International Conference on Solid State Devices and
Materials, ICSSDM'84, pp. 241-244 (1984).

- [12] D.P.Kennedy and A.Philips, "Source-drain breakdown in an isolated gate field effect transistor," Tech. Digest of 1978 IEDM, pp. 160-163 (1973).
- [13] E.Sun, J.Moll, J.Berger and B.Alders, "Breakdown mechanism in short-channel MOS transistors," Tech. Digest of 1978 IEDM, pp. 478-491 (1978).
- [14] D.Takacs and M.Steger, "Maximum operation voltage limitation due to parasitic bipolar action in VLSI CMOS," ESSCDERC, C4, pp. 387-390 (1988).
- [15] C.M.Wang, J.J.Tzou and C.Y.Tang, "Hot-carrier-induced latchup and trapping/detrapping phenomena," Proc. IEEE Int. Reliability Physics Symp., pp. 110-113 (1989).
- [16] 青木, 「ラッチアップ過渡特性評価について」
E I A J 日本電子機械工業会主催 招待技術講演 (1984).
- [17] E I A J (日本電子機械工業会), 「CMOSラッチアップ強度測定方法」,
I C 技 T B - 5901 1985 0213 (1985).

第3章 数値解析によるラッチアップ現象の解析と応用

3. 1 緒言

半導体デバイスにおける数値解析の研究は、1964年に1次元解析が報告された^[1]のが発端となり、1970年代にはPoisson 式とキャリアの電流連続式を用いたDrift-Diffusion モデルの2次元化^{[2] - [3]}が行われ、基本方程式の離散化、半導体内の物理モデル、数値解析時の収束性等の検討がなされた。^{[4] - [6]} 1980年前後から、半導体デバイス内の物理現象の把握とデバイス設計指針へ応用がはじまった。これらは主に (1) MOS トランジスタの降伏耐圧解析(avalanche breakdown analysis)の検討^[4] (2) MOS トランジスタ微細化のための構造設計の検討 (3) ホットキャリアによるMOS トランジスタ特性劣化防止策の検討^[5] 等に広く応用された。

ラッチアップの数値解析に関しては、1982年頃に寄生サイリスタおよびCMOS インバータ回路のラッチアップのDC 解析が報告された。^{[6], [7]} これらの報告では、寄生PNP およびNPN バイポーラトランジスタの融和動作による2次元のラッチアップの数値解析が可能なが示されたが、デバイス内部のキャリアの挙動に対しては詳細に述べられていなかった。

本章では、2次元2キャリア半導体デバイスシミュレータTRANAL (TRansistor ANALysis program)^[8]を用いて、ラッチアップ現象の数値解析の詳細結果について述べる。まず、DC 解析によりラッチアップ過程における寄生デバイスの非線形効果の把握と過渡解析回路のモデル化を行う。^[9] 次に、過渡解析によるパルストリガ電圧入力に対するラッチアップターンオン過程におけるデバイス内のキャリアの動的挙動とポテンシャルの変化を明らかにする。さらに、宇宙空間環境下での重粒子イオン入射によるラッチアップ動特性への応用解析についても述べる。^{[10], [11]}

3. 2 デバイスシミュレータの解析モデル

3.2.1 デバイスの基本方程式

CMOSラッチアップの解析には、汎用2次元2キャリア半導体デバイスシミュレータTRANAL^[8]を用いた。半導体デバイスの内部のキャリアの挙動ならびにその電気的特性は、次に示す基本方程式であるPoisson方程式と電子および正孔に対する電流連続式を適当な境界条件のもとで連立させて解くことにより得られる。^{[8], [12]}

Poisson 方程式

$$\nabla^2 \psi = -(q/\epsilon)(p - n + N_D^+ - N_A^-) \quad (3.1)$$

電流連続式

$$\nabla J_n - q \partial n / \partial t = q(R - G) \quad (3.2)$$

$$\nabla J_p + q \partial p / \partial t = -q(R - G) \quad (3.3)$$

また、電子および正孔の電流密度は

$$J_n = -q\mu_n n \nabla \psi + qD_n \nabla n \quad (3.4)$$

$$J_p = -q\mu_p p \nabla \psi - qD_p \nabla p \quad (3.5)$$

である。ここで、 n 、 p は電子、正孔密度、 N_D^+ 、 N_A^- は活性化されたドナー、アクセプタ不純物密度、 ψ はポテンシャル、 D_n 、 D_p は電子、正孔の拡散定数、 μ_n 、 μ_p は電子、正孔の移動度、 q は素電荷量、 ϵ はSiの誘電率、 R は再結合速度、 G は生成速度である。

式(3.2)、(3.3)の右辺第1項は電界によるドリフト電流成分、第2項は電子、ホール濃度勾配による拡散電流成分であることを示している。

式(3.1)-(3.3)より、電束密度を D とすると $\epsilon \nabla^2 \psi = \nabla \cdot D$ であるので、電流保存則

$$\nabla \cdot (J_n + J_p + \partial D / \partial t) = 0 \quad (3.6)$$

の関係式が導かれ、 J_n 、 J_p および変位電流 $\partial D / \partial t$ の和が一定となり、これら3成分の電流値の総和が求める電流値となる。

ここで、DC解の場合は、 $\partial n / \partial t = \partial p / \partial t = \partial D / \partial t = 0$ と置いて、各式は簡略される。

3.2.2 物理モデル

半導体内の物理モデルは以下の式を用いた。

1) Scharfetter-Gummelのキャリア移動度モデル^[13]

$$\mu = \mu_0 / [1 + N_s / (C + N_s / D) + (|E|^2 / A)^2 / (F + |E| / A) + (|E| / B)^2]^{1/2} \quad (3.7)$$

2) キャリア生成・再結合モデル

Schockley-Read-Hallの再結合モデル^[14]

$$R = (pn - n_i^2) / [\tau_p (n + n_i) + \tau_n (p + n_i)] \quad (3.8)$$

Auger の再結合モデル

$$R = (C_n n + C_p p) (pn - n_i^2) \quad (3.9)$$

$$C_n = 2.9 \times 10^{-31} [\text{cm}^6/\text{s}], \quad C_p = 1.2 \times 10^{-31} [\text{cm}^6/\text{s}]$$

インパクトイオン化による生成モデル

$$G = \alpha_n n \mu_n |E| + \alpha_p p \mu_p |E| \quad (3.10)$$

$$\alpha_n = A_n \exp(-B_n / |E_x|), \quad \alpha_p = A_p \exp(-B_p / |E_y|)$$

3) Slotboom のBandgap narrowing モデル^[15]

$$n_i^2 = n_{i0}^2 \exp(-q\Delta E_g / kT) \quad (3.11)$$

$$\Delta E_g = 9.0 \times 10^{-3} \{ \ln(N_s / 10^{17}) + [\ln^2(n / 10^{17}) + 1/2]^{1/2} \}$$

ここで、移動度に関し、 E は内部電界強度、 N_s は不純物密度、 A, B, C, D, F はフィティングパラメータである。また、 τ_n, τ_p は電子および正孔のライフタイム、 C_n, C_p は電子および正孔の Auger 捕獲係数、 α_n, α_p は電子および正孔のイオン化係数をそれぞれ示す。 n_i は Bandgap narrowing 効果を考慮した真性キャリア密度、 n_{i0} は Bandgap narrowing 効果を考慮しない真性キャリア密度、 ΔE_g は Bandgap narrowing 量である。

Schockley-Read-Hall の再結合モデルの少数キャリアライフタイム τ には

$$\tau = \tau_{min} + (\tau_{max} - \tau_{min}) / (1 + N_t / N_{ref}) \quad (3.12)$$

の不純物密度依存の近似式を用いている。電子に対し、 $\tau_{min} = 2 \times 10^{-6} [\text{sec}]$, $\tau_{max} = 6.5 \times 10^{-5} [\text{sec}]$, $N_{ref} = 1 \times 10^{15} [\text{cm}^{-3}]$ 、正孔に対し、 $\tau_{min} = 4 \times 10^{-7} [\text{sec}]$, $\tau_{max} = 1.5 \times 10^{-5} [\text{sec}]$, $N_{ref} = 3 \times 10^{15} [\text{cm}^{-3}]$ のパラメータ値を用いた。

これらのモデルを導入することにより、ラッチアップ現象のような高キャリア注入状態の物理現象を解析することが可能である。但し、通常のラッチアップ解析ではインパクトイオン化モデルは無視できるとして、 $G = 0$ とした。

3. 3 2次元DCシミュレータによる解析

3.3.1 DC解析による非線形効果の把握

本節では、外部トリガ電流注入に対するラッチアップ過渡特性の簡単で正確なモデルを提案するものである。解析モデルには、寄生バイポーラトランジスタの電流増幅率、ベース走行時間、ベース・エミッタ寄生抵抗の非線形効果を考慮に入れている。寄生サイリスタ構造での動作過程での非線形効果の振る舞いを2次元のデバイスシミュレータで解析した。ラッチアップの過渡的振る舞いに関して、計算結果と実測結果とを比較することにより本モデルの妥当性を明らかにする。

解析に用いた寄生PNPNサイリスタの素子構造を図3-1に示す。P基板上のNウェル型CMOSの寄生サイリスタ構造であり、縦型PNPトランジスタと横型NPNトランジスタで構成される。Nウェルトリガ注入電極 V_{g-} およびP基板トリガ注入電極 V_{g+} がそれぞれ付加されている。図中の素子寸法は $l_{w1}=l_{s1}=6\mu\text{m}$ 、 $l_{w2}=l_{s2}=2.5\mu\text{m}$ 、 $l_{w3}=l_{s3}=7\mu\text{m}$ 、 $l_c=10\mu\text{m}$ 、 $l_e=10\mu\text{m}$ 、素子電極の奥行きは $10\mu\text{m}$ である。Nウェルの接合深さは約 $5\mu\text{m}$ である。図中のA-A'およびB-B'に対応して、図3-2に縦型PNPトランジスタ直下および横型NPNトランジスタ直下の深さ方向の不純物プロファイルを示す。図3-1のP基板トリガ電極 V_{g+} 、Nウェルトリガ電極 V_{g-} に電圧を印加することによりラッチアップ過程をシミュレーションすることができる。 V_{g+} は V_{ss} に対して高い電圧を印加し、 V_{g-} は V_{DD} に対して低い電圧を印加して、それぞれラッチアップを生じさせる。すなわち、P基板からの正トリガ電圧印加に対しては、P基板等価抵抗を介して横型NPNトランジスタのベース・エミッタ間を順バイアスさせ、はじめに横型NPNトランジスタをオンさせた後、そのコレクタ電流によりNウェル等価抵抗での電位降下で縦型PNPトランジスタをオンさせラッチアップに至らしめる。一方、Nウェルから負のトリガ電圧印加に対しては、Nウェル等価抵抗を介して縦型PNPトランジスタのベース・エミッタ間を順バイアスさせ、縦型PNPトランジスタをオンさせた後、そのコレクタ電流によりP基板等価抵抗での電位降下で横型NPNトランジスタをオンさせラッチアップに至らしめる。

ラッチアップ過程の解析として、 V_{DD} に3V、 V_{ss} に0Vを電圧印加した条件で、基板に V_{g+} を印加してトリガ注入した時の各端子電流と V_{g+} との関係を図3-3に示す。 I_{A2} の鋭い立ち上がりがラッチアップ突入をあらわす。ここで、図中の点線は、単体トランジスタ動作させた時の端子電流-基板トリガ電圧特性であり、ラッチアップの構造での特性

が大きく異なっていることを如実に示している。図3-4に基板コンタクト C_{s0} , C_{s1} 間の等価基板抵抗 R_{ps} (V_{g+}/I_{K1} と定義) およびウェルコンタクト C_{w0} , C_{w1} 間の等価基板抵抗 R_{nw} (V_{g-}/I_{A1} と定義) のカソード電流 I_{K1} (或いはアノード電流 I_{A1}) 依存性を示す。ここで、等価抵抗はそれぞれ $R_{ps}=V_{g+}/I_{K1}$, $R_{nw}=V_{g-}/I_{A1}$ と定義した。実線が解析結果、破線が実測結果である。解析結果の R_{nw} , R_{ps} の値は実測の約2倍程度と大きい。P基板からのトリガ電流注入モードにおいて、ラッチアップが生じる前でも等価基板抵抗 R_{ps} の導電率変調^[16]が顕著に現れていることがわかる。これは、横型NPNトランジスタ動作で n^+ エミッタから電子が低濃度基板のベース領域に深く注入されるためである。一方、等価ウェル抵抗 R_{nw} はウェル-基板間接合により過剰のホール少数キャリアの拡散を防ぐためほとんど変化はない。ラッチアップ後においては R_{ps} , R_{nw} ともに大きく導電率変調される。図中の実線のシミュレーション結果と破線の実験結果とはコレクタ電流依存の傾向が一致する。実測とシミュレーションとの定量的な不一致はシミュレーションでは2次元解析のため、電流の広がりに関する3次元効果を考慮されていないためである。

図3-5に解析結果から求めた横型NPNトランジスタの電流増幅率-コレクタ電流特性を示す。電流増幅率 β は $I_{A1}/(I_{K2}-I_{A1})$ で定義した。図中、実線が寄生サイリスタ動作時の特性で、破線が縦型PNPトランジスタがない単体動作時の特性である。ラッチアップオンする前の電流増幅率が単体 T_r の特性(破線)に比べ増加している。これは、縦型PNPトランジスタのコレクタ電流経路により横方向電界を増加させることによる電界効果(Field-Aided Effects)^[17]によるものである。この事実、横型NPNトランジスタのベース走行時間も電界効果により減少されることを示唆するものである。

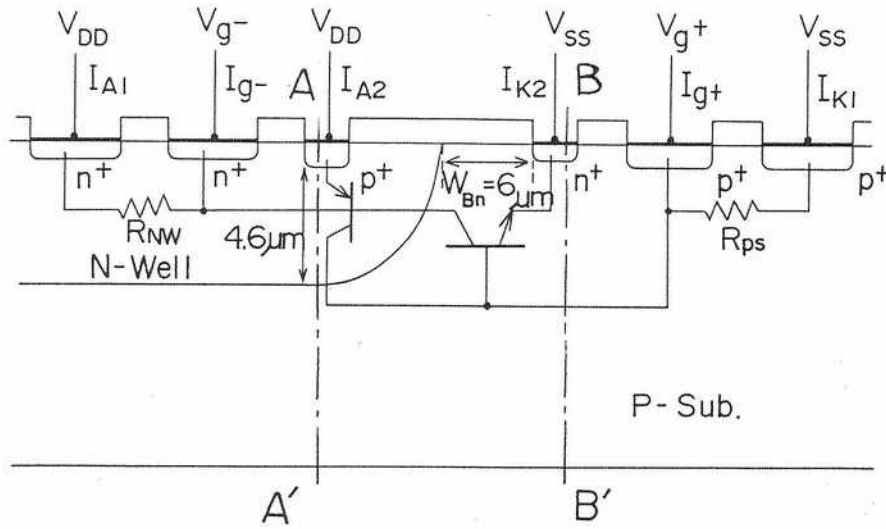


図 3 - 1 解析に用いた寄生 PNP NPN サイリスタの素子構造

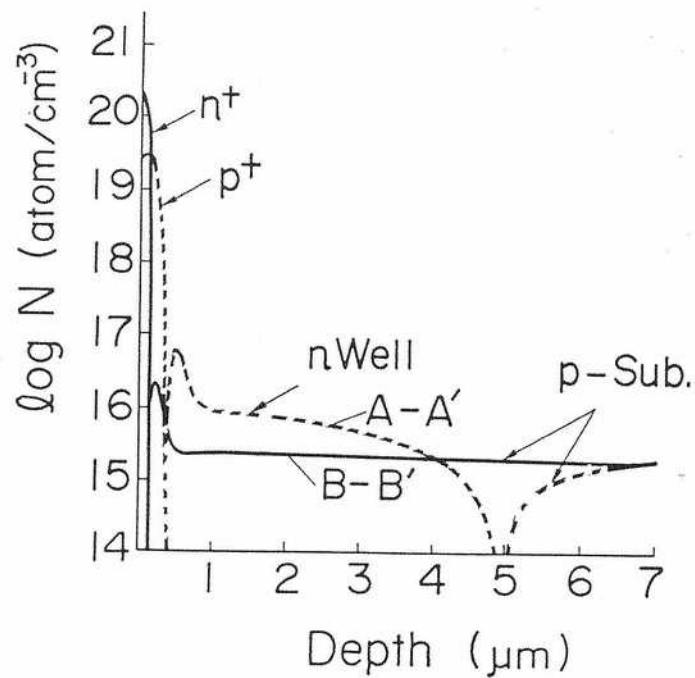


図 3 - 2 縦型 PNP トランジスタ直下 (A - A') および横型 NPN トランジスタ直下 (B - B') の深さ方向の 1 次元不純物分布

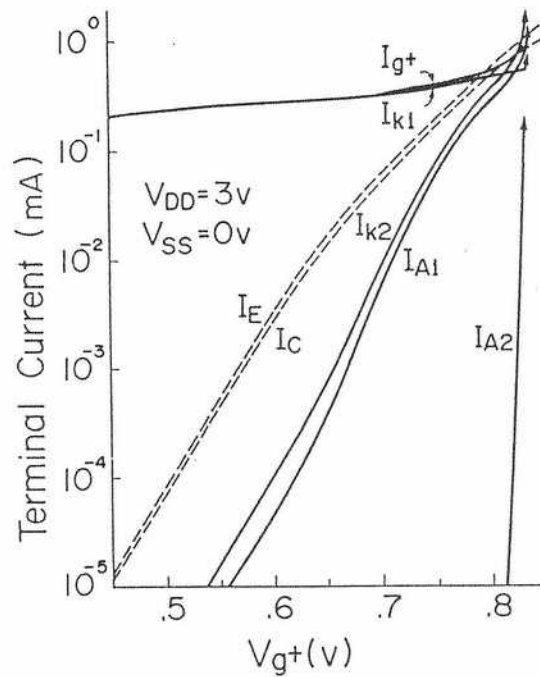


図 3 - 3 基板トリガ注入時の各端子電流と V_{g+} との関係 (図 3 - 1 参照)

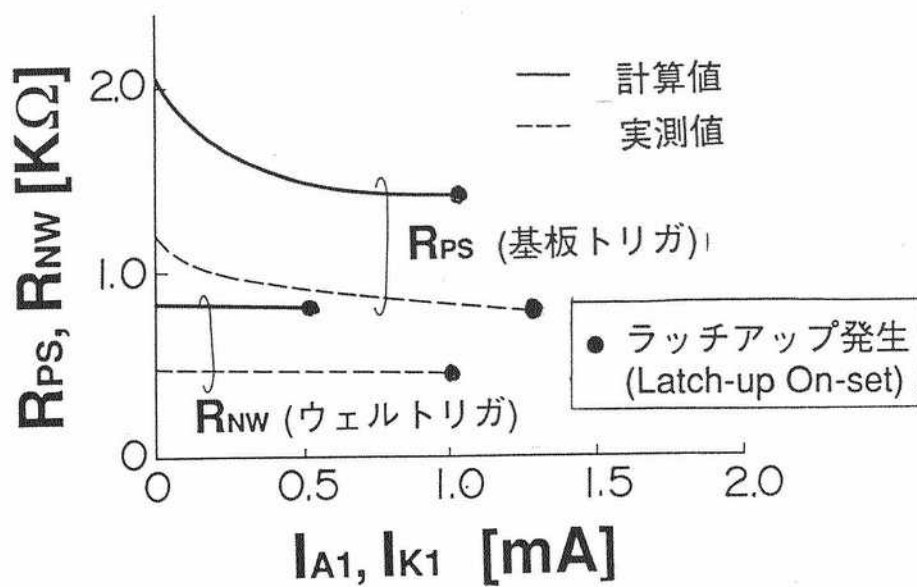


図 3 - 4 ラッチアップ過程における等価基板抵抗および等価ウェル抵抗の変調効果 (実線が解析結果、破線が実測結果)

$$R_{PS} = V_{g+} / I_{K1}, \quad R_{NW} = V_{g-} / I_{A1},$$

3.3.2 ラッチアップ過渡応答解析用回路モデル

2次元DCシミュレータの解析で得られた横型NPNトランジスタの電界効果と基板等価抵抗の導電率変調効果を取り入れた過渡解析を行うためのP基板端子注入トリガに対する等価回路モデルを図3-6に示す。バイポーラトランジスタモデルはGummel-Poonモデルを用いた。

まず、横型トランジスタの電流増幅率 β_n および順方向走行時間 τ_{Fn} は

$$\beta_n = \xi \beta_{no} \quad \xi = A_1 (I_{FP})^{B_1} + 1 \quad (3.13)$$

$$\tau_{Fn} = \eta \tau_{Fno} \quad \eta = 1 / [A_2 (I_{FP})^{B_2} + 1] \quad (3.14)$$

ここで、 I_{FP} は縦型トランジスタのコレクタ電流、 β_{no} 、 τ_{Fno} は単独動作時の電流増幅率とベース走行時間である。

次に、基板抵抗の導電率変調効果は

$$R = R_0 / (1 + K \cdot I_E) \quad (3.15)$$

と表した。ここで、 I_E はエミッタ電流、 K は変調の度合いをあらわす係数である。図中の R_{CP} 、 R_{BP} 、 R_{CN} 、 R_{BN} 、 R_{PB} 、 R_{NW} はいずれもベース領域に寄生する抵抗であるので式(3.15)の変調効果を導入した。尚、使用したパラメータ A_1 、 A_2 、 B_1 、 B_2 、 K の値は、それぞれ、305、11.2、0.44、0.25、0.55 [mA]⁻¹である。

図3-7にP基板入力パルストリガ電流（パルス幅100 nsec）によるラッチアップターンオン電流波形を示す。図中、実線が計算値、破線が実測値である。ベース走行時間 τ_{Fn} の電界効果を考慮すると、実測結果をよく説明できることがわかる。また、図3-8にP基板入力パルストリガ電流の閾値電流とトリガパルス幅との関係を示す。順方向走行時間 τ_{Fn} の電界効果を考慮するとトリガパルス幅での実測値と良く一致する。また、等価P基板抵抗の導電率変調効果と横型NPNトランジスタの電流増幅率の変調効果は時間応答に係わらない長いパルス幅での閾値トリガ電流値が実測値と一致していることに寄与している。

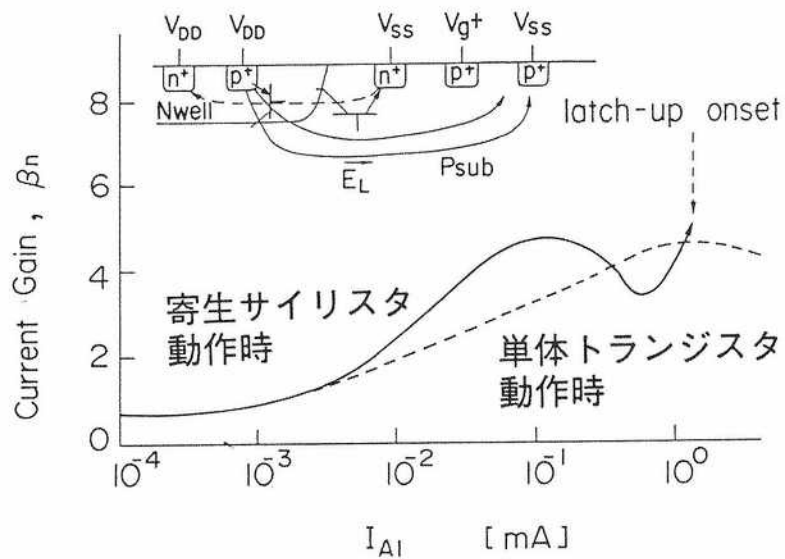


図 3 - 5 横型NPNトランジスタの電流増幅率-コレクタ電流特性
(電流増幅率 β は $I_{A1}/(I_{K2}-I_{A1})$ で定義)

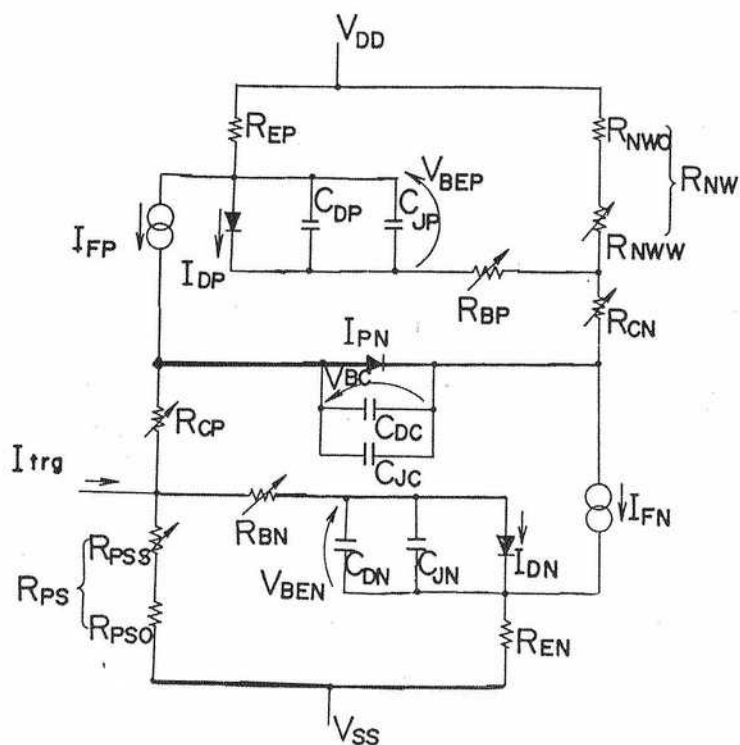


図 3 - 6 P基板端子注入トリガ電流に対する等価回路モデル

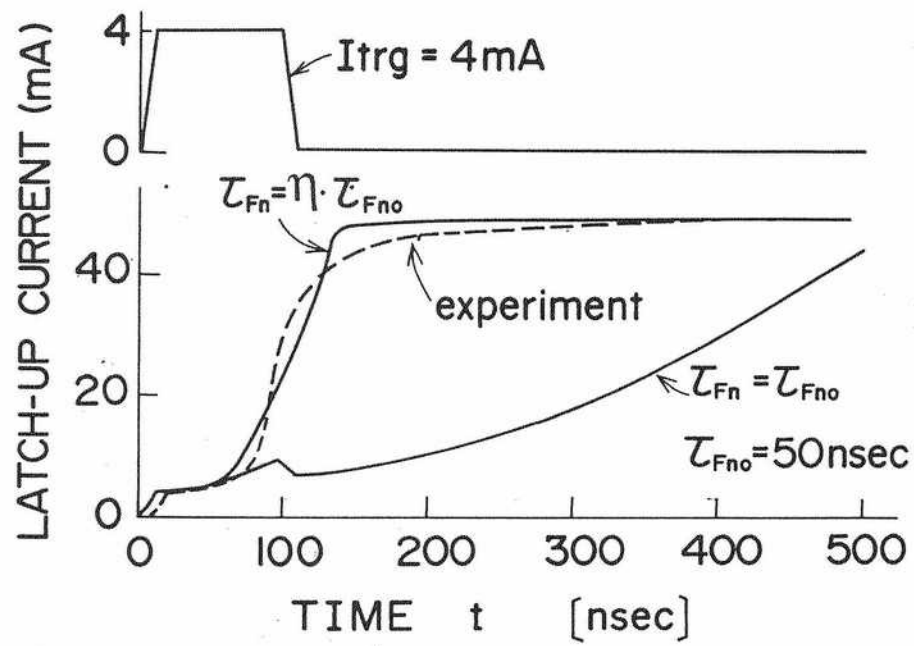


図 3-7 P 基板入力パルストリガ電流によるラッチアップターンオン電流波形
(実線が解析結果、破線が実測結果)
(図中パラメータ η は $\eta = 1 / [A_2(I_{FP})^{B_2} + 1]$ であり $A_2=350$, $B_2=2$ を使用)

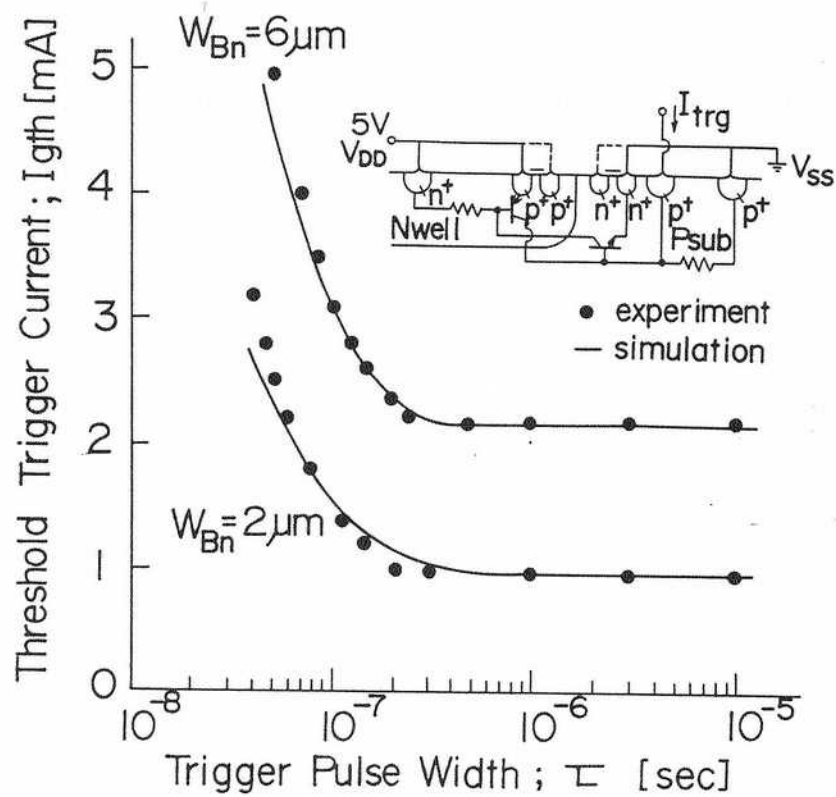


図 3-8 P 基板入力パルストリガ電流の閾値トリガ電流のパルス幅依存

3. 4 2次元過渡シミュレータによるパルス応答解析

2次元過渡シミュレータを用いたパルストリガ印加電圧に対する過渡応答を解析した。対象としたラッチアップ過渡特性解析用の素子構造および不純物分布を図3-9に示す。P基板上のNウェル構造であり、寄生縦型PNPトランジスタと寄生横型NPNトランジスタとの融合で寄生サイリスタを形成する。ウェルの深さは $2.4\mu\text{m}$ 、横型NPNトランジスタのベース幅は $3\mu\text{m}$ である。 p^+ および n^+ エミッタ幅はそれぞれ $2\mu\text{m}$ 、NウェルおよびP基板の電極と両エミッタまでの間隔はそれぞれ $4\mu\text{m}$ とした。解析範囲は、ラッチアップ時の注入キャリアの広がりを考慮に入れ、基板の深さ方向を $80\mu\text{m}$ と大きく採った。Nウェルのピーク不純物濃度は $3\times 10^{16} [\text{cm}^{-3}]$ 、P基板の不純物濃度は $5\times 10^{15} [\text{cm}^{-3}]$ である。また、ベース領域となるフィールド部のNウェル表面および基板表面にはそれぞれチャンネルストッパ用イオン注入を施してある。計算される電流値は奥行き方向を $10\mu\text{m}$ として換算した。

素子のバイアス条件は、 n^+ エミッタ端子およびP基板端子電極を接地し、 p^+ エミッタ電極端子 V_{DD} およびNウェル電極端子 V_0 にそれぞれ2V印加し、時刻 $t=0\text{ sec}$ の定常解を求める。時刻 $t=0\sim 250\text{ ps}$ にNウェル電極電位 V_0 を2Vから1Vに変化させ、時刻 $t=2\text{ ns}$ まで保持する。時刻 $t=2\sim 2.25\text{ ns}$ にふたたび1Vから2Vに戻す。このラッチアップトリガパルス電圧 V_0 に対する素子構造内の電子・正孔キャリアの動的挙動および電位分布、端子電流の時間的推移を調べた。

図3-10(a)(b)(c)にラッチアップ電圧トリガパルス印加に対する電位分布、電子キャリア濃度分布および正孔キャリア濃度分布の時間的推移を示す。以下、時刻の経過に沿って解析結果を説明する。時刻 $t=0\text{ ns}$ では2V印加時の定常解であり、両トランジスタはオフ状態である。 $t=250\text{ ps}$ で、トリガパルス電圧を印加($2\text{V} \rightarrow 1\text{V}$)する。時刻 $t=1\text{ ns}$ では、 p^+ エミッタから正孔がNウェル(ベース)に注入され、縦型PNPトランジスタがオンし、そのコレクタ電流で基板ポテンシャルが傾斜し始めるが n^+ エミッタからの電子注入が始まるほどの基板電位の上昇はまだ無いことが、正孔および電子分布から理解できる。時刻 $t=2\text{ ns}$ では、縦型PNPトランジスタのコレクタ電流の増加によりP基板のポテンシャルがさらに上昇し横型NPNトランジスタのベース・エミッタ間を順バイアスさせるため、 n^+ エミッタから電子注入が始まる。時刻 $t=2.25\text{ ns}$ で、パルストリガを解除する($1\text{V} \rightarrow 2\text{V}$)。このため縦型PNPトランジスタのベース・エミッタ電極間と同電位となり p^+ エミッタからの正孔電流は低下し始める。時刻 $t=3\text{ ns}$ で、縦型PNPトラン

ジスタはオフ状態に推移し始めるが、横型NPNトランジスタがオンしているので、 n^+ エミッタからのP基板への注入電子の一部はNウェルに到達する。この横型トランジスタのコレクタ電流により縦型PNPトランジスタのベース・エミッタ間が順バイアスに保たれるため、 p^+ エミッタ電流がふたたび増加し始める。両トランジスタのベース・エミッタ間の電位障壁はほとんど無くなっている。時刻 $t = 4.2 \text{ ns}$ では、PNPおよびNPNトランジスタ間の正帰還過程により、両エミッタから正孔および電子がそれぞれNウェル内とP基板内へ深く広がる。これらの過剰少数キャリア注入により、NウェルおよびP基板のバルク抵抗に導電率変調が生じ始めていることがわかる。また、Nウェル-P基板間接合の電位傾斜が緩やかになり始めている。さらに経過し、時刻 $t = 10 \text{ ns}$ では過剰キャリアは基板深くに侵入し、NウェルとP基板の電氣的境界は消失する。アノード電流はさらに増加し、時刻 $t = 20 \sim 30 \text{ ns}$ でラッチアップの定常状態に近づく。 p^+ エミッター-Nウェル間および n^+ エミッター-P基板間の電位障壁は消失し、あたかもpinダイオードの順バイアス特性であるi層に過剰少数キャリアが注入された状態となる。また、電子・正孔キャリアのP基板内へ深く進行する様子が理解できる。さらに、横型NPNトランジスタがオンする際には、既にベース領域となるP基板には縦型PNPトランジスタのコレクタ電流により横方向電界（数百V/cmから1KV/cm）が生じているため横型NPNトランジスタの電流増幅率は単体動作時よりも大きくなる。図3-11にトリガパルスに対するラッチアップ過程の電源アノード電流の時間推移を示す。トリガパルス解除直後アノード電流は一時低下するが横型NPNトランジスタにより正帰還がかかることにより電流は増加し、ラッチアップに至る。

以上の様に、2次元2キャリア過渡シミュレータを用いてパルストリガ電圧に起因するCMOSラッチアップ現象の解析を行い、その動的メカニズムを明らかにした。

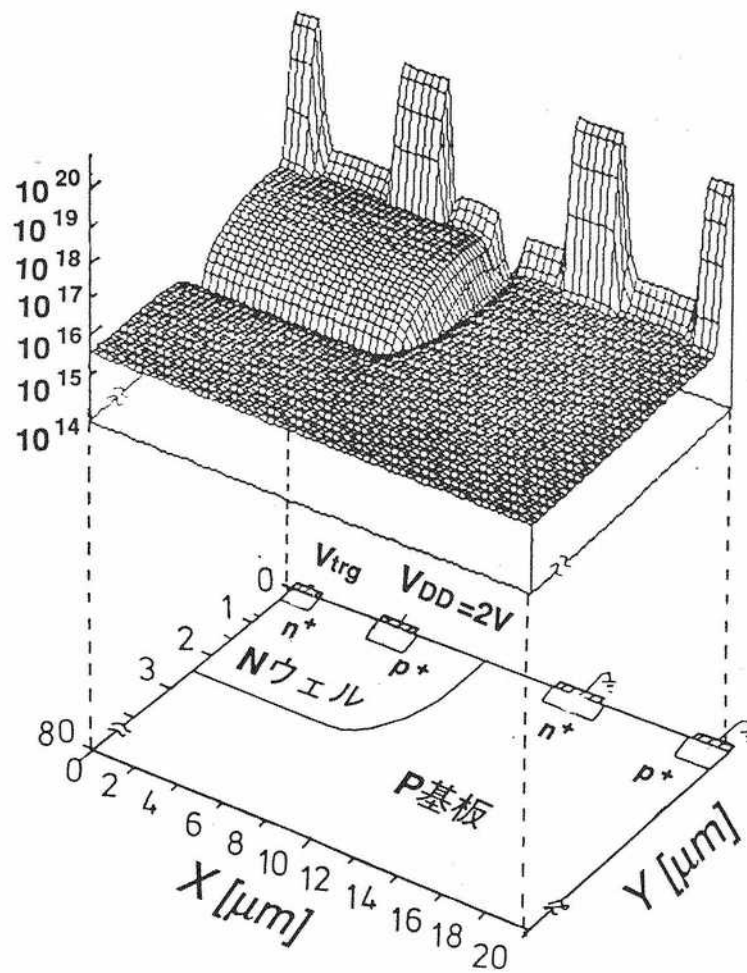
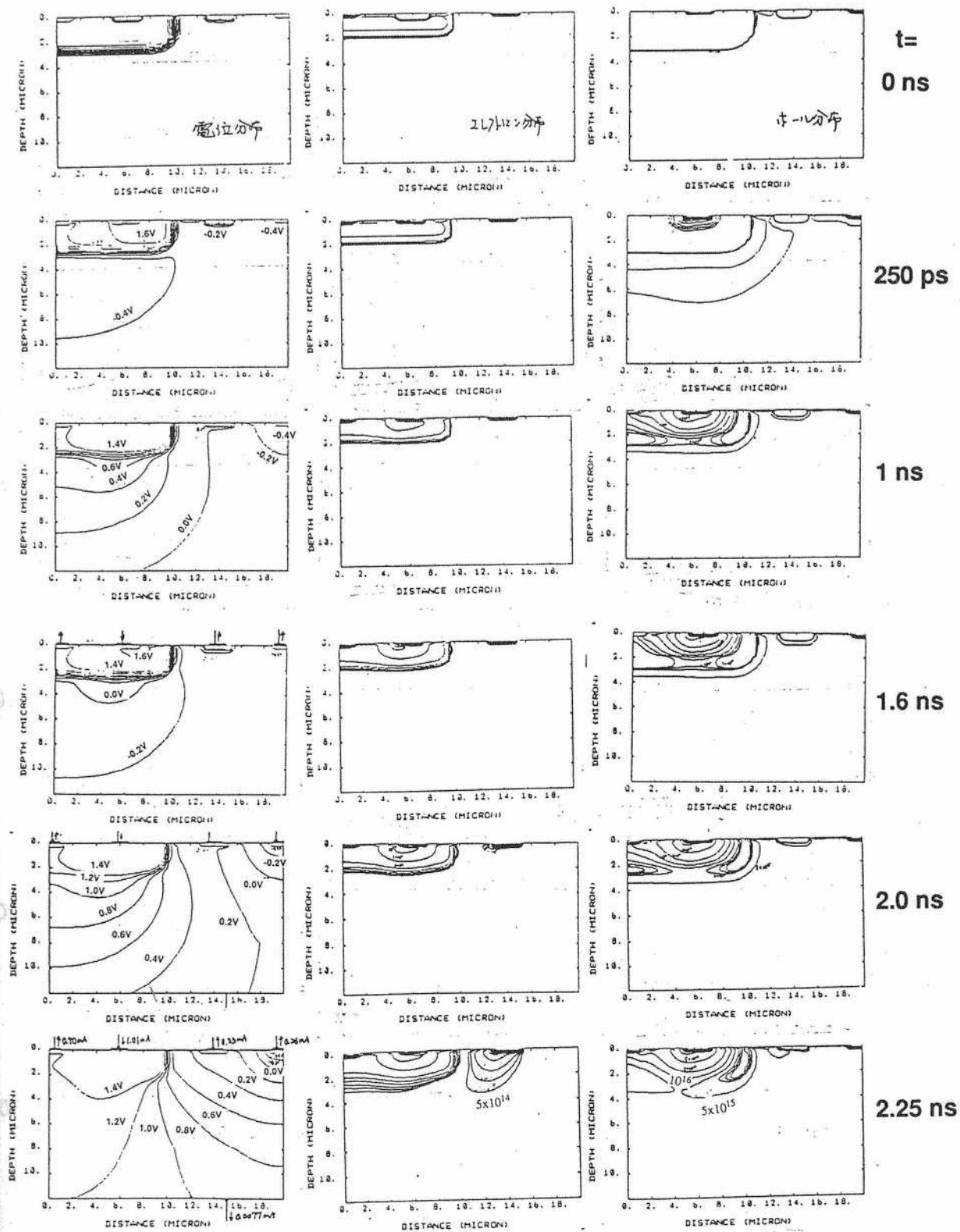


図 3 - 9 過渡解析に用いた素子構造および不純物分布の立体図



(a)電位分布

(b)電子濃度分布

(c)ホール濃度分布

図 3-10 ラッチアップ電圧トリガパルス印加に対する電位分布、電子濃度分布、ホール濃度分布の時間的推移 (0 ns ~ 2.25 ns) 次頁につづく

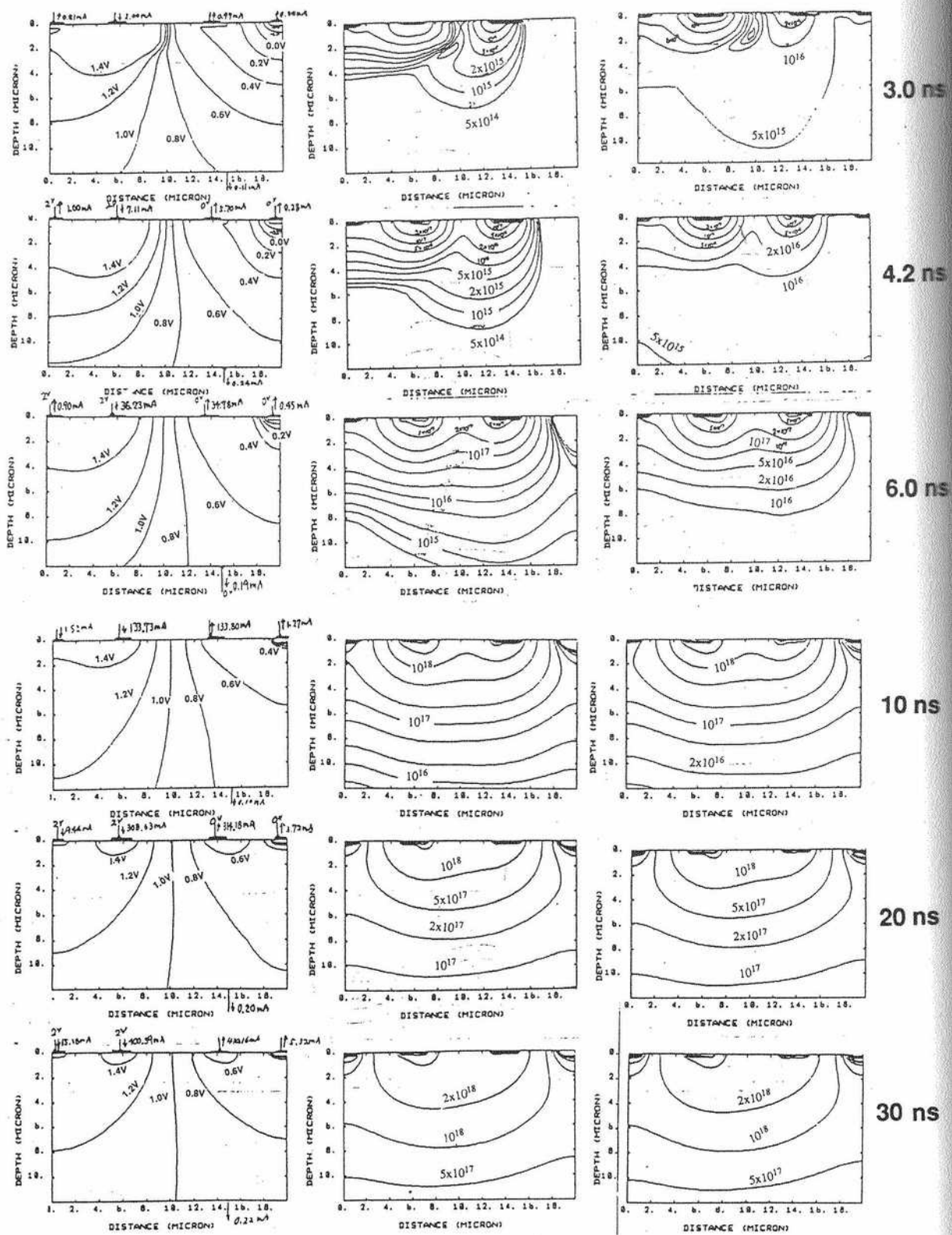


図 3-10 ラッチアップ電圧トリガパルス印加に対する電位分布、電子濃度分布、ホール濃度分布の時間的推移 (3 ns ~ 30 ns)

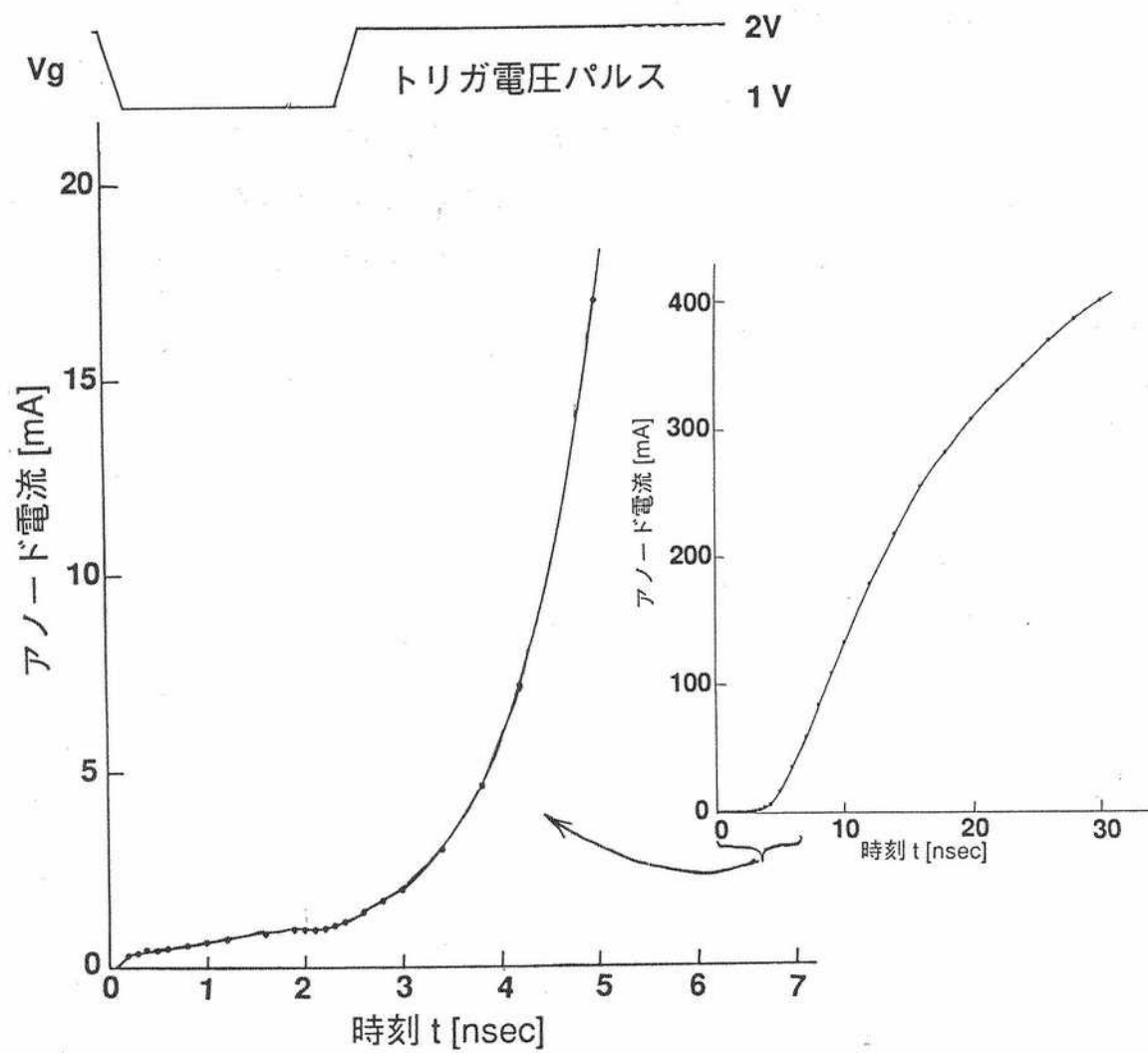


図 3-11 ラッチアップ過程の電源アノード電流の時間推移

3. 5 重粒子入射ラッチアップ解析への応用

3.5.1 重粒子入射ラッチアップ

宇宙空間における半導体集積回路は、プロトン・ α 線・Fe等重イオン粒子の放射線の入射により、ダイナミックメモリのソフトエラー、シフトレジスタ・Flip-Flop等の論理回路の誤動作が生じるという、単一重イオン粒子によるSingle Event Upsets 問題があることが知られている。^[18] バルクCMOS LSIを宇宙空間で使用する場合、銀河宇宙線および太陽フレアからの放射線のうちFe, Cu等の高エネルギー単一重粒子(Single Heavy Ion Particle)が入射することによりラッチアップが生じることが知られている。Soliman^[19]らはシンクロトロン加速器を用いて高エネルギーの重イオン粒子Kr, Arを種々のCMOS回路に照射しそのラッチアップ感度を実験的に評価した。彼らはLatch-up Cross Section というラッチアップが一回生じるための単位面積当たりの入射粒子数の逆数の指標で評価した。しかしながら、このLatch-up Cross Section はCMOS回路チップのラッチアップ耐性の確率平均的な評価であり個々の粒子の入射条件についての耐性については述べられていなかった。さらに、単一重粒子をチップの特定箇所に入射することは実験的に困難である。耐ラッチアップ設計のために単一の重イオン粒子入射によるCMOSラッチアップターンオン過程を理解することは重要である。このためにも生成キャリアの挙動を詳細に研究しなければならない。

数値解析を用いたシミュレーション技術は半導体内の物理現象を理解するのに効果的なツールである。初期の研究では、pn接合ダイオード内に α 線入射による生成キャリアの収集過程の数値解析と実験をおこない、Field Funnelling 効果によって生成キャリアが高速にかつ高効率で収集されることを初めて明らかにするとともに、Field Funnelling 効果を考慮したメモリのソフトエラーレート計算の必要性和ソフトエラー対策のための高不純物濃度基板使用の有効性を提案した^[20]。この研究はCMOS構造における寄生バイポーラトランジスタを解析することによるSingle Event-inducedバイポーラ動作の解析に拡張された^{[21][22]}。高エネルギー粒子の入射により生成された高電荷密度の飛跡はドレイン-ウェル接合を順バイアスさせ、これによりバイポーラ動作が生じることが確認された。ここまでは、pn接合および寄生バイポーラトランジスタについてのみ検討されていた。

この後、筆者らは寄生PNPN構造に注目し、重粒子入射のラッチアップターンオン過程を数値解析により研究した^[23]。また、Rollins らは、Single Event-inducedラッチアップを数値解析し、実験結果を比較した^[24]。彼らは、ラッチアップが消失する電源電圧

になるラッチアップ閾値電源電圧を計算した。

単一重粒子を所望箇所に入射してラッチアップを生じさせるという実験は非常に困難であるが、LSIの特定箇所に単一重粒子が入射する際のラッチアップのターンオン過程における電子・正孔キャリア分布の時間推移を詳細に調べることは、重イオン粒子入射に伴うCMOSラッチアップのメカニズムの解明ばかりではなく、ラッチアップ防止構造の設計にも役立つために重要である。

本節では2次元2キャリア過渡解析デバイスシミュレータ^[8]を用いて、重イオン粒子入射によるCMOSラッチアップ過程を詳細に研究する。^[25], ^[26] まず、ポテンシャル分布、電子キャリア分布および正孔キャリア分布の時間推移とともに各電極端子電流に注目し、バルク構造におけるラッチアップ動特性を調べる。また、重粒子の入射条件（入射位置、角度）に対するラッチアップ耐性依存性を検討する。さらに、ラッチアップ防止構造として期待される高濃度 p^+ 基板上的 p^- エピ構造においてガードバンド構造の有無によるラッチアップ耐性比較を行う。

3.5.2 解析モデル

重粒子によるキャリア生成をモデル化するために、まず、デバイスの初期条件として定常状態のポテンシャル分布、電子密度分布 n 、正孔密度分布 p を求める。次に、重イオン粒子入射による生成キャリア分布 $(\Delta n, \Delta p)$ は、重粒子の飛跡に垂直方向に減衰する正規分布 $\Delta n = \Delta p = Np \cdot \exp(-r^2/\sigma^2)$ を仮定した。ここで、 Np は飛跡上の電子-正孔対プラズマ密度、 σ は実効分散半径、 r は飛跡軸からの垂直距離である。この仮定は重イオン粒子が入射し、電子・正孔対プラズマが生成するまでの時間をゼロにすることと等しい。実際には重イオン粒子の入射後、電子・正孔対を生成して、停止するまでの時間は数 ps であるといわれ、充分良い近似と考えられる。厳密には Np は飛跡の関数として重粒子のエネルギーの微分 dE/dx により決定されなければならないが、本解析では単純化して飛跡方向に一様と仮定した。さらに、実際の生成キャリアは飛跡に同心円状の生成電荷からの3次元的な拡がりであるが、本2次元解析では奥行き方向が一様の平面電荷による2次元拡がりを仮定している。本検討においては、簡単のため飛跡長を $8\mu m$ 一定として解析を行った。この飛跡長は $25.6MeV$ の Fe^{56} イオン重粒子が入射したことに対応する。解析面の厚さを $5\mu m$ と仮定すると、飛跡上の電荷密度は $25.6MeV$ の重粒子に対応して $10^{18} [cm^{-3}]$ となる。また、飛跡上の生成電荷密度をラッチアップ耐性を比較する

パラメータとした。上述の仮定の下で、シミュレーション結果は種々のデバイス構造についての相対評価、定性的なラッチアップ耐性の議論およびラッチアップのターンオン過程の挙動の理解には一般性を失わない。

3.5.3 バルク構造における解析結果

Nウェル形CMOSデバイス内の寄生PNPN素子構造を図3-12に示す。P基板の不純物密度は $2 \times 10^{15} [\text{cm}^{-3}]$ 、Nウェルのピーク不純物密度は $3 \times 10^{16} [\text{cm}^{-3}]$ 、接合深さは $2 \mu\text{m}$ 、 p^+ エミッターウェル端間隔 W_{bp} は $3 \mu\text{m}$ 、 n^+ エミッターウェル端間隔 W_{bn} は $3 \mu\text{m}$ としている。各電極電圧の印加条件は、 p^+ エミッタ・Nウェルを 2V 、 p^+ エミッタ・P基板を 0V とした。重イオン粒子の入射位置・入射角度は図3-12に示す様に、 p^+ エミッタ付近のNウェルからの入射角を 87.1° とした。また、飛跡上の電子-正孔の生成キャリア密度 N_p の値は $3 \times 10^{17} [\text{cm}^{-3}]$ と $10^{18} [\text{cm}^{-3}]$ に設定した。

図3-13および図3-14に、 n^+ エミッタ電極端子電流および p^+ エミッタ電極端子電流の時間推移を示す。図中に N_p の値が $3 \times 10^{17} [\text{cm}^{-3}]$ の場合の時間推移も示されている。また、図3-15に $N_p = 10^{18} [\text{cm}^{-3}]$ に対する一連の電位分布、電子濃度分布、正孔濃度分布の時間推移の鳥瞰図を示す。ここでは $N_p = 10^{18} [\text{cm}^{-3}]$ についての解析結果を中心に解析した時間に沿って詳細に述べる。

重粒子入射直後、Nウェル・P基板間の空乏層領域内で生成電子および生成正孔は空乏層電界によりそれぞれ正電位および負電位側に移動する。この現象は入射直後の初期に顕著に現れる。この電子-正孔分離により、ダイポール電界は空乏層電界を弱めるように働き、飛跡方向に沿った電位分布に変化をもたらす（時刻 $t = 8\text{ps}$ 時の電位分布参照）。この様に、空乏層外で生成した電子、正孔は通常のゆっくりとした拡散電流よりもむしろドリフト電界によって、Nウェル・P基板端子電極に高速に収集される。通常のPN接合ダイオードにおいてはこの現象はFunnelling効果^[20]と呼ばれている。Funnelling効果を考慮した全収集電荷量は、考慮しない場合に比べて数倍も大きいことが報告されている。図3-15の時刻 $t = 8\text{ps}$ におけるNウェル領域内の表面に沿った電位傾斜に注目すると、Nウェル電極で収集される電子電流によるNウェル内での横方向の電圧降下は、 p^+ エミッターNウェル接合の障壁を低下させる。この結果、図3-14の p^+ エミッタ端子電極電流に示される様に p^+ エミッタから正孔がNウェル内に注入していく。正孔注入は縦型PNPバイポーラトランジスタをオンさせる。ここで、 p^+ エミッタ端子電流の極性に注意を払う

必要がある。正の場合は正孔キャリア注入モード、負の場合は正孔キャリア収集モードである。

時刻 $t=120\text{ps}$ におけるポテンシャル分布はNウェル-P基板接合でのField Funnelling過程の終了に対応している。Nウェル電極における収集電子電流は減少し始める。これはNウェル内の横方向のポテンシャル傾斜が $t=8\text{ps}$ に比べ緩やかになっていることから説明できる。図3-14に示すように、 p^+ エミッタ端子電流は注入モードから収集モードに変わる。このことはNウェル内での生成ホールが p^+ エミッタ電極に到達していることを示唆する。従って、縦型PNPトランジスタはこの時刻ではオフとなる。一方、P基板内については、生成正孔は基板電極で収集される。通常、基板抵抗はウェル抵抗より高いため、正孔電流により図3-15の $t=120\text{ps}$ 時に示す様に n^+ エミッタ-P基板間電位障壁が先に低下する。すなわち横型NPNトランジスタのベース電位が増加する。同時刻の電子分布を参照すれば、明らかに n^+ エミッタから電子キャリアがP基板に注入され、横型NPNトランジスタがオンしていることがわかる。この様に、 n^+ エミッタ端子電流は図3-13に示すように注入モードとなる。

さらに時間が経過すると、横型NPNトランジスタのコレクタ電流によるNウェル内の電圧降下は一度オフ状態となった縦型PNPトランジスタを再びターンオンさせる。図3-14に示すように、時刻 $t=480\text{ps}$ で p^+ エミッタ端子電流は急激に注入モードに反転し増加する。横型NPNトランジスタのコレクタ電流が十分大きいとき、横型NPNおよび縦型PNPトランジスタ間で正帰還が起きる。

時刻 $t=2\text{ns}$ では、 n^+ エミッタからは大量の電子が、 p^+ エミッタからは大量の正孔がそれぞれ注入され、基板深く侵入しはじめる。 n^+ および p^+ エミッタ端子電流は図3-13、図3-14に示す様にラッチアップオン状態に向かって急激に増加する。 $t=10\text{ns}$ では、ほぼラッチアップに至り、ポテンシャル形状から p^+ -Nウェルおよび n^+ -P基板の障壁が完全に消失し、あたかもpinダイオードの順方向特性に類似している。

$N_p=3 \times 10^{17} [\text{cm}^{-3}]$ の場合は、キャリア生成量が比較的小さいために $t=32\text{ps}$ で p^+ エミッタ電極電流は収集モードになり、 $t=64\text{ps}$ でNPNトランジスタがオンしても正帰還ループに入らず、PNPトランジスタはオフのままである。そして、 $t=3\text{ns}$ でNPNトランジスタがオフとなり、ラッチアップは生じないことがわかる。従って、 N_p はラッチアップ閾値の見積もりに重要な入射パラメータである。

次に、図3-16に示す様に重粒子の入射条件（入射位置・入射角）に対する相対的なラ

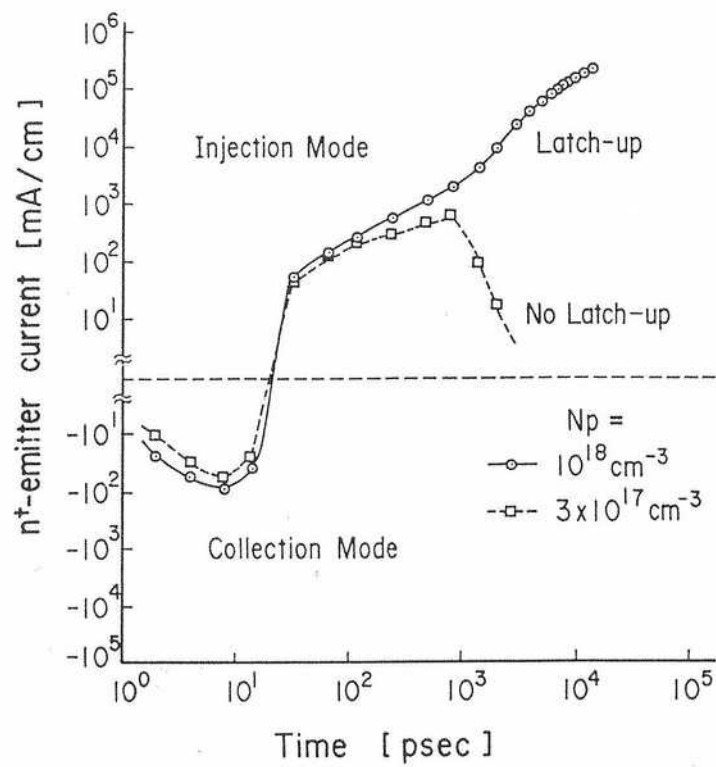


図 3-13 n^+ エミッタ電極端子電流の時間推移

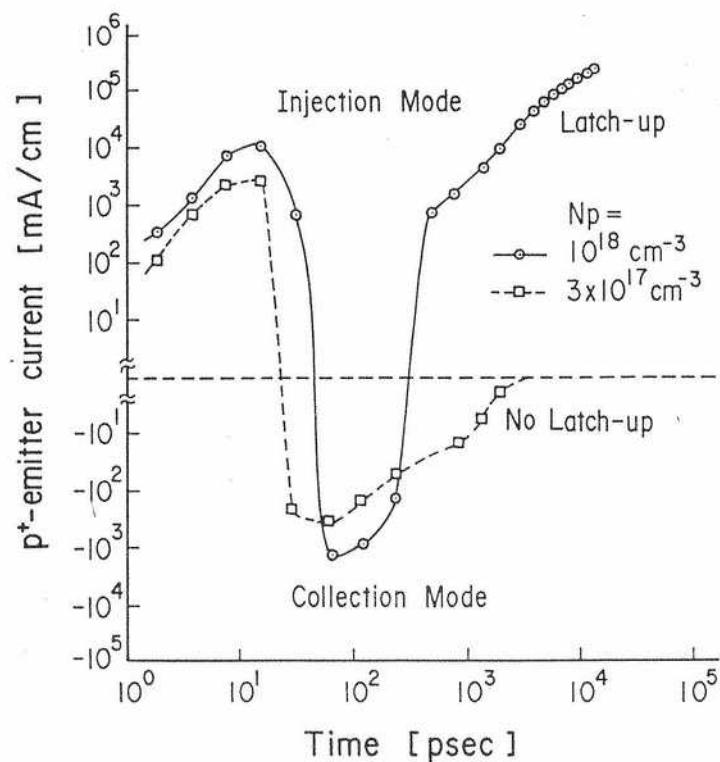
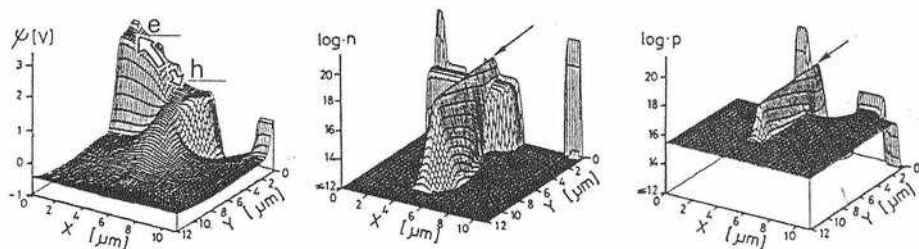
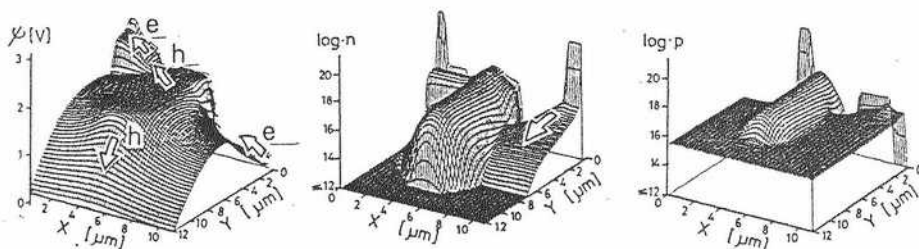


図 3-14 p^+ エミッタ電極端子電流の時間推移

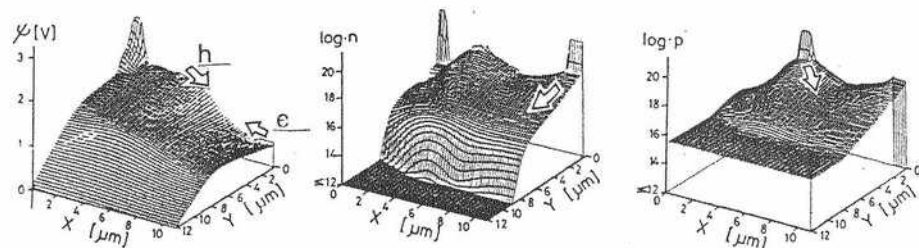


$t =$

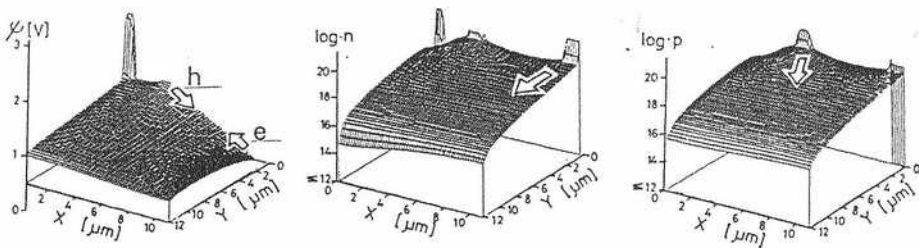
8ps



120ps



2ns



10ns

potential

electron

hole

図 3-15 電位分布、電子濃度分布、正孔濃度分布の時間推移

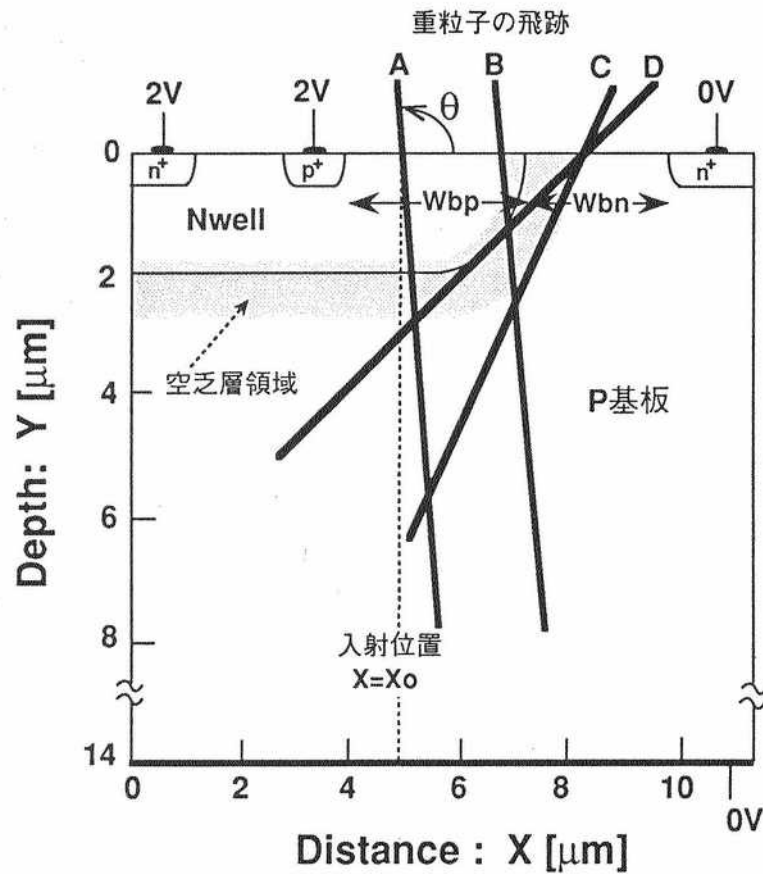


図 3-16 寄生PNPN構造への重粒子の入射位置、入射角度を示す図

表 3-1 重粒子の入射条件および解析結果 (図 3-16参照)

重粒子入射モード	A		B		C		D	
入射位置 X_o	4.6 μm		6.8 μm		8.5 μm		8.5 μm	
入射角度 θ	93°		93°		63.4°		45°	
空乏層通過距離	1.5 μm		2.4 μm		1.2 μm		3.4 μm	
生成キャリア密度 $N_p [\text{cm}^{-3}]$	3×10^{17}	10^{18}	3×10^{17}	10^{18}	3×10^{17}	10^{18}	3×10^{17}	10^{18}
ラッチアップの可否	NLU	LU	NLU	LU	NLU	LU	LU	LU

L U (Latch-Up) はラッチアップが生じること、N L U (No Latch-Up) はラッチアップが生じないことをあらわす。

3.5.4 p^-/p^+ エピ構造における解析結果

CMOS LSIを宇宙環境下で使用する場合は、通常のLSI使用と異なり、ラッチアップフリー構造が内部回路においてさえも必須である。前述のラッチアップ防止条件の1)は過酷な条件下では達成困難である。従って、ラッチアップ防止にはPNPおよびNPNトランジスタ間を結合させないことである。これまでの電氣的評価結果から、低濃度 p^- エピ/高濃度 p^+ 基板とガードバンド構造の組合わせが高ラッチアップ耐性を達成できると言われている。ここでは電子および正孔分布に注目し、重粒子入射に対する効果を調べる。素子構造を図3-17に示す。入射モードは前述のA~Dのうち最も厳しいDと同様な空乏層通過距離が大きい条件(入射位置 $X_0=6.5\mu\text{m}$ 、入射角度 $\theta=45^\circ$)を選んだ。図3-18に $N_p=3\times 10^{19}[\text{cm}^{-3}]$ の場合の n^+ エミッタおよび p^+ エミッタ端子電流の時間推移を示す。図3-19に対応する電子分布、正孔分布の時間推移を示す。このような非常に大きい値の N_p でラッチアップが生じないという結果は、ラッチアップフリー構造であることを示している。図3-18、-19を用いて、ガードバンドと p^- エピ/ p^+ 基板の併用構造での生成キャリアの動特性を述べ、本構造の有用性を示す。 p^+ および n^+ ガードバンドでは過剰な生成正孔および生成電子をそれぞれ収集する。時刻 $t=120\text{ps}$ において正孔が p^+ エミッタからNウェル内へ注入される。このことは、図3-18の p^+ エミッタ端子電流および図3-19で p^+ エミッタ近傍での正孔分布から確認される。一方、生成電子は n^+ エミッタで収集される。さらに時刻 $t=220\text{ps}$ で、縦型PNPトランジスタのコレクタにより横型NPNトランジスタがオンする。このため図3-18に示すように時刻 $t=480\text{ps}$ で n^+ エミッタ端子電流の電流方向が反転する。

$t=2\text{ns}$ において n^+ 、 p^+ 両エミッタからそれぞれキャリアが注入される。キャリア分布からPNPおよびNPNトランジスタが共にオンしている。ラッチアップ防止の第1の指針はこの厳しい入射条件では満足しない。しかしながら、第2の指針である、NPNとPNPトランジスタ間の結合させない方法としてガードバンド構造は重要な役割を果たしている。

$t=6\text{ns}$ において、過剰電子および正孔は n^+ および p^+ ガードバンドで収集されるとともに、 n^+ 、 p^+ 両エミッタでも収集される。これによりエミッタ端子での電流方向が反転する。また、 p^+ 基板内の生成電子キャリアは完全に出払われる。 $t=10\text{ns}$ において過剰キャリアはほとんど消失している。このように n^+ および p^+ ガードバンドと p^-/p^+ 基板の併用した構造により、生成キャリアの収集とバイポーラトランジスタ間を結合させ

ないことが明らかになった。

レイアウト設計の柔軟性の観点からは、高密度が要求されるLSI内部回路においてガードバンドの適用は一般的に好ましくない。これは、PMOSFETとNMOSFETの配置がガードバンドにより制約を受けるからである。しかしながら、ガードバンドを用いない構造について、設計側から許容できる専有面積内でラッチアップフリーが実現できるかどうかは疑問である。ここでは、ガードバンドの無い p^- / p^+ 基板構造の $n^+ - N$ ウェル間隔に注目し、ラッチアップフリーが実現可能かどうかを調べる。ラッチアップ耐性を評価するために、図3-20に示す構造で $n^+ - N$ ウェル間隔 ($W_{bn} = 3, 6, 9 \mu m$) について解析した。表3-2に、 $n^+ - N$ ウェル間隔に対するラッチアップが生じる生成キャリア密度 N_p を示す。 $W_{bn} = 3, 6, 9 \mu m$ に対しラッチアップが生じる生成キャリア密度 N_p は、それぞれ、 $10^{18} [cm^{-3}]$ 、 $10^{19} [cm^{-3}]$ 、NLUであった。ここで、NLUは No Latch-Up (ラッチアップが生じない) の略称である。さらに表中には、比較のためにバルク基板 ($N_p = 3 \times 10^{18} [cm^{-3}]$ でラッチアップ) の結果も併記した。図3-21に $N_p = 10^{19} [cm^{-3}]$ の場合の n^+ エミッタ端子電流の時間推移を示す。 n^+ エミッタ端子電流特性から、ラッチアップは $W_{bn} = 3 \mu m$ および $6 \mu m$ で生じ、 $W_{bn} = 9 \mu m$ のときラッチアップフリー (NLU) が達成されている。これは広い W_{bn} ほど横型NPNトランジスタの電流増幅率が低いことによる。この W_{bn} 値はガードバンドを配備しない実内部回路のレイアウトには広すぎる分離幅である。したがって、CMOS LSIの宇宙環境使用という特殊な条件下でラッチアップフリーを実現させるには、ガードバンドと p^- エピ/ p^+ 基板の併用構造が、内部回路においても (たとえレイアウト設計の柔軟性を低下させるにもかかわらず) 適用することが必須であると考えられる。より厳密な定量評価には3次元デバイスシミュレータによる解析が必要であり、実用化に向けた計算機環境および数値解析技術の今後の向上が望まれる。

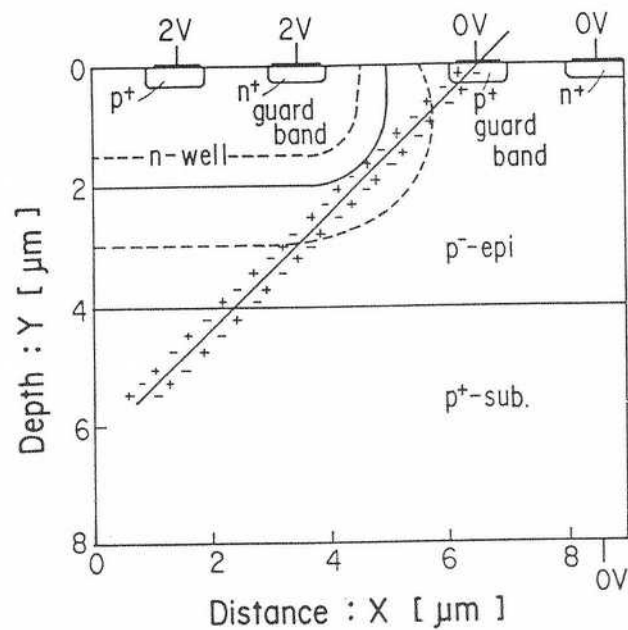


図 3-17 ガードバンドを有する p^-/p^+ エピ構造図
(入射位置 $X_0 = 6.5 \mu m$ 、入射角度 $\theta = 45^\circ$)

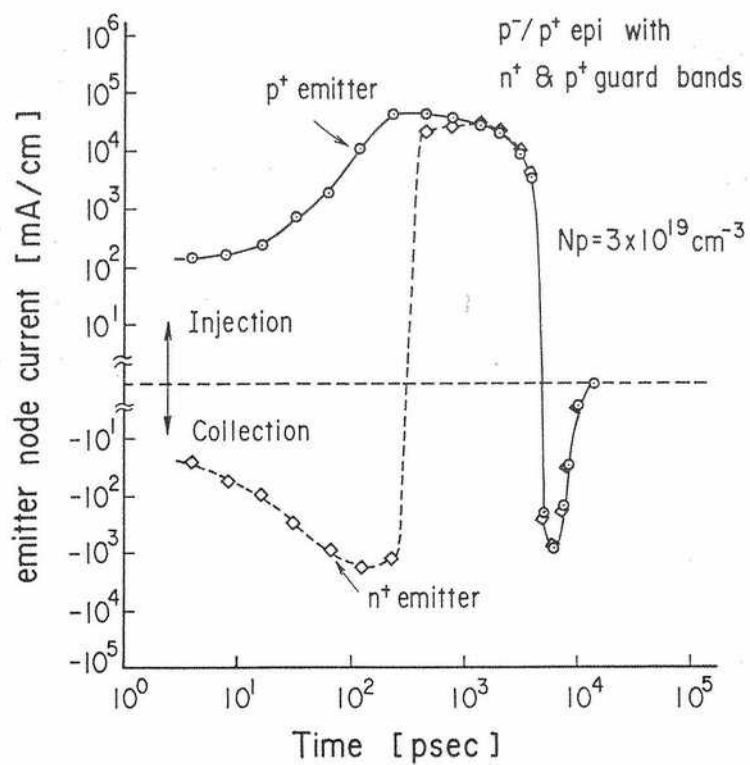
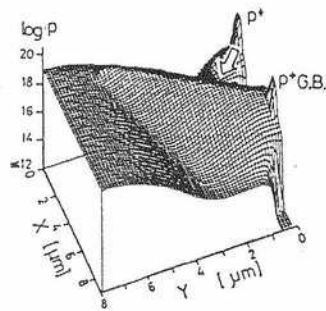
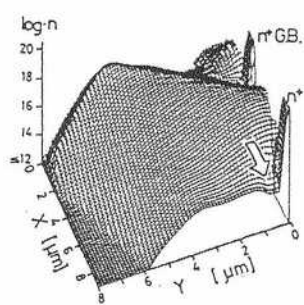
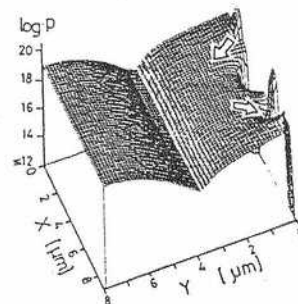
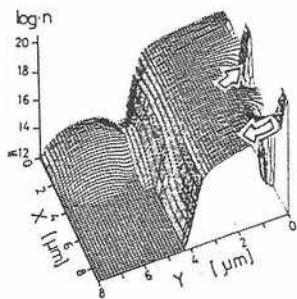


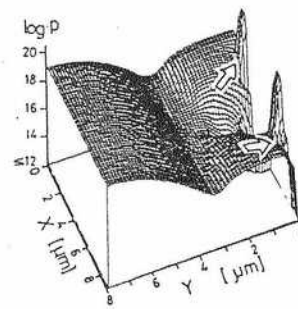
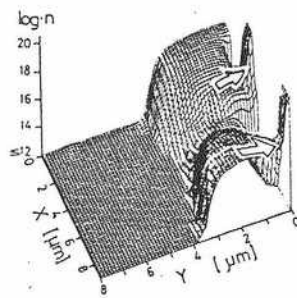
図 3-18 n^+ エミッタおよび p^+ エミッタ電極端子電流の時間推移



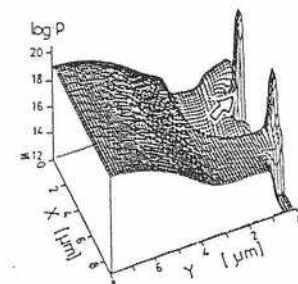
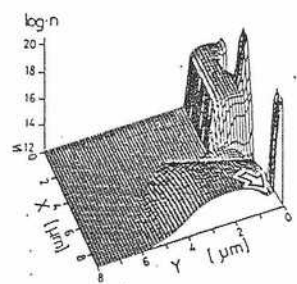
120ps



2ns



6ns



10ns

electron

hole

図3-19 電子濃度分布、正孔濃度分布の時間推移

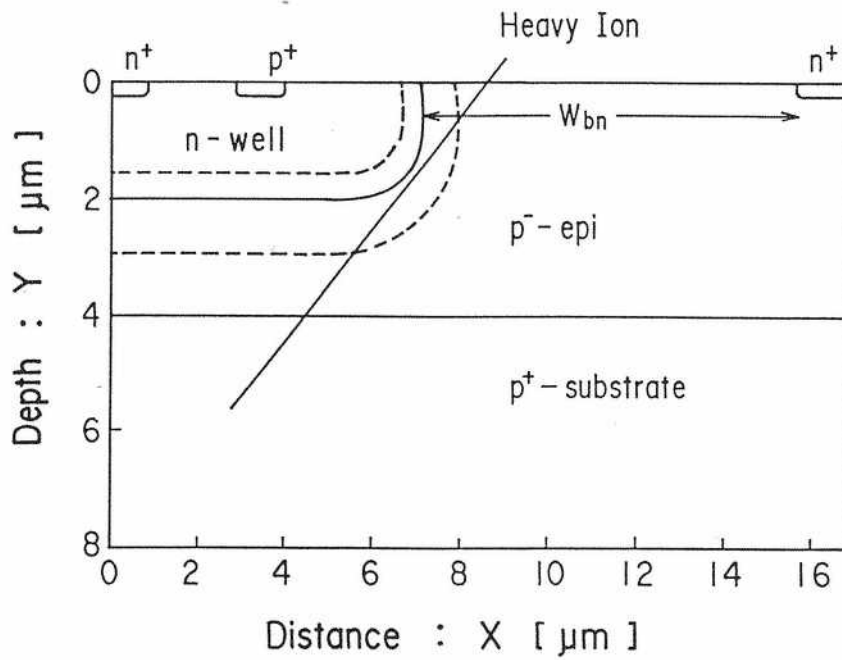


図 3-20 ガードバンドの無い p^- / p^+ エピ構造図 (重粒子入射角度 45°)

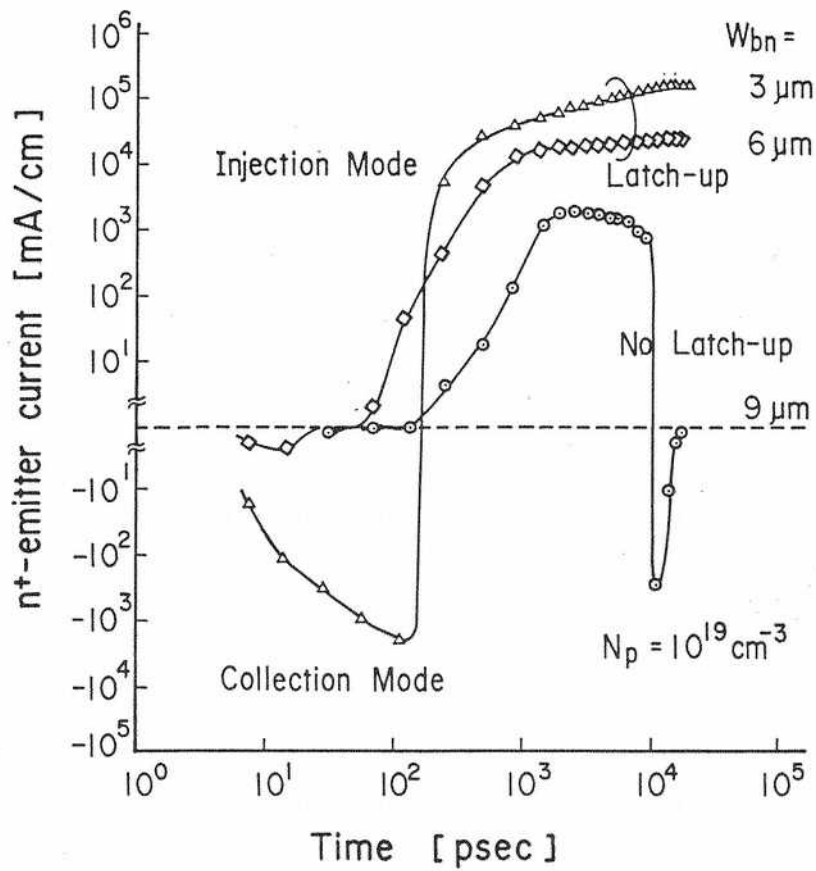


図 3-21 n^+ エミッタ電極端子電流の時間推移 ($W_{bn} = 3 \mu m, 6 \mu m, 9 \mu m$)

表 3-2 エピ基板内への重粒子の入射条件および解析結果 (図 3-20 参照)

	p-/p ⁺ epi wafer			bulk wafer
n ⁺ /Nwell 間隔 Wbn [μm]	3 μm	6 μm	9 μm	3 μm
ラッチアップが生じる 生成キャリア密度 Np [cm ⁻³]	10 ¹⁸	10 ¹⁹	NLU	3x10 ¹⁷

N L U (No Latch-Up) はラッチアップが生じないことをあらわす。

3. 6 まとめ

2次元デバイスDCおよび過渡解析シミュレータを用いたラッチアップ現象の数値解析を行い、以下の事項を明らかにした。

- (1) 2次元DCシミュレータによるラッチアップの解析から、寄生素子の変調効果を把握し、簡単な等価回路モデルの素子パラメータに、電流増幅率、順方向走行時間、寄生等価抵抗の変調効果を導入することにより、バルクCMOSにおけるラッチアップの定量解析が可能となることを示した。
- (2) 2次元2キャリア過渡シミュレータを用いてパルストリガ電圧に起因するCMOSラッチアップ現象の解析を行い、その動的メカニズムを明らかにした。
- (3) 過渡解析シミュレータを重イオン粒子入射によるCMOSラッチアップの解析に適用し、重粒子によるラッチアップ過程において、生成キャリアの収集モードとバイポーラ動作による注入モードがあることを明らかにした。重粒子の入射条件に対するラッチアップ耐性の関係を調べ、入射角・入射位置・飛跡上生成キャリア密度依存性を評価した。n⁺ および p⁺ ガードバンドと p⁻ / p⁺ エピ基板を併用したラッチアップ防止構造についての解析を行い、Np= 3x10¹⁹ [cm⁻³] の飛跡上生成キャリア密度に対してもラッチアップが生じないことを明らかにした。

第3章参考文献

- [1] H.K. Gummel, "A self-consistent iterative scheme for one-dimensional steady state transistor calculations," IEEE Trans. on Electron Devices, ED-11, pp. 455-465 (1964).
- [2] D.P. Kennedy and R.R. O'Brien, "Computer-aided two-dimensional analysis of the junction field effect-transistor," IBM Journal of Research Review, Vol.14, pp. 95-116 (1970).
- [3] J.W. Slotboom, "Computer-aided two-dimensional analysis of bipolar transistors," IEEE Trans. on Electron Devices, ED-20, pp. 669-679 (1973).
- [4] T.Toyabe and S.Asai, "Analytical models of threshold vltage and breakdown voltage of short-channel MOSFET's from two-dimensional analysis," IEEE Trans. on Electron Devices, ED-26, pp. 453-461 (1979).
- [5] K.R.Hofmann, C.Werner, W.Weber, G.Dorda, "Hot-electron and hole-emission effects in short n-channel MOSFET's," IEEE Trans. on Electron Devices, ED-32, pp. 691-699 (1979).
- [6] M.Tomizawa, K.Yokoyama, A. Yoshii and T. Sudo, "Two-dimemsional device simulator for gate level characterization," Solid State Electronics, vol. 25, pp. 913-916 (1982).
- [7] A.W. Wieder, C. Werner and J. Harter, "Design model for bulk CMOS scaling enabling accurate latchup prediction," IEEE Trans. on Electron Devices, ED-30, pp. 240-245 (1983).
- [8] K. Yokoyama, M. Tomizawa, A. Yoshii and T. Sudo, "Semiconductor device simulator at NTT," IEEE Trans. Electron Devices, ED-32, pp.2008-2017(1983).
- [9] T. Aoki, R. Kasai and S. Horiguchi, "A CMOS latch-up model including non-linear effects," International Conference on Solid State Devices and Materials, ICSSDM'84, pp. 241-244 (1984).
- [10] T. Aoki, R. Kasai and M. Tomizawa, "Numerical analysis of heavy ion particle-induced CMOS latch-up," IEEE Electron Device Letters, vol.EDL-7, pp. 273-275 (1986).

- [11] T. Aoki, "Dynamics of heavy-ion-induced latchup in CMOS structures,"
IEEE Trans. on Electron Devices, vol. ED-35, pp. 1885-1891 (1988).
- [12] S. Selberherr, Analysis and Simulation of Semiconductor Devices,
New York: Springer-Verlag (1984).
- [13] D.L. Scharfetter and H.K. Gummel, "Large-signal analysis of a silicon read
diode oscillator," IEEE Trans. Electron Devices, ED-16 pp. 67-77 (1969).
- [14] W. Shockley and W.T. Read, "Statistics of the recombination of holes and
electrons," Phys. Rev. vol. 87 pp. 835-842 (1952).
- [15] J.W. Slotboom, "Measurements of band gap narrowing in silicon bipolar
transistors" Solid State Electronics, vol. 19, pp. 857-860 (1976).
- [16] K. Kanzaki, H. Nihira, J. Matsunaga and S. Kohyama, "Scaled CMOS and latch-up
analysis," in Extended Abstracts ICSSDM, pp. 237-240 (1984).
- [17] D. Estreich, "The physics and modeling of latch-up and CMOS integrated
circuits," Stanford Univ. Tech. Rep. G201-9 (1980).
- [18] E.L. Peterson, "Single Event Upsets in Space: Basic Concept,"
1983 IEEE NSREC Short Course, (1983).
- [19] K. Soliman and D.K. Nichols, "Latch-up in CMOS devices from heavy ions,"
IEEE Nucl. Sci. NS-30 pp. 4514-4519 (1983).
- [20] C.M. Hsieh, P.C. Murley and R.R. O'Brien, "Collection of charge from
alpha-particle tracks in silicon devices"
IEEE Trans. Electron Devices, ED-30, pp. 686-693 (1983).
- [21] J.S. Fu, C.L. Axness and H.T. Weaver, "Two-dimensional simulation of single
event induced bipolar current in CMOS structure,"
IEEE Trans. Nucl. Sci. NS-31 pp. 1155-1160 (1983).
- [22] C. Hu, "Alpha-particle-induced field and enhanced collection of carriers,"
IEEE Electron Device Lett., EDL-3 pp. 31-34 (1982).
- [23] J.G. Rollis, W.A. Kolanski, D.C. Marvin and R. Koga, "Numerical simulation of
SEU induced latch-up," IEEE Trans. Nucl. Sci. NS-33 pp. 1565-1570 (1986).

第4章 ラッチアップ耐性の温度依存性の解析

4. 1 緒言

寄生サイリスタ構造によるラッチアップ耐性は周囲温度により変化し、温度が上昇するにつれて耐性が低下することが実験的に報告されている。ラッチアップ保持電流(I_H)、保持電圧(V_H)、トリガ電流(I_{trg})というラッチアップ耐性をあらわす評価指標は、寄生バイポーラトランジスタの電流増幅率、ベース・エミッタ間等価シャント抵抗、エミッタ・ベース間順方向電圧のパラメータに大きく依存する^[1]。従来の温度依存性に関する研究^{[1] - [6]}では、主に保持電流および保持電圧について行われ、それらの議論は簡易等価回路モデルに基づいて行われた。CMOSインバータ回路について周囲温度を300 Kから77 Kまで低下させたところ、その保持電流が77 Kで300 Kの2倍になった^[2]と報告されている。また、出力端子から負のトリガ電流値は77 Kで4倍となり、その主因を出力端の寄生縦型NPNトランジスタの電流増幅率の温度依存性であるとした^[2]。さらに、 n^-/n^+ エピ基板を用いた実験では、floatingPウェル状態でラッチアップ保持電流(I_H)とトリガ電流($I_{trg} = V_{FP}/\beta_n R_n$)を評価し、寄生バイポーラトランジスタの電流増幅率とベース・エミッタ間電圧が寄生等価シャント抵抗の温度依存性よりも大きいことが報告されている。^[3] 以上の様に、従来のラッチアップ耐性の温度依存性に関する研究報告では、等価回路モデルを用いて定性的に説明されており、定量的にどのパラメータが温度依存性の主因となるかは明確でなかった。

本章では、CMOSおよびBiCMOS LSIにおける種々の構造についてラッチアップのトリガ電流の温度依存性を評価するとともにそれを形成するパラメータである寄生等価シャント抵抗、寄生バイポーラトランジスタの電流増幅率および順方向バイアス電圧の温度特性も詳細に評価した結果を述べる。^[7] さらに、ラッチアップトリガ電流の温度依存性を一般化ならびに定量化し、高温条件下でのラッチアップトリガ電流の低下がどのパラメータが主因であるかを議論する。

4. 2 温度特性評価手順

4.2.1 テスト素子構造と測定系

評価した測定素子はCMOS/BiCMOS LSIの内部回路における実用的な標準セル形式のレイアウトパターンに対するラッチアップ耐性を評価するためのものであり、図4-1に示すようなテスト構造を用いた。PウェルおよびNウェルについてのウェルコンタクト配置間隔 X_p は X_p 依存性を除き、主に $38.4\mu\text{m}$ （ウェルコンタクト配置間隔の最大なDFFセルの倍の16トランジスタピッチ相当）一定とした。図中、 $p-S/D$ とNウェルコンタクトは V_{DD} に、 $n-S/D$ とPウェルコンタクトは V_{SS} にそれぞれ印加される。 $I_{trg+port}$ および $I_{trg-port}$ はそれぞれPウェル正トリガ入力端子、Nウェル負トリガ入力端子を示す。また、Pウェルトリガ入力の場合、Nウェルトリガ端子はNウェル電位モニタ端子（Nウェルトリガ入力の場合、Pウェルトリガ端子はPウェル電位モニタ端子）として用いられる。

ラッチアップトリガ電流の温度特性の構造依存性を評価するために図4-2(a)～(c)に示すような3種のツインウェル構造（Pウェル直下 n^+ 埋め込み構造、PおよびNウェル直下 n^+ 埋め込み構造、Nウェル直下 n^+ 埋め込み構造）を用いた。前者の2構造はPウェルがP基板と分離された構造であり、負電位のECL信号と正電位のLV-TTL信号がLSIのインタフェースとして混載する、いわゆるECL/LV-TTL混載用BiCMOS LSI^[8]に適用されている。Pウェル分離構造はNウェル直下 n^+ 埋め込み構造とか通常のバルクCMOS構造に比べPウェル等価抵抗と縦型寄生NPNバイポーラトランジスタの電流増幅率が通常より大きくなるため、そのラッチアップ耐性は低いことが報告されている。Pウェルトリガ電流(I_{trg+})注入およびNウェルトリガ電流(I_{trg-})注入のラッチアップトリガ電流式は、等価回路モデルを用いて一般的に次式であらわされる。

$$I_{trg+} = V_{FN}/R_{PW} + V_{FP}/(\beta_n \cdot R_{NW}) \quad (4.1)$$

$$I_{trg-} = -[V_{FP}/R_{NW} + V_{FN}/(\beta_p \cdot R_{PW})] \quad (4.2)$$

ここで、 V_{FN} と V_{FP} は寄生NPNおよび寄生PNPバイポーラトランジスタの順方向エミッタ・ベース電圧、 β_n と β_p はそれらの電流増幅率である。また、 R_{PW} と R_{NW} はPウェルおよびNウェル等価シャント抵抗である。

評価用テスト素子は $0.5\mu\text{m}$ BiCMOSプロセス技術を用いて、 $10\Omega\text{cm}$ のP型基板上に $1.3\mu\text{m}$ 厚のN型エピタキシャル層（ $0.5\Omega\text{cm}$ ）を形成したウェハ上に作

製した。典型的な、分離Pウェル層の不純物濃度は約 $1.8 \times 10^{17} [\text{cm}^{-3}]$ で、最終的なウェルの深さは約 $1.1 \mu\text{m}$ であった。また、Nウェルと n^+ 埋め込み層の不純物濃度はそれぞれ、 8×10^{16} と $2 \times 10^{19} [\text{cm}^{-3}]$ であった。

温度測定に用いた測定系を図4-3に示す。テスト素子は28ピンDIPにパッケージされており、Temptronics社製のサーモストリーマで温度制御された圧縮空気を供給している。素子への電圧印加とトリガ電流注入およびラッチアップ電流モニタは半導体パラメータアナライザHP4145Bを用いた。

4.2.2 ラッチアップパラメータ評価法

まず、ラッチアップトリガ電流値とこれに係わる各パラメータ値の測定方法を図4-4に示す簡易等価回路モデルを用いて説明する。ウェル端子から注入されるラッチアップトリガ電流値 ($I_{\text{trg}+}$ 、 $I_{\text{trg}-}$) は、ラッチアップが生ずる直前のトリガ注入電流で定義する。各パラメータ値は以下の考え方で求める。

- ・ Nウェル等価シャント抵抗 R_{NW} は図4-4(a)に示すようにPウェルトリガモードにおいて寄生NPNバイポーラトランジスタをオンさせ、寄生PNPバイポーラトランジスタがオフ状態の条件下で、コレクタ電流 I_{NW} とNウェルトリガ端子におけるモニタ電位 V_{M1} を測定することにより、 $R_{\text{NW}} = (V_{\text{DD}} - V_{\text{M1}}) / I_{\text{NW}}$ で求まる。ここで V_{DD} はアノード側の電源電圧である。

- ・ NPNバイポーラトランジスタの電流増幅率 β_n は

$$\beta_n = I_{\text{NW}} / (I_{\text{trg}+} - I_{\text{PW}}) \quad \text{で求まる。}$$

- ・ NPNバイポーラトランジスタの順方向バイアス電圧 V_{FN} は

$$V_{\text{FN}} = V_{\text{trg}+} - r_{\text{po}} \cdot I_{\text{trg}+} \quad \text{となる。}$$

- ・ Pウェル等価シャント抵抗 R_{PW} は、 $R_{\text{PW}} = V_{\text{FN}} / I_{\text{PW}}$ となる。

ここで注意しなければならないのは、 r_{po} のトリガ端子外部抵抗の存在により、Pウェルトリガ入力抵抗 $V_{\text{trg}+} / I_{\text{trg}+}$ はPウェル等価シャント抵抗 R_{PW} と同じでないことである。このように、 r_{po} の存在により V_{FN} は直接求まらないため、Pウェル等価シャント抵抗 R_{PW} を測定するには、図4-4(b)に示すようにNウェルトリガモードにおいて寄生PNPバイポーラトランジスタをオンさせ、寄生NPNバイポーラトランジスタがオフ状態の条件下で、コレクタ電流 I_{PW} とPウェルトリガ端子におけるモニタ電位 V_{M2} を測定することにより、 $R_{\text{PW}} = (V_{\text{M2}} - V_{\text{SS}}) / I_{\text{PW}}$ で求まる。

- ・ PNPバイポーラトランジスタの電流増幅率 β_p は

$$\beta_p = I_{PW} / (I_{trg-} - I_{NW}) \quad \text{で求まる。}$$

- ・ PNPバイポーラトランジスタの順方向バイアス電圧 V_{FP} は

$$V_{FP} = V_{trg-} - r_{ne} \cdot I_{trg-} \quad \text{となる。}$$

- ・ Nウェル等価シャント抵抗 R_{NW} は、 $R_{NW} = V_{FP} / I_{NW}$ となる。

- ・ r_{pe} はPウェルトリガ入力抵抗 V_{trg+} / I_{trg+} からPウェル等価シャント抵抗 R_{PW} を引いた値、 r_{ne} はNウェルトリガ入力抵抗 V_{trg-} / I_{trg-} からNウェル等価シャント抵抗 R_{NW} を引いた値である。

以上のパラメータを求めることにより、式(4-1)、(4-2)に代入してトリガ電流が計算できる。次節ではラッチアップトリガ電流および寄生パラメータの温度特性測定結果を述べるが、電源電圧 V_{DD} は3.3V一定の条件で測定した。

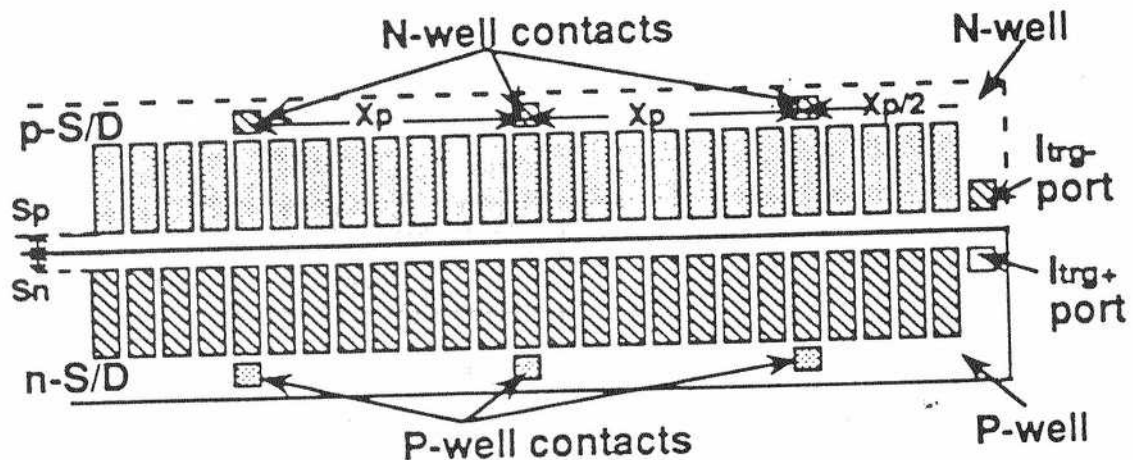


図4-1 温度依存性評価テスト素子構造

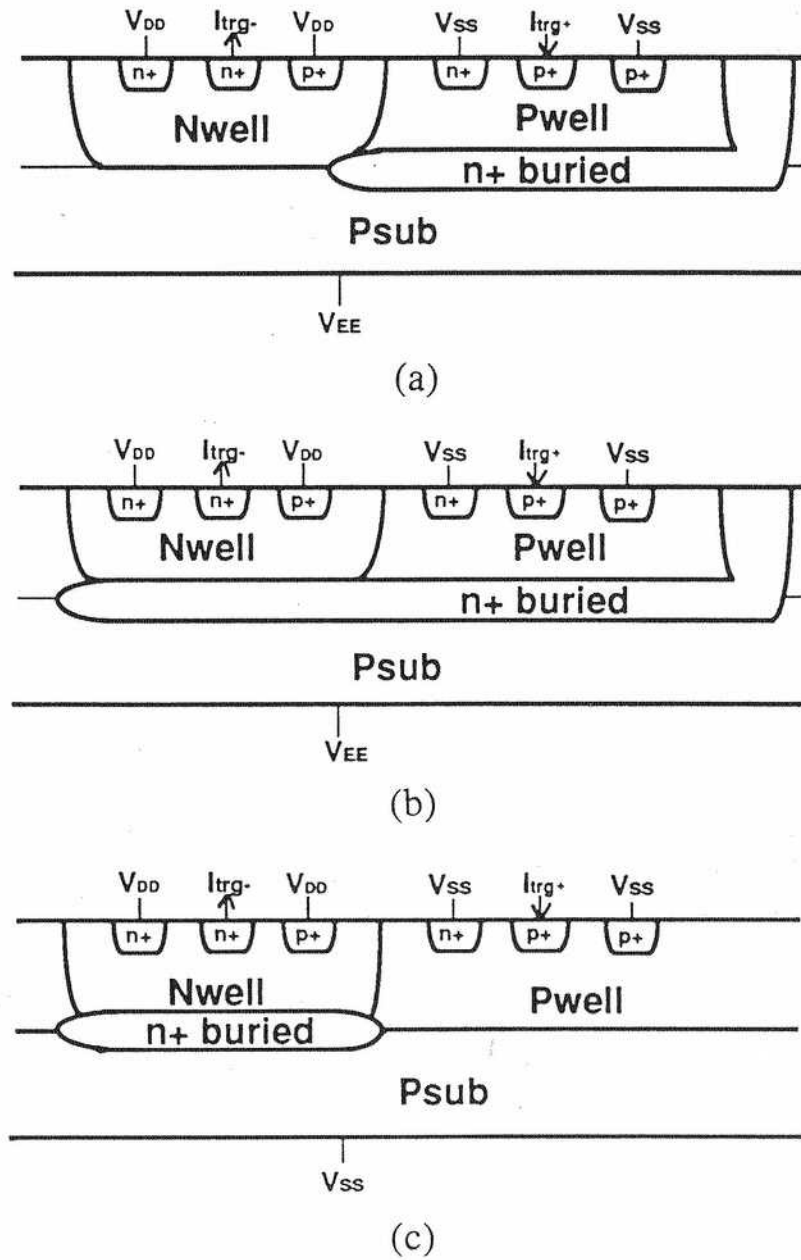


図 4 - 2 評価素子断面模式図

- (a) Pウェル / n^+ 埋め込み構造
- (b) P & Nウェル / n^+ 埋め込み構造
- (c) Nウェル / n^+ 埋め込み構造

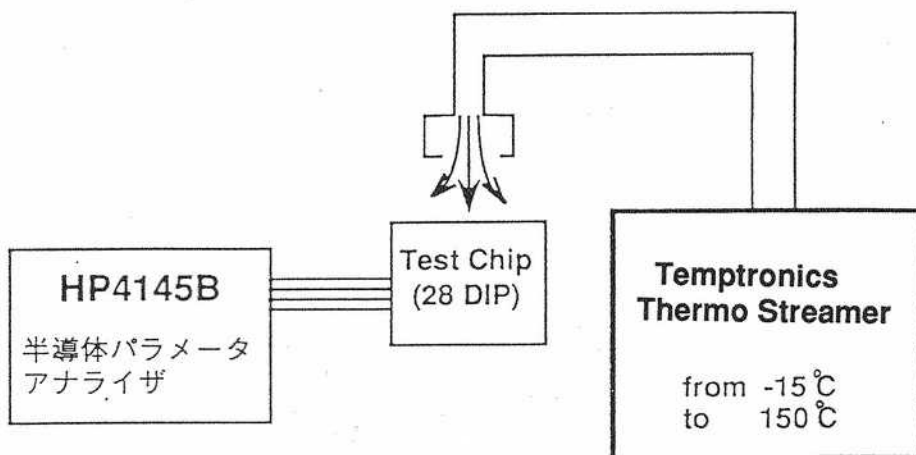


図 4 - 3 温度特性測定系

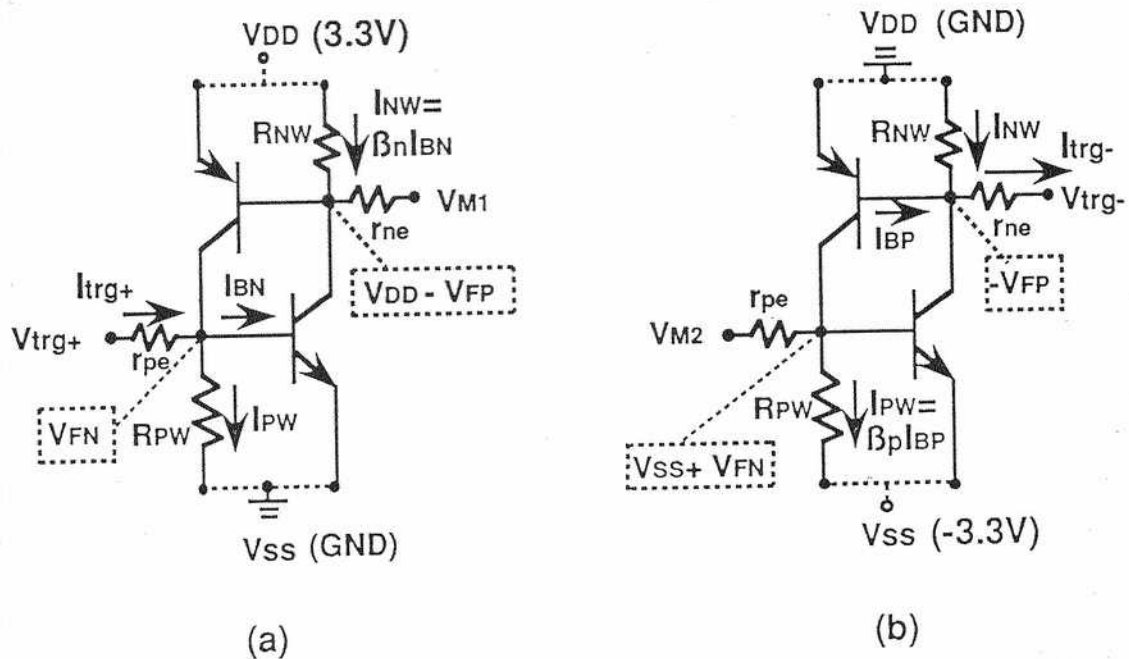


図 4 - 4 ラッチアップ簡易等価回路モデル

- (a) Pウェルトリガ注入モード
(b) Nウェルトリガ注入モード

4. 3 トリガ電流とパラメータの温度依存

4.3.1 ラッチアップトリガ電流

図4-5に4.2.1で述べた3種の基板構造について、10℃から125℃の周囲温度範囲におけるPウェルトリガ電流 I_{trg+} およびNウェルトリガ電流 I_{trg-} の温度依存性を示す。Pウェルトリガ電流は周囲温度が25℃から125℃に上昇することで約50%低下することがわかる。一方、Nウェルトリガ電流は周囲温度が25℃から125℃に上昇することで約40%低下する。また、Pウェルトリガ電流レベルの構造依存を比較すると、Nウェル/ n^+ 埋め込み構造で数mAのオーダーに対し、Pウェル分離の構造では数百 μA のオーダーとラッチアップ耐性が低い。これは、Pウェル分離構造（Pウェル/ n^+ 埋め込み構造、P & Nウェル/ n^+ 埋め込み構造）では、Pウェルの接合深さが1 μm 程度と浅いため、 $10^{17} [cm^{-3}]$ 程度のNMOSFETの標準的Pウェル濃度に対し、Pウェル等価シャント抵抗が数十K Ω と高いことと、寄生縦型NPNバイポーラトランジスタの電流増幅率が数十～百程度と高いことのため、式(1)のトリガ電流式の右辺の各項が小さくなるためである。ラッチアップトリガ電流の温度依存係数 γ （ I_{trg+} に対し γ_P 、 I_{trg-} に対し γ_N ）を25℃で規格化すると、温度を関数とするトリガ電流式は次式であらわされる。

$$I_{trg+}(T) = I_{trg+}(25) / [1 - \gamma_P \cdot (T-25)] \quad (4.3)$$

$$I_{trg-}(T) = I_{trg-}(25) / [1 - \gamma_N \cdot (T-25)] \quad (4.4)$$

表4-1に25℃におけるラッチアップトリガ電流とその温度依存係数を一覧する。求められた γ_P は-0.83%/℃から-1.0%/℃であり、 γ_N は-0.5%/℃から-0.65%/℃であった。

トリガ電流の温度依存係数を決定する各寄生パラメータの温度依存性の測定結果を次節で述べる。

4.3.2 ラッチアップパラメータ

図4-6にPウェル等価シャント抵抗 R_{PW} の温度依存性を示す。温度上昇に伴うキャリア移動度の低下により、等価抵抗は上昇する。次節で定量的な議論をするために、Pウェル等価シャント抵抗の温度依存をあらわす係数として δ_{PW} を次式で定義する。

$$R_{PW}(T) = R_{PW}(25) \cdot [1 + \delta_{PW} \cdot (T-25)] \quad (4.5)$$

図4-6の実験結果から、 δ_{PW} はPウェル分離構造で約0.35%/℃、Nウェル/ n^+ 埋め込み構造で約0.55%/℃であった。図4-7にNウェル等価シャント抵抗 R_{NW} の温度依存性を

示す。Nウェル等価シャント抵抗の温度係数として δ_{NW} を次式で定義する。

$$R_{NW}(T) = R_{NW}(25) \cdot [1 + \delta_{NW} \cdot (T-25)] \quad (4.6)$$

図4-7の実験結果から、 δ_{NW} の値は、Pウェル/ n^+ 埋め込み構造で約0.30%/°C、P & Nウェル/ n^+ 埋め込み構造で約0.15%/°C、Nウェル/ n^+ 埋め込み構造で約0.14%/°Cであった。これらの係数は、高不純物濃度ほど温度依存係数が小さいという傾向^{[1][9]}と一致する。

図4-8にPウェル/ n^+ 埋め込み構造における縦型PNPバイポーラトランジスタと横型PNPバイポーラトランジスタの25°Cで規格化した電流増幅率 β_n 、 β_p の温度依存性を示す。25°Cにおける電流増幅率 $\beta_n(25)$ 、 $\beta_p(25)$ はそれぞれ30および0.15であった。電流増幅率の温度依存係数を η_n 、 η_p とすると

$$\beta_n(T) = \beta_n(25) \cdot [1 + \eta_n(T-25)] \quad (4.7)$$

$$\beta_p(T) = \beta_p(25) \cdot [1 + \eta_p(T-25)] \quad (4.8)$$

であらわされる。Pウェル/ n^+ 埋め込み分離構造に対し、 η_n の値は1.0%/°Cであった。また、 η_p の値はPウェル/ n^+ 埋め込み層構造で0.25%/°C、P & Nウェル/ n^+ 埋め込み層構造で0.52%/°Cであった。一方、Nウェル/ n^+ 埋め込み層構造では、横型PNPバイポーラトランジスタの η_n の値は0.6%/°C、縦型PNPバイポーラトランジスタの η_p の値は0.7%/°Cであった。

寄生バイポーラトランジスタの順方向エミッタベース電圧も温度に依存するパラメータである^[1]。図4-9にPウェル/ n^+ 埋め込み層構造のPウェルトリガ入力モードでの寄生バイポーラトランジスタの順方向エミッタベース電圧 V_{FN} および V_{FP} の温度依存性を示す。温度依存係数 θ を用いて次式であらわされる。

$$V_{FN}(T) = V_{FN}(25) \cdot [1 + \theta_n(T-25)] \quad (4.9)$$

$$V_{FP}(T) = V_{FP}(25) \cdot [1 + \theta_p(T-25)] \quad (4.10)$$

求められた温度依存係数は θ_n が-0.16%/°C、 θ_p が-0.19%/°Cであった。表2に他の温度依存係数を含めた値を一覧する。

ラッチアップトリガ電流の温度依存性の検討において、寄生パラメータ自身の温度係数値のみならず、トリガ電流式(1)(2)の右辺の2項のどちらの項が全トリガ電流値に占める割合(第1項に対する第2項の比)が大きいかをもち考慮する必要がある。ラッチアップトリガ電流式(4-1)、(4-2)と温度依存パラメータ式(4-5)～(4-10)を用いて、まずPウェルトリガ電流式(4-1)を置き換えると、

$$I_{trg+}(T) = I_1(25) \cdot \{ [1 + \theta_N \cdot (T-25)] / [1 + \delta_{PW} \cdot (T-25)] \\ + I_2(25) / I_1(25) \cdot [1 + \theta_P \cdot (T-25)] / [1 + \delta_{NW} \cdot (T-25)] / [1 + \eta_N(T-25)] \} \quad (4.11)$$

ここで、 $I_1(25)$ は $V_{FN}(25)/R_{PW}(25)$ 、 $I_2(25)$ は $V_{FP}(25)/[\beta_N(25) \cdot R_{NW}(25)]$ を示しており、25℃で規格してある。同様に、Nウェルトリガ電流式(2)について、

$$I_{trg-}(T) = I_3(25) \cdot \{ [1 + \theta_P \cdot (T-25)] / [1 + \delta_{NW} \cdot (T-25)] \\ + I_4(25) / I_3(25) \cdot [1 + \theta_N \cdot (T-25)] / [1 + \delta_{PW} \cdot (T-25)] / [1 + \eta_P(T-25)] \} \quad (4.12)$$

なお、 $I_3(25)$ は $-V_{FP}(25)/R_{NW}(25)$ 、 $I_4(25)$ は $-V_{FN}(25)/[\beta_P(25) \cdot R_{PW}(25)]$ である。ここで、 I_1 は図4-4(a)の I_{PW} 、 I_3 は図4-4(b)の I_{NW} と等価である。表4-2には式(4-11)、(4-12)中の $I_2(25)/I_1(25)$ 比、 $I_4(25)/I_3(25)$ 比の値も示す。これらの比は25℃においてラッチアップトリガ電流式のどの項が支配的であることを示しておりその比が1よりはるかに大きいときには第2項が支配的であり、その反対の場合は第1項が支配的となることを示している。ここで、周囲温度25℃における I_1 、 I_2 、 I_3 、 I_4 の値は寄生パラメータの温度依存性自体に直接関係がない。

次節では、 I_1 、 I_2 、 I_3 、 I_4 のみならず、温度依存係数 γ と δ 、 η 、 θ を用いてラッチアップトリガ電流の温度依存性を定量的に議論する。さらに、トリガ電流の温度依存特性は、各寄生パラメータの温度依存係数に大きく依存するとともに、トリガ電流式の第1項成分と第2項成分の大きさも重要な要因であることを示す。

4.3.3. 解析式による定量的検討

式(4-3)、(4-11)、(4-12)から、温度依存係数 γ と δ 、 η 、 θ の関係は、

$$I_{trg+}(T) = I_{trg+}(25) / [1 - \gamma_P \cdot (T-25)] \\ = I_1(T) + I_2(T) = I_1(25) \cdot \{ [1 + \theta_N \cdot (T-25)] / [1 + \delta_{PW} \cdot (T-25)] \\ + I_2(25) / I_1(25) \cdot [1 + \theta_P \cdot (T-25)] / [1 + \delta_{NW} \cdot (T-25)] / [1 + \eta_N(T-25)] \} \quad (4.13)$$

$$I_{trg-}(T) = I_{trg-}(25) / [1 - \gamma_N \cdot (T-25)] \\ = I_3(T) + I_4(T) = I_3(25) \cdot \{ [1 + \theta_P \cdot (T-25)] / [1 + \delta_{NW} \cdot (T-25)] \\ + I_4(25) / I_3(25) \cdot [1 + \theta_N \cdot (T-25)] / [1 + \delta_{PW} \cdot (T-25)] / [1 + \eta_P(T-25)] \} \quad (4.14)$$

であらわされる。

図4-10にPウェル/ n^+ 埋め込み層構造のPウェルトリガ電流の実測値と式(4-13)を用いた計算値および第1項 $I_1(T)$ と第2項 $I_2(T)$ の温度依存結果を合わせて示す。ここで、 $I_1(T)$ は $V_{FN}(T)/R_{PW}(T)$ 、 $I_2(T)$ は $V_{FP}(T)/[\beta_n(T) \cdot R_{NW}(T)]$ である。実測値と計算値とは数%以内の誤差範囲で良い一致が得られている。第1項 $I_1(T)$ と第2項 $I_2(T)$ の温度依存性から第2項 $I_2(T)$ が周囲温度上昇によるラッチアップトリガ電流の低下の主因となることを示している。すなわち、 $I_2(25)/I_1(25)$ 比が0.833と1に近いことと、第1項 $I_1(T)$ の温度係数 (θ_n, δ_{PW}) より、第2項 $I_2(T)$ の温度係数 $(\theta_P, \delta_{NW}, \eta_n)$ が大きいことによるためである。そのなかでも、NPNトランジスタの電流増幅率の温度係数 $\eta_n(1.0\%/^{\circ}\text{C})$ が最も大きな因子である。図4-11にNウェルトリガ電流の実測値と式(14)を用いた計算値および第1項 $I_3(T)$ と第2項 $I_4(T)$ の温度依存結果を合わせて示す。ここで $I_3(T)$ は $-V_{FN}(T)/R_{PW}(T)$ 、 $I_4(T)$ は $-V_{FP}(T)/[\beta_n(T) \cdot R_{NW}(T)]$ である。実測値と計算値とは非常に良く一致していることがわかる。第1項 $I_3(T)$ と第2項 $I_4(T)$ の個々の温度依存性から温度係数はそれぞれ $-0.56\%/^{\circ}\text{C}$ 、 $-0.88\%/^{\circ}\text{C}$ と第2項が大きい、 $I_4(25)/I_3(25)$ 比が0.308と $I_3(25)$ の値が3倍大きいことによるため、全トリガ電流としては、第1項 $I_3(T)$ によるトリガ電流成分の低下の占める割合が大きい。

この様に、トリガ電流の温度依存特性は、各パラメータの温度依存係数に大きく依存するとともに、トリガ電流式の第1項に対する第2項の比も重要な要因である。

図4-12にP&Nウェル/ n^+ 埋め込み層構造のPウェルトリガ電流の実測値と式(4-13)を用いた計算値および第1項 $I_1(T)$ と第2項 $I_2(T)$ の温度依存性の結果を合わせて示す。実測値と計算値とは良い一致が得られている。第1項 $I_1(T)$ と第2項 $I_2(T)$ の温度依存性から第2項 $I_2(T)$ が周囲温度上昇によるラッチアップトリガ電流の低下の主因となることを示している。すなわち、 $I_2(25)/I_1(25)$ 比が2.23と大きいことと、第2項 $I_2(T)$ の温度係数 $(\theta_P, \delta_{NW}, \eta_n)$ が $-1.05\%/^{\circ}\text{C}$ と第1項の温度係数 (θ_n, δ_{PW}) の $-0.55\%/^{\circ}\text{C}$ より大きいことから、第1項の温度係数 (θ_n, δ_{PW}) が温度上昇によるラッチアップトリガ電流の主因となる。したがって、ラッチアップトリガ電流の温度係数 γ_P とパラメータの温度係数 $\theta_P, \delta_{NW}, \eta_n$ 間の関係式は

$$1/[1 - \gamma_P \cdot (T-25)] \approx [1 + \theta_P \cdot (T-25)]/[1 + \delta_{NW} \cdot (T-25)]/[1 + \eta_n \cdot (T-25)]$$

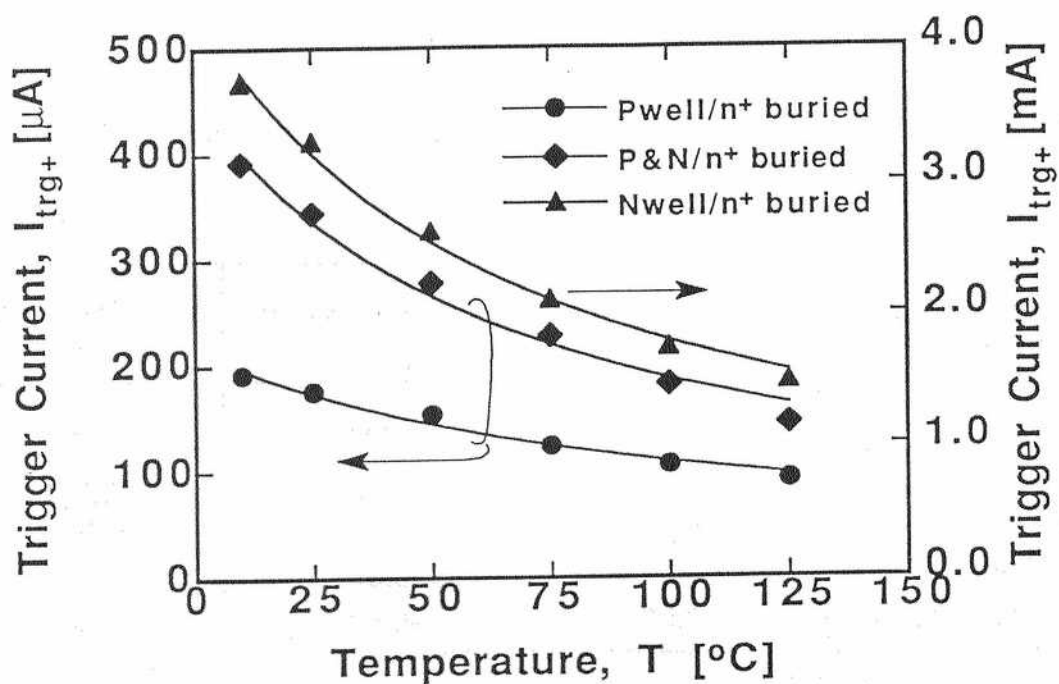
となる。図4-13にNウェルトリガ電流の実測値と式(4-14)を用いた計算値および第1項

$I_3(T)$ と第 2 項 $I_4(T)$ の温度依存結果を合わせて示す。ここで、 $I_4(25)/I_3(25)$ 比が 0.067 と $I_3(25)$ の値が 13 倍大きいことによるため、全トリガ電流は第 1 項 $I_3(T)$ によるトリガ電流成分とほぼ等しい温度依存性を示すことになる。ラッチアップトリガ電流の温度係数 γ_N とパラメータの温度係数 θ_P 、 δ_{NW} 間の関係式は

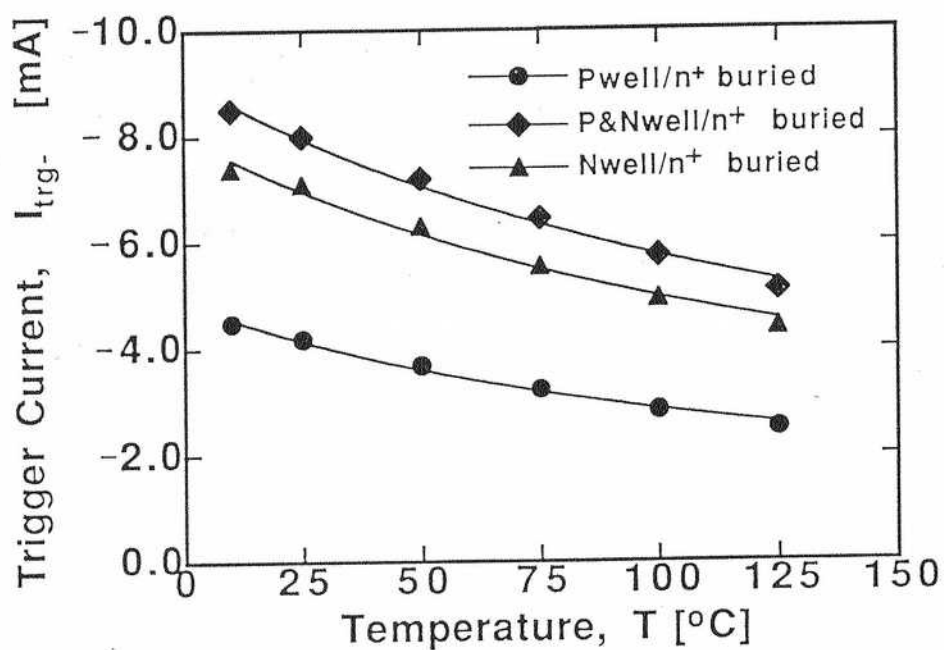
$$1/[1 - \gamma_N \cdot (T-25)] \approx [1 + \theta_P \cdot (T-25)]/[1 + \delta_{NW} \cdot (T-25)]$$

となる。

図 4-14 に N ウェル/ n^+ 埋め込み層構造についての P ウェルトリガ電流の実測値と式 (4-13) を用いた計算値および第 1 項 $I_1(T)$ と第 2 項 $I_2(T)$ の温度依存結果を示す。実測値と計算値とは良い一致が得られている。第 1 項 $I_1(T)$ と第 2 項 $I_2(T)$ の温度依存性から第 2 項 $I_2(T)$ が 周囲温度上昇によるラッチアップトリガ電流の低下の主因となることを示している。すなわち、 $I_2(25)/I_1(25)$ 比が 0.364 と大きいと、第 2 項 $I_2(T)$ の温度係数 (θ_P 、 δ_{NW} 、 η_N) が $-1.08\%/^{\circ}\text{C}$ と第 1 項の温度係数 (θ_N 、 δ_{PW}) の $-0.8\%/^{\circ}\text{C}$ より多少大きいにもかかわらず、第 1 項が温度上昇によるラッチアップトリガ電流の主因となる。同様に、図 4-14 に N ウェルトリガ電流の実測値と式 (4-14) を用いた計算値および第 1 項 $I_3(T)$ と第 2 項 $I_4(T)$ の温度依存結果を合わせて示す。ここで $I_4(25)/I_3(25)$ 比が 0.152 と $I_3(25)$ の値が大きいことによるため、 I_4 の温度係数 (θ_N 、 δ_{PW} 、 η_P) が $-1.65\%/^{\circ}\text{C}$ と I_3 の温度係数結合 (θ_P 、 δ_{NW}) の $-0.40\%/^{\circ}\text{C}$ より 4 倍ほど大きいにもかかわらず、全体では I_3 による寄与がほとんどである。ここで注意しなければならないのは、 25°C におけるトリガ電流式 (4-1)、(4-2) の各項は直接には寄生パラメータの温度依存性とは関係がないことである。また、 25°C における I_2/I_1 比、 I_4/I_3 比は、ウェルの不純物濃度分布で代表されるプロセスパラメータのみならずウェルコンタクト配置位置、配置間隔等のレイアウトパラメータに依存する。このことは、ラッチアップトリガ電流の温度係数はウェルコンタクト配置レイアウトパラメータにも依存することを示している。したがって、ウェルコンタクトのレイアウトを工夫することにより、温度上昇によるラッチアップトリガ電流の低下の度合いを効果的に軽減できることを示唆するものである。



(a)



(b)

図 4-5 ラッチアップトリガ電流の温度依存性 (a) Pウェルトリガ電流 I_{trg+}
(b) Nウェルトリガ電流 I_{trg-}

表 4 - 1 25℃におけるラッチアップトリガ電流と温度依存係数

Temperature coefficients	Pwell/n+ buried layer structure	P&Nwell/n+ buried layer structure	Nwell/n+ buried layer structure
$I_{trg+}(25)$ [mA]	0.176	0.345	3.30
γ_P [%/°C]	-0.83	-1.0	-0.97
$I_{trg-}(25)$ [mA]	-4.2	-8.0	-7.1
γ_N [%/°C]	-0.65	-0.50	-0.60
Application	Mixed ECL/TTL BiCMOS LSIs with isolated p-well structure		Conventional BiCMOS LSIs

$$I_{trg+}(T) = I_{trg+}(25) / [1 - \gamma_P \cdot (T - 25)]$$

$$I_{trg-}(T) = I_{trg-}(25) / [1 - \gamma_N \cdot (T - 25)]$$

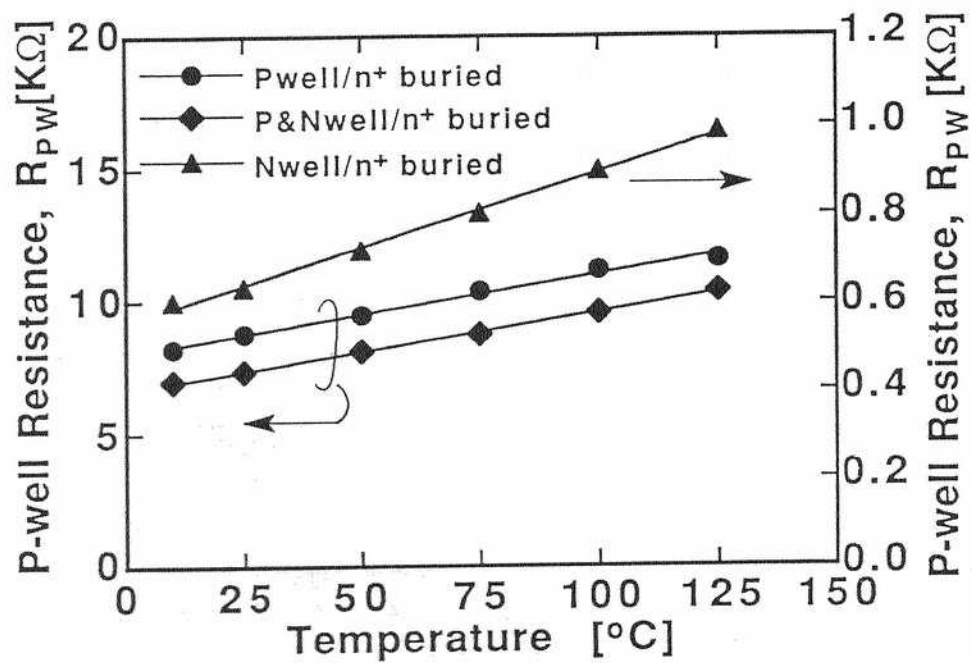


図 4-6 P ウェル等価抵抗 R_{PW} の温度依存性

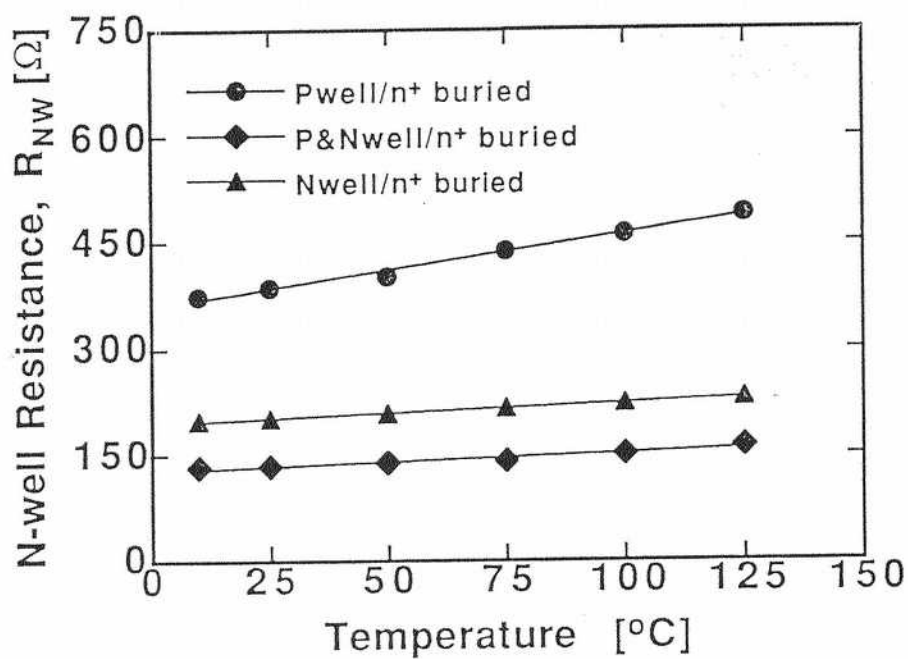


図 4-7 N ウェル等価抵抗 R_{NW} の温度依存性

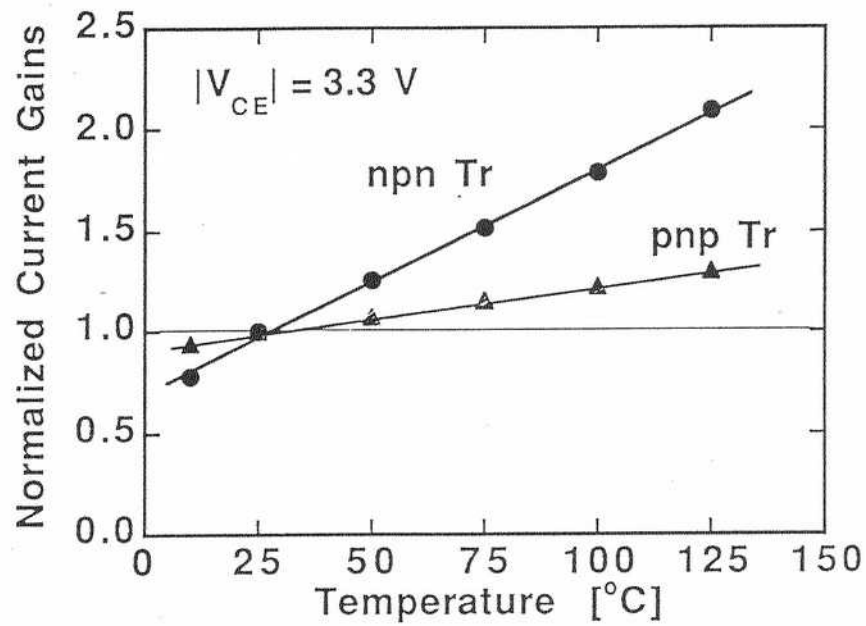


図4-8 寄生バイポーラトランジスタの温度依存性
(Pウェル/ n^+ 埋め込み構造における縦型NPNトランジスタ、
横型PNPトランジスタ)

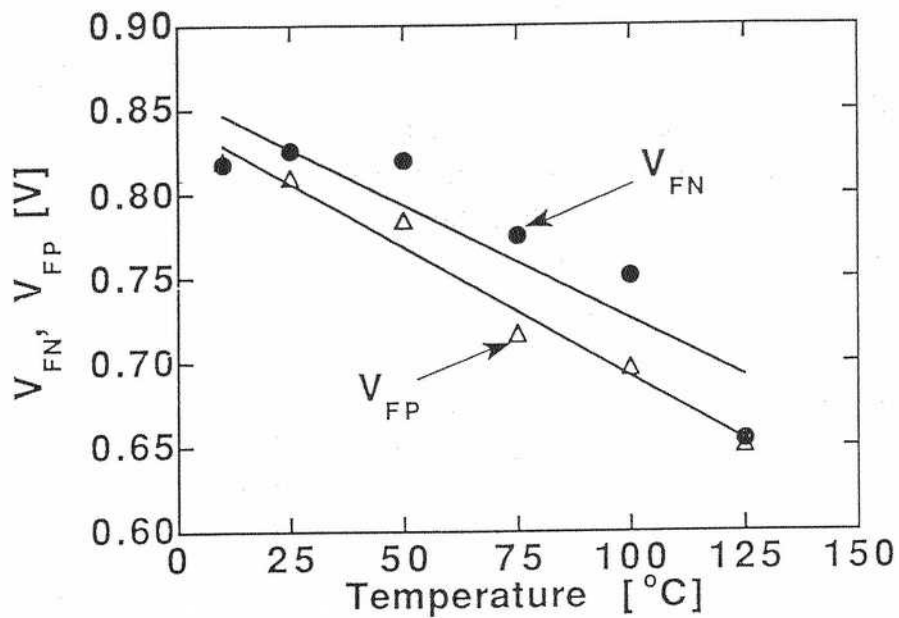


図4-9 寄生バイポーラトランジスタの順方向電圧 V_{FN} , V_{FP} の温度依存性

表 4-2 ラッチアップパラメータの温度依存係数一覧

	Pwell/n+ buried layer structure	P&Nwell/n+ buried layer structure	Nwell/n+ buried layer structure
δ_P for R_{PW} δ_N for R_{NW}	0.35 [%/°C] 0.30	0.35 [%/°C] 0.15	0.55 [%/°C] 0.14
η_P for β_P η_N for β_N	0.25 [%/°C] 1.0	0.52 [%/°C] 1.0	0.70 [%/°C] 0.60
θ_P for V_{FP} θ_N for V_{FN}	-0.19 [%/°C] -0.16	-0.22 [%/°C] -0.15	-0.20 [%/°C] -0.18
I_2/I_1 ratio at 25°C	80 μ A/96 μ A = 0.833	245 μ A/110 μ A = 2.23	0.88mA/2.42mA = 0.364
I_4/I_3 ratio at 25°C	-0.99mA/-3.21mA = 0.308	-0.5mA/-7.5 mA = 0.067	-0.94mA/-6.16mA = 0.152

$$R_W(T) = R_W(25) \cdot [1 + \delta (T-25)], \quad \beta(T) = \beta(25) \cdot [1 + \eta (T-25)]$$

$$V_F(T) = V_F(25) \cdot [1 + \theta(T-25)]$$

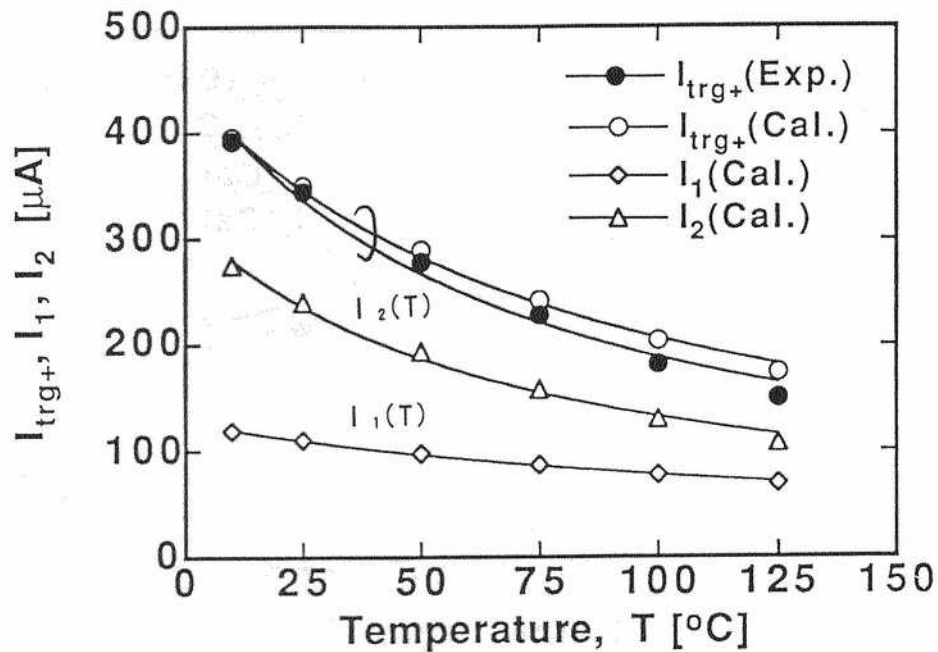


図4-12 P&Nウェル/ n^+ 埋め込み構造のPウェルトリガ電流の実測値と計算値
 ここで、 $I_1(T) = V_{FN} / R_{PW}$, $I_2(T) = V_{FP} / (\beta_n R_{NW})$

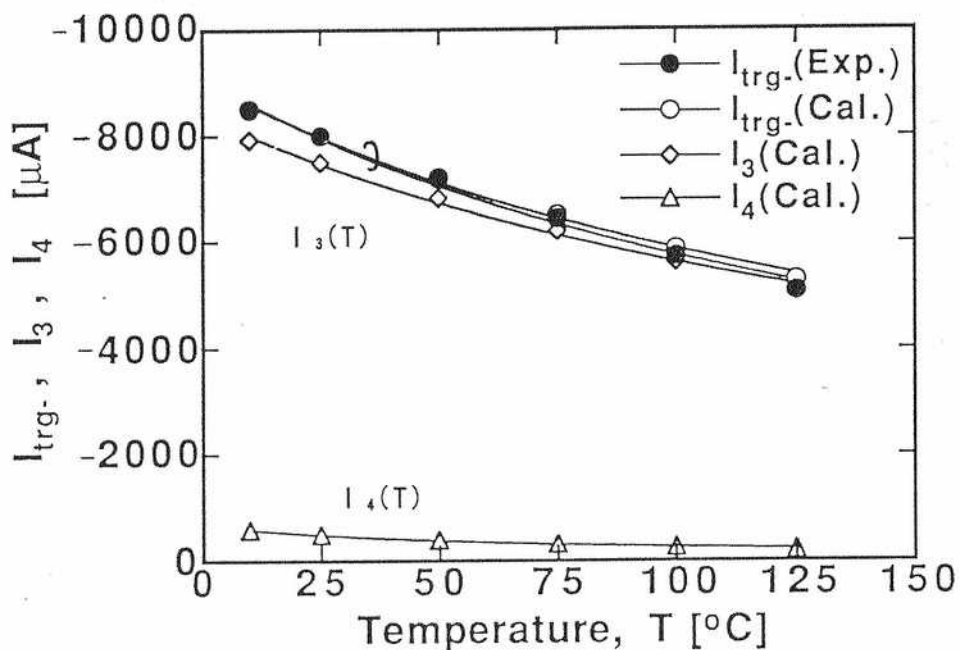


図4-13 P&Nウェル/ n^+ 埋め込み構造のNウェルトリガ電流の実測値と計算値
 ここで、 $I_3(T) = -V_{FP} / R_{NW}$, $I_4(T) = -V_{FN} / (\beta_p R_{PW})$

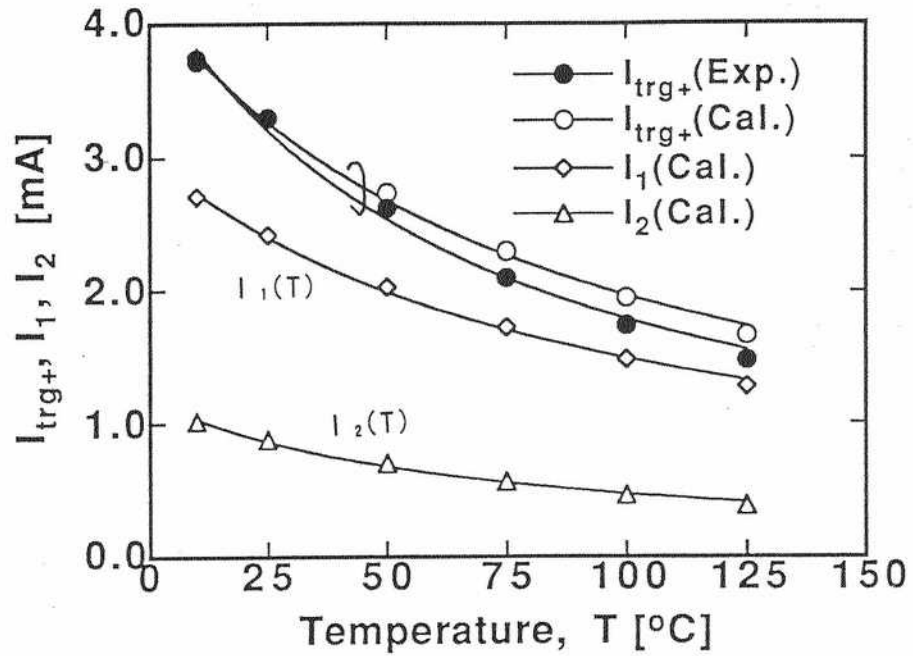


図4-14 Nウェル/ n^+ 埋め込み構造のPウェルトリガ電流の実測値と計算値
 $I_1(T) = V_{FN} / R_{PW}$, $I_2(T) = V_{FP} / (\beta_n R_{NW})$

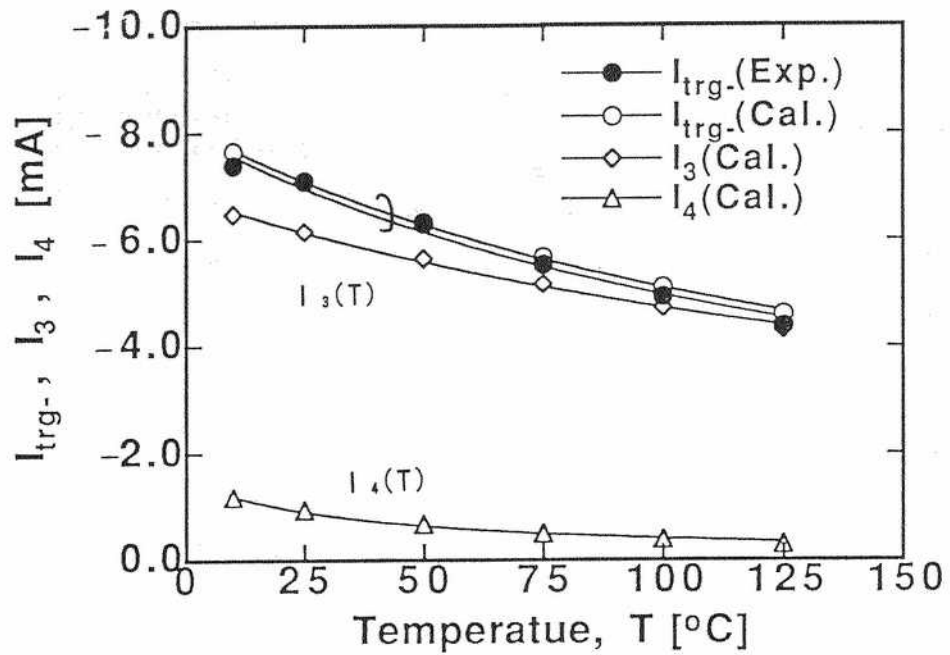


図4-15 Nウェル/ n^+ 埋め込み構造のNウェルトリガ電流の実測値と計算値
 $I_3(T) = -V_{FP} / R_{NW}$, $I_4(T) = -V_{FN} / (\beta_p R_{PW})$

4. 4 まとめ

本章では、ラッチアップトリガ電流の温度依存性を実験的に評価するとともに、寄生PNPN構造を構成するパラメータ自体の温度依存性も評価し、トリガ電流とパラメータとの温度依存性の関係を明らかにした。

- (1) Pウェルトリガ電流およびNウェルトリガ電流の10℃から125℃の周囲温度範囲における温度係数は25℃で規格した実験式

$$I_{trg}(T) = I_{trg}(25) / [1 + \gamma \cdot (T-25)]$$

を用いると、それぞれ $\gamma_P = -0.83 \text{ \%/}^\circ\text{C} \sim -1.0 \text{ \%/}^\circ\text{C}$ および $\gamma_N = -0.5 \text{ \%/}^\circ\text{C} \sim -0.65 \text{ \%/}^\circ\text{C}$ であった。

- (2) ラッチアップトリガ電流の成分の定量解析から、トリガ電流の温度依存性は寄生パラメータの温度依存係数のみならず、ウェル不純物濃度およびウェルコンタクトの配置レイアウトによる等価ウェルシャント抵抗値の大きさにも依存することを明らかにした。

- (3) 寄生バイポーラトランジスタの電流増幅率・エミッタベース間順方向電圧、等価ウェルシャント抵抗のパラメータの温度依存特性を測定し、それぞれの温度依存係数を求めて計算したラッチアップトリガ電流の温度依存性と実験結果は良い一致が得られた。

第 4 章 参考文献

- [1] D. B. Estreich, "The physics and modeling of latch-up and CMOS integrated circuits," Stanford Electronics Lab. Tech. Rep. G-201-9 (1980).
- [2] J. Dooley and R. C. Jaeger, "Temperature dependence of latch-up in CMOS circuits," IEEE Electron Device Lett., vol. EDL-5, pp. 41-43 (1984).
- [3] A. G. Lewis, "Latchup suppression in fine-dimension shallow p-well CMOS circuits," IEEE Trans. Electron Devices, vol. ED-21, pp. 1472-1481 (1984).
- [4] C. C. Yao, J. J. Tzou, R. Cheung and H. Chan, "Temperature dependence of latch-up characteristics in LDD CMOS devices,"
IEEE Electron Device Lett., vol. EDL-7, pp. 92-94 (1986).
- [5] F. S. Shoucair, "High-temperature latchup characteristics in VLSI CMOS Circuits," IEEE Trans. Electron Devices, vol. ED-35, pp. 2424-2426 (1988).
- [6] R. B. Brown, K. Wu, M. Ghezzi, D. M. Brown, E. Downey, and D. Hanchar,
"Junction-isolated CMOS for high-temperature microelectronics,"
IEEE Trans. Electron Devices, vol. ED-36, pp. 1854-1856 (1989).
- [7] T. Aoki, "A discussion on the temperature dependence of latch-up trigger current in CMOS/BiCMOS structures," IEEE Trans. Electron Devices,
vol. ED-40, pp. 2023-2028 (1993).
- [8] Y. Ohtomo, S. Yasuda, M. Togashi, M. Ino, Y. Tanabe, J. Inoue, M. Nogawa and S. Hino,
"BiCMOS circuit technology for a 704MHz ATM switch LSI,"
IEEE J. Solid-state circuits, vol. 29, pp. 557-562 (1994).
- [9] P. Norton and J. Brandt, "Temperature coefficient of resistance for p-
and n-type silicon," Solid-State Electronics, vol. 21, pp. 969-974 (1978).

第5章 発光現象を利用したラッチアップ解析

5. 1 緒言

CMOS LSIにおいてラッチアップが生じているかどうかは通常、電源供給線の電流レベルをモニタすることで判定している。しかし、この電氣的評価においては、ラッチアップがLSI内のどの場所で起きているかという発生箇所の情報は得られない。これまでラッチアップ発生箇所を検出する方法として以下の方法が提案されている。(1)コレステリック液晶の偏向特性が転移点において温度変化に敏感なことを利用してラッチアップのホットスポットを検出する液晶法^[1]、(2)ラッチアップによる発熱スポットからの赤外放射を利用した赤外線サーモグラフィ法^[2]、(3)局所的な電子線照射による励起キャリアの収集電流と対応したイメージ像が得られるEBIC法^{*[3]}。ここで、液晶法と赤外線サーモグラフィ法は使用方法が簡単でICのデバッグや故障解析に広く使われているが、空間分解能が数十 μm から数百 μm であり μm オーダーの詳細解析は困難である。EBIC法は、数 μm の分解能を有しているが、電子線照射によるデバイス損傷・チャージアップという欠点がある。これらに対し、デバイス自体から発生するフォトン放射を検出することは上記の欠点を回避でき、且つより高い空間分解能を得ることが期待できる。CMOS LSIから放出されるフォトンには2つのタイプがある。NMOSトランジスタのドレイン近傍の高電界で生成されるホットエレクトロンからのフォトン放出^{[4] - [5]} および寄生サイリスタ構造のラッチアップオン状態からのフォトン放出^{[6] - [7]} である。LSIにおけるラッチアップ発生箇所を検出するためには両者を識別する必要がある。

本章では、CMOSデバイスにおけるラッチアップオン状態からの微小発光現象に注目し、発光現象のメカニズムの解析を実験とデバイスシミュレーションで行うとともに、特徴的な発光領域を1 μm 以下の高分解能で評価することによりホットエレクトロン発光箇所との識別法を提案し、ラッチアップ発生箇所の同定を簡便かつ高分解能で行えることを述べる。^[8]

* EBIC: Electron Beam Induced Current 電子ビーム励起電流

5. 2 ラッチアップ状態からの微小発光

テスト評価素子は $0.8\ \mu\text{m}$ NウェルCMOSプロセスで作製した。ホットエレクトロン発光用素子にはゲート酸化膜厚 $15\ \text{nm}$ 、ゲート長 $0.8\ \mu\text{m}$ のシングルドレイン構造のNMOSトランジスタを用いた。ラッチアップ発光素子には横型NPNおよび縦型PNPバイポーラトランジスタで構成される寄生サイリスタを用いた。P形基板の不純物濃度は $5 \times 10^{15}\ [\text{cm}^{-3}]$ 、Nウェル濃度は $3 \times 10^{16}\ [\text{cm}^{-3}]$ 、 $p^+ - n^+$ 間隔は $4 \sim 8\ \mu\text{m}$ である。ラッチアップを起こさせるためのトリガ印加は、Nウェルトリガ端子から電流を引き抜くか、 $V_{DD} - V_{SS}$ 間を定電流駆動（ブレイクダウン電流トリガ）でおこなった。尚、各端子の電流・電圧印加およびモニタは半導体パラメータライザ（HP製4145B）を用いた。

微弱発光観察に用いた2次元フォトンカウンティングシステム（エミッション顕微鏡装置）のブロック図を図5-1に示す。この装置は、フォトンが放出される発光パターンを観察できるとともに定量解析として2次元的なフォトンカウンティングをも可能とする。基本ブロックとして光学顕微鏡、イメージンシファイアとイメージプロセッサから構成されている。テスト素子から放出されたフォトンは光学顕微鏡で集光・通過し、イメージンシファイアの光電面で光電子に変換される。光電子はマルチチャネルプレートで増倍され蛍光面で投影され、イメージプロセッサで画像化する。また、画像処理機能によりチップ表面像と発光像を重ね合わせることで、集積回路チップからの発光箇所の検出が $0.5\ \mu\text{m}$ の高分解能で可能である。受光面はマルチアルカリタイプ(**)であり、その分光感度範囲は $280 \sim 850\ \text{nm}$ （光電子増倍管S20 相当の対応）である。このため分光感度範囲がシリコンのエネルギーギャップに対する波長 $1.1\ \mu\text{m}$ よりも短く、高エネルギー成分のみしか検出できないという制限があるが、発光領域の解析には支障はない。フォトン放出をエネルギースペクトル的と高空間分解能的に解析するために、顕微鏡とイメージンシファイアの間に光学バンドパスフィルタを挿入した。バンドパスフィルタは集積回路チップからのフォトンがどこから放出されているのか、またどのくらいの数のフォトン数であるかを解析可能とする。典型的な全半値幅(FWHM)はスペクトル解析で約 $10\ \text{nm}$ である。また、減衰フィルタ(ND)を用いてイメージンシファイアに入るフォトンの数を制御した。ここで、特記すべき点は、テスト素子から放出されるフォトンによるエミッション像を得るのに要する時間はわずか $1 \sim 2$ 分であることである。このようなきわめて短時間での測定は、CMOSLSIにおける微小発光箇所を検出するのに実用上有用である。

図5-2にNウェルからトリガ電流注入しラッチアップを生じさせた際の表面から観測した2次元発光強度分布とテスト素子構造模式図を示す。実際のテスト素子では、 p^+ エミッタと n^+ エミッタの直上は配線引き出し用のアルミ電極で覆われている。図中の発光観測結果の特徴的なことは、発光ピークが p^+ エミッタ近傍と n^+ エミッタ近傍の2箇所にあることである。しかしながら、テスト素子の表面からの発光観察では上述のごとく電源線用のアルミ電極配線により p^+ 、 n^+ 拡散層下の発光パターンは遮光され、観測発光強度は p^+ 、 n^+ 拡散層端から急峻に低下するためアルミ電極下のキャリアの拡がりは検出できないという欠点がある。そこで、アルミ電極部での遮光の影響を防ぐためテスト素子断面からの発光観測を試みた。PNPN素子領域の設計幅が $120\mu\text{m}$ の寄生サイリスタテスト素子を幅方向と垂直(100)面に劈開して、ダイスカットした後、28ピンDIP上にワイヤボンディングした。このチップの劈開断面を上面に向けて2次元フォトン解析システムで発光観測した。図5-3に断面発光パターン像と2次元光強度分布を示す。この結果、 p^+ 、 n^+ 拡散層のエミッタ接合近傍に発光強度のピークがそれぞれ存在し、アルミ電極下の発光強度の減衰テイルも明白に観測された。発光パターン像は、 n^+ 拡散層の近傍では深さ方向に短径 $2\mu\text{m}$ 、長径 $4\mu\text{m}$ の楕円形であり、 p^+ 拡散層での発光強度よりやや大きいことがわかった。

発光スペクトル特性は干渉バンドパスフィルターを光学顕微鏡とイメージンテシファイアの間に挿入することで測定した。バンドパスフィルターは測定波長範囲は $440\text{nm} \sim 850\text{nm}$ をカバーするため 40nm 間隔の中心透過波長、全半値幅約 10nm の誘電フィルタを用いた。発光強度(相対値)は光学顕微鏡の透過率、バンドパスフィルターの半値幅・透過係数および受光素子の量子効率を較正して求められる。図5-4にラッチアップ電流に対する微小発光のスペクトル特性を示す。受光感度の制限により長波長側の測定限界は 850nm ($\varepsilon = 1.45\text{eV}$) である。この波長での測定値が最大となり波長が短くなるに(エネルギーが高くなるに)つれてフォトンの検出量は著しく減少する。ラッチアップ電流 I_{op} の増加により発光強度も増加しているが、その傾きは若干低下する程度である。

ラッチアップ発光のメカニズムはこれまで明確に述べられていないが、シリコンのPN接合ダイオードを順バイアスし電流を流すと、シリコンが間接遷移半導体といえども微弱ながら再結合発光することが知られており^[9]、ラッチアップがオン状態においてはPNPNサイリスタ構造がPINの順バイアス動作と類似していること、発光スペクトル分布

の形状からキャリアの温度が300～400 Kであることから推測して、フォノンを介した電子-正孔過剰キャリアの再結合発光であると考えられる。この推定が正しいければ、電子・正孔の過剰キャリアがともに存在する領域と再結合発光領域とが対応する。

間接遷移半導体におけるフォノンを介した電子・正孔キャリア再結合発光割合のエネルギー依存性 $R(h\nu)$ は

$$R(h\nu) / (np) \propto (h\nu + k\theta - E_g)^2 [1 - \exp(-\theta/T_L)]^{-1} \exp[-(h\nu + k\theta - E_g)/(kT)] \\ + (h\nu - k\theta - E_g)^2 [\exp(\theta/T_L) - 1]^{-1} \exp[-(h\nu - k\theta - E_g)/(kT)]$$

で与えられる^[9]。ここで $h\nu$ は光子エネルギー、 $+k\theta$ はフォノン放出エネルギー、 $-k\theta$ はフォノン吸収エネルギー、 T_L は格子温度、 T はキャリア温度、 E_g はエネルギーギャップを示す。各光子エネルギーに対して、エネルギー積分することにより全再結合発光割合は、

$$R_{sp} = \int R(h\nu) \cdot d(h\nu)$$

で求まる。

図5-5に光子エネルギーに対する発光強度の計算式 $R(h\nu)$ と実測値 ($I_{DD} = 40 \text{ mA}$) を示す。エネルギーに対する発光強度の指数関数の傾斜をフィティングすることにより、キャリアの温度を評価することが出来る。キャリア温度 $T = 340 \text{ K}$ としたときの計算結果は実験値に一致する。この温度はラッチアップ時の発熱によるSiチップの温度上昇とほぼ等しい。この結果はラッチアップ発光がフォノンを介した再結合によるものであることを支持し、キャリアの温度はホットにならないことを示唆している。ここで図中●は本システムで得られたデータで、○は分光感度範囲280～1100 nmの受光素子 (S-1タイプ相当) での測定結果であり、計算式と良い一致が得られている。

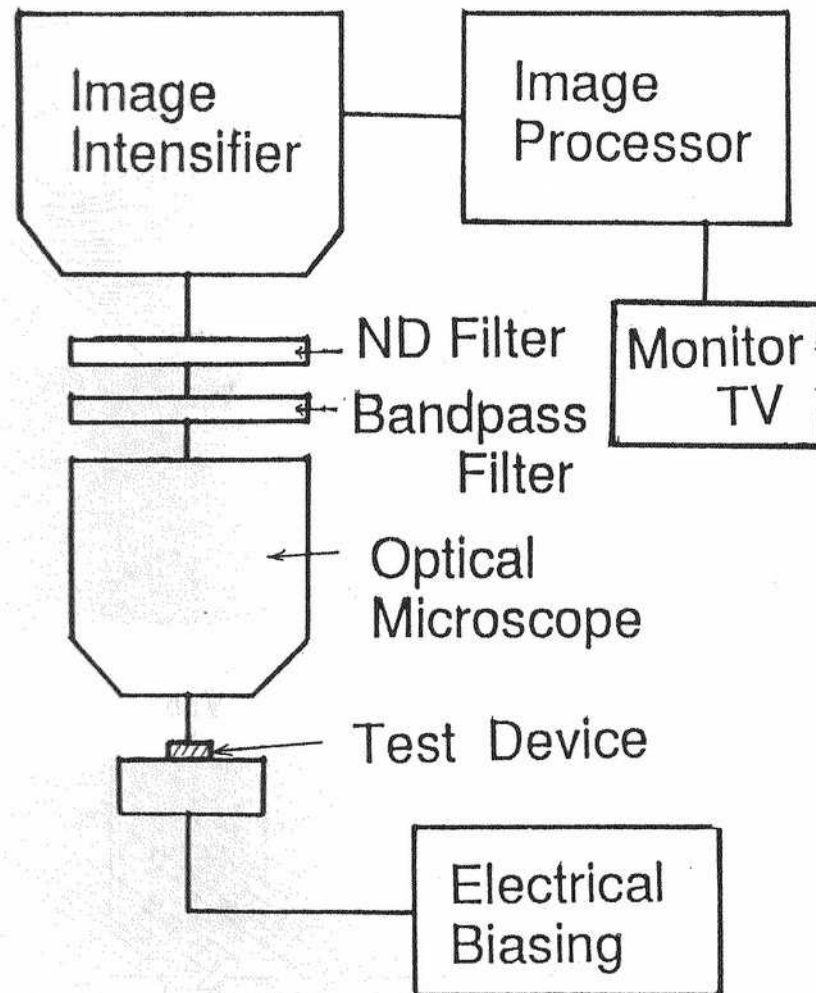


図 5 - 1 微弱発光観察に用いた 2 次元フォトンカウンティングシステム系

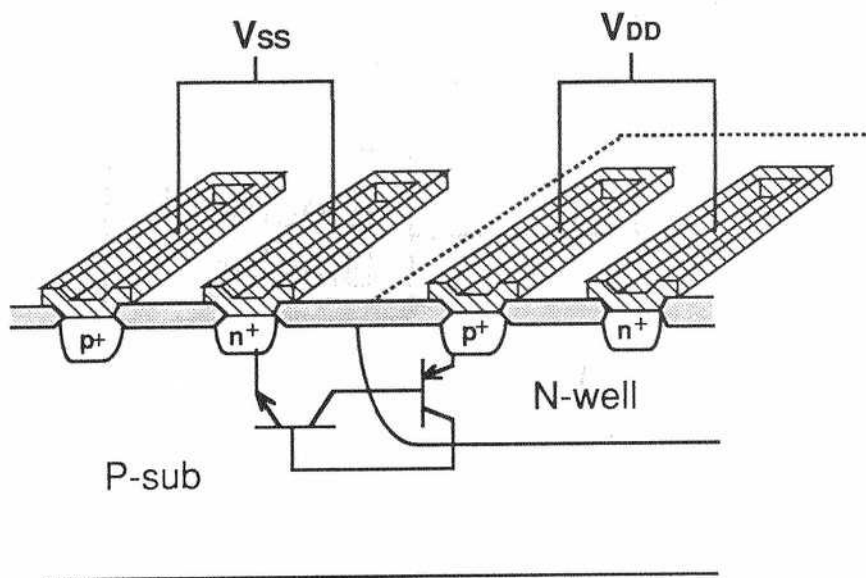
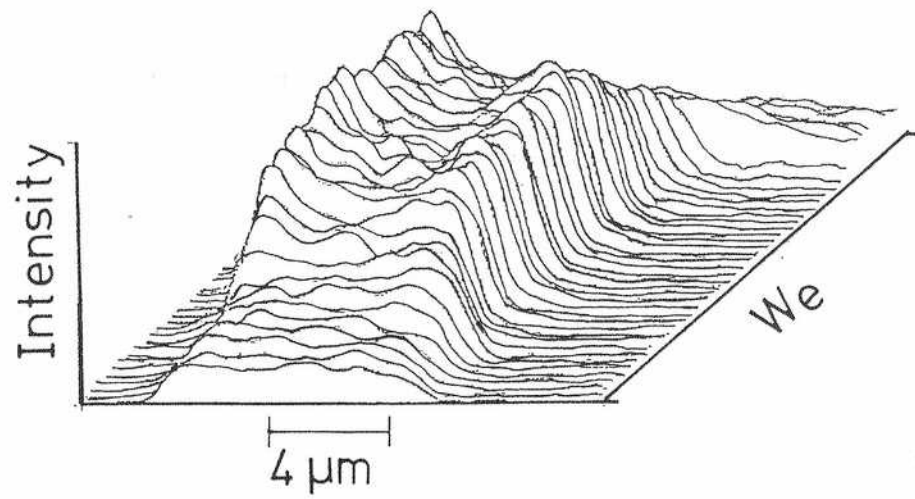
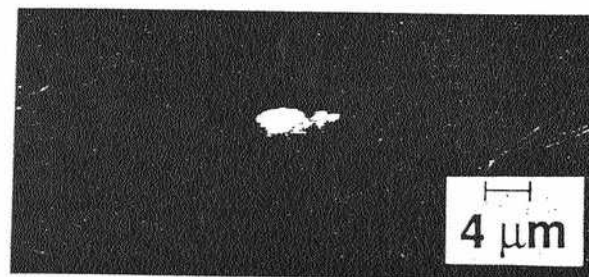
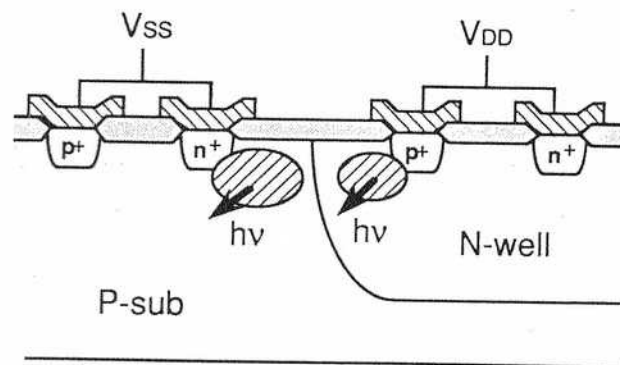


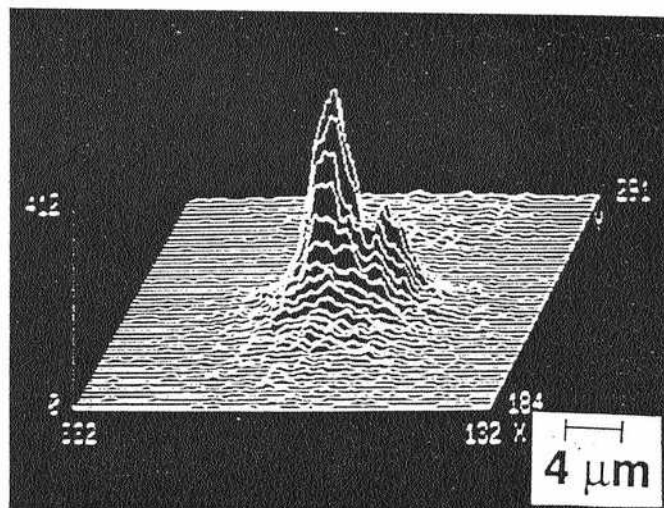
図 5 - 2 Nウェルからトリガ注入時のラッチアップ時の 2 次元発光強度分布
およびテスト素子構造模式図



Air

Si

(a)



(b)

図 5 - 3 断面発光パターンと 2 次元強度分布

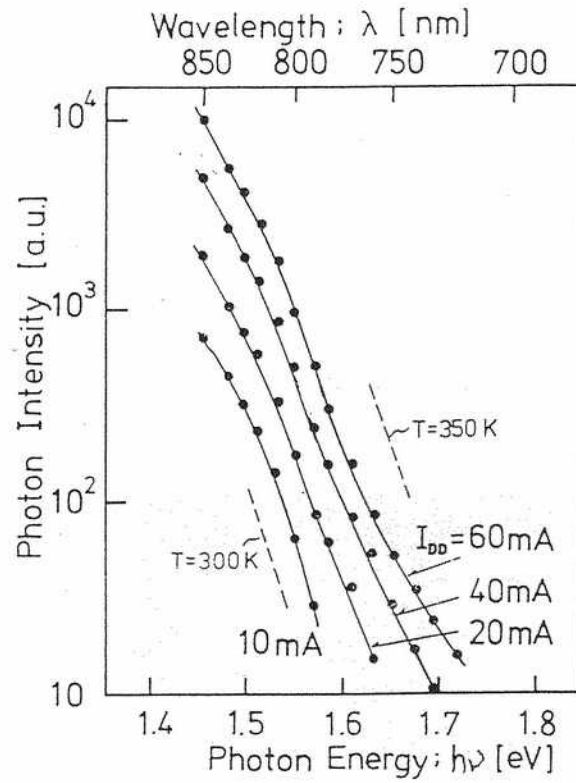


図 5 - 4 ラッチアップ電流に対する微小発光のスペクトル特性

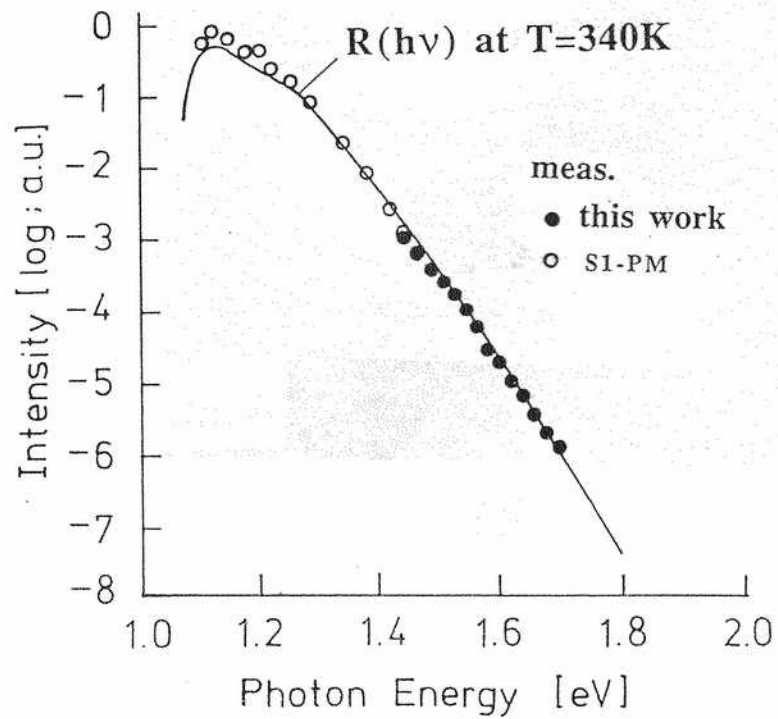


図 5 - 5 発光強度の計算式 $R(h\omega)$ と測定結果 ($I_{00} = 40\text{mA}$)

5. 3 デバイス数値解析による考察

通常の2次元2キャリアデバイスシミュレータTRANAL^[10]を用いて発光モデルを組み込んだラッチアップの数値解析を行い、発光領域を解析した。

キャリアの再結合速度は通常の

$$\text{Shockley-Read-Hallモデル } R_{S-R-H} = (np - n_i^2) / (p\tau_n + n\tau_p)$$

$$\text{Augerモデル } R_{AUG} = (C_n n + C_p p) (np - n_i^2)$$

に加え、再結合発光によるモデル

$$R_{SP} = B \cdot (np - n_i^2)$$

を追加した。ここでAugerモデルのパラメータ値は $C_n = 10^{-31} [\text{cm}^{-6} \text{sec}^{-1}]$ 、 $C_p = 3.0 \cdot 10^{-31} [\text{cm}^{-6} \text{sec}^{-1}]$ を用いた。間接遷移半導体のシリコンでのキャリア再結合による発光効率は、直接遷移半導体（例えばIII-V族の化合物半導体）に比べ 10^{-4} 以下と非常に小さいことが知られている。R. N. Hallらによれば^[11]キャリアの再結合発光割合は $R_{SP} \approx B \cdot np$ であらわされ、各種の半導体についてのBの値を表5-1に一覧する。ここでSiの値は $B = 2 \cdot 10^{-15} [\text{cm}^3 \text{sec}^{-1}]$ である。本検討では、このパラメータ値を用いた。

図5-6にラッチアップ状態における全再結合発光割合 R_{SP} のシミュレーション結果の3次元立体プロット図を示す。この図から p^+ および n^+ の両エミッタ接合近傍に R_{SP} の極大値がそれぞれ存在することがわかる。これらの発光のピークの領域は過剰な電子・正孔両キャリアが存在する領域に対応しており、発光メカニズムが再結合発光であることを支持し、図5-3の断面発光観測と良い一致が得られた。

本節ではデバイス数値解析によりラッチアップ時における再結合発光割合を仮定した発光分布計算結果と実測結果はよい一致が得られ、発光スペクトル特性結果とともに、発光メカニズムがフォノンを介した再結合発光であることを明らかにした。この発光メカニズムは次節で述べるホットエレクトロン発光のメカニズムと全く異なる。

表 5 - 1 3 0 0 Kにおける再結合発光率 [11]

Material	E _g eV	n _i x10 ¹⁴ cm ⁻³	B x10 ⁻¹² cm ³ /sec
Si	1.08	0.00015	0.002
Ge	0.66	0.24	0.034
GaSb	0.71	0.043	13.
InAs	0.31	16.	21.
InSb	0.18	200.	40.
PbS	0.41	7.1	48.
PbTe	0.32	40.	52.
PbSe	0.29	62.	40.
GaP	2.25	-	0.003

(注) GaAs の場合の Bの値は $1.5 \times 10^{-10} \text{ cm}^3/\text{sec}$ である。

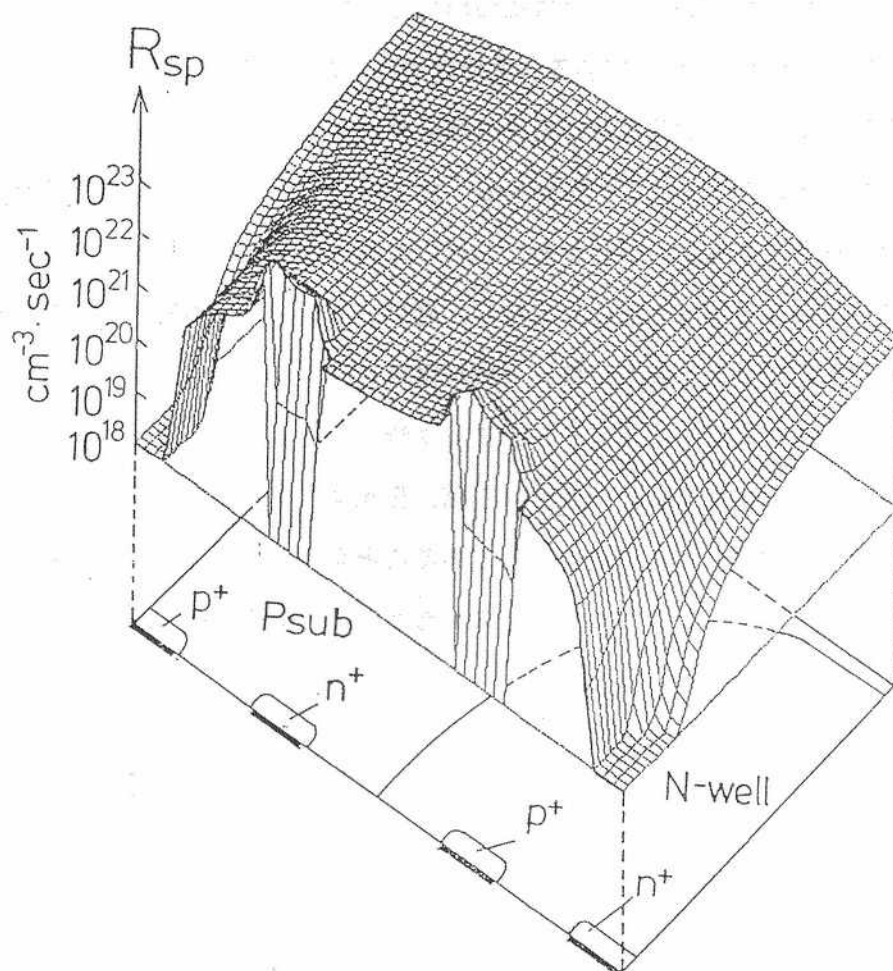


図 5 - 6 ラッチアップ状態における全再結合割合Rspの3次元立体プロット図

5. 4 L S I 内のラッチアップ発生箇所同定

CMOSデバイスからの発光はラッチアップの他にMOSFET内のホットエレクトロンからの発光がよく知られている。LSIにおいてはラッチアップ発生箇所の同定にはホットエレクトロンによる発光箇所と識別する必要がある。PNPN寄生サイリスタ構造におけるラッチアップ状態(LU)からのフォトン放出およびNMOSFETからのホットエレクトロン(HE)によるフォトン放出の典型的な発光スペクトル分布を図5-7に示す。電圧バイアス条件は、ラッチアップについて、 $V_{DD}=2.8\text{ V}$, $I_{DD}=60\text{ mA}$ 、ホットエレクトロンについて $V_{DS}=5.0\text{ V}$, $V_{GS}=2.0\text{ V}$ であった。キャリアのエネルギー分布関数をMaxwellianと仮定すると、その発光スペクトル($\propto \exp(-h\nu/kT_E)$)の傾きから電子温度が求まる。電子温度はラッチアップについては300~400 K、ホットエレクトロンについては2000~3000 Kと見積もられる。図から明白にわかるように発光エネルギー分布の相違は、発光メカニズム自身が異なるということに起因するものである。ホットエレクトロン発光は、Bremsstrahlungが最も有力なメカニズムである^{[4] [5]}。従って、ラッチアップ発光スペクトルとホットエレクトロン発光スペクトルの相違を利用し、ラッチアップ発光が透過可能および透過不可能なバンドパスフィルタを用いて、それぞれの発光像を比較することによりCMOS LSI内で発生するラッチアップ発生箇所とホットエレクトロン発光箇所を識別することが可能である。

具体的な方法は、ラッチアップ発光およびホットエレクトロン発光がともに透過可能な1.5 eV以下のエネルギーが透過できるフィルタAとホットエレクトロン発光のみ透過可能な1.9 eV以上のエネルギーが透過できるフィルタBを用いる。ここでラッチアップ発光およびホットエレクトロン発光の強度はともにバイアス電圧に依存するが、本方法では1.9 eV以上でのラッチアップ発光とホットエレクトロン発光の光強度比は 10^{-3} 以下であるので広範囲で適用可能である。具体的な実施例として、寄生PNPN構造とNMOSトランジスタが20 μm 以下の距離で近接する評価素子パターンにおいて、素子領域が識別しにくい比較的低倍率($\times 100$)での発光測定を行った。バイアス条件はそれぞれラッチアップについて、 $V_{DD}=2.8\text{ V}$, $I_{DD}=45\text{ mA}$ 、ホットエレクトロンについて $V_{DS}=3.3\text{ V}$, $V_{GS}=1.5\text{ V}$ であった。図5-8にバンドパスフィルタを介した発光像((a)透過エネルギー1.48 eVのバンドパスフィルタAを介した発光像(b)透過エネルギー1.91 eVのバンドパスフィルタBを介した発光像)を示す。ここで、(a)はラッチアップ発光およびホットエレクトロン発光を共に透過できる像で、(b)は高エネルギーの透過可能な発光像であ

り、ホットエレクトロン発光のみ透過できる。したがって、両者の像を比較することにより、(a)像から(b)像を除いた領域がラッチアップ発光によるものであることを示しており、発光像(a)の下部がラッチアップ発光であることが類推できる。そこで、素子領域が十分識別できる1000倍程度の高倍率で図5-8に示す発光領域を拡大して観察した。図5-9(a)に原IC像と1.48 eVフィルタを介した発光像を重畳した発光パターン、(b)に原IC像と1.91 eVフィルタを介した発光像を重畳した発光パターンおよび断面構造模式図をそれぞれ示す。(a)の発光像から(b)の発光像を差し引くことにより、残った下部の発光領域がラッチアップ発光であることが明白となった。したがって、本発光解析方法はラッチアップ発生箇所を高速かつ効率よく検出する実用的手法として有用である。

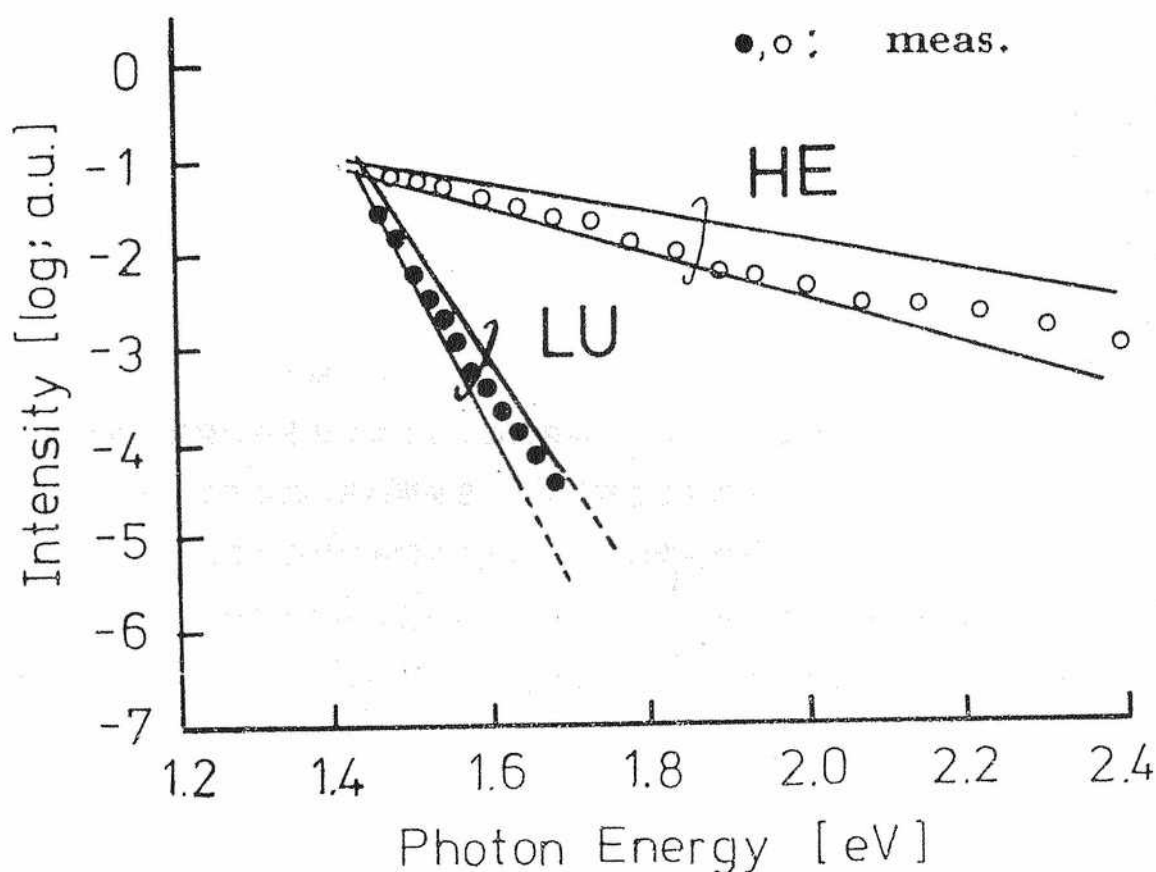
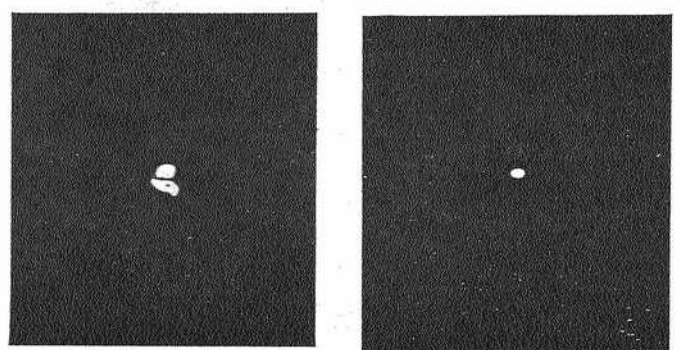


図5-7 典型的なホットエレクトロン発光とラッチアップ発光のスペクトル特性



100 μ m

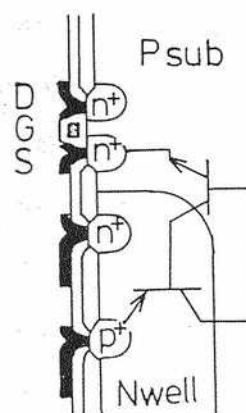
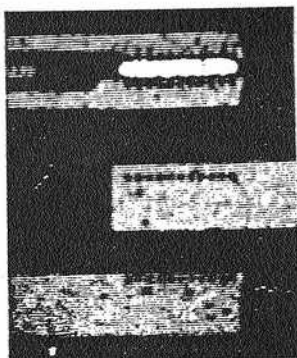
Filter A
1.48eV

Filter B
1.91eV

(a) 1.48eVフィルタ

(b) 1.91eVフィルタ

図 5 - 8 透過エネルギー (a) 1.48eV (b) 1.91eV のバンドパスフィルタを介した発光像



10 μ m

Filter A
1.48eV

Filter B
1.91eV

(a) 1.48eVフィルタ

(b) 1.91eVフィルタ

図 5 - 9 原IC像と重畳した発光像

5. 5 多重PNPN構造におけるラッチアップ発光

これまでは単一のPNPN構造におけるラッチアップ発光を検討してきたが、本節では標準セル方式によって設計されたCMOS LSI内におけるラッチアップを想定し、PNPN構造が多数に対向する構造におけるラッチアップ状態からの微小発光を評価した。

多数対向するPNPN構造の評価素子平面パターンを図5-10に示す。MOSトランジスタのソース・ドレインに対応する p^+ 、 n^+ 拡散層のペア数を64、ウェルコンタクト・基板コンタクトを各4個（16ペアごと）配置している。ラッチアップはウェルコンタクト・基板コンタクトから最も離れたPNPNペアで生じ易いことが予想できる。（寄生バイポーラトランジスタの特性が一樣であれば、ウェルおよび基板等価shunt抵抗が最大となるため、保持電流が最小となる。）電流・電圧特性評価には半導体パラメータライザ HP 4145B を用いた。図5-11に示すように、寄生バイポーラトランジスタ間の寄生抵抗の変動ばらつき等により電流-電圧特性にヒステリシスが生じる。図中(a)に示すように電流を増加させた場合（2.6mA→10mA）と減少させた場合（10mA→2.6mA）での特性を示す。明らかにヒステリシスがあることが分かる。このヒステリシスと発光箇所との関連を明らかにするために各電流値での発光を調べた。図5-11(b)に結果を示す。

- ① $I_{DD} = 3.0 \rightarrow 4.2 \text{ mA}$: 左端の領域でのみ発光しており、ここでラッチアップに対応した電流集中がわかる。
- ② $I_{DD} = 4.6 \rightarrow 6.2 \text{ mA}$: 左から2箇所で発光し、ラッチアップ領域の拡大が始まる。
- ③ $I_{DD} = 4.5 \rightarrow 7.2 \text{ mA}$: 更に、ラッチアップ領域が拡大する。
- ④ $I_{DD} = 8.0 \rightarrow 10.0 \text{ mA}$: 全面にラッチアップ発生領域が拡大するが、発光量の不均一からラッチアップ電流も不均一であることがわかる。

ここで、端子電圧の飛びに対応して、ラッチアップ電流集中場所すなわち発光場所が変化し電流の再分布が生じていることを示している。電気的特性では単に端子電流のみ評価されるが、ヒステリシス特性に対する内部素子の電流集中領域は発光像の観測において初めてわかるものである。

多重PNPN構造における電流電圧特性のヒステリシス現象を調べるため、回路解析シミュレータSPICEを用いた。等価回路モデルを図5-12に示す。5組の寄生PNPNサイリスタと寄生抵抗群からなり、電源への電流注入モードで電流電圧特性を解析した。図5-13に結果を示す。ヒステリシス現象は寄生サイリスタを構成する寄生等価ウェル抵抗の不均一により、保持電流・電圧が異なるため、個々の寄生サイリスタがオンの場合と

オフの場合があり、オンの領域に電流集中が生じるが、電源電流の増加にともないオフ領域もオンになるため、電源電流の再分布がおこなわれる。このため、電源電圧の飛びが生じる。逆に、電源電流を低減させると、保持電流以下になる寄生サイリスタはオフになるため、電流がオンしている寄生サイリスタに集中することにより、電源電圧が飛んで増加する。この様に寄生サイリスタ群の不均一性に伴い、電流電圧特性にヒステリシスが生じることが分かる。従って、発光領域を調べることでラッチアップ電流の電流集中を調べることが可能であり、さらに寄生抵抗の不均一性も評価可能である。

図5-14にドライバ用のCMOSインバータ回路の平面パターン図を示す。図5-10における構造とほぼ同じであるがCMOSインバータ用にゲート電極を加えた構成である。基板コンタクト、ウェルコンタクトは各2個(76.8 μ m間隔)配置した。図5-15(a)にゲート電圧1.0V, ドレイン電圧4.0V印加時のNMOSFETのホットエレクトロン発光像を示す。NMOSFETのドレイン側に一様に発光していることが明確である。(b)はゲート電圧1.0V, ドレイン電圧4.5V印加した場合のラッチアップによる発光像で、ウェルコンタクトから最も遠い左端が強く発光し、中央でやや弱く発光している。また、左端部については、寄生サイリスタはオンしていなく、上述の寄生抵抗の不均一に起因しているものと考えられる。

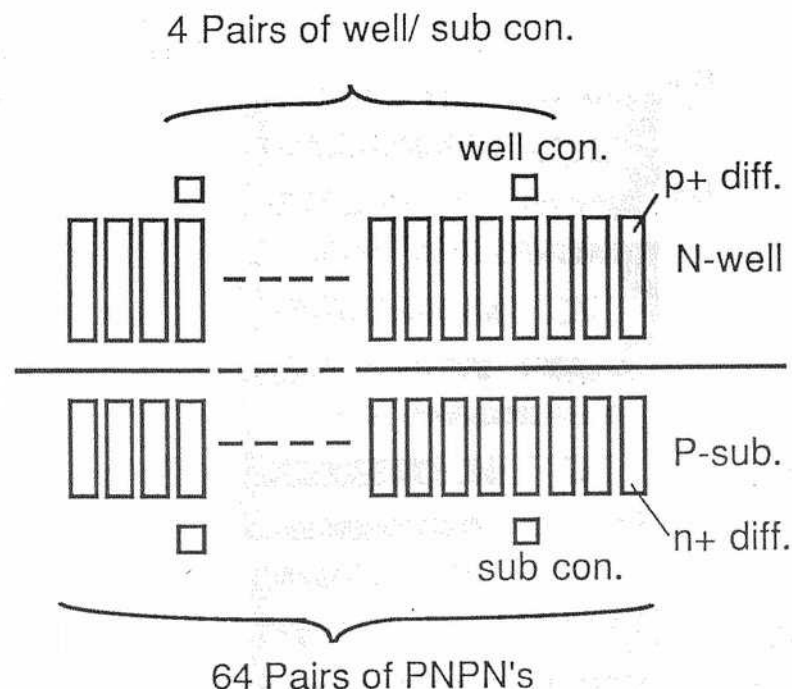
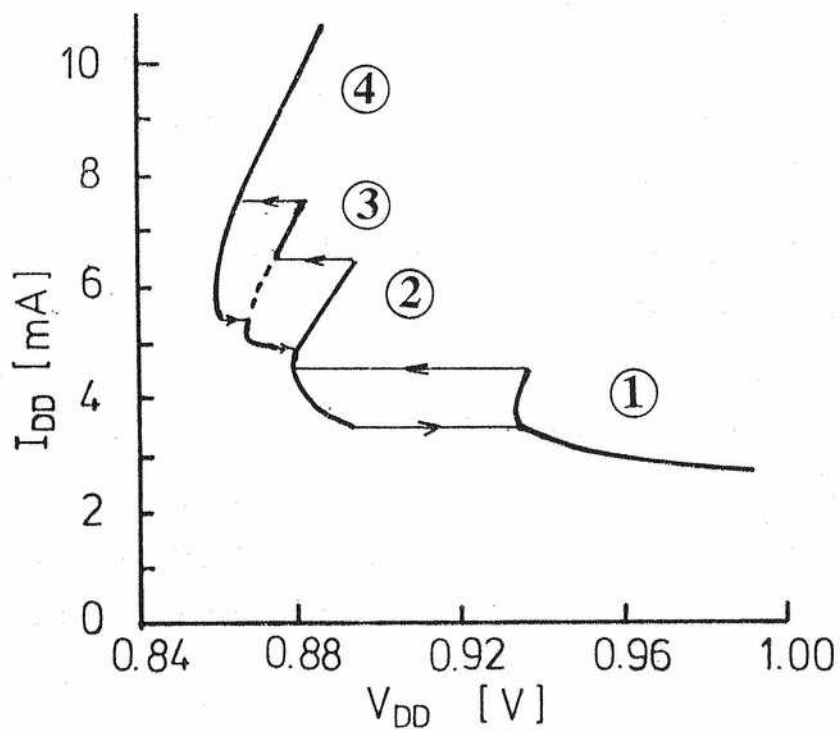
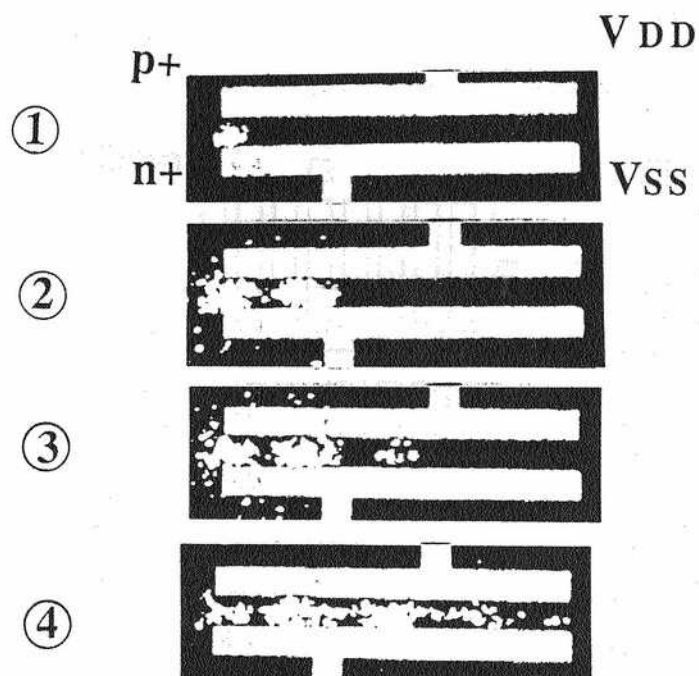


図5-10 多数対向するPNPN構造評価素子平面パターン



(a) 電流電圧特性のヒステリシス現象



(b) 各電流値に対応する発光パターン

図 5-11 多数対向する PNP 素子の電流電圧特性

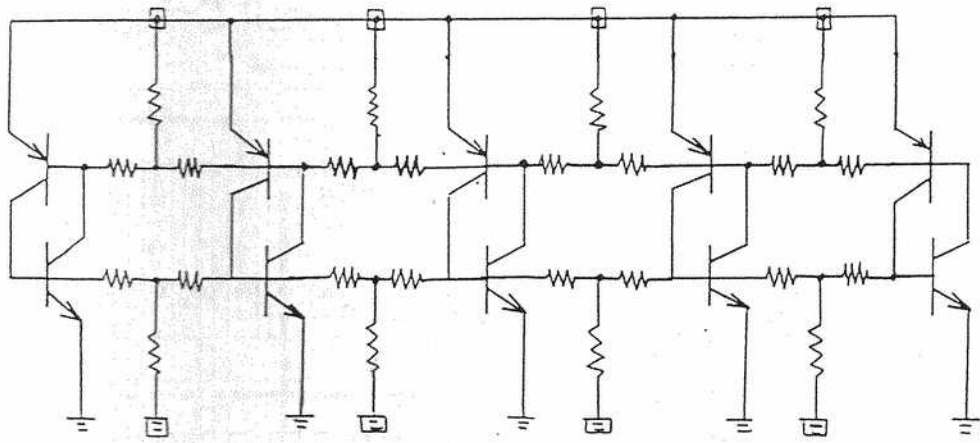


図 5-12 多数対向するPNPN構造等価回路モデル

Hysteresis of Latch-up

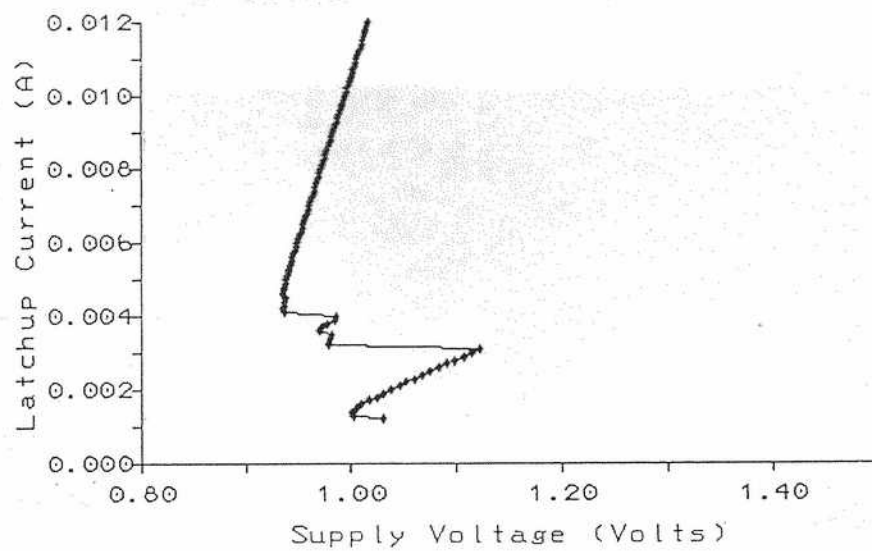


図 5-13 ヒステリシスを有する電流-電圧特性の回路解析結果

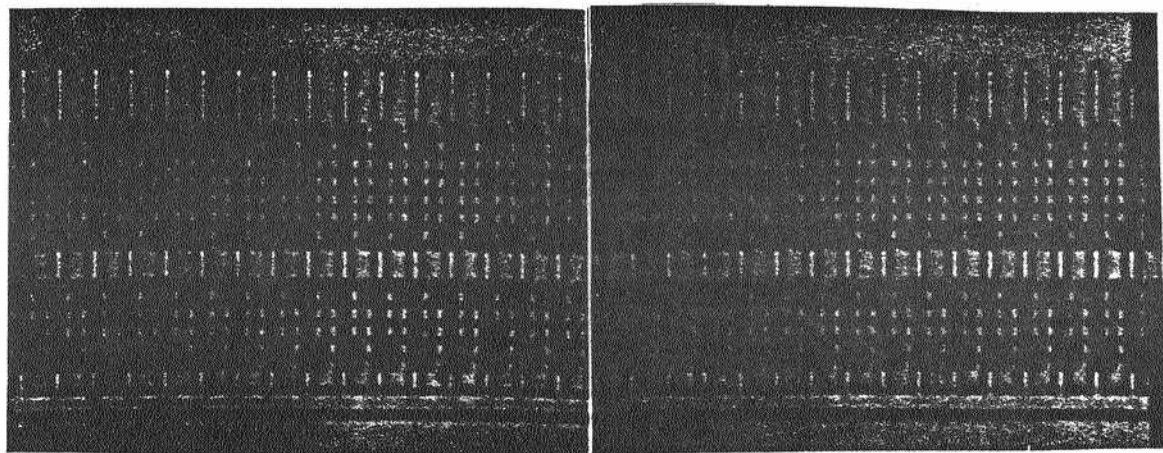
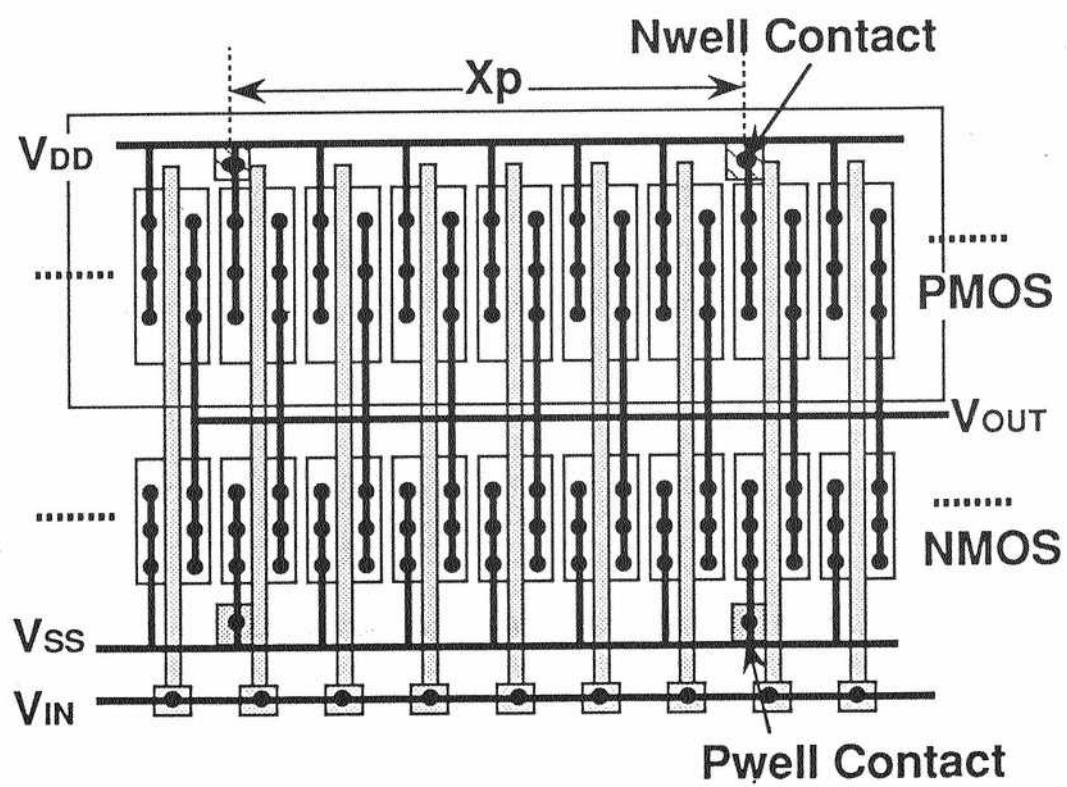
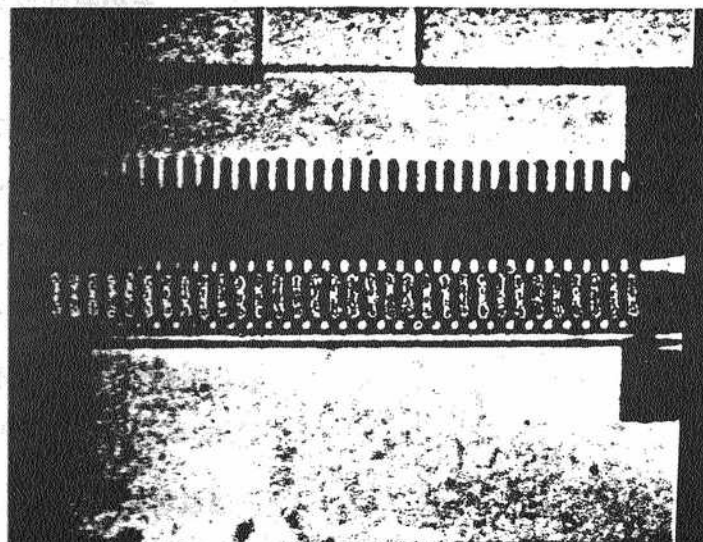
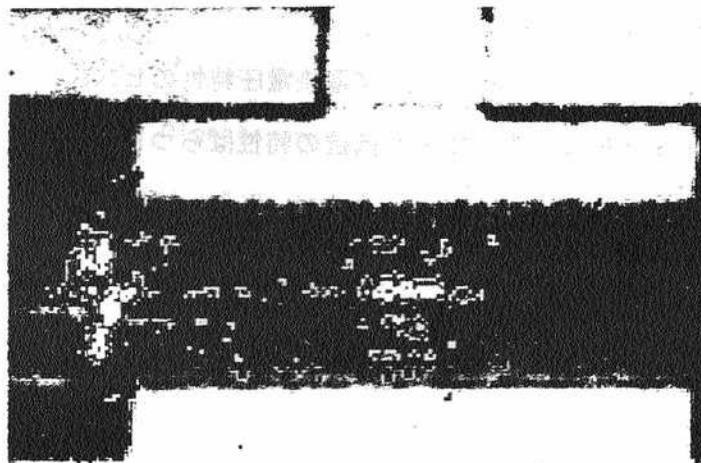


図 5-14 CMOSインバータ回路の平面パターン



(a) ホットエレクトロン発光 $V_D = 4.0V$, $V_G = 1.0V$



(b) ラッチアップ発光 $V_D = 4.5V$, $V_G = 1.0V$

図5-15 CMOSインバータ回路の発光像（原パターン像と重畳）

5. 6 まとめ

CMOSデバイスにおけるラッチアップのオン状態からの微小発光現象に注目し、発光現象のメカニズムの解析を実験とデバイスシミュレーションで行うとともに、CMOS LSIにおけるラッチアップ発生箇所の検出方法を提案し、その有効性を明らかにした。具体的な知見は以下の通りである。

- (1) 2次元フォトカウンティング装置を用いて、CMOSラッチアップオン状態からの微小発光領域を観測し p^+ 、 n^+ 両エミッタ近傍に発光強度のピークがあることを確認した。
- (2) 発光メカニズムをフォノンを介したキャリアの再結合と仮定してデバイスシミュレーションした結果、過剰キャリアの np 積が極大となる領域と発光測定結果と良い対応を得た。
- (3) 本評価法を用いてラッチアップの局所微小発光領域を観測することにより、詳細なラッチアップ発生箇所を調べるのに有効であることを示した。
- (4) ラッチアップ状態からの発光スペクトル特性がホットエレクトロン発光と本質的に異なる点に注目し、透過光エネルギーの異なるバンドパスフィルタを介した発光像を比較することにより、CMOS LSIにおけるラッチアップの発生箇所の同定が簡便かつ高分解能で行えることを示した。
- (5) 多重PNPN構造におけるラッチアップ電流電圧特性のヒステリシス特性と発光領域との不均一性を比較し、寄生ウェル抵抗の特性ばらつきに起因するものであることを明らかにした。

第5章参考文献

- [1] M. Kyomatsu, T. Araki, T. Ohtsuki and M. Nakayama, "Analysis of latch-up in CMOS IC," Trans. IECE Japan, C-61, No.2, pp.106-113 (1978).
- [2] R. S. Payne, W. R. Grant, and W. J. Bertram, "Elimination of latchup in bulk CMOS" 1980 IEDM Technical Digest, pp.248-251 (1980).
- [3] P. V. Dressendorfer and M. G. Armendariz, "A SEM technique for experimentally locating latchup paths in integrated circuits," IEEE Trans. Nucl. Sci., vol. NS-27, pp.1735-1738 (1980).
- [4] S. Tam and C. Hu, "Hot-electron-induced photon and photocarrier generation in silicon MOSFETs," IEEE Trans. Electron Devices, vol. ED-31, pp.1264-1272 (1984).
- [5] A. Toriumi, M. Yoshimi, M. Iwase, Y. Akiyama and K. Taniguchi, "A study of photon emission from n-channel MOSFETs," IEEE Trans. Electron Devices, vol. ED-34, pp.1501-1507 (1987).
- [6] N. Khurana, "Pulsed infra-red microscopy for debugging latch-up on CMOS product," Proc. IEEE Int. Reliability Physics, pp.122-127 (1984).
- [7] T. Aoki and A. Yoshii, "Analysis of latchup-induced photoemission," 1989 IEDM Technical Digest, pp.281-284 (1989).
- [8] T. Aoki and A. Yoshii, "Analysis of latchup-induced photon emissions," IEEE Trans. Electron Devices, vol. ED-37, pp.2080-2083 (1990).
- [9] Willardson et al., Semiconductor and Semimetals, vol.8, p. 242 Academic Press (1972).
- [10] K. Yokoyama, M. Tomizawa, A. Yoshii and T. Sudo, "Semiconductor device simulator at NTT," IEEE Trans. Electron Devices, vol. ED-32, pp.2008-2014 (1985).
- [11] R. N. Hall, "Recombination processes in semiconductors," Proc. Inst. Elec. Eng., vol.106B, pp.923-931 (1960).

第6章 LSI内部回路における耐ラッチアップ設計指針

6.1 緒言

CMOS構造におけるラッチアップの研究は、ラッチアップ現象自体のメカニズムの解明のみならず、デバイス構造およびレイアウト設計の観点からラッチアップ防止の検討がなされてきた。^{〔1〕-〔6〕} 対向する n^+ 拡散層と p^+ 拡散層の内側にウェルコンタクト層を形成するガードバンド構造^{〔4〕}は、寄生等価抵抗を低減できるためラッチアップ耐性向上に最も効果的なレイアウト手法であり、通常のバルクCMOS LSIの入出力回路に広く適用されている。しかしながら、ガードバンド構造は占有面積が増加するため、高集積密度が要求されるLSI内部回路においては適用が困難である。これまで報告されている内部回路におけるラッチアップ耐性の評価素子構造は、図6-1に示すようにPウェルおよびNウェルコンタクト領域が棒状に配置されているので等価シャント抵抗が実際のレイアウトより低く見積もられ、このためラッチアップ耐性を過大評価している問題点があった。実際のLSIの内部回路においては、図6-2に示す標準セル(Standard Cell)形式のレイアウトのように、高集積密度を維持するためにPウェルおよびNウェルコンタクト領域は n^+ 拡散層と p^+ 拡散層の外側にドット状に配置されているのが通常である。さらに、入出力回路の外来入力ラッチアップトリガ電流と異なり、内部回路においてはトリガ電流は内部回路自体で生成される。このような、内部回路におけるラッチアップ耐性の設計指針の定量化ならびに一般化についてはこれまで報告されていなかった。

本章では、標準セル形式のCMOS/BiCMOS LSIにおける高集積の内部回路における実用的なラッチアップ耐性評価テスト構造を提案するとともに、内部回路に特有の寄生素子パラメータ、レイアウト設計寸法およびトリガ電流レベルに依存するラッチアップモデルを用いて実用的にラッチアップフリーの設計指針を提案する。^{〔7〕,〔8〕}

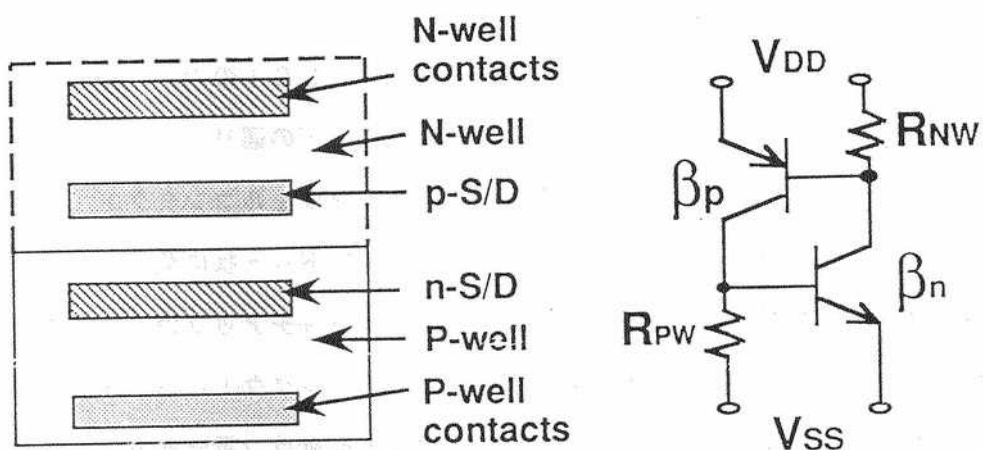


図 6 - 1 従来の内部回路ラッチアップ評価素子構造

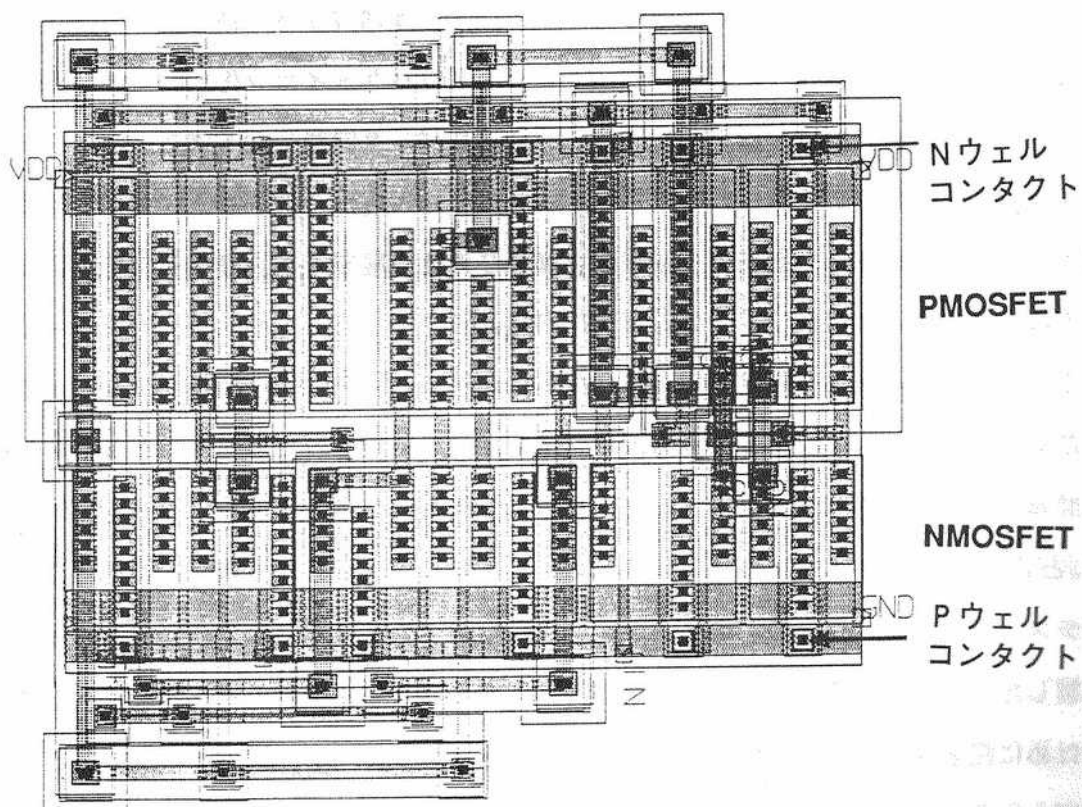


図 6 - 2 標準セル形式レイアウトによるCMOS LSI内部回路部

6. 2 L S I 内部回路におけるラッチアップ耐性

6.2.1. テスト構造

図6-3に標準セル形式設計のCMOS/BiCMOS LSIの内部回路におけるラッチアップ耐性評価用のテスト構造を示す。主要な特徴は以下の通りである。(1)標準セルに対応し多重PNPN構造を並列に配置した。(2)Pウェルコンタクト、Nウェルコンタクトともに n^+ 、 p^+ ソースドレイン拡散層の外側にドット状に配置し、それぞれのウェルコンタクト間隔を X_p とした。図中の X_p と h はラッチアップ耐性を決定するキーとなるレイアウト設計パラメータである。 h はPウェルコンタクトとウェル端との距離である。ラッチアップ耐性評価に関し、(3)接合ブレイクダウン電流あるいはゲートリーク電流のような注入トリガ電流によるラッチアップ耐性の評価のためPウェルおよびNウェル端から局所トリガ電流 I_{trg+} 、 I_{trg-} を注入する端子が設けた。さらに、本テスト構造を用いて、電源電圧投入パワーアップ時の変位電流による過渡的なラッチアップも評価可能である。ここでレイアウト設計パラメータ h 、 S_n 、 S_p はそれぞれ、 $15\mu m$ 、 $2\mu m$ 、 $2\mu m$ に固定した。また、ウェルコンタクト設計寸法は $1.8\mu m$ 角であった。レイアウト設計パラメータ X_p は変数であり、設計水準は $19.2\mu m$ 、 $38.4\mu m$ 、 $76.8\mu m$ の3水準とした。さらに、NMOSトランジスタのインパクトイオン化生成基板電流によるラッチアップ耐性に関しては、新たにCMOSインバータ回路テスト構造を追加した。

図6-4に示す簡易等価回路モデルを用いてPウェル端からのラッチアップトリガ注入電流 I_{trg+} とNウェル端からのラッチアップトリガ注入電流 I_{trg-} は次式で与えられる。

$$I_{trg+} = V_{FN}/R_{PW} + V_{FP}/(\beta_n \cdot R_{NW}) \quad (6.1)$$

$$I_{trg-} = -[V_{FP}/R_{NW} + V_{FN}/(\beta_p \cdot R_{PW})] \quad (6.2)$$

ここで、 V_{FN} と V_{FP} は寄生NPNおよびPNPバイポーラトランジスタのエミッタ・ベース間順方向電圧である。 R_{PW} と R_{NW} はPウェルおよびNウェル等価シャント抵抗である。 β_n と β_p は寄生NPNおよびPNPバイポーラトランジスタの電流増幅率である。

テスト素子は3.3V対応の $0.5\mu m$ CMOS/BiCMOSプロセス技術を用いて作製した。ゲート酸化膜厚は $11nm$ である。ラッチアップ耐性の素子構造依存性を調べるために図6-5に示す3種のウェル構造(Pウェル/ n^+ 埋め込み層構造、P&Nウェル/ n^+ 埋め込み層構造、Nウェル/ n^+ 埋め込み層構造)を用いた。ここで、前者の2構造はPウェルがP基板と分離しており、異電源アナログ/デジタル混載LSIやECL/LV-TTL混載LSIに用いられる。基板と分離されるPウェル層のピーク不純物濃

度と接合深さはプロセスシミュレータ SUPREMを用いて、それぞれ $1.5 \times 10^{17} [\text{cm}^{-3}]$ と $1.1 \mu\text{m}$ と見積もられる。Nウェルについてのピーク不純物濃度と接合深さは、それぞれ $8 \times 10^{16} [\text{cm}^{-3}]$ と $1.4 \mu\text{m}$ と見積もられる。n⁺ 埋め込み層のピーク不純物濃度は $2 \times 10^{19} [\text{cm}^{-3}]$ であった。

6.2.2. 評価結果

図6-6および図6-7に3.3V電源電圧一定の条件での局所入力ラッチアップトリガ電流 $I_{\text{trg}+}$ 、 $I_{\text{trg}-}$ のウェルコンタクト配置間隔 X_p 依存性を示す。ラッチアップトリガ電流はウェルコンタクト配置間隔 X_p に大きく依存し、 X_p のマイナス0.8乗からマイナス1乗に比例している。Pウェル分離構造におけるPウェルトリガ電流は、Pウェルシャント抵抗（数十K Ω ）と寄生縦型NPNバイポーラトランジスタの電流増幅率（数十～100）がともに大きいと、Nウェル/n⁺ 埋め込み層構造に比べ約1桁小さい値であった。例えば、100 μA 程度の接合ブレイクダウン電流のような局所トリガ電流がウェルコンタクトの最も遠い箇所から注入された場合、Pウェル/n⁺ 埋め込み層構造において、 X_p が80 μm 以上でラッチアップが生じることを示している。このように局所トリガ電流レベルが既知の場合、LSIレイアウト設計者は耐ラッチアップマージン設計を考慮し、より小さい X_p のウェルコンタクト間隔で配置しなければならない。特に、Pウェルトリガ注入モードでのラッチアップ耐性の低いPウェル分離構造においては、ラッチアップ耐性向上のため可能な限りウェルコンタクト間隔 X_p を小さくするという注意を払う必要がある。以下、Pウェル分離構造に対しての評価結果を中心に述べる。図6-8に等価Pウェルシャント抵抗 R_{PW} のウェルコンタクト間隔依存性を、図6-9に等価Nウェルシャント抵抗 R_{NW} のウェルコンタクト間隔依存性をそれぞれ示す。ともにウェルコンタクト間隔に大きく依存しているが、等価Pウェルシャント抵抗の値はNウェルシャント抵抗より1桁以上大きい（ $R_{\text{PW}} \gg R_{\text{NW}}$ ）ことと、寄生バイポーラトランジスタの電流増幅率が高いため、Pウェルトリガ電流値がNウェルトリガ電流値より大幅に低いことと対応する。ラッチアップトリガ電流と寄生等価抵抗の電源電圧依存性もラッチアップ耐性の評価に重要である。図6-10にPウェルトリガ電流 $I_{\text{trg}+}$ のラッチアップ耐性の低いPウェル/n⁺ 埋め込み層構造において $X_p = 19.2, 38.4, 76.8 \mu\text{m}$ の3水準に対する電源電圧依存性を示す。電源電圧の増加に伴いラッチアップトリガ電流は低下していることがわかる。図6-11にPウェル等価抵抗の電源電圧依存性を示す。Pウェル等

価抵抗の増加はPウェル/ n^+ 埋め込み層間の逆バイアスにより空乏層が拡がることによるものであり、その電圧依存係数 dR_{PW}/dV_{DD} は約 6 %/V であった。

上述の局所注入トリガ電流の他に内部回路全体で生成されるトリガ要因もある。電源電圧投入（パワーアップ）時におけるPN接合容量の充電による変位電流が典型である。図6-12にPウェル分離構造におけるラッチアップが生じる際のパワーアップ立ち上がり時間 t_p のウェルコンタクト間隔 X_p 依存性を示す。変位電流 $I_{dis} = d(C_j V_{DD})/dt$ はウェル接合内で一様に生成され、その大きさは、立ち上がり時間 t_p および電源電圧 V_{DD} に依存する。図6-13に示す一次元モデルを仮定し、寄生ウェル抵抗とPN接合容量によるCR時定数 $\tau = C_j(R_{PW} + R_{NW})$ を考慮に入れると、時間に依存する変位電流 $I_{dis}(t)$ は $I_{dis}(t) = [C_j V_{DD}/t_p][1 - \exp(-t/\tau)]$ であらわされる^[6]。Pウェル分離構造において $R_{PW} \gg R_{NW}$ であるので、まず、寄生縦型NPNバイポーラトランジスタがオンし、そのコレクタ電流により寄生横型PNPバイポーラトランジスタがオンし、正帰還によりラッチアップに至る。図中においては t_p が小さいほどラッチアップ耐性が高いことを示しており、ウェルコンタクト間隔が小さいほど耐性が高い。ここで注意しなければならないのは、等価ウェルシャント抵抗 R_{PW} （寄生バイポーラトランジスタが先にオンする側）の値は局所注入トリガ電流モードの値と異なることである。これは、変位電流はウェル内で一様に生成されトリガ電流としてウェルコンタクトに収集されるためであり、ウェルコンタクトから最も遠いウェル端での等価Pウェルシャント抵抗を評価することが重要である。変位電流によるラッチアップは過渡的な動作であるので、過渡特性のモデル化には寄生バイポーラトランジスタの応答時間も評価することが必要であるがここでは簡単化するため直流トリガ電流に限定する。また、変位電流以外に重要な内部回路におけるトリガ電流生成要因については、NMOSトランジスタのインパクトイオン化による基板電流であり、他の接合リーク電流・寄生MOSトランジスタのリーク電流等はプロセス未成熟時を除いて実用上ほとんど無視できる。したがって、構造上本質的に避けられない重要なトリガ電流生成要因は電源パワーアップ時の変位電流とNMOSFETのドレイン電界でのインパクトイオン化による生成ホール基板電流である。

内部回路のラッチアップ耐性強化のために実用的ラッチアップフリー動作を保証するウェルコンタクトの配置に関しての一般的設計指針がレイアウト設計者から強く要望されている。次節では、一様生成トリガ電流に対する内部回路におけるラッチアップモデルを提案し、耐ラッチアップ設計指針を述べる。

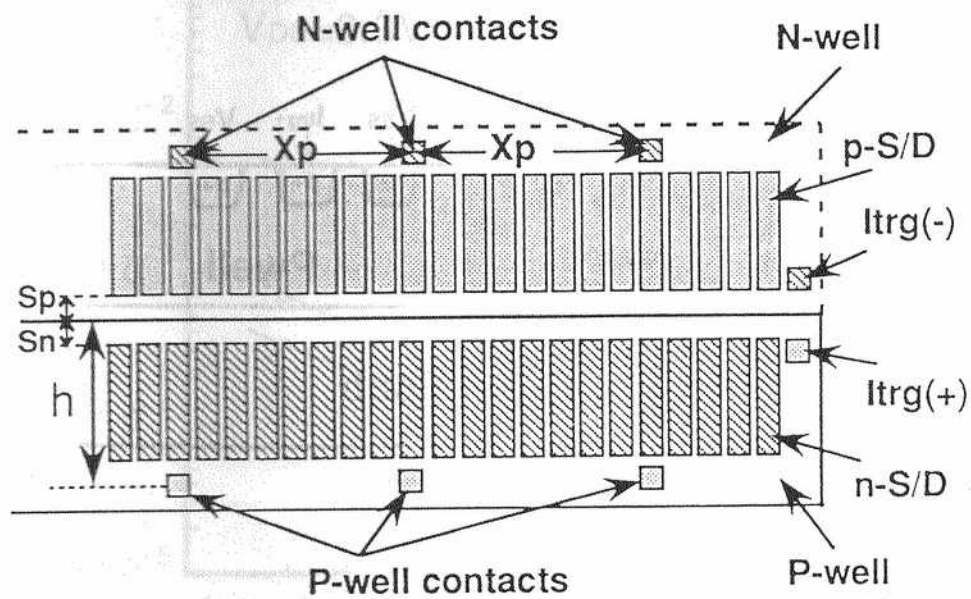


図 6 - 3 標準セル形式による内部回路ラッチアップ評価素子構造

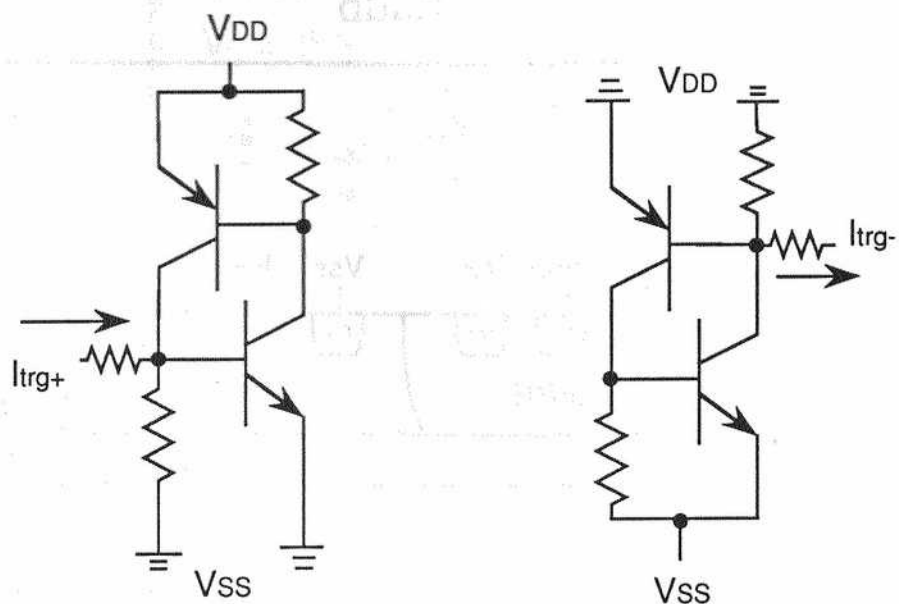


図 6 - 4 ラッチアップ簡易等価回路モデル

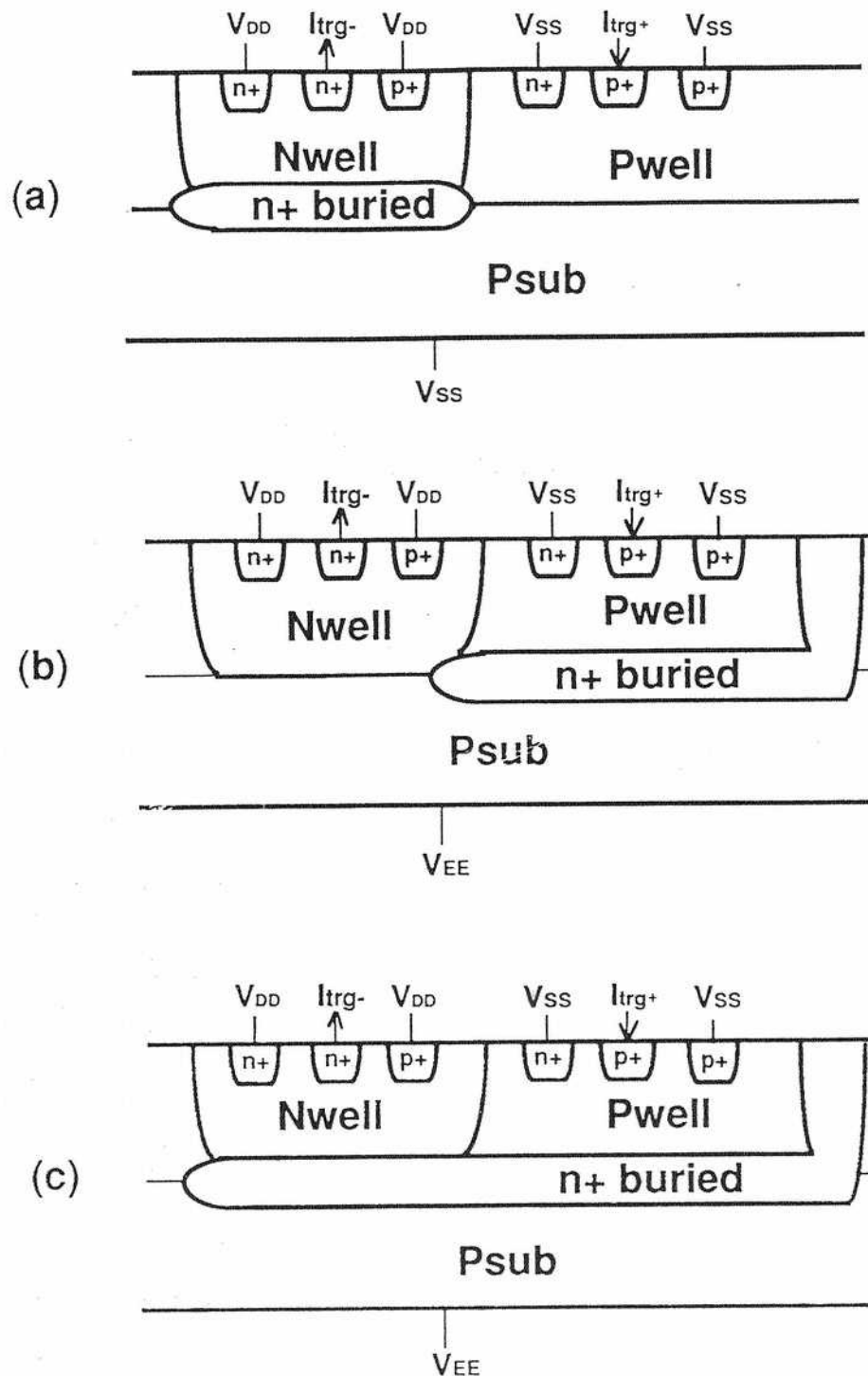


図 6 - 5 評価した素子構造断面模式図
 (a) Pウェル / n⁺ 埋め込み層構造
 (b) P & Nウェル / n⁺ 埋め込み層構造
 (c) Nウェル / n⁺ 埋め込み層構造

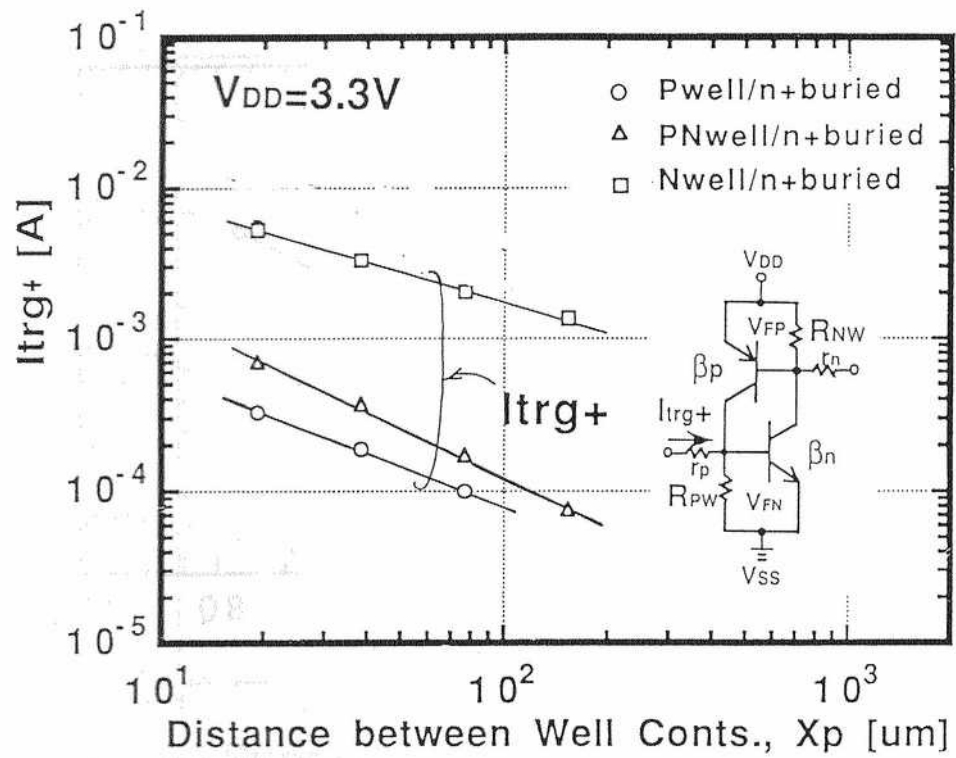


図6-6 局所入力Pウェルトリガ電流 I_{trg+} のウェルコンタクト間隔 X_p 依存

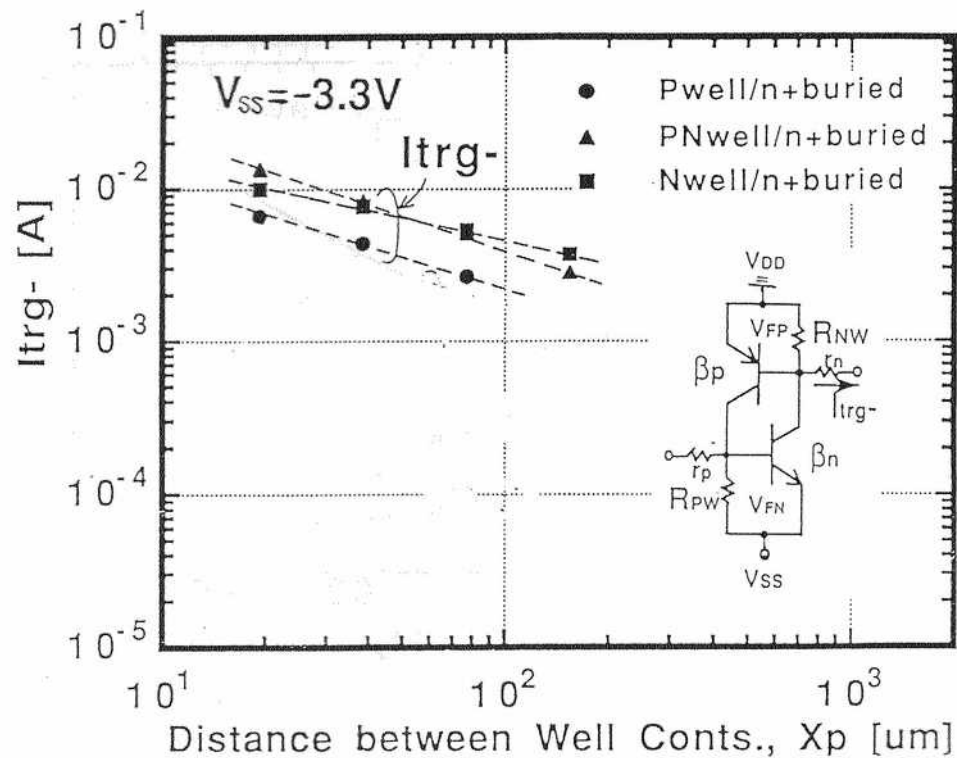


図6-7 局所入力Nウェルトリガ電流 I_{trg-} のウェルコンタクト間隔 X_p 依存

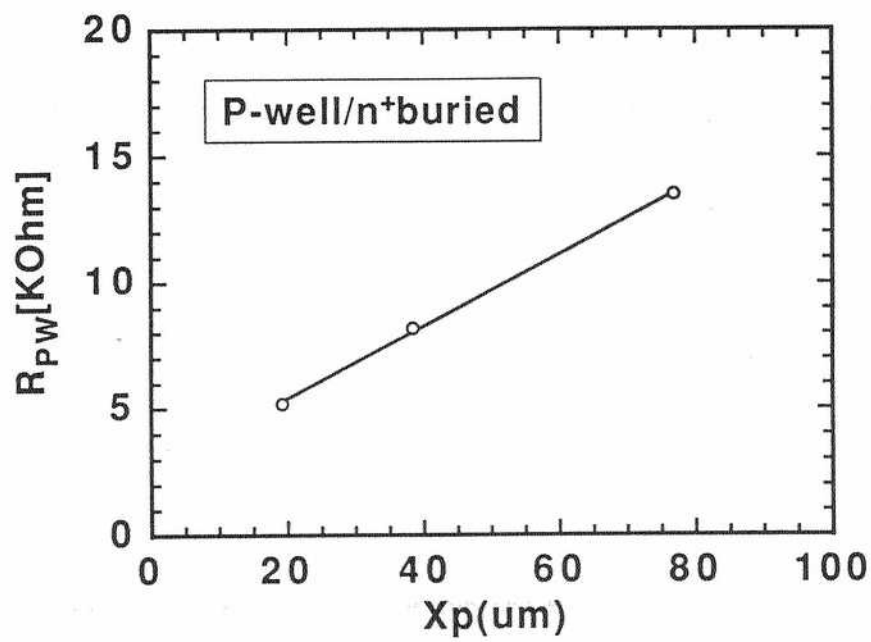


図 6-8 等価Pウェルシャント抵抗 R_{PW} のウェルコンタクト間隔 X_p 依存

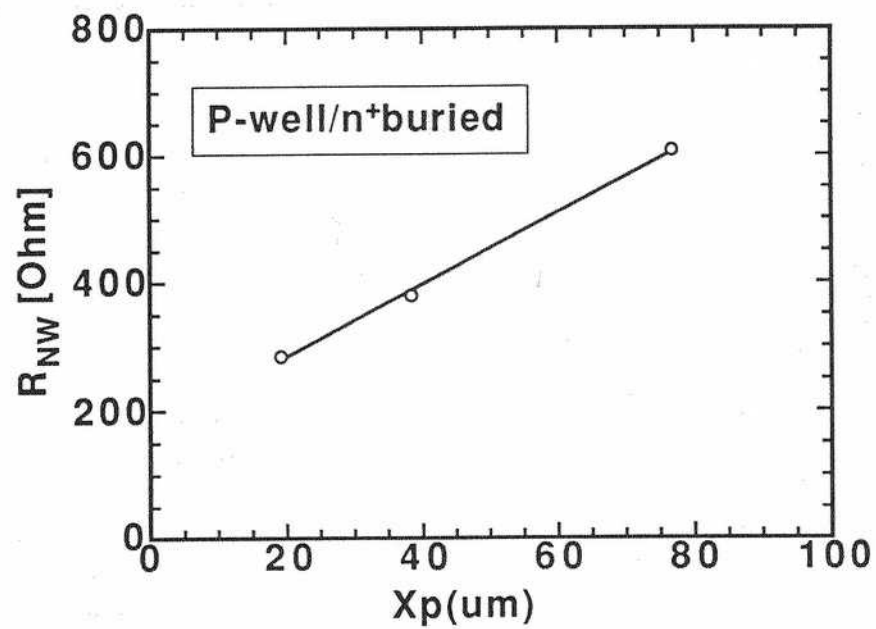


図 6-9 等価Nウェルシャント抵抗 R_{NW} のウェルコンタクト間隔 X_p 依存

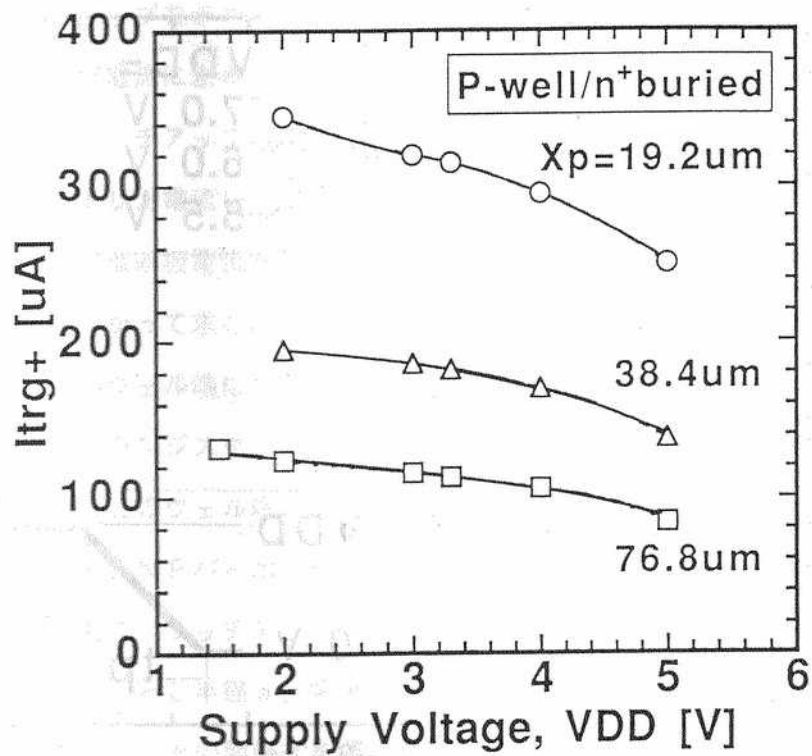


図 6-10 Pウェルトリガ電流 I_{trg+} の電源電圧依存 (Pウェル/ n^+ 埋め込み層構造)

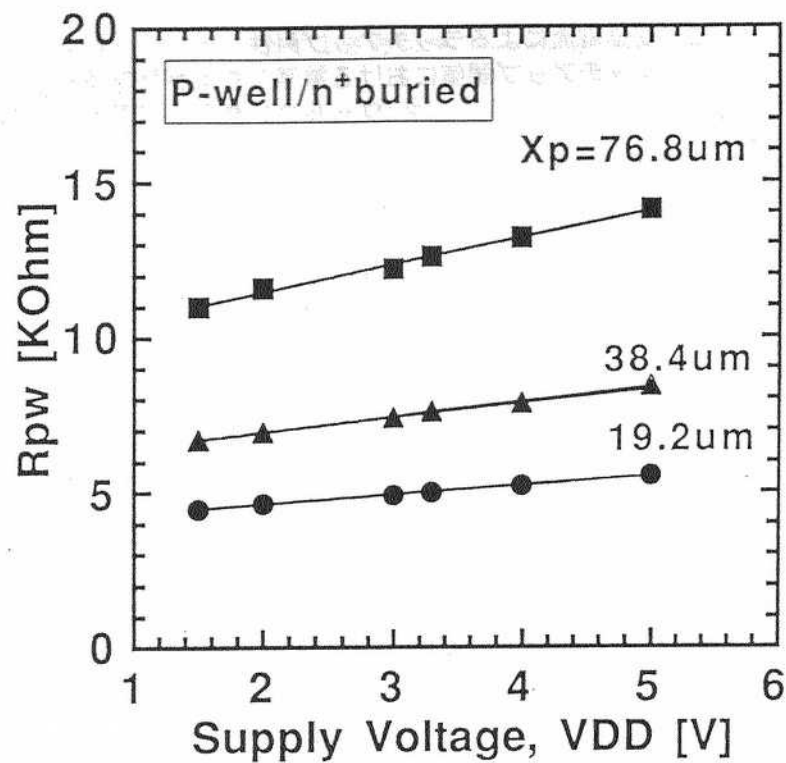


図 6-11 Pウェル等価抵抗 R_{pw} の電源電圧依存 (Pウェル/ n^+ 埋め込み層構造)

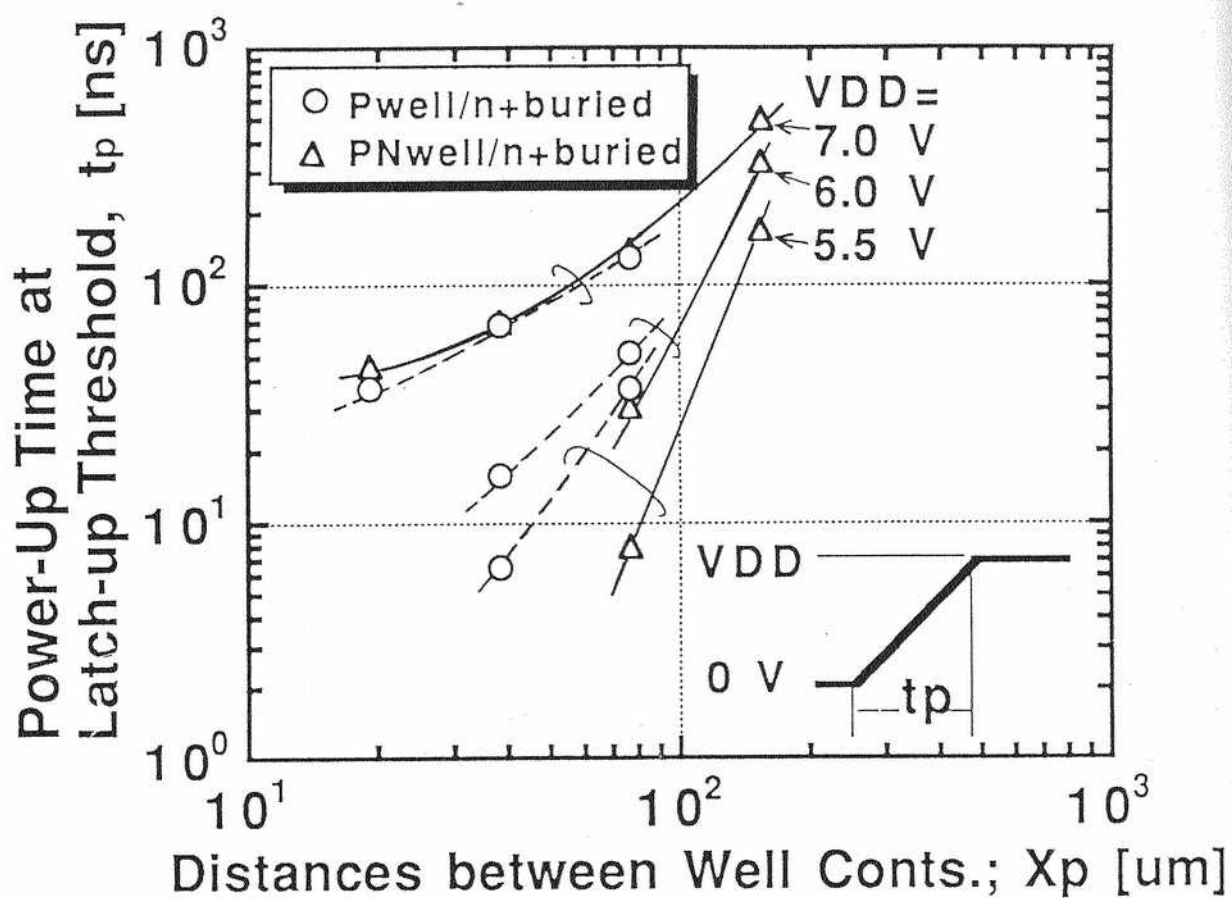


図 6-12 変位電流によるラッチアップ耐性
(ラッチアップ閾値における電源立ち上がり時間 t_p の
ウェルコンタクト間隔 X_p 依存)

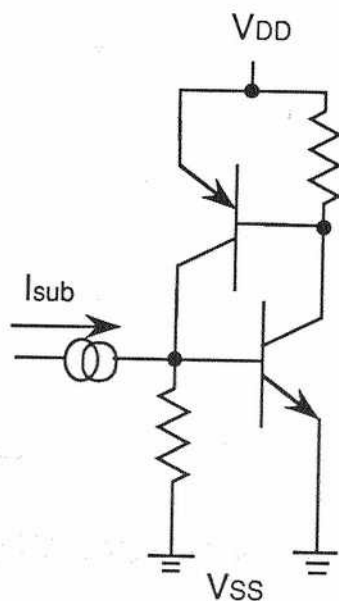


図 6-13 変位電流によるラッチアップモデル

6. 3 内部回路における耐ラッチアップ設計指針

6.3.1. ラッチアップモデル

一様生成トリガ電流によるラッチアップ耐性を評価する実用的設計指針を得るためのモデル化を行う。ラッチアップ耐性モデルは、寄生素子パラメータ、レイアウトパターン寸法のみならず生成トリガ電流レベルに依存する。図6-14にラッチアップモデルを示す。いま変位電流あるいは基板電流を想定すると、ウェル内で生成されたトリガ電流はウェルコンタクト電極に向かって求心的に収集される。いま、Pウェルコンタクトから半径 a の円上にある最も遠いウェル端は収集トリガ電流により最も高く電位上昇し、ここでの寄生NPNバイポーラトランジスタのエミッタ・ベース間を順バイアスさせる。トランジスタがオンし始めると、このウェル端近くの生成トリガ電流はベース電流として使われ、そのコレクタ電流が寄生PNPバイポーラトランジスタのエミッタ・ベース間を順バイアスさせラッチアップに至る。ラッチアップに寄与するトリガ生成領域を、図中に示すようにウェルコンタクトを中心とし半径 a 、角度 θ の扇形とする。この角度 θ はもともとレイアウト設計寸法(X_p, h)との関係式を導入するためのもので、 $h < X_p/2$ の場合、辺 $X_p/2$ と辺 a の間が角度 θ 、対辺が h の直角三角形である。この直角三角形はウェルコンタクトを中心に角度 $\theta/2$ 回転させ扇形内に入れる。したがって、ウェルコンタクトから最も遠い位置にある寄生サイリスタによるラッチアップに寄与するPウェル領域はウェルコンタクトを中心とする扇形でモデル化できる。Pウェルコンタクトは半径 b の円としてモデル化し、その値は実際のウェルコンタクト設計寸法 b_1, b_2 を用いて $\sqrt{b_1 \cdot b_2} / \pi$ であらわされる。扇形以外のPウェル領域での生成電流は最遠の寄生サイリスタのラッチアップトリガ電流に寄与しない。角度 θ の式は、上述から

$$\theta = \arcsin(h/a) \quad \text{for } X_p/2 > h \quad (0 < \theta < \pi/4) \quad (6.3)$$

$$\theta = \arccos(h/a) \quad \text{for } X_p/2 < h \quad (6.4)$$

と定義される。生成トリガ電流密度 J_o [$\mu A/\mu m^2$] はウェル内一様と仮定する。一様生成トリガ電流は寄生NPNバイポーラトランジスタがオフ状態の時にはウェルコンタクトに向かって求心的に流れる。この経路は、長方形のウェルでの局所トリガ電流モードでの経路と全く異なることに注意すべきである。

従って、扇形の弧端での電位上昇は次式を b から a に積分することにより得られる。

$$\begin{aligned} V_{ab} &= \int d\phi = \int I dR \\ &= (\rho s a^2 J_o / 2) [\ln(a/b) - (a^2 - b^2) / 2a^2] \end{aligned} \quad (6.5)$$

ここで ρ_s は電源電圧 V_{DD} に依存する P ウェルシート抵抗である。半径 a とウェルコンタクト配置間隔 X_p との関係式は $a = [(X_p/2)^2 + h^2]^{1/2}$ で与えられる。

扇形内の全生成電流は

$$I_{total} = \theta a^2 J_o / 2 \quad (6.6)$$

で与えられる。従って、扇形の弧端からみた等価的な P ウェルシャント抵抗は次式であらわされる。

$$R_{PW} = (\rho_s / \theta) [\ln(a/b) - (a^2 - b^2) / 2a^2] \quad (6.7)$$

いま扇形の弧端での電位上昇が順方向電圧 V_{FN} の値に到達したとき寄生 NPN バイポーラトランジスタをオンさせる。その残りの生成トリガ電流はバイポーラトランジスタのベース電流として使われる。このようにラッチアップが少なくとも生じない条件は式(6.1), (6.5)~(6.7) を用いて次式で求められる。

$$I_{total} < V_{FN} / (\rho_s / \theta) / [\ln(a/b) - (a^2 - b^2) / 2a^2] + V_{FP} / (\beta_n R_{NW}) \quad (6.8)$$

式(6.8) は $a/b = x$ と置換することにより簡単化され次式になる。

$$\begin{aligned} [x^2 \ln(x) - (x^2 - 1) / 2] \cdot [1 - V_{FP} / (\beta_n R_{NW}) / (\theta b^2 J_o / 2) / x^2] \\ - V_{FN} / (\rho_s / 2) / (b^2 J_o) < 0 \end{aligned} \quad (6.9)$$

式(6-9) は寄生デバイスパラメータ ρ_s , β_n , R_{NW} , V_{FN} , V_{FP} 、レイアウト設計寸法 h , b および生成トリガ電流密度 J_o を与えることにより、ラッチアップ耐性確保の P ウェルコンタクトの配置に関する半径 a を計算できる。ここで計算される半径 a 以下ではラッチアップが少なくとも生じないことを示している。

6.3.2. 解析結果

図 6-15 に $R_{NW} = 250 \Omega$ 、 $\beta_n = 80$ の場合の、生成トリガ電流密度 J_o と P ウェルシート抵抗 ρ_s に対する半径 a の計算結果を示す。他のレイアウト設計寸法値 b , h はそれぞれ 1.0 および $15 \mu m$ である。図中から計算値 a はパラメータ J_o と ρ_s に大きく依存していることがわかる。たとえば、NMOS トランジスタの基板電流について $J_o = 0.05$ [$\mu A / \mu m^2$] P ウェルシート抵抗 $\rho_s = 4.0$ [$K\Omega / sq.$], $V_{FN} = V_{FP} = 0.7 V$ のとき配置半径 a の計算値は $103 \mu m$ である。この点における他パラメータ感度は、 J_o を 0.05 から 0.1 [$\mu A / \mu m^2$] の場合および ρ_s を 4.0 から 8.0 [$K\Omega / sq.$] の場合でそれぞれ半径 a は 30% 低減する。 h 依存については $15 \mu m$ から $30 \mu m$ の変化に対し配置半径 a は 20% の低減、 b 依存については $1 \mu m$ から $2 \mu m$ とすることにより配置半径 a は 5% の増加に留

まる。

図6-16に $R_{NW}=100\Omega$ 、 $\beta_n=20$ の場合の、生成トリガ電流密度 J_0 とPウェルシート抵抗 ρ_s に対する半径 a の計算結果を示す。生成トリガ電流密度依存は同様に大きい、Pウェルシート抵抗依存はほとんどないことが明らかである。これは、式(6-1)の右辺第2項が主要であることに他ならない。

ここで、ラッチアップが少なくとも生じないウェルコンタクトの配置半径 a は、基板構造に依存する種々の寄生素子パラメータ値、レイアウト設計寸法値ならびに内部回路自体で生成するトリガ電流値で求められる値であることを注目する必要がある。内部回路における実用的な耐ラッチアップ設計とは、Pウェルシート抵抗等の寄生パラメータ値とウェル設計寸法ならびに生成トリガ電流密度をいずれも用いて計算されたウェルコンタクトの配置半径値 a 以内にウェルコンタクトを少なくとも1つ配置すること、できれば高密度化を維持しながらできるだけ多く配置することである。上述の計算結果を考慮し、レイアウト設計者はウェルコンタクトを注意深く配置し、半径 a 以内でさえも可能な限りマージンを大きくとる必要がある。もちろん、明らかに計算値 a を越えるウェルコンタクトの配置は上述のことから禁止されるべきである。

本節で提案した内部回路において一様に生成されるトリガ電流に対する耐ラッチアップ設計指針の有効性を検証するために図6-17に示すように図6-3のテスト構造に準じるCMOSインバータ回路を用いてNMOSトランジスタの基板電流で誘起されるラッチアップ特性を測定した。0.5 μm ゲート長の単体NMOSトランジスタ(ゲート幅10 μm)の基板電流対ゲート電圧特性を図6-18に示す。最悪ケースでの耐性を評価するために、インバータの出力端を V_{DD} に固定し、入力電圧 V_{IN} を0から V_{DD} に掃引して、基板電流が最大となる条件とする。図6-19に電源電圧3.2Vから4.8Vの範囲で、本提案のモデルによる計算結果(曲線)と実験結果(3点)を示す。実測結果と計算結果はかなり良い一致が得られている。本モデルでは、印加ドレイン電圧 V_{DS} で基板電流が最大となる値を用いた。ドレイン電圧 $V_{DS}=3.3\text{V}$ 、3.6Vおよび4.5Vにおける最大生成トリガ電流密度 J_0 の実測値はそれぞれ0.013, 0.03, 0.25 [$\mu\text{A}/\mu\text{m}^2$]を用いた。なお、Pウェルシャント抵抗およびNウェルシャント抵抗には図6-11に示した電源電圧依存も考慮している。具体的な例として、3.3V印加時のラッチアップが少なくとも生じないウェルコンタクトの配置半径 a の計算値は130 μm であった。実際のCMOSインバータ動作では基板電流は過渡的に生成されることと、寄生バイポーラトランジスタ動作が周波数特性があるた

め、本モデルで取り扱った直流モデルの方がより厳しい条件である。本モデルで得られた結果は少なくともラッチアップが生じない条件であり、実設計ではできるだけマージンを持った設計が必要である。ここで提案したモデルは寄生素子パラメータ値、レイアウト設計寸法ならびに生成トリガレベルを用いることにより実用的なラッチアップ回避を実現できる領域を見積もることに有用である。

6. 4 まとめ

本章では、標準セルベース設計CMOS/BiCMOS LSIの内部回路における局所トリガ電流注入モードおよび一様生成トリガ電流注入モードでのラッチアップ耐性を評価可能なテスト構造の提案および内部回路で一様に生成するトリガ電流に対する耐ラッチアップモデルの提案を行った。

- (1) 局所トリガ電流注入モードでの実測結果はPウェル分離構造がPウェルトリガ電流モードに対し最もラッチアップ耐性が低くなり、耐性確保のウェルコンタクト配置の必要性を明らかにした。
- (2) 一様生成トリガ電流注入モードでの実用的ラッチアップ回避可能な設計指針を得るために寄生素子パラメータ値、レイアウト設計寸法ならびに生成トリガレベルで記述されるモデル化を行った。提案したモデルにおいて” 少なくともラッチアップが生じない最大許容ウェルコンタクト配置距離 a ” は、寄生デバイスパラメータ値 $\rho_s, \beta_n, R_{NW}, V_{FN}, V_{FP}$ 、レイアウト設計寸法 h, b および生成トリガ電流密度 J_o の関数である。ラッチアップが生じないウェルコンタクト距離 a の計算値はCMOSインバータの実測結果と良い一致を得、本モデルの有効性を明らかにした。レイアウト設計者は計算値 a より少なくとも小さなウェルコンタクト配置をしなければならないし、さらに、ラッチアップ耐性のマージンを確保するため高集積を維持しつつ、できるだけ配置間隔を短くする必要がある。

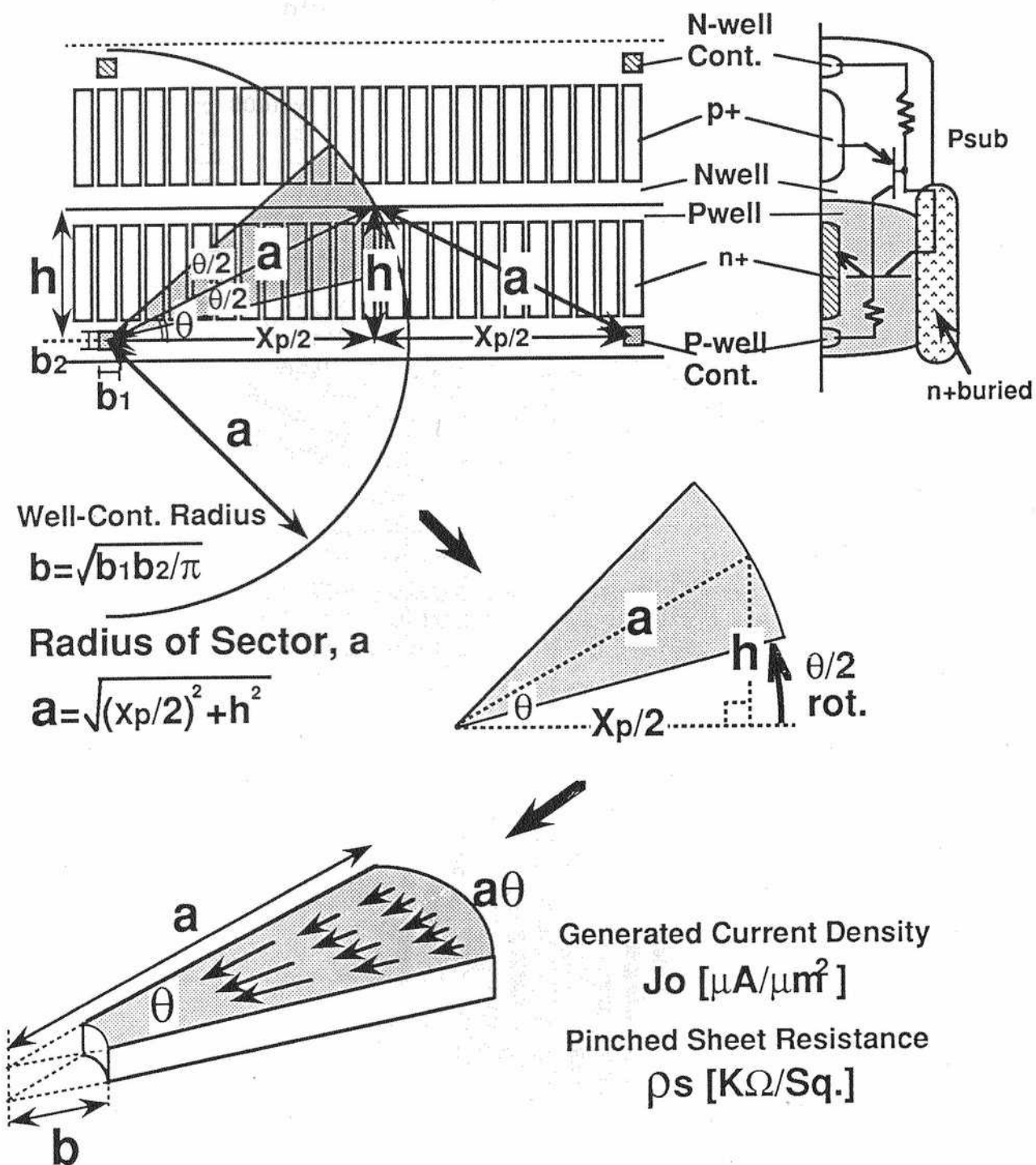


図6-14 ウェル内トリガ電流一様生成によるラッチアップモデル

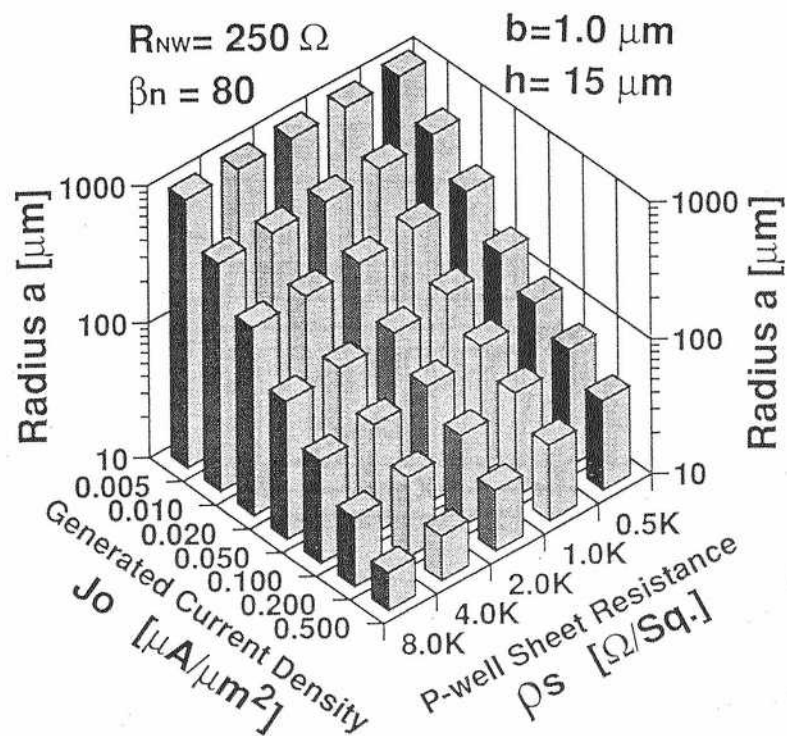


図 6-15 生成トリガ電流密度 J_o と P ウェルシート抵抗 ρ_s に対するラッチアップが少なくとも生じないウェルコンタクト配置半径 a ($R_{NW} = 250 \Omega$, $\beta_n = 80$, $b = 1 \mu m$, $h = 15 \mu m$)

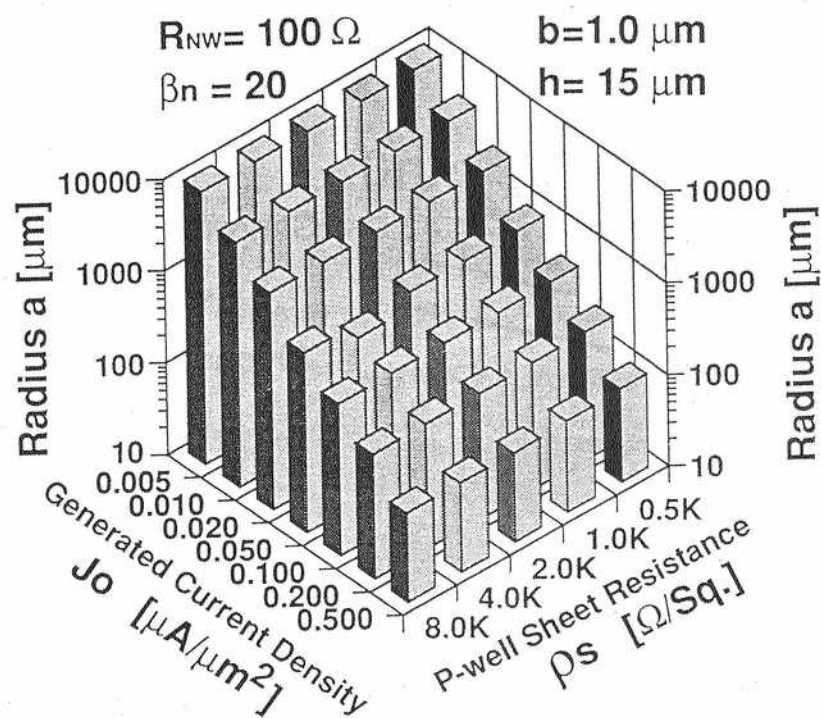


図 6-16 生成トリガ電流密度 J_o と P ウェルシート抵抗 ρ_s に対するラッチアップが少なくとも生じないウェルコンタクト配置半径 a ($R_{NW} = 100 \Omega$, $\beta_n = 20$, $b = 1 \mu m$, $h = 15 \mu m$)

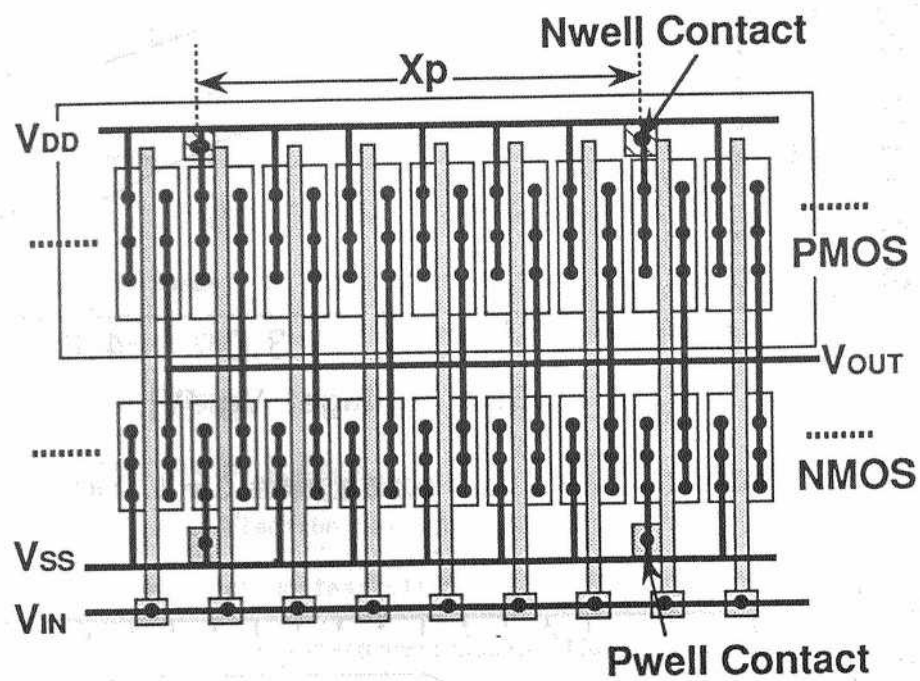


図 6-17 基板電流トリガのラッチアップ評価用 CMOS インバータ回路

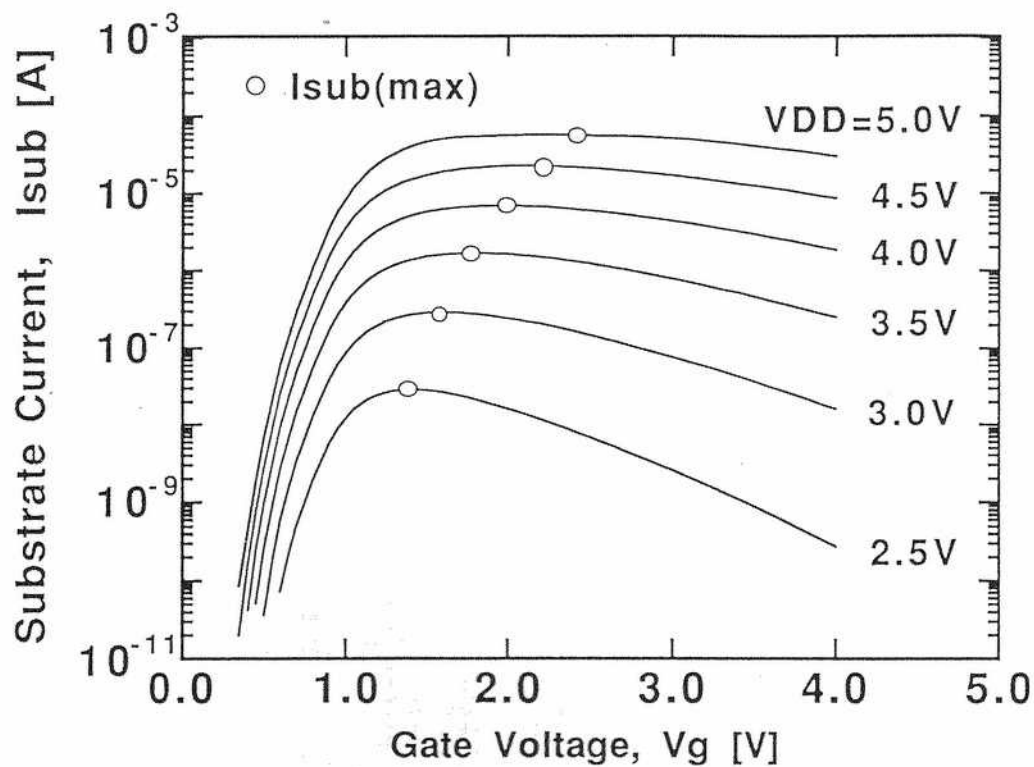


図6-18 単体NMOSトランジスタの基板電流特性 ($L_g = 0.55 \mu m$, $W = 10 \mu m$)

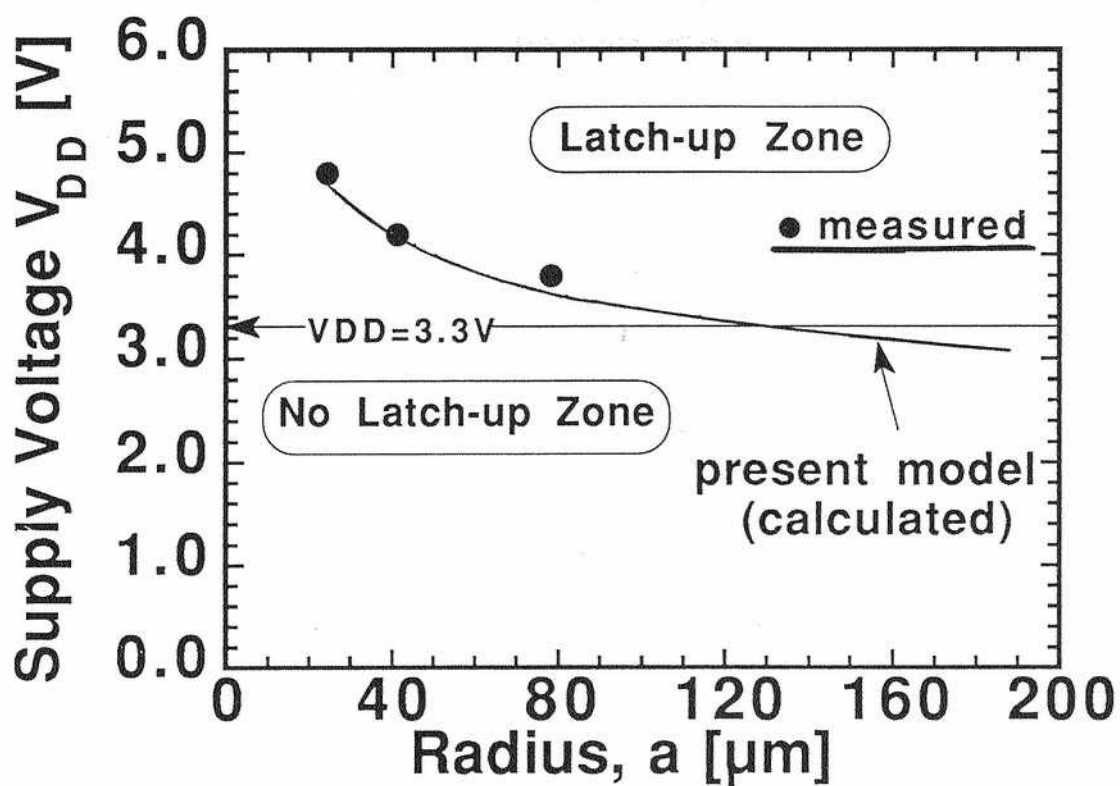


図6-19 提案したモデルの計算結果と実測値

第6章 参考文献

- [1] D. B. Estreich, "The physics and modeling of latch-up and CMOS integrated circuits," Stanford Elect. Labs. Tech. Rep. G-201-9, (1980).
- [2] T. Aoki, R. Kasai, and S. Horiguchi, "Transient characteristics in bulk CMOS structures," Electron. Lett. vol. 19, no. 19, pp. 758-759, (1983).
- [3] R. D. Rung, H. Momose, and Y. Nagakubo, "Deep trench isolated CMOS devices," IEDM Tech. Dig., pp. 237-240, (1982).
- [4] R. R. Troutman, "Epitaxial layer enhancement of n-well guard rings for CMOS circuit," IEEE Elec. Dev. Letters, vol. EDL-4, pp. 438-440, (1982).
- [5] Y. Niitsu, G. Sasaki, H. Nihira, and K. Kanzaki, "Resistance modulation effect in n-well CMOS," IEEE Trans. Electron Devices, vol. ED-32, no. 11, pp. 2227-2231, (1985).
- [6] R. R. Troutman and H. P. Zappe, "A transient analysis of latch-up in bulk CMOS," IEEE Trans. Electron Devices, vol. ED-30, no. 2, pp. 170-179, (1983).
- [7] T. Aoki "A new latch-up test structure for the design methodology for internal circuits in standard-cell-based CMOS/BiCMOS LSIs," 1992 Proceeding of the International Conference on Microelectronic Test Structures, ICMTS' 92, pp. 18-23 (1992).
- [8] T. Aoki, "A practical high latch-up immunity design methodology for internal circuits in the standard cell-based CMOS/BiCMOS LSIs," IEEE Trans. on Electron Devices, vol. ED-40, pp. 1432-1436 (1993).

第7章 総括

本研究では、微細CMOS構造における系統的かつ定量的な耐ラッチアップ設計方針を確立するため、次のような検討を行った。はじめに、パルストリガに対するラッチアップ過渡特性の実験評価と数値解析を行い、それをもとにラッチアップ現象のメカニズムの解明とラッチアップ耐性の定量化を行った。続いて、ラッチアップ耐性の温度特性の評価解析法と、微小発光現象を利用した新しいラッチアップ発生箇所の検出方法を提案した。最後に、今後ますます耐性低下が懸念されるLSI内部回路における耐ラッチアップ設計指針を提案し、上記の測定・評価法とあわせて、系統的な耐設計法を確立した。

以下に、本研究で得られた主要な結果をまとめて示す。

(1) ラッチアップ過渡特性を測定・評価する方法の確立

(1-1) パルストリガ電流に対するラッチアップ過渡応答特性の評価法を提案した。それを用いてトリガ入力の4つのモード* に対するトリガ閾値電流のパルス幅依存性、ラッチアップターンオン波形を測定した。その結果をもとに、ラッチアップトリガ電流のパルス幅依存性が、寄生バイポーラトランジスタ内のベース走行時間で説明できることを示した。（*：Pウェル（基板）入力、Nウェル（基板）入力、 n^+ ドレイン入力、 p^+ ドレイン入力）

(1-2) パワーアップ時のラッチアップターンオン過渡応答特性を評価し、 $0.5\ \mu\text{m}$ レベルのCMOS技術ではおよそ数十nsの電源電圧の立ち上がり時間で、ラッチアップが生じることが明らかになった。NMOSトランジスタでインパクトイオン化誘起された正孔基板電流によるCMOSインバータ回路のラッチアップターンオン過渡応答を評価した。ラッチアップが生じる際の入力電圧の立ち上がり時間は、基板電流生成量に係わる電源電圧および負荷容量に依存することを明らかにした。

(2) シミュレーションによるラッチアップ現象の詳細解析

(2-1) 2次元デバイスDCおよび過渡解析シミュレータを用いたラッチアップ現象の数値解析を行った。

- ・ 2次元DCシミュレータを用いて寄生素子の変調効果を明らかにした。これをもとに簡単な等価回路モデルの素子パラメータを改良することで（電流増幅率、ベース走行

時間、寄生等価抵抗の変調効果を導入することで) ラッチアップの定量解析が可能となることを示した。

- ・ 2次元2キャリア過渡シミュレータを用いてパルストリガ電圧に起因するCMOSラッチアップ現象の解析を行い、その動的メカニズムを明らかにした。

(2-2) 過渡解析シミュレータを重イオン粒子入射によるCMOSラッチアップの解析に適用した。

- ・ 重粒子によるラッチアップ過程には2種のモード(生成キャリアの収集モードとバイポーラ動作による注入モード)があることを明らかにした。
- ・ 重粒子の入射条件に対するラッチアップ耐性の関係を調べ、入射角・入射位置・飛跡上生成キャリア密度依存性を評価した。
- ・ n^+ および p^+ ガードバンドと p^- / p^+ エピ基板を併用したラッチアップ防止構造についての解析を行い、 $N_p = 3 \times 10^{19} [\text{cm}^{-3}]$ の飛跡上生成キャリア密度に対してもラッチアップが生じないことを明らかにした。

(3) ラッチアップ温度特性の詳細解析

ラッチアップトリガ電流の温度依存性を実験的に評価した。同時に、寄生PNPN構造を構成するパラメータ自体の温度依存性も評価し、トリガ電流とパラメータとの温度依存性の関係を明らかにした。

- ・ Pウェルトリガ電流およびNウェルトリガ電流の温度係数を10℃から125℃の温度範囲で求めた、すなわち、25℃で規格した実験式

$$I_{trg}(T) = I_{trg}(25) / [1 + \gamma \cdot (T-25)]$$

を用いると、それぞれ $\gamma_p = -0.83 \text{ \%/}^\circ\text{C} \sim -1.0 \text{ \%/}^\circ\text{C}$ および $\gamma_n = -0.5 \text{ \%/}^\circ\text{C} \sim -0.65 \text{ \%/}^\circ\text{C}$ であった。

- ・ ラッチアップトリガ電流成分の定量解析法を提案した。トリガ電流の温度依存性を生じる要因として(寄生パラメータの温度特性に加えて)ウェル不純物濃度と等価ウェル抵抗値**の大きさがあることを明らかにした。

(**：コンタクトの配置レイアウトに依存)

- ・ 寄生バイポーラトランジスタの各パラメータ(電流増幅率、エミッタベース間順方向電圧、等価ウェル抵抗)温度係数を測定し、それによって計算したラッチアップトリガ電流の温度依存性が実験結果と良く一致することを示した。

(4) 微小発光現象によるラッチアップの位置観察法の確立

(4-1) ラッチアップのオン状態からの微小発光現象に注目し、2次元フォトン計数実験とデバイスシミュレーションによって発光現象のメカニズムの解析を行った。

- ・ 2次元フォトカウンティング装置を用いて、CMOSラッチアップオン状態からの微小発光領域を観測し、 p^+n^+ 両エミッタ近傍に発光強度のピークを有することを確認した。
- ・ 発光メカニズムをフォノンを介したキャリアの発光再結合と仮定してデバイスシミュレーションした結果、過剰キャリアの np 積が極大となる領域と発光測定結果と良い対応を得た。
- ・ 本評価法によりラッチアップの局所微小発光領域を観測することにより詳細なラッチアップパスを調べるのに有効であることを示した。

(4-2) CMOS LSIにおけるラッチアップ発生箇所の検出方法を提案した。

- ・ ラッチアップ状態からの発光スペクトル特性がホットエレクトロン発光と本質的に異なることを利用する観察法を示した。すなわち、透過光エネルギーの異なるバンドパスフィルタを介した発光像を比較することにより、CMOS LSIにおけるラッチアップの発生箇所の同定が簡便かつ高分解能で行えることを示した。

(5) CMOS/BiCMOS LSIの内部回路におけるラッチアップ耐性*** を評価できるテスト構造の提案を行った。さらに内部回路で一様に生成するトリガ電流に対する耐ラッチアップモデルの提案を行った。（***：局所トリガ電流注入モードおよび一様生成トリガ電流注入モードの耐性）

- ・ このテスト構造により、局所トリガ電流注入モードで実測し、Pウェルトリガ電流モードに対してPウェル分離構造が最もラッチアップ耐性が低くなる結果を得た。この結果により、耐性確保のウェルコンタクト配置の重要性を明らかにした。
- ・ 一様生成トリガ電流注入モードでの実用的ラッチアップ回避可能な設計指針を得るためのモデル（寄生素子パラメータ値、レイアウト設計寸法、生成トリガレベルで記述されるモデル）を提案した。本モデルでは、「ラッチアップが生じない最大許容ウェルコンタクト配置距離 a 」は、寄生デバイスパラメータ $\rho_s, \beta_n, R_{NW}, V_{FN}, V_{FP}$ 、レイアウト設計寸法 h, b および内部で生成されるトリガ電流密度 J の関数で記述されている。応用例として本モデルを標準セルベースCMOSインバータ回路のラッチアップ解析に適用し、許容ウェルコンタクト距離 a の計算値が実験結果と良く一致

することを示した。

以上の検討結果により、今後の微細CMOS LSIの耐ラッチアップ化に対応できる系統的かつ定量的な評価・設計法を確立することができた。

微細CMOS LSIの発展とともにラッチアップ現象の解析・モデリング・耐性向上の研究が進められてきた。この間の微細化の進展は1980年代前半の $2\mu\text{m}$ CMOS技術から1980年代半ばには $1.5\sim 1.2\mu\text{m}$ 、後半には $0.8\mu\text{m}$ 、1990年代初めには $0.5\mu\text{m}$ 化と超微細化が進展している。 $0.5\mu\text{m}$ CMOS/Bi CMOS技術を用いて300Kゲート規模を越える高密度で微細な超LSIも現在では実現されている。

このように微細化が進むと耐ラッチアップ設計にはますます注意を要するようになる。微細化によってLSIの電源電圧が低減できる($5\text{V}\rightarrow 3.3\text{V}\rightarrow 2.5\text{V}$) ことだけはラッチアップ耐性に好ましい方向であるが、それ以外のパラメータはすべて不利な方向に変化する。たとえば、微細化により寄生バイポーラトランジスタや寄生抵抗の増大し、これらはすべてラッチアップ耐性を低下させる要素となる。LSI内部回路におけるラッチアップ耐性の確保のためには、等価ウェル抵抗の低減および寄生バイポーラトランジスタの抑制が必要である。このため、ウェルコンタクト寸法、ウェル・拡散層間隔寸法等のラッチアップに係わる設計寸法は必ずしも縮小できるわけでない。そのため、基板構造設計の観点ならびにレイアウト設計の観点からみたLSI内部回路における耐ラッチアップ設計が今後とも重要となる。

また、デバイス数値解析の技術の分野では、2次元シミュレータが実用域にあり、既にMOSトランジスタやバイポーラトランジスタの構造設計に使われており、ラッチアップの解析にも適用されている。しかし、本研究の第5章でも取り扱った重粒子入射ラッチアップの定量的解析や、第6章で取り扱ったレイアウトに対応の耐ラッチアップ詳細設計には、3次元解析が必要である。そのために設計ツールとして実用に堪えうるシミュレータの開発が早急に望まれる。

本研究に関する発表一覧

学術論文

- 1) T. Aoki, "Dynamics of heavy-ion-induced latchup in CMOS structures," IEEE Trans. on Electron Devices, vol.ED-35, pp. 1885-1891 (1988).
- 2) T. Aoki and A. Yoshii, "Analysis of latchup-induced photon emissions," IEEE Trans. on Electron Devices, vol.ED-37, pp. 2080-2083 (1990).
- 3) T. Aoki, "A practical high latch-up immunity design methodology for internal circuits in the standard cell-based CMOS/BiCMOS LSIs," IEEE Trans. on Electron Devices, vol.ED-40, pp. 1432-1436 (1993).
- 4) T. Aoki, "A discussion on the temperature dependence of latch-up trigger current in CMOS/BiCMOS structures," IEEE Trans. on Electron Devices, vol.ED-40, pp. 2023-2028 (1993).

学術論文 (レター)

- 1) T. Aoki, R. Kasai and S. Horiguchi, "Transient characteristics of latch-up in bulk CMOS," Electronics Letters, Vol. 19, pp. 758-759 (1983).
- 2) T. Aoki, R. Kasai and M. Tomizawa, "Numerical analysis of heavy ion particle-induced CMOS latch-up," IEEE Electron Device Letters, vol.EDL-7, pp. 273-275 (1986).

学術的国際会議

- 1) T. Aoki, R. Kasai and S. Horiguchi, "A CMOS latch-up model including non-linear effects," International Conference on Solid State Devices and Materials, ICSSDM' 84, pp. 241-244 (1984).
- 2) T. Aoki and A. Yoshii, "Analysis of latchup-induced photoemission," Technical Digest of International Electron Devices Meeting, IEDM '89, pp. 281-284 (1989).
- 3) T. Aoki, "A new latch-up test structure for the design methodology for internal circuits in standard-cell-based CMOS/BiCMOS LSIs," 1992 Proceeding of the International Conference on Microelectronic Test Structures, ICMTS' 92, pp. 18-23 (1992).

研究会資料等

- 1) 青木・笠井・堀口, 「CMOS VLSI における高ラッチアップ耐性化について」
電子通信学会研究会技術報告 SSD-82-39, pp. 1-7, (1982).
- 2) 青木・笠井・堀口, 「CMOSラッチアップの過渡解析」
電子通信学会研究会技術報告 SSD-83-86, pp. 17-24, (1983).
- 3) 笠井・青木・堀口, 「CMOSラッチアップのDC解析」
電子通信学会研究会技術報告 SSD-83-84, pp. 1-8, (1983).
- 4) 青木・笠井・富沢, 「重粒子によるCMOSラッチアップの解析」
電子通信学会研究会技術報告 SSD-85-60, 53-60, (1985).

学会講演

- 1) 青木・笠井・堀口、「埋め込み基板を用いたCMOSラッチアップ耐性」
昭和58年度電子通信学会総合全国大会, 322, (1983).
- 2) 青木・笠井・堀口、「CMOS回路のラッチアップ過渡特性」
昭和58年度電子通信学会・半導体材料部門全国大会, 84, (1983).
- 3) 笠井・青木・堀口、「CMOSラッチアップの二次元解析」
昭和59年度電子通信学会総合全国大会, 277, (1984).
- 4) 青木・笠井・堀口、「CMOSラッチアップの過渡応答モデリング」
昭和59年度電子通信学会総合全国大会, 278, (1984).
- 5) 青木・笠井、「CMOSラッチアップの時間応答解析」
昭和60年度電子通信学会・半導体材料部門全国大会, 88, (1985).
- 6) 青木・笠井、「ラッチアップ防止構造への重粒子入射による生成キャリアの動特性」
昭和61年度電子通信学会総合全国大会, 276, (1986).
- 7) 青木、「CMOSラッチアップ状態からの微小発光」
1989年電子情報通信学会春季全国大会, C-241, (1989).
- 8) 青木、「CMOSラッチアップ状態からの微小発光(II)」
1989年電子情報通信学会秋季全国大会, C-122, (1989).
- 9) 青木、「CMOSラッチアップ状態からの微小発光(III)」
1990年電子情報通信学会春季全国大会, C-594 (1990).
- 10) 青木、「標準セル形式CMOS/BiCMOS LSI 内部回路における耐ラッチアップ設計指針に関する検討」
1991年電子情報通信学会春季全国大会, C-566 (1991).

招待技術講演

電子機械工業会主催講演 「ラッチアップ過渡特性評価について」 (1984).

本論文と直接関連しない発表

- ・ 薄膜SOI デバイス関連
 - * T. Aoki, M. Tomizawa and A. Yoshii, "Design consideration of thin-film SOI devices," IEEE Trans. Electron Devices, vol. ED-36, pp.1725-1731 (1988).
 - * 信学会全国大会 2 件
 - * 信学会研究会 1 件
- ・ インパクトイオン化関連
 - * 青木「NMOSFET のドレインブレイクダウン近傍におけるへき界面からの発光観測」
1990年電子情報通信学会秋季全国大会 C-472 (1990).
 - * N. Sano, T. Aoki and A. Yoshii, "Soft and hard ionization in Si and GaAs," Appl. Phys. Lett. vol.55, pp.1418-1420 (1989).
 - * N. Sano, T. Aoki, M. Tomizawa and A. Yoshii, "Electron transport and impact ionization in Si," Phys. Rev. B, vol.41, pp.12122-12128 (1990).
- ・ その他 信学会全国大会 2 件

謝 辞

本論文は、筆者が日本電信電話株式会社において、1982年から1993年までの12年間に
行った研究をまとめたものである。

本論文をまとめるに当たり、終始懇切なる御指導、御鞭撻を賜りました北海道大学工学
部電気工学科 雨宮好仁教授に謹んで感謝の意を表します。また、本論文をまとめるに
当たり貴重な御助言、御指導を頂きました北海道大学工学部電気工学科 田頭博昭教授、
長谷川英機教授ならびに電子工学科 武笠幸一教授をはじめとする諸先生の方々に深く感
謝致します。

本論文をまとめることを勧めていただき、多くの有益なる御教示と御示唆をいただきま
したLSI研究所の荒井英輔主席研究員（当時、第一・第四プロジェクトリーダー）、第四
プロジェクトの今井和雄主席研究リーダーならびに第五プロジェクトの平田一雄主席研究リ
ーダー（当時、量子デバイス研究部長）に謹んで感謝申し上げます。

本研究の機会を与えていただき、御指導御鞭撻されました酒井保良 LSI研究所長、
須藤常太（株）横河電機中央研究所理事（当時、集積回路研究部長）、堀口勝治 LSI 研究
所高速集積回路研究部長（当時、集積回路研究部論理回路研究室長）、家田信明（株）NTT
エレクトロニクステクノロジー設計本部長（当時、集積回路研究部論理回路研究室長）に深謝します。
本研究を進めるにあたり、直接の上司であり、CMOSデバイス構造設計をご指導いた
だきました笠井良太主幹研究員・信号処理LSI研究グループリーダー（当時、論理回路研究
室）、CMOS回路レイアウトTEG設計の標準化をご指導いただきました武谷健主席研
究員・第三プロジェクトリーダー（当時、論理回路研究室）、吉村寛 LSI研究所研究企
画部長（当時、論理回路研究室）、デバイスシミュレーションをご指導いただきました吉
井彰主席研究員・量子デバイス研究部デバイス解析研究グループリーダーに感謝します。

特に、本論文の第3章に関しては、富沢雅彰 主幹研究員・量子デバイス研究部および
横山清行主幹研究員・光エレクトロニクス研究所（当時、集積デバイス研究部）の的確な
ご指導ご助言がなければ、デバイスシミュレータTRANALを用いたラッチアップ現象
の数値解析は実現しませんでした。深く感謝いたします。また、新入社員当時にCMOS
回路レイアウト設計手法に関して、的確なご指導いただいた丹生和男（株）コニカ技術研究所
主任研究員（当時、論理回路研究室）に感謝します。さらに、英語論文をみてもらいま
した佐野伸行主任研究員・量子デバイス研究部に感謝します。この他にも、本研究を遂行す
るにあたり、多くの先輩、同僚方々からの、有形無形の議論・助言やご支援をいただきま
した。深く感謝の意を表します。

