



# HOKKAIDO UNIVERSITY

|                     |                                                                                                 |
|---------------------|-------------------------------------------------------------------------------------------------|
| Title               | 次世代パワー半導体デバイスの適用を考慮した高周波PWMインバータのひずみ・ノイズ低減に関する研究                                                |
| Author(s)           | 小川, 将司                                                                                          |
| Degree Grantor      | 北海道大学                                                                                           |
| Degree Name         | 博士(工学)                                                                                          |
| Dissertation Number | 甲第11765号                                                                                        |
| Issue Date          | 2015-03-25                                                                                      |
| DOI                 | <a href="https://doi.org/10.14943/doctoral.k11765">https://doi.org/10.14943/doctoral.k11765</a> |
| Doc URL             | <a href="https://hdl.handle.net/2115/58923">https://hdl.handle.net/2115/58923</a>               |
| Type                | doctoral thesis                                                                                 |
| File Information    | Masashi_Ogawa.pdf                                                                               |



北海道大学大学院情報科学研究科  
[博士論文]

次世代パワー半導体デバイスの適用を考慮した高周波  
PWM インバータのひずみ・ノイズ低減に関する研究  
Study of Reducing Distortion and Noise of High-frequency PWM  
Inverters Applying Next-Generation Power Semiconductor  
Devices

平成 27 年 3 月

主指導教員 小笠原 悟司 教授

提出者

専攻 システム情報科学専攻

学生番号 79125034

学生氏名 小川 将司

## 概要

近年、インバータは省エネルギーの核心技術として様々な分野において広く利用されてきている。近年研究が行われている SiC や GaN といったワイドバンドギャップ半導体を用いた次世代パワー半導体デバイスは、従来の Si の IGBT と比較し約 10 倍の速度でスイッチング可能であることが報告されている。これにより PWM インバータのキャリア周波数を、従来では困難であった 100 kHz 程度の周波数にまで引き上げることが可能となる。キャリア周波数の高い高周波 PWM インバータは、高応答性かつ小型なインバータシステムを実現できる。しかし、高周波 PWM インバータは、デッドタイムの挿入に起因する出力電圧ひずみと、コモンモード電圧に起因する電磁妨害(EMI: electromagnetic interference)が増大する恐れがある。

デッドタイムは、デバイスの遅れ時間により回路の直流短絡を防止するため挿入される時間である。デッドタイムの挿入により、出力電圧のパルスの幅が変化しその結果出力電圧誤差が発生する。この出力電圧誤差は、キャリア周波数に比例して増加する。

コモンモード電圧は、負荷の寄生容量を介してインバータ、負荷、グラウンド線、電源で構成されるループを流れるコモンモード電流を発生させる。このコモンモード電流は、電源を共有する周辺の機器に流入し伝導性 EMI を引き起こす恐れがある。また高周波のコモンモード電流が主回路に流れることとで、電磁波が放射され放射性 EMI を引き起こす恐れがある。

上記の問題を解決することを目標とし、100 kHz PWM インバータを用いて以下の研究を行った。

- I. 高速かつ高精度な補償が可能な新しいフィードバック型デッドタイム補償法を提案する。提案する手法の基本動作は、入力された PWM 信号のパルスと出力信号のパルスの幅を等しくする。PWM インバータが出力できないような細い入力信号に対しては、数周期の平均出力電圧を等しくする。よって理論上どんな細いパルスでも補償可能である。提案の手法を用いて PWM 信号を補償した実験結果から、提案法がひずみの低減に効果があることを確認する。
- II. コモンモードノイズの原因であるコモンモード電圧を除去するため、アクティブコモンノイズキャンセラを 100 kHz PWM インバータに適用する。100 kHz PWM インバータ用アクティブコモンノイズキャンセラ(ACC)を設計・製作し、10 kHz PWM インバータ用 ACC と比べ 16%のコア重量であるにも関わらず、従来の ACC と同等の性能を持つ。また、従来の ACC では適用が困難であった SVPWM インバータに適用可能な新しい ACC の回路構成を提案し、その効果を確認する。上記 2 つの手法を組み合わせたインバータを実現することが可能である。

キーワード：高周波 PWM インバータ、次世代パワー半導体デバイス、デッドタイム補償、フィードバック型、コモンモード電圧、アクティブコモンノイズキャンセラ

## Abstract

Recently, inverters which are the key technology component in power electronics are widely used in many fields for energy saving. The switching speed of next-generation switching devices is expected to improve to 10-fold that of conventional Si IGBTs by using wide band gap semiconductors, which are SiC and GaN. These devices can improve PWM inverter carrier frequency which is difficult to operate conventional inverters. High-frequency PWM inverter can output high response waveform and be downsized. However, High-frequency PWM inverters will increase output voltage distortion and EMI(electromagnetic interference). Major reasons of these problems are dead-time and common-mode voltage.

Dead-time is essential for inverters to prevent a short circuit induced by delaying the time of devices. Dead-time generates output voltage error which is proportional to the carrier frequency.

Common-mode current, which caused by common-mode voltage, flows through the loop consisting of main circuit, ground-line and power source. Therefore, common-mode current injects into other devices connecting to same power source and causes conducted EMI. Furthermore, the high-frequency common-mode current flowing in the main circuit may cause radiated EMI.

To solve above problems, this paper describes the following topics using 100 kHz PWM inverter.

1. A novel feedback-type dead-time compensation method with high-speed and high-response is proposed. The basic operation of proposed method is matching the pulse width of the output signal to that of input signal. If the short pulses, which are shorter than minimum output pulse of PWM inverter, are input, proposed method generates an output pulse after a few input pulses so that the average voltage of output signal equal to the input signal. Therefore, proposed method has no compensation limit theoretically. Experimental result using PWM signal shows that proposed method has low voltage distortion and high-voltage utilization factor characteristics.
2. To cancel the common-mode voltage which causes common-mode noise, active common-noise canceler(ACC) is applied to 100 kHz PWM inverter. An ACC for 100 kHz PWM inverter is designed and constructed for compare with an ACC for 10 kHz PWM inverter. Although the weight of a part of the ACC for 100 kHz PWM inverter is 16% of that of the ACC for 10 kHz PWM inverter, the prototype ACC cancels the common-mode voltage equivalent to the ACC for 10 kHz PWM inverter. A new circuit configuration of the ACC for 100 kHz SVPWM inverter is proposed. A new circuit configuration has small size because it operates without another power supply and large parts.

Combination of above 2 methods, high-frequency PWM inverter reducing distortion and noise will be developed.

**Keywords:** High-frequency PWM inverters, next-generation power semiconductor devices, dead-time compensation, feedback-type, common-mode voltage, active common-noise canceler

# 目次

|                                              |    |
|----------------------------------------------|----|
| 第1章 序論 .....                                 | 1  |
| 1.1 本研究の背景 .....                             | 1  |
| 1.2 本研究の目的と構成 .....                          | 3  |
| 第2章 PWM インバータの高周波化とその問題点 .....               | 5  |
| 2.1 PWM インバータのキャリア周波数の高周波化 .....             | 5  |
| 2.2 デッドタイムによる出力電圧ひずみの増大 .....                | 5  |
| 2.2.1 デッドタイムと波形ひずみ .....                     | 5  |
| 2.2.2 デッドタイム補償 .....                         | 11 |
| 2.2.2(a) フィードフォワード型デッドタイム補償 .....            | 11 |
| 2.2.2(b) フィードバック型デッドタイム補償 .....              | 14 |
| 2.2.3 村井氏らが提案したフィードバック型デッドタイム補償法とその問題 .....  | 17 |
| 2.3 EMI の増加 .....                            | 20 |
| 2.3.1 PWM インバータが発生する EMI .....               | 20 |
| 2.3 EMI の低減法 .....                           | 24 |
| 2.3.1 パッシブフィルタ .....                         | 24 |
| 2.3.2 アクティブフィルタ .....                        | 25 |
| 2.3.3 アクティブコモンノイズキャンセラ .....                 | 26 |
| 2.3.4 ACC の構成要素に関する検討 .....                  | 28 |
| 第3章 デッドタイム補償 .....                           | 30 |
| 3.1 従来法の問題点を改善するフィードバック型デッドタイム補償法（改良法） ..... | 30 |
| 3.2 検出回路の改良 .....                            | 32 |
| 3.2.1 従来法の検出回路の構成 .....                      | 32 |
| 3.2.2 提案する検出回路 .....                         | 33 |
| 3.3 従来法と改良法の比較実験 .....                       | 35 |
| 3.3.1 実験装置 .....                             | 35 |
| 3.3.2 実験結果 .....                             | 37 |
| 3.4 従来法・改良法の問題点 .....                        | 41 |
| 3.5 新たに提案するフィードバック型デッドタイム補償法（提案法） .....      | 42 |
| 3.5.1 提案法の通常補償動作 .....                       | 42 |
| 3.5.2 微細パルス入力時 .....                         | 46 |
| 3.6 提案法の効果実証実験 .....                         | 48 |
| 3.6.1 新実験回路 .....                            | 48 |

|                                            |     |
|--------------------------------------------|-----|
| 3.6.2 従来法と提案法の最小パルスの比較 .....               | 51  |
| 3.6.3 微細パルス補償動作 .....                      | 53  |
| 3.6.4 電流極性と補償特性 .....                      | 55  |
| 3.6.5 提案法による正弦波のひずみ低減 .....                | 58  |
| 第4章 アクティブコモンノイズキャンセラ .....                 | 64  |
| 4.1 ACC の設計 .....                          | 64  |
| 4.1.1 パワートランジスタとコモンモードトランスの設計 .....        | 64  |
| 4.1.2 10 kHz PWM インバータ用の ACC の設計 .....     | 68  |
| 4.1.3 100 kHz PWM インバータ用の ACC .....        | 71  |
| 4.1.4 100 kHz 用 ACC を用いたコモンモード電圧除去実験 ..... | 74  |
| 4.2 OP アンプ組み込みによる ACC の補償精度向上に関する検討 .....  | 76  |
| 4.2.1 OP アンプ組み込みの利点と問題点 .....              | 77  |
| 4.2.2 OP アンプの電源についての検討 .....               | 77  |
| 4.3 SVPWM インバータに適用可能な ACC .....            | 81  |
| 4.3.1 SVPWM インバータが発生するコモンモード電圧 .....       | 81  |
| 4.3.2 部分補償形 ACC .....                      | 82  |
| 4.3.3 高周波補償形 ACC .....                     | 85  |
| 4.3.4 高周波補償形 ACC によるコモンモード電圧除去実験 .....     | 87  |
| 4.3.5 高周波補償形 ACC のコモンモード電圧除去実験 .....       | 89  |
| 4.4 ACC の今後の改良方針 .....                     | 91  |
| 第5章 まとめと今後の展望 .....                        | 94  |
| 5.1 デッドタイム補償に関して得られた結果 .....               | 94  |
| 5.2 コモンモード電圧の除去に関して得られた結果 .....            | 94  |
| 5.3 今後の展望 .....                            | 95  |
| 参考文献 .....                                 | 97  |
| 著者が発表した論文 .....                            | 101 |
| 謝辞 .....                                   | 103 |

## 第1章 序論

### 1.1 本研究の背景

近年、化石燃料の枯渇や環境汚染などの問題から世界的に CO<sub>2</sub> 削減への関心が高まっており、これを実現するために省エネルギー(省エネ)の推進への気運が高まっている。この省エネへのキーテクノロジーとして、パワーエレクトロニクス技術が注目されている。

パワーエレクトロニクス技術により、省エネルギー化を達成した例としてインバータを用いた交流モータの可変速駆動システムがある。交流モータは、直流モータと比べ高効率運転が可能であるが、その回転数は電源の周波数によって決定する。商用電源を用いて交流モータを駆動する場合、回転数は一定となるため可変速な運転を行うことができない。そのため、ファインやポンプにおいては、バルブやダンパを用いて出力を調整する必要があり、損失が大きいという問題があった。さらに電車などの可変速が必要な用途には、従来は直流モータが用いられていたが、機械的接触があるブラシがあるため、交流モータに比べ効率が低く、保守が必要という問題もあった。インバータすなわち直流から任意の振幅・周波数の交流に変換する電力変換器を交流モータに適用することで、高効率でしかも省保守の交流可変速駆動システムの実現が可能になり<sup>[1]</sup>、その応用が拡大している。

パワーエレクトロニクス技術は、省エネ効果だけではなく装置の小型化にも大きく貢献している。例えば、電子機器の電源に用いられる AC アダプタは、商用電源である 100 V の交流から 5 V や 12 V の直流に電力を変換する。AC アダプタ内部の降圧用のトランスは、商用周波数で動作する従来の場合、磁気飽和を防ぐため大型なコアを用いる必要があった。しかし、パワーエレクトロニクス技術により、トランスに印加する電圧を高周波の交流に変換することで、小型なトランスで電力変換が可能となった。これらの技術は、自動車などの装置の設置スペースが限られたアプリケーションなどにも応用が拡大している<sup>[2]</sup>。

インバータに代表される電力変換器は、パワー半導体デバイスの高速な ON/OFF に基づいて電力を変換している。そのため、パワーエレクトロニクスは、パワー半導体デバイスや制御器の進化とともに発展してきた。小中容量の交流可変速駆動においては、パルス幅変調(PWM:Pulse width modulation)を適用した電圧形インバータが広く用いられており、パワー MOSFET、IGBT などのパワー半導体デバイスの高速化、大容量化により、その性能も向上してきた。また制御器においては、マイクロプロセッサや DSP などの高速で大規模な計算が可能な演算装置や、FPGA(Field programmable gate array)などのプログラミングが可能な論理デバイスが普及し、パワーエレクトロニクス機器の高性能化・低コスト化に大きく寄与している。

SiC(シリコンカーバイド)や GaN(ガリウムナイトライド)などのワイドバンドギャップ半導体を使用した次世代半導体パワーデバイスは、パワーエレクトロニクス機器をさらに高性能化できる技術として期待されている。これらの次世代デバイスは、現在の Si(シリコン)を用いた半導体パワーデバイスに比べ 10 倍以上高速のスイッチング特性を有することが報告されている。次世代パワー半導体デバイスを適用することで、PWM インバータのスイッ

チング損失の大幅な低減が可能になる。また、PWM インバータのキャリア周波数の高周波化も可能となり、スイッチングリプルの低減や電流制御の応答性の向上が期待されている。さらに、フィルタの小型化が可能になることが期待されており、小型かつ高応答なインバータが実現できる。

しかし、次章で述べるように、次世代パワー半導体デバイスの適用によるスイッチングの高周波化は、インバータのノイズやひずみが増大するという問題がある。次世代パワー半導体デバイスは、Si の IGBT に比べさらに急峻に電圧を変動させるため、EMI の周波数領域が広域化すると予想されている<sup>[3]</sup>。また高周波キャリアは、制御やデバイスの遅れによって発生する指令値と出力の間の誤差が増え、結果として出力電圧ひずみが増大するという問題も考えられる。このように、次世代パワー半導体デバイスを適用し PWM インバータのキャリア周波数を高周波化するためには、解決すべき問題が存在する。

## 1.2 本研究の目的と構成

本研究の目的は、次世代パワー半導体デバイスの適用により高周波化した PWM インバータに発生する問題を予測するとともにその対策を検討し、低ひずみかつ低ノイズの高周波 PWM インバータを開発することである。

本論文では、高周波 PWM インバータで問題となる点を、デッドタイムによる電圧ひずみ、コモンモード電圧による EMI の 2 点にしぼり、それぞれについて対策を検討する。出力電圧ひずみは、入力信号と出力信号のパルスの幅を等しくすることで高精度な補償が可能な新しいデッドタイム補償法を提案する。ノイズ電流すなわちコモンモード電流の原因であるコモンモード電圧は、インバータのキャリア周波数の高周波化により小型化が可能なアクティブコモンノイズキャンセラ(ACC)<sup>[4]</sup>によって除去する。さらに、ACC の新しい回路構成を提案する。この二つを組み合わせることで、低ひずみかつ低ノイズの高周波 PWM インバータを実現を目指す。

2 章では、PWM インバータの高周波化の利点と問題点を示す。次世代パワー半導体デバイスの適用により、PWM インバータの高周波化が可能となり、電流制御の応答性の向上やインバータに取付けられるフィルタを小型軽量化が期待される。しかし、高周波 PWM インバータはひずみや EMI が増大すると予測されるため、それぞれの問題の原因について詳細に説明する。ひずみの原因であるデッドタイムについて、その振る舞いと出力電圧ひずみの発生過程を説明する。デッドタイム補償の先行研究について論じた後、本研究で参考にした文献[5]にて提案されたフィードバック型デッドタイム補償法について説明する。次に EMI を引き起こすノイズ電流の原因であるコモンモード電圧について、その発生原因と影響について説明する。ノイズ対策の先行研究を紹介した後、文献[4]で提案されたコモンモード電圧を除去するための ACC について説明する。

3 章では、低ひずみで高い電圧利用率を有するフィードバック型デッドタイム補償法を提案する。2 章で説明する文献[5]の手法は、出力信号のパルスの幅をフィードバックし入力信号のパルスの幅を比較を行い、出力信号のパルスの幅を入力信号と等しくするように補償を行う。この補償動作により、入力信号と出力信号の電圧誤差がなくなり出力電圧ひずみが低減されるが、補償可能な入力信号のパルスの幅が制限されており、また入力信号の動作から出力信号の動作までの遅れ時間が大きいという問題がある。そこで 2 章では、文献[5]の手法の問題を解決し、入力信号と出力信号のパルスを等しくできる新しいフィードバック型デッドタイム補償法を提案しその動作を示す。この補償法は、理論上どんな入力信号も補償可能であり、インバータが出力できる電圧の範囲を拡大することが可能である。

4 章では、ACC のコモンモードトランスの小型化、ならびに空間ベクトル変調(SVPWM)インバータに適用可能な ACC の新しい回路構成を提案する。ACC は、PWM インバータが発生するコモンモード電圧を検出し同じ大きさ逆位相の電圧をコモンモードトランスを介してインバータの出力端に重畳することで、負荷側のコモンモード電圧を相殺しようとするアクティブフィルタである。コモンモード電圧が除去されることにより、ノイズ電流な

らびに EMI が低減可能である。PWM インバータのキャリア周波数を増加させると、ACC のコモンモードトランスのサイズや重量を低減することができる。そこで、100 kHz PWM インバータ用のコモンモードトランスを設計・製作し、10 kHz PWM インバータ用のコモンモードトランスと比較を行う。次に、従来の ACC では適用が難しかった SVPWM インバータに適用可能な ACC の新しい回路構成を示す。SVPWM インバータが出力するコモンモード電圧には低周波成分が含まれており、ACC のコモンモードトランスを飽和させ補償動作を行えなくする恐れがある。また SVPWM インバータが発生するコモンモード電圧の高周波成分の Peak-to-Peak 値は、DC リンク電圧より大きくなる。そこで、PWM インバータが発生するコモンモード電圧の高周波成分のみを除去する ACC の新しい回路構成を提案する。新しい回路構成では、コモンモードトランスの両端がフルブリッジ構造となっており、電源に DC リンク電圧を用いながらコモンモード電圧の高周波成分を補償可能である。

5 章では、3 章と 4 章で提案した手法の特徴と得られた結果をまとめる。さらに今後の展望として、本研究で提案した二つの手法を組み合わせた低ひずみかつ高い電圧利用率を持つ高周波 PWM インバータについて提案する。

## 第2章 PWM インバータの高周波化とその問題点

本章では、PWM インバータの高周波化の利点とその問題点を示す。本研究では、高周波 PWM インバータの問題点である出力電圧ひずみとコモンモードノイズの増大について、それらの原因とこれまでの研究の現状について述べる

### 2.1 PWM インバータのキャリア周波数の高周波化

近年、SiC や GaN といったワイドバンドギャップ半導体を用いた次世代パワー半導体デバイスの研究が行われている<sup>[6]</sup>。このワイドバンドギャップ半導体は、現在主流の半導体である Si と比較すると絶縁破壊電界強度は約 10 倍となっている。同じ電圧を印加することを想定した際、次世代パワー半導体デバイスの空乏層幅は、Si で構成されるパワー半導体デバイスに比べ 1/10 まで薄く出来る<sup>[7]</sup>。これにより、ON/OFF の高速な切り替えが可能になり、ON 状態の導通損失も低下する<sup>[8][9]</sup>。また次世代パワー半導体デバイスは、Si のデバイスに比べ高温下でも安定に動作する上、熱伝導率も高いためヒートシンクの小型化などが期待できる<sup>[10]</sup>。次世代パワー半導体デバイスを PWM インバータに用いるとスイッチング時の損失が小さいことと導通損失が低いことから、PWM インバータの損失が減り効率を改善することができる<sup>[11]-[13]</sup>。

PWM インバータは、IGBT やパワーMOSFET などのパワー半導体デバイスの高速なスイッチング動作により電力変換を可能にしている。1 秒間にスイッチングを行う回数であるキャリア周波数は、インバータの性能を決定する重要なパラメータである。パワー半導体デバイススイッチング時の損失は ON/OFF の切り替わる時に発生するため、スイッチング損失はキャリア周波数に比例する。そのためキャリア周波数を一定の条件で高速スイッチング可能な次世代パワー半導体デバイスを適用した場合には、大幅なスイッチング損失低減が期待できる。一方、PWM インバータの出力電流にはスイッチング毎に電流リプルが発生する。このため、キャリア周波数の高周波化は、電流リプル低減に伴う負荷の高調波損失の低減も期待できる。また、キャリア周波数の高周波化は電流制御の応答改善にも効果があり、システムの高性能化も期待できる。さらに、キャリア周波数の高周波化により、ノイズフィルタの小型化も期待されており、次世代パワー半導体デバイスの普及によって、キャリア周波数の高周波化が進められると予想される。

しかし、PWM インバータのキャリア周波数の高周波化により、以下で説明するデッドタイムによる出力電圧ひずみの増大と EMI の増加という二つの問題が発生すると予想される。

### 2.2 デッドタイムによる出力電圧ひずみの増大

#### 2.2.1 デッドタイムと波形ひずみ

インバータは、半導体パワーデバイスの ON/OFF を高速に切り替えることで直流から交流への電力変換を行っている。Fig. 2-1 にハーフブリッジインバータの構成を示す。直流電源に upper と lower のパワー半導体デバイス(図中ではパワーMOSFET)が直列に接続され

た構成となっており、upper と lower の中間点から電圧と直流電源電圧の中性点との間に出力電圧が発生する。Fig. 2-2 にパルス幅変調(PWM)の動作について示す。ハーフブリッジインバータは、 $E_{dc}/2$  と  $-E_{dc}/2$  しか出力できない。そこで、キャリア周波数の一周期中の  $E_{dc}/2$  と  $-E_{dc}/2$  の時間比率、Duty 比を調整することで青の線で示されている平均出力電圧を制御する。Fig. 2-2(a)では Duty 比 50%のため平均出力電圧は 0、Fig. 2-2(b)では Duty 比 25%のため平均出力電圧は  $-E_{dc}/4$ 、Fig. 2-2(c)では Duty 比 75%のため平均出力電圧は  $E_{dc}/4$  となっている。これにより、ハーフブリッジインバータの平均出力電圧を  $-E_{dc}/2$  から  $E_{dc}/2$  の範囲で制御することができ、Duty 比をキャリア周波数に対してゆっくりと変化させることで直流電圧から交流電圧に変換することが可能となる。しかし、半導体パワーデバイスには動作遅れが存在し、それにより直流短絡を起こす可能性がある。それを防ぐため、インバータの動作にはデッドタイムが挿入される。Fig. 2-3 に入力信号とデッドタイムの関係を示す。Fig. 2-3(a)で示される入力信号に対して、upper と lower は Fig. 2-3(b)のような波形が理想的な状態であり、二つのデバイスの ON/OFF が同時かつ瞬時に切り替わっている。しかし、パワー半導体デバイスには動作遅れが存在し、upper と lower を同時に ON/OFF を切り替えようとする Fig. 2-3(c)に示すように、ターンオンよりもターンオフが遅れた場合には、upper と lower の両方のデバイスが直流短絡を起こし回路を破壊する恐れがある。それを防ぐため、upper と lower の ON/OFF の切り替わりのタイミングで両方のデバイスが OFF となる時間すなわちデッドタイム  $t_d$  が挿入される。Fig. 2-3(d)は、入力信号に対してデッドタイムが挿入された upper、lower のゲート信号を示している。このゲート信号によって動作するインバータは、デバイスの遅れ時間があっても回路の直流短絡を起こさない。しかし、デッドタイムが挿入されたゲート信号により生成される出力電圧パルス（出力信号）は入力信号とは異なるパルス幅を持つ。この誤差が出力電圧ひずみを発生させる。

Fig. 2-4 に、デッドタイムにより発生する電圧誤差を示す。Fig. 2-4(a)で示される入力信号に対して、Fig. 2-4(b)はデッドタイムが挿入された upper と lower のゲート信号を示している。Fig. 2-4(b)のゲート信号で出力される出力信号のパルスの幅は、電流の極性により変化する。Fig. 2-1 の電流  $i$  が 0 より大きい場合すなわち電流極性が正の時、出力信号は Fig. 2-4(c)のように入力信号に対して  $t_d$  だけ細いパルスとなり平均出力電圧が低下する。それに対して電流極性が負の時、出力信号は Fig. 2-4(d)のように入力信号に対して  $t_d$  だけ太いパルスとなり平均出力電圧が増加する。その増減分は、出力波形のひずみとして現れる。

Fig. 2-5 にデッドタイムにより発生する出力電圧ひずみを示す。Fig. 2-5(a)は、入力信号をそのまま出力した時の理想的な波形と出力電流を示している。入力信号と出力信号のパルスの幅が同じであれば、ひずみのないきれいな正弦波となる。しかし、デッドタイムが挿入されたゲート信号により出力される出力電圧は、電流の極性によって出力電圧が増減する。電流極性により平均出力電圧が増減しひずんだ出力電圧波形を Fig. 2-5(d)に示す。 $i > 0$  の期間は出力電圧の値は小さくなり波形が下にシフトしたようになり、 $i < 0$  の期間は出力電圧の値は大きくなり波形が上にシフトしたような波形となる。その結果、出力される正

弦波は振幅が低下するようにひずんだ波形となり、低次高調波を含む<sup>[14]</sup>。この低次高調波は EMI の原因となる恐れがあり、さらに振幅が小さくなる。

高速スイッチング可能なデバイスを用いた PWM インバータは、一回のデッドタイム  $t_d$  の時間を小さくすることができる。しかし高周波 PWM インバータにおいては、キャリア周波数の増加により一秒間にデバイスの ON/OFF を切り替える回数が増加し、デッドタイムが挿入される回数も多くなるため、このひずみの低減は期待できない。そのため、従来のインバータと同じくデッドタイムの影響を低減するためのデッドタイム補償が必要となると考えられる。しかし、一周期が短くなることで補償対象であるゲート信号も細くなり、高速な補償動作が必要であり、また補償量に誤差が含まれていた場合、その誤差の蓄積により大きな出力誤差を発生させる恐れがあるため、高速かつ高精度なデッドタイム補償が必要になると考えられる。

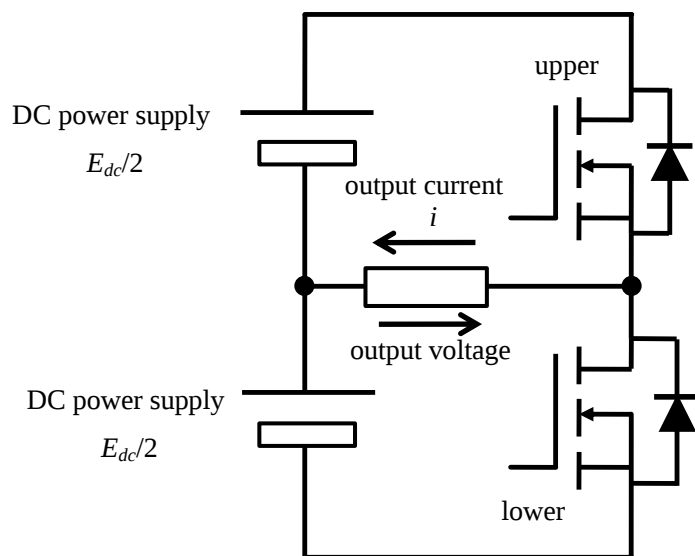


Fig. 2-1. Configuration of half-bridge inverter

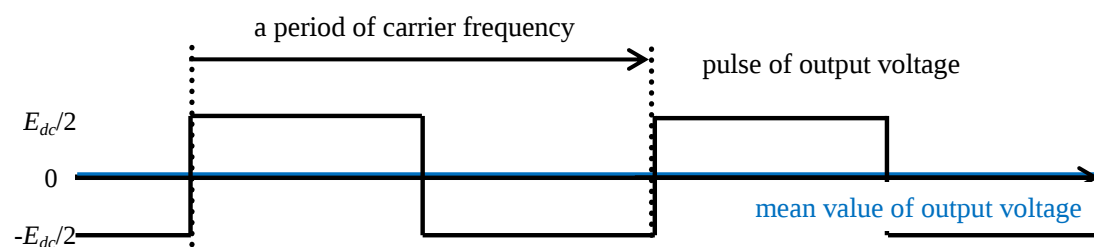


Fig. 2-2(a). Middle duty ratio



Fig. 2-2(b). Low duty ratio

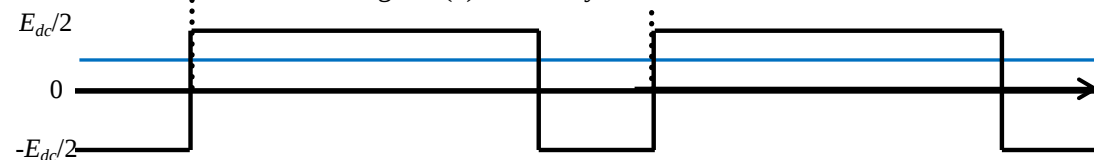


Fig. 2-2(c). High duty ratio

Figs. 2-2. Pulse width modulation



Fig. 2-3(a). Input signal

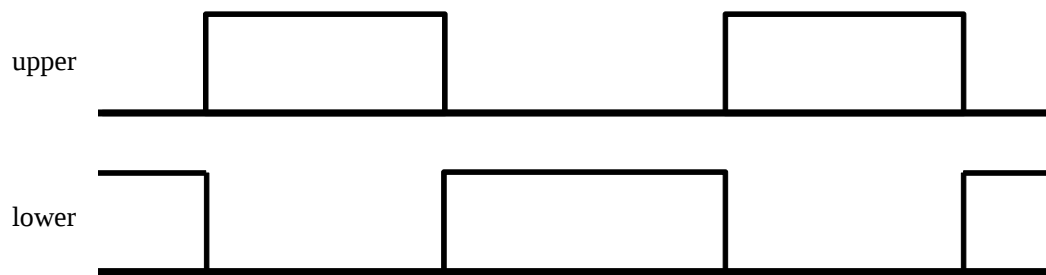


Fig. 2-3(b). Ideal gate signals

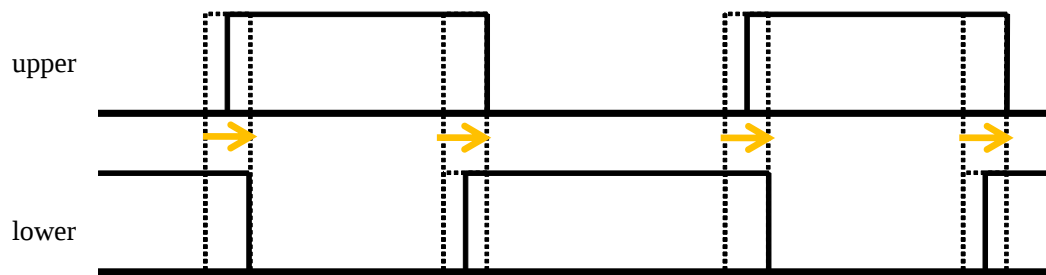


Fig. 2-3(c). Practical gate signals including delay time

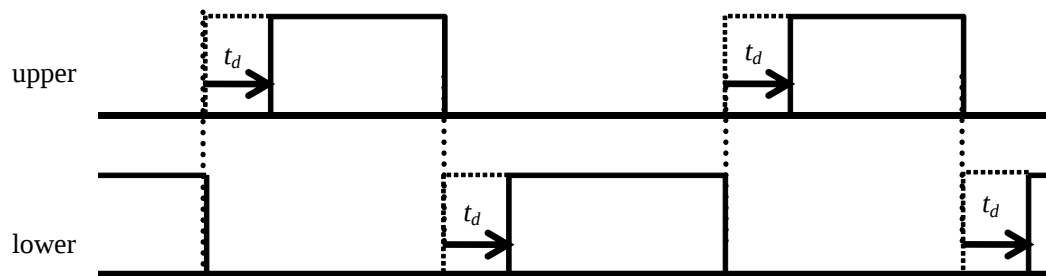
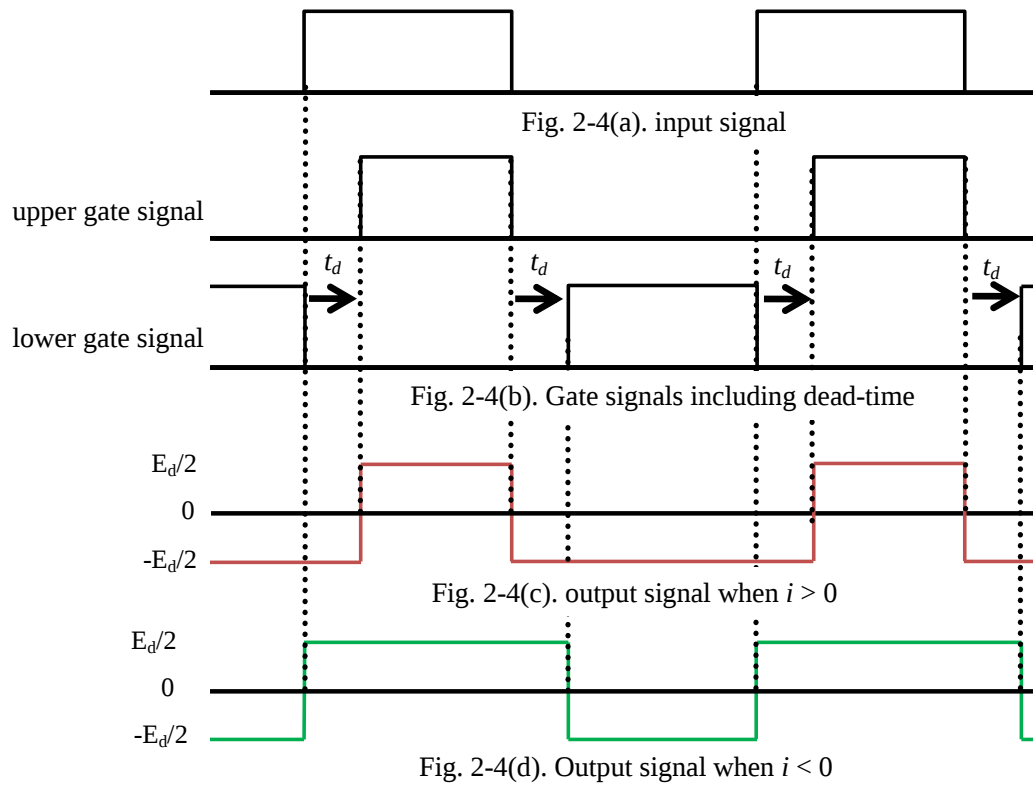


Fig. 2-3(d). Dead-time inserted gate signals

Figs. 2-3. Relation of input signal and dead-time



Figs. 2-4. Voltage error caused by dead-time

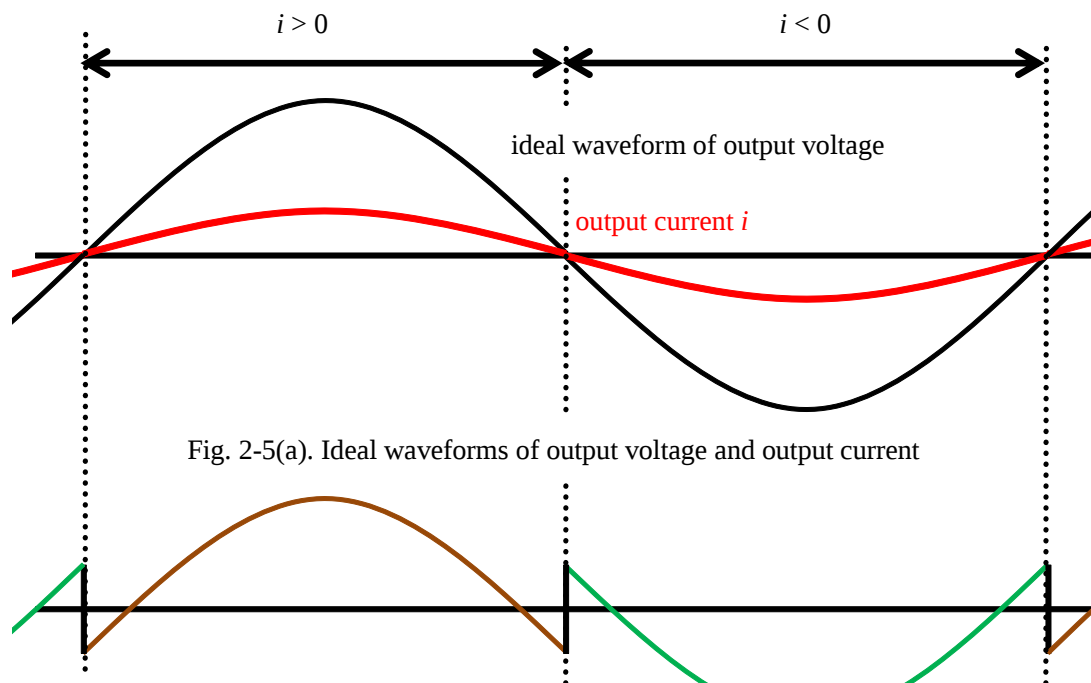


Fig. 2-5(b). Distorted output voltage

Figs. 2-5. Output voltage distortion caused by dead-time

## 2.2.2 デッドタイム補償

出力電圧ひずみを除去するため、多くのデッドタイム補償法が提案されている。またデッドタイム補償は、フィードバック型デッドタイム補償とフィードバック型デッドタイム補償に大別できる。

### 2.2.2(a) フィードフォワード型デッドタイム補償

フィードフォワード型デッドタイム補償法は、設定したデッドタイムから発生すると予測される電圧誤差を補償量とする。デッドタイムにより発生する出力電圧誤差は、出力電流の極性によって誤差の現れ方が異なるため、出力電流の極性に応じて発生すると予想される電圧誤差分を電圧指令値に付加することで補償を行う<sup>[15]・[17]</sup>。Fig. 2-6 に出力電流極性によるフィードフォワード型デッドタイム補償のブロック線図を示す。このフィードフォワード型デッドタイム補償は、電圧指令値  $v^*$  に対して、DC-CT で検出した出力電流の極性に応じた補償量を付加することで補償が行われる。しかし、電流極性を検出するための DC-CT が必要となること、電流のゼロクロス付近で極性が高速に入れ替わり<sup>[18]</sup>良好な補償が行えなくなることなどの問題点があった。そこで、電流制御系を用するインバータシステムにおいては Fig. 2-7 のようなフィードフォワード型デッドタイム補償が広く用いられている。実際の電流信号の代わりに、電流指令の極性に応じて補償信号を変化させている。

Fig. 2-8 に電流極性を用いるフィードフォワード型デッドタイム補償法の動作を示す。全くデッドタイム補償を行わないと Fig. 2-5 のように波形がひずむため、出力電流である  $i_{ll}$  の極性に応じ、指令値電圧  $v_{ref1}$  に対して灰色で網掛けされた部分で表される補償量  $C_{ff}$  を付加した波形  $v_{c1}$  を基に PWM ゲート信号を生成する。その結果、 $v_{c1}$  はデッドタイムの影響により電流極性に応じて出力電圧が増減するが、その結果出力される電圧波形  $v_{a1}$  は当初の指令値であった  $v_{ref1}$  に近い波形となる。 $v_{a1}$  は当初の波形と近いいため、 $v_{a1}$  に含まれていた低次高調波を大きく低減し、また減少していた出力波形の振幅を増加させる。

しかし、このフィードフォワード型デッドタイム補償には、出力基本波の電圧利用率、つまりひずみなく出力可能な電圧の範囲が制限されるという問題点がある。Fig. 2-9 に、フィードフォワード型デッドタイム補償による電圧利用率の制限について示す。指令値  $v_{ref2}$  にはフィードフォワード型デッドタイム補償により  $C_{ff}$  が付加され、新たな指令値  $v_{c2}$  を生成する。しかしこの時、 $v_{ref2}$  の波形に関わらず  $v_{c2}$  が直流電源電圧の値を超過した場合、upper と lower のデバイスは常に ON もしくは OFF のゲート信号を生成することになる。その結果、出力電圧波形  $v_{a2}$  は、 $v_{c2}$  が直流電源電圧以上になっている期間  $T_a$  以外の期間は  $v_{ref2}$  に近い波形となっているが、 $T_a$  の期間中は直流電源電圧を出力し続けるよう低次高調波を含んだお椀状の波形となる<sup>[19]</sup>。それによりインバータのひずみを補償が可能な電圧範囲が制限され電圧利用率が減少する。また、フィードフォワード型デッドタイム補償法には、予め設定した補償量と実際の誤差量が一致しない場合、パルスに誤差が残留し波形が

ひずむという問題点もある。高周波 PWM インバータでは、デッドタイムが挿入される回数が多いため波形が大きくひずむ。本研究では、高周波 PWM インバータの高精度なデッドタイム補償を実現するため、フィードバック型デッドタイム補償を採用した。

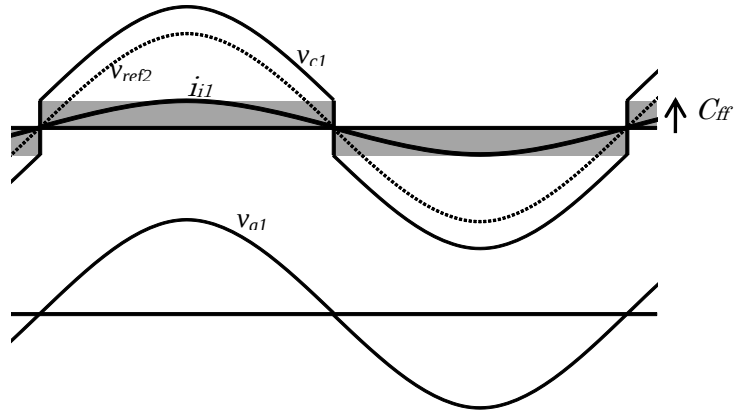


Fig. 2-8. Feedforward-type dead-time compensation method

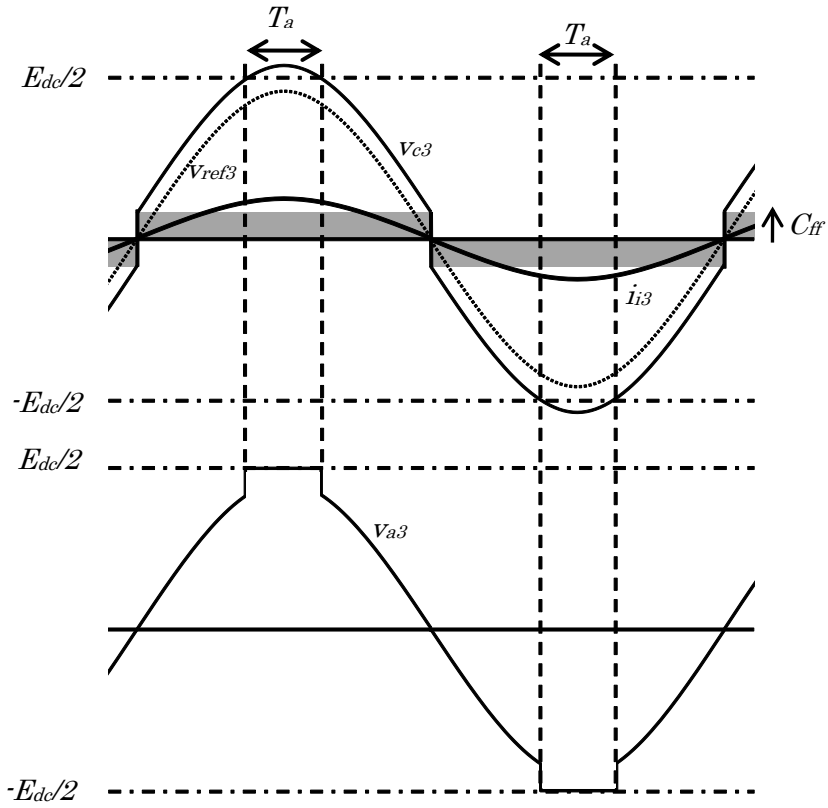


Fig. 2-9. Limitation of voltage utilization factor of dead-time compensation method

### 2.2.2(b) フィードバック型デッドタイム補償

フィードバック型デッドタイム補償法は、インバータの出力電圧あるいは出力電流を検出回路を用いて検出し、その値と指令値との誤差をリアルタイムで比較し補償量を決定する<sup>[20]</sup>。Fig. 2-10 に、出力電圧を検出するフィードバック型デッドタイム補償のブロック図を示す。インバータの出力電圧は、検出回路により検出され補償回路に入力される。補償回路では電圧指令値と検出値の比較を行い補償量が付加され、補償された PWM ゲート信号を生成する。フィードフォワード型に対し、出力電圧の大きさを測定するための検出回路が必要となるが、実際に出力された値を用いて補償が可能のため、高精度な補償が可能である。しかし、高周波 PWM インバータにおいて、DSP(Digital Signal Processor)などを用いた補償は計算時間が長く、補償動作が高速なインバータの動作に追従することが困難になると予想される。また、補償量を電圧指令値に加えた後に PWM 変調を行うと、Fig. 2-9 のように指令値が制限される問題がある。

現在までに提案されたフィードバック型デッドタイム補償法の中に、村井氏らが文献[5]にて提案した補償法（従来法）がある。Fig. 2-11 に従来法のブロック線図を示す。従来法は、電圧指令値に補償量を付加するのではなく、PWM 変調により生成された入力信号に補償を行うため指令値が制限される問題は理論上解消される。従来法は、出力電圧や電流の値を測定するのではなく、出力電圧のパルスの幅のみを用いて補償を行う。指令値と出力電圧のパルスの幅を比較し、誤差の時間をカウンタにて記録し、次の指令値に対してカウンタが保持している誤差時間を補償量として、出力パルスに付加し補償を行う。その結果、補償された出力電圧波形のパルスは指令値のパルスの幅と等しくなり、ひずみが発生しなくなる。しかしこの補償法には、補償可能な入力信号のパルス幅が制限されているという問題と、入力信号に対する出力信号の遅れ時間が比較的大きいという問題がある。

Fig. 2-12 に、従来法の各部波形と遅延について示す。補償回路には、電圧指令値を PWM 変調して生成された入力信号 A と検出回路で検出されたフィードバック信号 B が入力され、そのパルスの幅を比較する。その後、補償により  $t_{com}$  だけ遅れて動作する補償信号 C はデッドタイム挿入回路にて upper ゲート信号 D、lower ゲート信号 E に分けられた上でデッドタイム  $t_d$  が挿入され、ゲートドライブ回路にてそれぞれのスイッチングデバイスを駆動する。このとき、D と E の信号により、パワー半導体デバイスがターンオンするまでの遅れ時間  $D_{gon}$  とターンオフするまでの遅れ時間  $D_{goff}$  が存在する。この  $D_{gon}$ 、 $D_{goff}$  にはゲートドライブ回路の伝達時間とデバイス動作時間が含まれる。電流極性が正の時には、インバータの出力信号 F は upper が ON したタイミングで立上り、電流極性が負の時には、F は lower が OFF したタイミングで立上る。検出回路によって F が検出され、補償回路にフィードバック信号 B としてフィードバックする。その際、F の動作から B の動作までに検出回路の遅れ時間  $D_{det}$  が発生する。補償回路による補償動作は、上記の遅れ時間を含んだ B と A のパルスの幅を比較し補償量が決定されるが、その補償量は C のパルスの立上り、立下りのタイミングを遅延させることでのみ反映される。

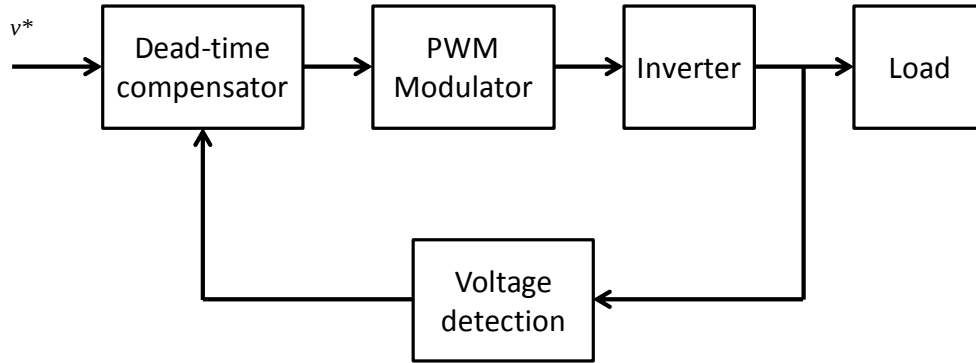


Fig. 2-10. Block diagram of feedback-type dead-time compensation

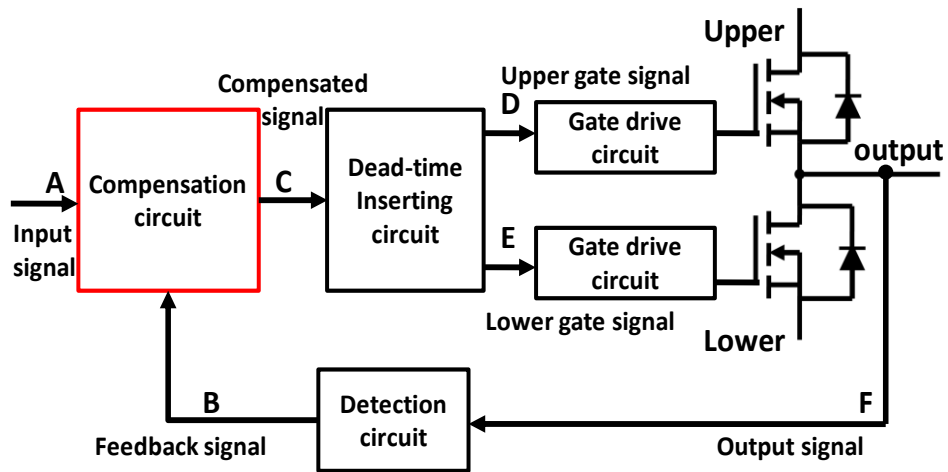


Fig. 2-11. Block diagram of feedback-type dead-time compensation proposed by [5]

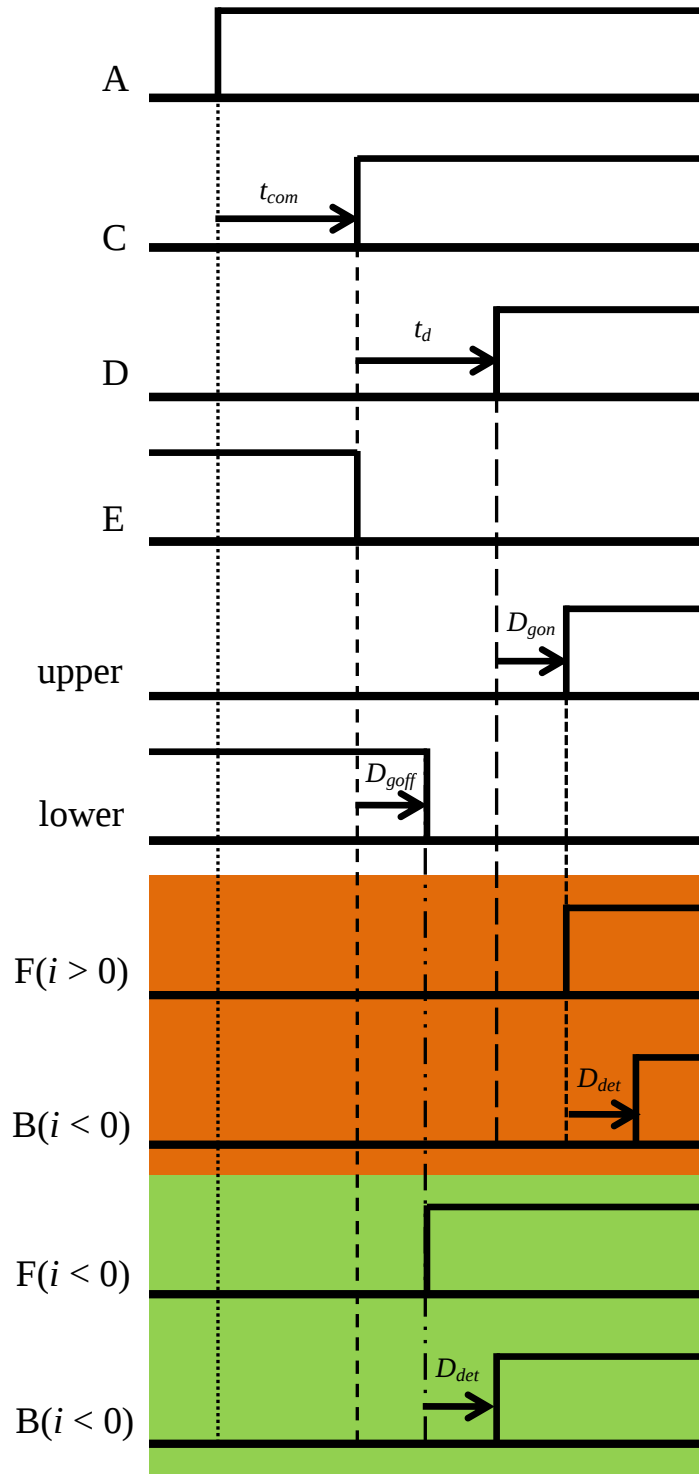


Fig. 2-12. Each waveform of feedback-type dead-time compensation proposed by [5]

### 2.2.3 村井氏らが提案したフィードバック型デッドタイム補償法とその問題

1989年に村井氏らが提案したフィードバック型デッドタイム補償法(以下、従来法)は、一つ前のパルスのエッジで発生した誤差分を次のパルスのエッジの動作を遅らせることで補償を行う。その結果、入力信号と出力信号のパルスの幅が等しくなり、ひずみ原因である出力電圧誤差が発生しなくなる。従来法のブロック線図は Fig. 2-11 となっている。パルスのエッジの遅れ時間の測定は、出力電圧のアナログ値ではなく ON/OFF のデジタルデータのみを検出し、補償回路内部のカウンタにて入力信号や出力信号の遅れ時間を出力電圧の誤差分として測定する。補償回路の出力である補償信号に、入力信号に対してひずみ量に相当する補償量が付加されることで補償を行う。電圧形 PWM インバータの出力電圧は、出力信号の Duty 比つまりキャリア周波数の一周期中のパルスの ON/OFF 時間の比で決定するため、前の動作で発生した電圧誤差分を次の動作で相殺することで、出力電圧は指令値通りの波形を出力し、電圧ひずみは発生しなくなる。従来法は、極めて簡単なアルゴリズムに基づいている上、信号の ON/OFF のデジタルデータの比較のみで補償可能なことから、DSP と比較して高速動作が可能かつ安価な FPGA (Field- Programmable Gate Array) への実装が可能である<sup>[21]</sup>。また出力信号を検出する検出回路も、出力信号の ON/OFF 時間の情報のみフィードバックできればよいので、簡単な構成にできる。

Fig. 2-13 に従来法の動作を示す。信号は上から、指令値によって生成された PWM 信号である入力信号 A、インバータから出力される電圧を検出回路を通して補償回路に入力されるデジタルデータであるフィードバック信号 B、補償回路内で A と B のパルスの幅を比較するカウンタの値、補償回路によって補償された信号である補償信号 C を示している。これらの信号は Fig. 2-11 に対応している。A, B, C はデジタルデータであり、カウンタの値はデバイスのクロックで変化する。最初に C は図中①の A のパルスの立下りのタイミングで OFF すると仮定する。しかし、デッドタイムやゲート駆動回路、パワー半導体デバイスならびに検出回路の遅れ時間により、B は A に対して遅れて立下る。この A の立下りから B の立下りまでの時間を  $d_1$  とすると、B は A よりも  $d_1$  の時間だけ余分に ON 状態となる。デッドタイム補償を行わなかった場合、キャリアの一周期に対しての  $d_1$  の時間の比率で電圧が増加して、波形がひずむことになる。この誤差を補償するため、カウンタは A の立下りのタイミングから B の立下りのタイミングまでカウントダウンを行う。B の立下りのタイミングでカウントをストップすることで、カウンタには  $d_1$  の時間が保持される。②のパルスの立上りの際には、すぐには C を ON させずカウントアップを行いカウンタの値が 0 となったタイミングで C を ON する。これは、②のパルスの立上りに対して C のパルスは  $d_1$  だけ遅れてから ON したことになる。これにより①のパルスの立下りで余分に出力されていた電圧誤差を相殺したこととなる。しかし、C が ON してから B の立上りまでにも遅れ時間が発生する。この遅れ時間も、カウントアップを継続することで測定が可能である。C が ON してから B が立上りまでの時間でカウントされた値  $d_2$  は出力電圧の不足分に相当し、②の立下りのタイミングを遅らせることで補償を行う。この動作を繰り返すことで、

前のパルスの立上り・立下りのタイミングで発生した出力電圧の過不足分を次のパルスで補償することで、A と B のパルス幅を完全に一致させる。A と B のパルス幅に誤差が無くなるため、出力電圧ひずみは発生しなくなる。しかし、この補償法には補償可能なパルスの幅が制限される、指令値に対する出力信号の遅れ時間が比較的大きいという問題がある。Fig. 2-14 に従来法の限界を示す。従来法は、補償動作開始時に前の測定動作が完了している必要があり、また測定開始時には前の補償動作が完了している必要がある。すなわち、従来法が補償できる最小パルス幅は C の B までの立上り遅れ時間と立下り遅れ時間の和よりも細い A のパルスに対しては補償を行うことができない。インバータのキャリア周波数が増加した場合、短くなったキャリア周波数の 1 周期に対して遅れ時間の割合が増加する恐れがある。これにより出力信号が出力可能なパルスの **Duty** 比が大きく制限され、電圧利用率が低下する。また A のパルスから B のパルスまでは立上り遅れ時間と立下り遅れ時間の和に相当する比較的大きな遅れ時間が存在し、電流検出の同期サンプリングや電流制御系の安定性に影響を与える恐れがある。そこで 3 章では、従来法の補償可能最小パルス幅が大きい、遅れ時間が長いという問題を解決する新しいフィードバック型デッドタイム補償法を提案する。

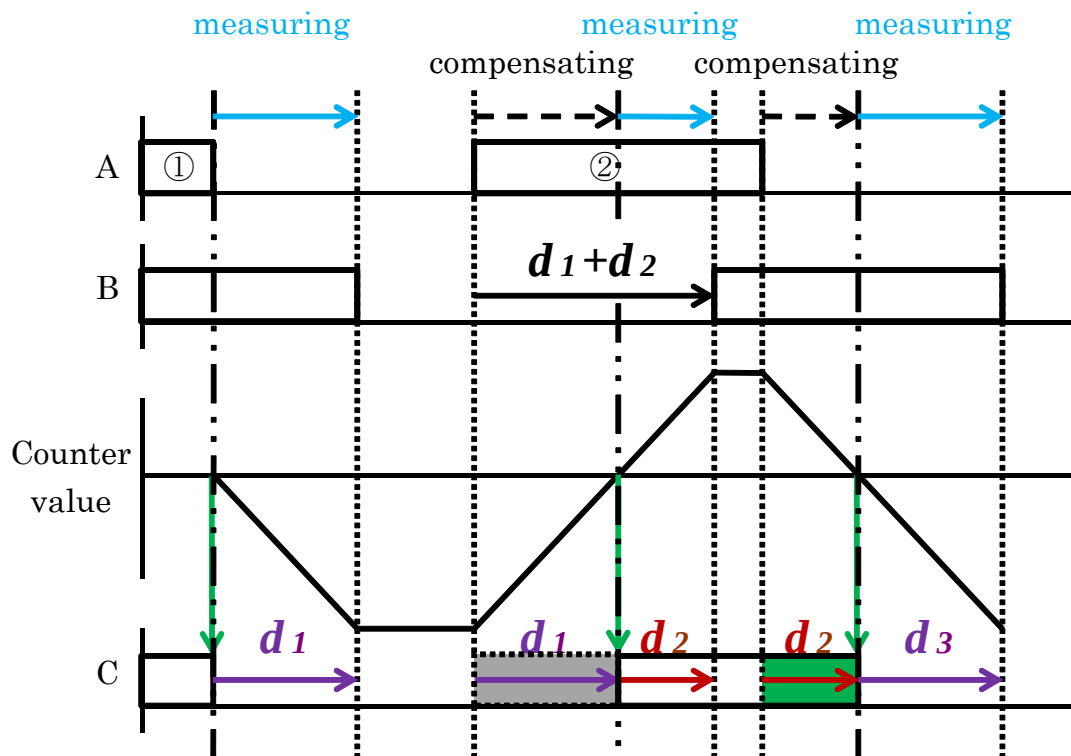


Fig. 2-13. Conventional method

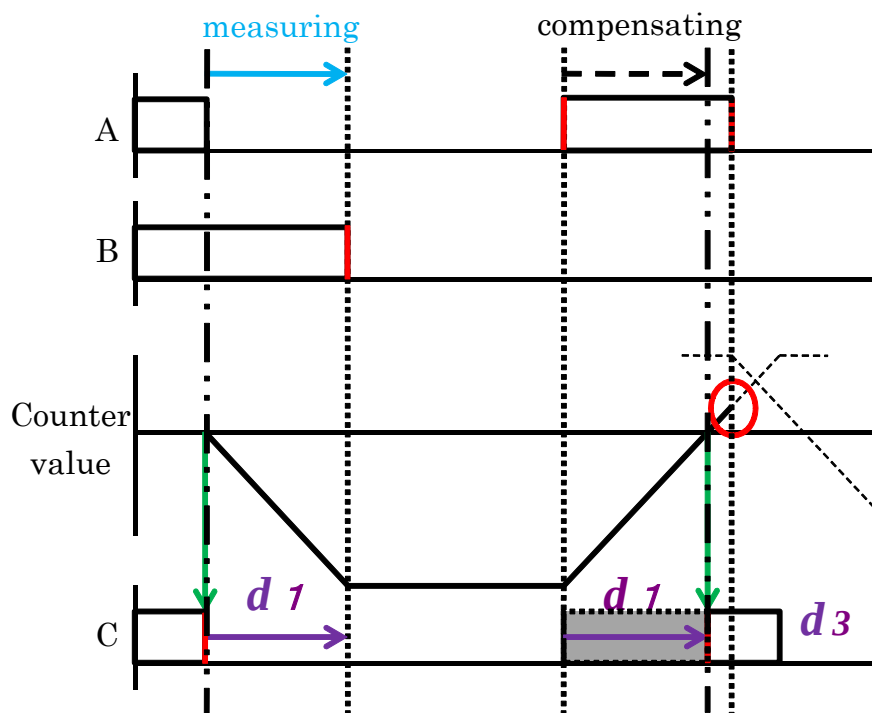


Fig. 2-14. Problem of conventional method

## 2.3 EMI の増加

### 2.3.1 PWM インバータが発生する EMI

PWM インバータのスイッチングにより、ノーマルモード電圧とコモンモード電圧が同時に出力される。Fig. 2-15 に平衡負荷が接続された三相 PWM インバータ、Fig. 2-16 に各相の出力電圧とノーマルモード電圧・コモンモード電圧の関係を示す。各相の出力電圧をそれぞれ  $v_u, v_v, v_w$  とし、各相の出力電流をそれぞれ  $i_u, i_v, i_w$  とする。負荷は平衡であるので、各相の負荷のインピーダンスは全て  $z$  とする。

ノーマルモード電圧すなわち線間電圧は、各相の出力電圧の差分となる。Fig. 2-16 で示されている  $v_{uv}$  は  $u$  相と  $v$  相の線間電圧であり、 $v_u - v_v$  で示される波形となる。線間電圧が負荷に印加されることで、負荷電流が流れる。それに対してコモンモード電圧は、各相の出力電圧の和の  $1/3$  の大きさを持つ。Fig. 2-16 の回路は負荷が平衡であるため、負荷の中性点にコモンモード電圧が現れる。負荷の中性点電位を  $v_c$  とすると、各相の電圧電流方程式は以下のように示される。

$$v_u - v_c = z i_u \quad \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot (2-1)$$

$$v_v - v_c = z i_v \quad \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot (2-2)$$

$$v_w - v_c = z i_w \quad \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot (2-3)$$

式(2-1), 式(2-2), 式(2-3)を足し合わせると

$$v_u + v_v + v_w - 3v_c = Z(i_u + i_v + i_w) \quad \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot (2-4)$$

となる。負荷電流の和  $i_u + i_v + i_w$  は 0 であるので、 $v_c$  は

$$v_c = \frac{v_u + v_v + v_w}{3} \quad \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot (2-5)$$

と表すことができる。Fig. 2-16 で示されるように、 $v_c$  は一つの相がスイッチングすると  $E_{dc}/3$  ずつステップ状に変化し<sup>[22]</sup>  $E_{dc}/2, -E_{dc}/6, E_{dc}/6, E_{dc}/2$  の 4 つの値を持つ。この  $v_c$  がコモンモード電圧であり、負荷側の回路全体の電位と考える事ができ、負荷電流に影響を与えない。コモンモード電圧はインバータの各相のスイッチングの度変化するため、キャリア周波数や半導体パワーデバイスのスイッチング速度に起因する高い周波数成分を持つ。そのため、対地に寄生容量が存在する場合、回路全体の電位であるコモンモード電圧が寄生容量に印加され、高周波電流が回路外に流出する。この高周波電流すなわちコモンモード電流が EMI の原因となる<sup>[23]</sup>。

Fig. 2-17 にインバータ駆動交流モータシステムにおけるコモンモード電流の伝搬経路を示す。この図では、三相電源から順に整流器、インバータ、交流モータの順に接続されている。交流モータのフレームは電源のグランド端子に接続されており、また電源には別の機器も接続されている。交流モータ内の巻線や回転子と固定子の間などには、寄生容量が存在する<sup>[24]</sup>。負荷の中性点とグランド端子に接続されたフレームの間にコモンモード電圧

が印加されることで、寄生容量を介して高周波の漏れ電流すなわちコモンモード電流が流れる。コモンモード電流は、図中では赤い矢印で示された接地線を介して電源、整流器、インバータ、モータというループを流れる。電源を共有する別機器にコモンモード電流が流入した場合、伝導性 EMI を引き起こす可能性がある。また、高周波の電流が長いループを流れるため配線がアンテナとなり電磁波が放射され、電源を共有していない周辺の機器に対しても放射性 EMI を引き起こす恐れがある。また漏れ電流が流れる際、回転子と固定子の間にあるベアリングに電流が流れることにより、ベアリングやモータそのものの寿命に影響を与えるという報告もある<sup>[22][25]</sup>。インバータの高周波化や次世代パワー半導体デバイスの適用により、コモンモード電圧には、高周波化したキャリア周波数、高速スイッチングによる高い  $dv/dt$  成分が含まれるようになる。そのため高周波 PWM インバータでは、寄生容量のインピーダンスが低下し、コモンモード電流の実効値が増加し<sup>[26]</sup>、それに伴い EMI が増大すると予想される。

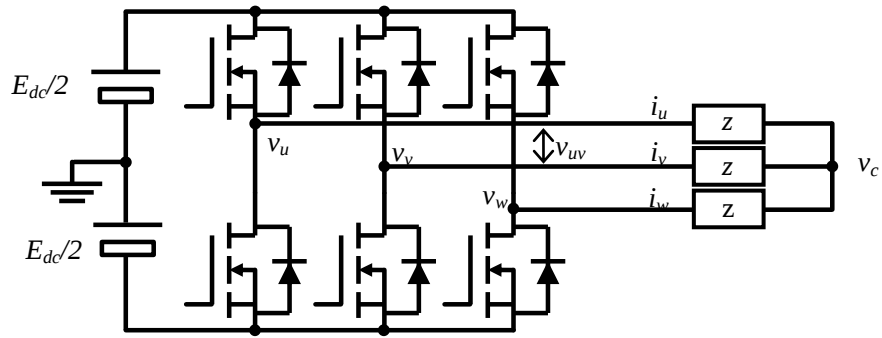


Fig. 2-15. Three phase voltage inverter with balanced loads

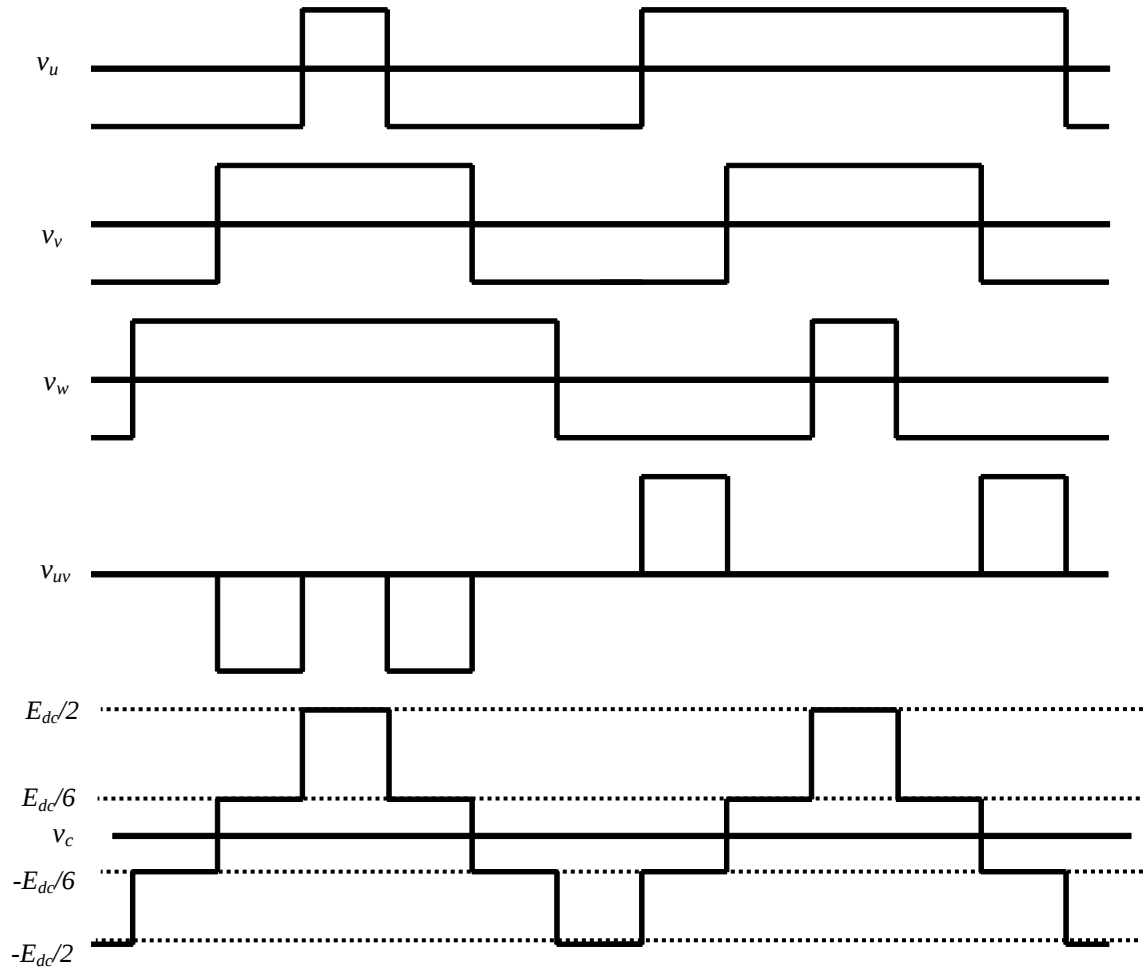


Fig. 2-16. Relationship between each phase voltage and line voltage, common-mode voltage

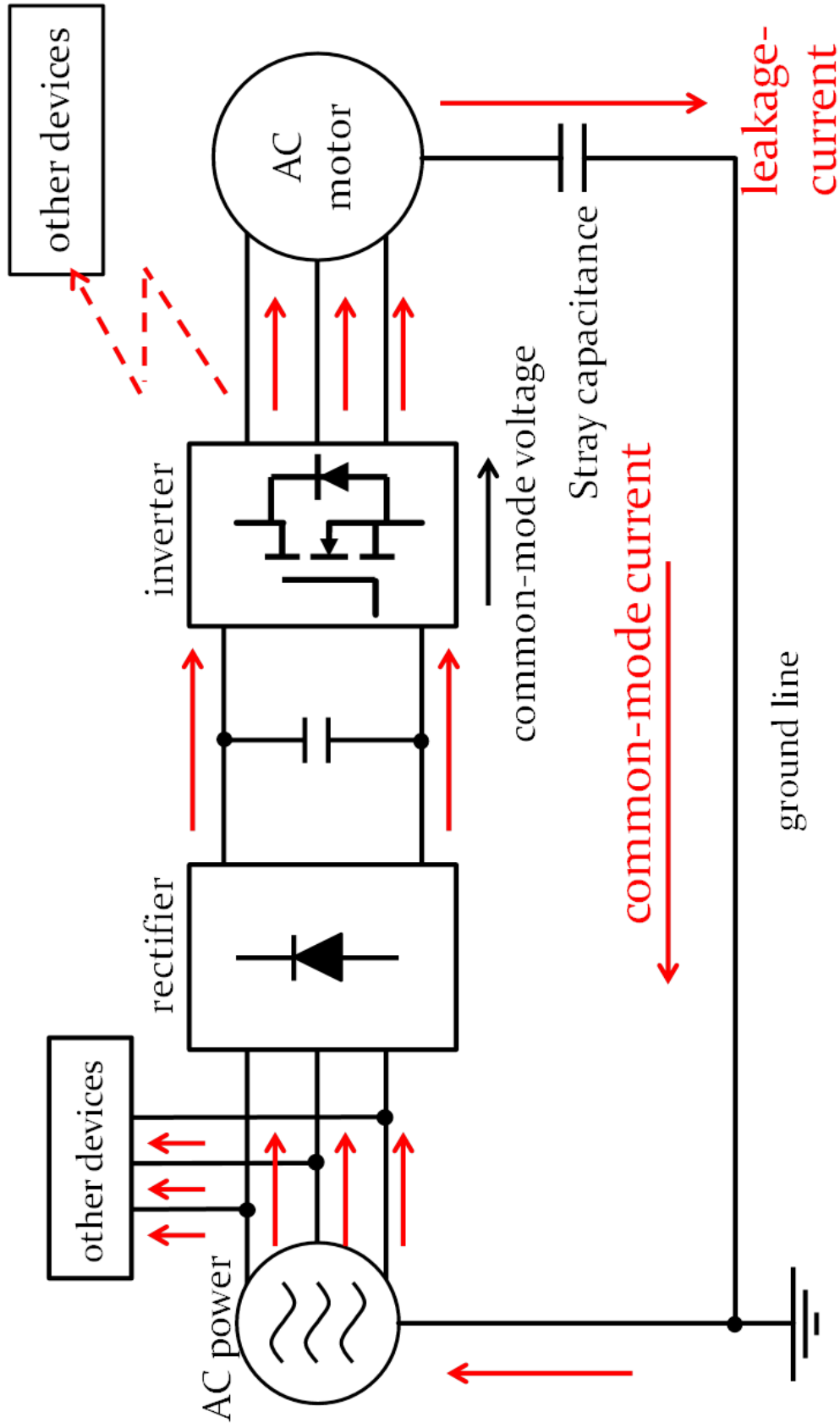


Fig. 2-17. Loop flowing common-mode noise of AC induction motor drive system

## 2.3 EMI の低減法

EMIの原因であるコモンモード電圧、コモンモード電流を低減するため、様々な研究が行われている。高電圧アプリケーションのため提案されたNPC(Neutral-Point-Clamped)PWMインバータは、HighとLowと0を出力することができる3レベルインバータである。通常の2レベルのインバータと比較しより指令値に近い出力電圧を出力できるため、スイッチングリプルが低減し、出力波形の低次高調波が低減するという報告がある<sup>[27][28]</sup>。またパワー半導体デバイスレベルでも、スイッチングの際に発生する高周波漏れ電流の低減に関する報告がなされている<sup>[29]</sup>。しかし、ノイズ対策として最もよく使用され、また研究されているのはEMIフィルタであろう。

### 2.3.1 パッシブフィルタ

EMI フィルタは、パッシブとアクティブに大別される。パッシブフィルタは、インダクタ、コンデンサ、抵抗の受動素子のみで構成されている。パッシブフィルタは構造が簡単であり、また専用の電源などを必要としないため回路への組み込みが容易であるという特長を持っている。コモンチョークや Y 結線されたコンデンサを用いたパッシブフィルタなどが提案されている<sup>[26][30]-[32]</sup>。インバータのキャリア周波数が引き上げられると、発生するコモンモード電流も高周波化し、小さな L でも大きなインピーダンスを得られるため、パッシブフィルタの小型化が可能となる<sup>[33]</sup>。しかし、パッシブフィルタは、コモンモード電流を低減する、完全に除去することは困難である。また、コモンチョークの挿入は、コモンモード電流のピーク値を低減するが実効値の低減に対して効果が少ないという報告もなされている<sup>[34]</sup>。本研究では、高周波 PWM インバータが発生するコモンモード電圧・コモンモード電流を除去するため、アクティブフィルタを採用した。

### 2.3.2 アクティブフィルタ

アクティブフィルタは、OPアンプやパワートランジスタ、MOSFET、IGBTなどの能動素子を用いコモンモード電流もしくはコモンモード電圧を除去しようとするものである。アクティブフィルタの歴史は新しく、筆者が調べた限り1997年に文献[35]にて提案されたアクティブEMIフィルタ、同じく1997年に文献[4]にて提案されたアクティブコモンノイズキャンセラが基礎となる回路を提案している。

アクティブEMIフィルタは、コモンモード電流のバイパスを目的としたアクティブフィルタである。回路内に流れるコモンモード電流を検出しグラウンド線に流入しようとする電流を、フィルタを通してDCリンクにバイパスし、コモンモード電流を電源まで流れないようにする。それにより電源を共有する機器にコモンモード電流が流入しなくなるため、伝導性EMIが発生しなくなる。またコモンモード電流が流れるループが小さくなり、放射性EMIも低減される。アクティブEMIフィルタと同じく、コモンモード電流をバイパスするという考え方をベースした別の回路も検討されている<sup>[36]</sup>。

アクティブコモンノイズキャンセラは、コモンモード電圧の除去を目的としたアクティブフィルタである。インバータが発生するコモンモード電圧を検出し、同じ大きさ逆位相の電圧をコモンモードトランスを用いてインバータの各相出力に重畳することで、負荷側のコモンモード電圧を相殺しようとするものである。コモンモード電圧が発生しなくなるため、寄生容量にはコモンモード電流が流れなくなる。モータドライブシステムにACCを適用すると、コモンモード電圧が除去されることにより、ベアリング電流が流れなくなる。フレームが非接地のモータにおいても、コモンモード電圧が起因してベアリング電流が発生させるという報告もあり<sup>[37]</sup>、コモンモード電圧を除去することの意義は大きい。非接地の電気機器に関しては、感電防止にも効果がある。コモンモード電圧の除去は非常に優れたEMI低減能力を持っているため、それを基にした多くの手法が提案されている<sup>[38]~[46]</sup>。そしてその多くは、コモンモードトランスを用いてコモンモード電圧を相殺しようとするものである。次節では、ACCについて詳しく説明する。

### 2.3.3 アクティブコモンノイズキャンセラ

Fig. 2-18に、ACCを適用した交流モータのシステム構成図を示す。この図の誘導モータのフレームは電源のグランド線に接続されている。点線で囲まれた部分がACCであり、インバータの出力に接続される。コンプリメンタリのパワートランジスタを用いたプッシュプル型エミッタフォロア回路、コモンモードチョークにもう一巻線追加したような構成である巻数比1:1のコモンモードトランス、DCリンク電圧の中性点電位を抽出するためのDCリンクに二つ直列に接続される高耐圧コンデンサ $C_d$ 、コモンモード電圧を検出するためインバータの出力に接続されるY結線された3つの小容量コンデンサ $C_y$ で構成される。ACCは、インバータが発生するコモンモード電圧をそのまま検出し、これと同じ大きさかつ逆位相の電圧をコモンモードトランスを介してインバータの各相の出力に重畳する。これにより負荷側のコモンモード電圧は相殺され、コモンモード電流も同時に抑制可能となる。コモンモード電圧は、図中①で示すY結線の $C_y$ の中性点にて検出される。インバータの出力端にコンデンサを挿入すると、パワー半導体デバイスにインパルス電流が流れる恐れがあるが、 $C_y$ はインバータのパワー半導体デバイスの出力静電容量と同等の容量であるため、ほとんど問題とならない。コンプリメンタリのトランジスタである $Tr1$ と $Tr2$ は、プッシュプル型エミッタフォロア回路を構成している。エミッタフォロア回路は、入力インピーダンスが高いため、小容量な $C_y$ でも高精度にコモンモード電圧を検出可能である。コモンモードトランスは、一次側がエミッタフォロア回路出力とDCリンク電圧の中性点に接続されており、二次側はインバータの出力に接続されている。検出されたコモンモード電圧とDCリンク電圧の中性点電位との電位差がコモンモードトランスに印加されることで、インバータの各相出力にコモンモード電圧と同じ大きさ逆位相の電圧が重畳され、負荷側のコモンモード電圧は、DCリンク電圧の中性点電位と等しくなる。

ACCのサイズと重量の大部分はコモンモードトランスが占めており、10 kHz PWMインバータ用ACCのコモンモードトランスのコアの重量は516 gであった。コモンモードトランスのコアのサイズは、コア内に発生する磁束により飽和を起こさないように設計する必要がある。コアが磁気飽和を起こした場合、コモンモードトランスの2次側のコモンモード電圧を正確に除去することができなくなる。その結果、負荷側にはコモンモード電圧が残留してしまう。コアの磁気飽和を防ぐ方法は二つある。一つ目は、コモンモードトランスのコアの実効断面積を増加させる方法である。飽和磁束密度は材料によって決定するため、実効断面積の大きなコア、つまりサイズの大きなコアを使用することで、強い磁束が発生しても磁気飽和を起こさなくなる。二つ目は、コモンモード電圧の周波数を増加させる方法である。コア内に発生する磁束の最大値は、コモンモード電圧の周期と比例の関係にある。コモンモード電圧の周波数、つまりPWMインバータのキャリア周波数を増加させることでコア内に発生する磁束が弱まり、コアの磁気飽和が起きにくくなる。



#### 2.3.4 ACCの構成要素に関する検討

ACCの回路構成を改良するため、ACCを構成している要素について検討を行った。コモンモードトランスを用いてコモンモード電圧を除去するアクティブフィルタにおいて、最も多いのが能動素子の変更である。ACCを構成するパワートランジスタへの要求は主に、高速であること、高耐圧であること、電流増幅率が高いもの、コンプリメンタリの素子がある、の4つである。この4つを満たすデバイスの種類は非常に少なく、筆者も部品選定を行った結果、提案時と同じものを採用した。しかし、このパワートランジスタの絶対定格電圧は400 Vであり、高電圧アプリケーションへの適用が制限される。

文献[40]では、パワートランジスタでダーリントン接続回路を構成した上でエミッタフォロア回路を構成している。ダーリントン接続は、一つのトランジスタでもう一つのトランジスタのベース電流を供給すること構成となっており、二つで一つのトランジスタのように動作する。電流増幅率を大きくすることができるため、パワートランジスタの選択の幅を広げることが可能である。しかし、入力された電圧が出力されるまでの遅れ時間が長くなる。この遅れ時間により、高周波のコモンモード電圧が残留する。次世代型パワー半導体デバイスが適用された高周波PWMインバータでは、コモンモード電圧の変化はさらに急峻になると予想される。エミッタフォロア回路の動作が遅い場合、コモンモード電圧の変化の際に大きなスパイク電圧が発生すると考えられる。

文献[41]では、IGBTのフルブリッジインバータを用いて、コモンモードトランスに励磁電流を供給している。文献[42]では、コモンモード電圧が $E_{dc}/3$ 刻みの4つの電圧に変化することから、4レベルのインバータを用いてコモンモードトランスに励磁電流を供給している。4レベルのインバータの能動素子はIGBTを用いることができるので、高電圧アプリケーションに用いることができる。文献[43]では、メインのインバータと同じDCリンク電圧を用いた補助的なインバータを追加している。補助インバータはメインインバータに対して逆の動作を行い、メインインバータが発生させるコモンモード電圧と逆向きのコモンモード電圧を出力し、メインインバータのコモンモード電圧の除去に使用する。これらの二つの方法は、IGBTなどの高耐圧のパワー半導体デバイスを用いることができ、パワートランジスタに比べデバイスの選択の幅を広げることができる。これらの能動素子はスイッチング動作を行うためのゲート信号が必要であり、制御器が必要となる。さらにこれらは、アクティブフィルタの能動素子のデッドタイムの影響を考慮しなければならず、メインのインバータが発生するコモンモード電圧と同じ大きさの電圧を生成するのが難しいと考えられる。

文献[44][45]では、エミッタフォロア回路の電源にDCリンクより低い電圧の電源を別途使用するACCが提案されている。エミッタフォロア回路の電源電圧を低くし、耐圧の低いパワートランジスタをできるようになっている。このACCは、エミッタフォロア回路が出力する電圧が低くなるため、①検出部で分圧回路を構成しインバータが出力するコモンモード電圧を $1/n$ にして検出、②巻数比 $1:n$ のコモンモードトランスを用いる、の2つが必要と

なる。このACCの欠点として、巻数比 $1:n$ を実現するため1次側の巻き数が少なく制限されるので、励磁電流が増加するという問題が挙げられる。トロイダルコアの窓面積の制限から、断面積の大きい2次側の銅線の巻数を増加させることは難しい。この問題は、コアの小型化を困難にするため、本研究には向かないと判断した。

文献[46]では、コモンモードトランスに励磁電流を供給する能動素子としてOPアンプを用いている。エミッタフォロア回路で発生するクロスオーバーひずみが発生しないため、検出したコモンモード電圧と出力電圧の誤差が発生しにくい。しかし、OPアンプを用いるため、DCリンク電圧はOPアンプの電源電圧に制限されてしまい、適用可能なアプリケーションが限られてしまう。

文献[47]は、基本的にはコモンモード電流をバイパスするアクティブフィルタであるが、能動素子にAB級のエミッタフォロア回路とOPアンプを用いている。エミッタフォロア回路の問題にクロスオーバーひずみとトランジスタの電圧降下がある。AB級エミッタフォロア回路は、電流損失は増加するがクロスオーバーひずみがなくなり精度を上げることが可能となる。さらにOPアンプは、出力端子はエミッタフォロア回路の入力端、負入力端子はエミッタフォロア回路の出力端子に接続されている。つまり、エミッタフォロア回路の電流増幅率を持つボルテージフォロア回路のような構成となっている。この構成をACCに組み込む検討については、4.3にて示す。

### 第3章デッドタイム補償

3 章では、筆者が新たに提案した低ひずみで高い電圧利用率を有するフィードバック型デッドタイム補償法について述べる。最初に、従来法の問題である補償可能最小パルス幅の制限を低減し、補償可能な入力信号の範囲を拡大した改良法を提案する。改良法の効果を従来法と比較する実験結果を示す。その後、さらに補償可能最小パルス幅を小さくした上で、どんな入力信号に対しても平均出力電圧を等しくすることが可能かつ入力信号から出力信号までの遅れ時間を短縮した新しい補償法を提案する。提案法について詳しく説明した後、実験により提案法の有用性を示す。

#### 3.1 従来法の問題点を改善するフィードバック型デッドタイム補償法（改良法）

改良法は、従来法の補償可能最小パルス幅が大きいという問題を軽減するため、入力信号と出力信号のパルスの幅を等しくする補償が可能な範囲を拡大した。改良法の動作は Fig. 3-1、ブロック線図は従来法と同様に Fig. 2-11 で示される。改良法は従来法の動作原理は変更せず、さらに細いパルスを補償できるように改良したものである。Fig. 3-1 では、 $d_1$ の補償が完了し  $d_2$ の測定中に A のパルスが立下がっており、従来法では補償できない細いパルスが A に入力されている。改良法は、遅れ時間の測定と補償が重複する期間はカウンタを停止する動作を追加した点に特徴がある。これは、一つのカウンタでカウントアップとカウントダウンを同時に行うとカウンタの変化量はゼロという考えからである。これにより改良法では、従来法では不可能であった測定中に補償が開始するような細いパルス幅の入力信号に対しても補償可能となる。しかし、カウンタがゼロになる前に A が立下がるようなつまりパワー半導体デバイスのターンオン、ターンオフに匹敵するような細いパルス（以後、微細パルス）が入力されると、C のパルスが消滅し補償により A と B のパルスの幅を等しくすることが不可能となる。よって改良法の補償可能最小パルス幅は以下のように表される。

補償可能最小正パルス立下り遅れ時間

補償可能最小負パルス立上り遅れ時間

さらに改良法では、微細パルスが入力された際にも出力信号を出力するようにし、入力信号が補償可能なパルス幅になったときに補償を再開できるようにした。Fig. 3-2 に、細いパルスが入力された際の改良法の動作を示す。②の A のパルスは、前の立下り遅れ時間の補償動作中のカウンタの値が 0 となる前に立下がる。改良法では、この A の立下がりを見捨ててカウントアップを続け、カウンタの値が 0 となった時に C を ON する。C を ON してから B が立上るまで、カウンタの値を 0 のままカウンタをストップさせ、B が立上ったタイミングで C を OFF し、即座に立下り遅れ時間を測定する。A に微細パルスが入力された場合、そのパルス幅に関係なく B は最小パルス幅のパルスとなるよう C を出力し、B は出力可能な最小パルス幅となる。この結果、微細パルスを含む入力信号が入力された場合、改良法の出力電圧の振幅が制限され出力電圧はひずむが、また補償可能なパルスが入力さ

れると補償動作を再開することができる。改良法は、常にキャリア周波数の出力信号が必要なアプリケーションに適する。

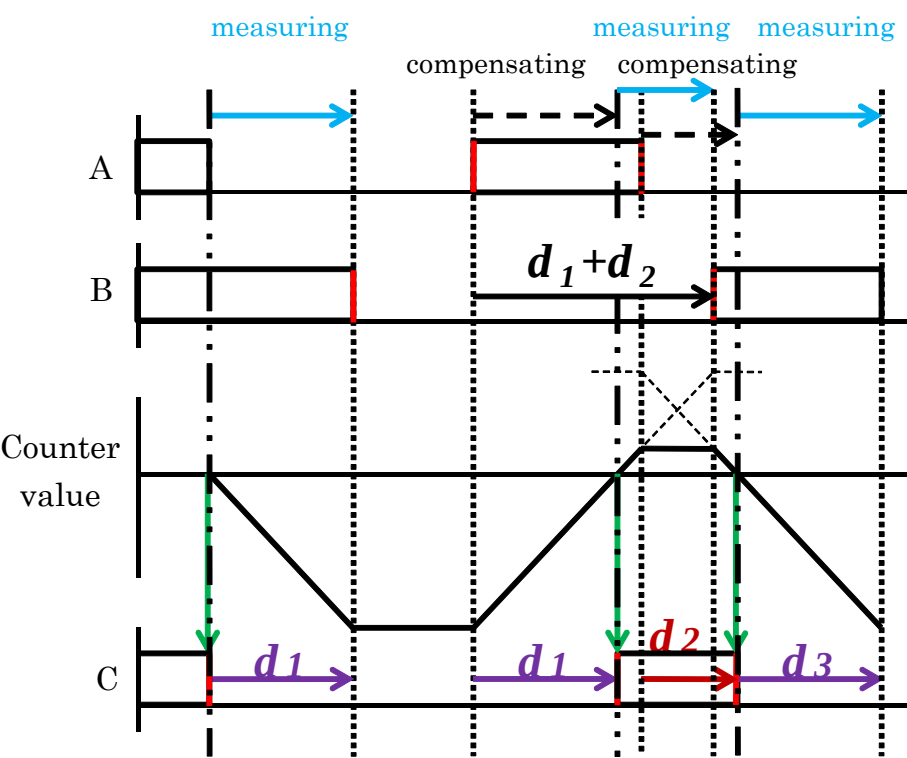


Fig. 3-1. Improved method

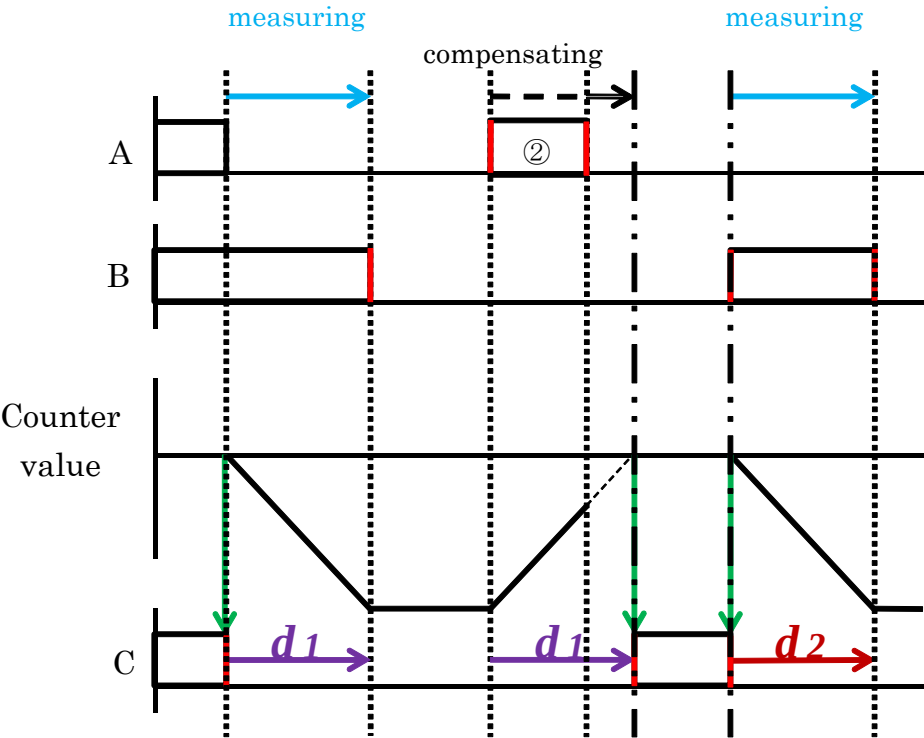


Fig. 3-2. Operation of Improved method inputting short pulses

## 3.2 検出回路の改良

### 3.2.1 従来法の検出回路の構成

Fig. 3-3 に、従来法の検出回路の構成を示す。従来法の動作には、出力電圧の ON/OFF をフィードバックする必要がある。そこで検出回路は、抵抗一つとフォトカプラー一つを直列に接続しハーフブリッジインバータの出力端子と直流電源の GND の間に接続するという簡単な構造となっている。出力信号が ON のとき、フォトカプラの LED に電流が流れ OFF のときには LED には電流は流れない。これにより出力信号のパルスの ON/OFF を検出し、補償回路にフィードバックすることができる。

しかし、従来法の検出回路には2つの問題がある。1つ目の問題点は、電力消費が大きいことである。出力電圧のパルスが ON のとき、抵抗には連続的な電流が流れることとなり、大きな電力消費が発生する。フォトカプラに流す電流を 10 mA とすると、200 V 系のインバータ想定した場合、最大 3 W 程度の損失が発生する。2つ目の問題点は、フォトカプラのターンオン・ターンオフの特性である。フォトカプラには LED に電流が流れていることを検出するまでの遅れ時間であるターンオン時間が存在する。逆に、電流が流れなくなったことを検出するまでの遅れ時間であるターンオフ時間が存在する。このターンオン・ターンオフ時間が異なる場合、フィードバック信号には検出誤差が発生することになる。そのため、フィードバック信号は直流成分の検出誤差を含んだ信号となり、実際の出力信号のパルスの幅を検出することが出来ず、高精度な補償を行うことができなくなる。また常に立上り、立下りの片方に一定の誤差が含まれる場合、フィードバック信号に直流成分が付加される。その結果、出力信号にも直流成分が含まれるようになり、インバータの負荷にトランスが接続されていた場合、磁気飽和を引き起こすなどの問題が発生する。これら二つの問題点を解決する検出回路を提案する。

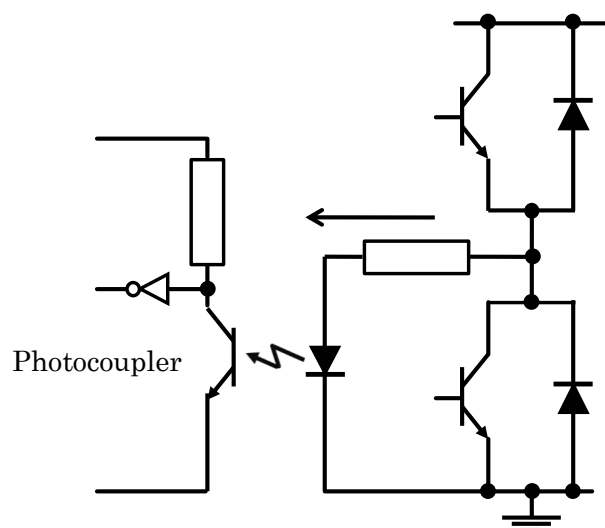


Fig. 3-3. Detecting circuit of conventional method

### 3.2.2 提案する検出回路

Fig. 3-4 に今回使用する検出回路の構成を, Fig. 3-5 にその各部波形を示す。検出回路は、RC 直列回路と逆並列に接続した 2 つのフォトカプラで構成されており、ハーフブリッジインバータの出力端子と DC リンクの中性点の間に接続されている。Fig. 3-5 のように、出力信号のパルスが検出回路に入力されると、RC 直列回路には  $i$  のような指数関数的な電流が流れる。 $i$  はその向きによって流れる LED が切り替わり、片方のフォトカプラではパルスの立上り、もう片方のフォトカプラにはパルスの立下りのタイミングのみ電流が流れる。この 2 つのフォトカプラの信号を用いることで、容易にフィードバック信号  $B$  を生成することが可能である。抵抗にはパルスの立上り、立下りのタイミングにのみ指数関数的な電流が流れるので、従来法の検出回路の 1 つ目の問題点である電力消費を抑えることができる。また  $B$  のパルスを生成するための 2 つの信号は、ともにフォトカプラの LED のターンオンにより生成される。つまりターンオン特性の揃ったフォトカプラを用いれば、検出誤差は発生しなくなる。これにより高周波 PWM インバータに適用しても、補償回路には正確な出力電圧のパルス幅をフィードバックすることができ、高精度な補償が可能となる。

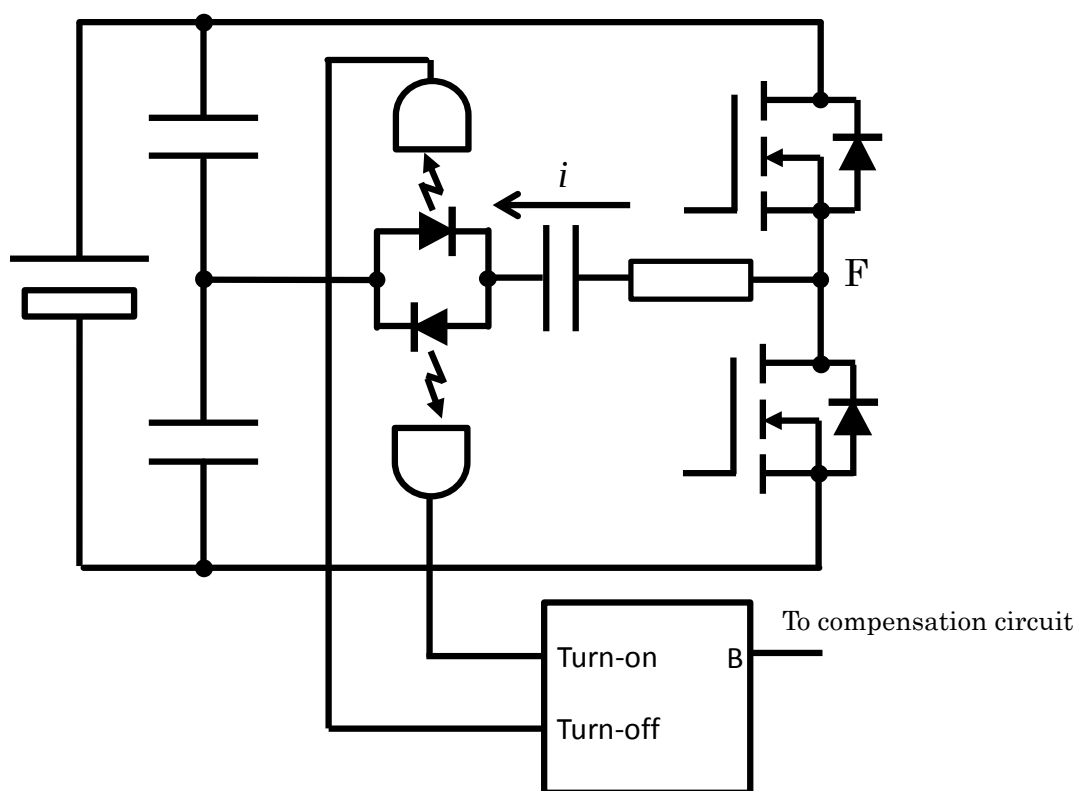


Fig. 3-4. Configuration of proposed detecting circuit

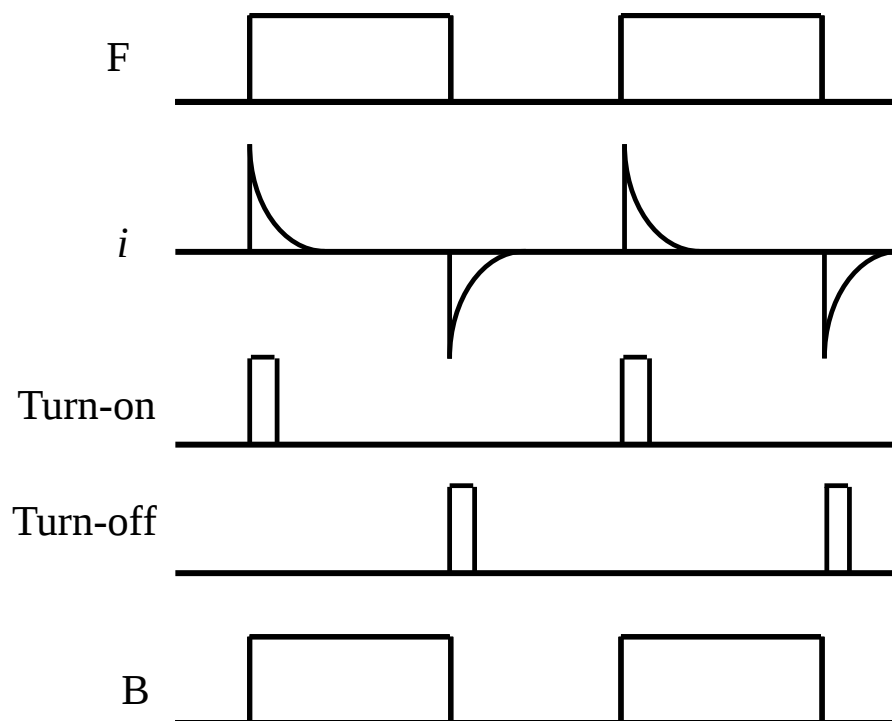


Fig. 3-5. Waveforms in detecting circuit

### 3.3 従来法と改良法の比較実験

従来法と改良法の補償特性の比較実験を行った。キャリア周波数 100 kHz で動作可能な実験装置を試作し、の方形波信号を入力信号として入力し Duty 比を変化させる実験を行った。

#### 3.3.1 実験装置

Fig. 3-6, 3-7 に、実験装置の写真と構成図をそれぞれ示す。実験に用いたインバータには、次世代パワー半導体デバイスを想定し、Si の IGBT に比べ高速スイッチングが可能な Si のパワーMOSFET(APT50M75, Advanced Power Technology)を用いて、100 kHz スwitchングを行う。直流電源電圧は 200 V とし、入力信号はファンクションジェネレータ(WF1974, NF)にて生成した Duty 比を調整可能な 100 kHz の方形波を用いた。

補償回路ならびデッドタイム挿入回路は、100 MHz のクロック周波数を持つ FPGA (CYCLON II EP2C35F48C8N, Altera)に実装し、10 ns の分解能で動作が可能となっている。ハードウェア記述言語には VHDL を使用した。実験ではデッドタイムは 0.96  $\mu$ s に設定した。検出回路は、FPGA と接続する基板上に構成されフォトカプラの出力端と FPGA の入力端子との距離をできるだけ短く設計した。

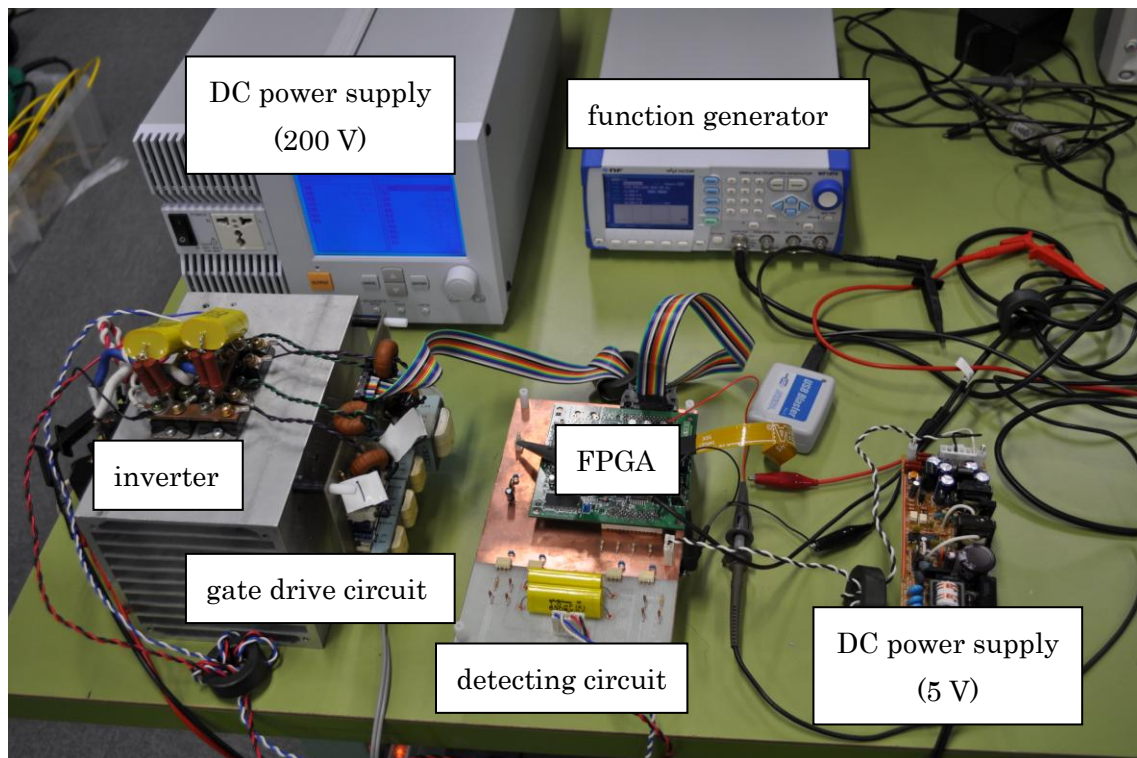


Fig. 3-6. Picture of experimental system

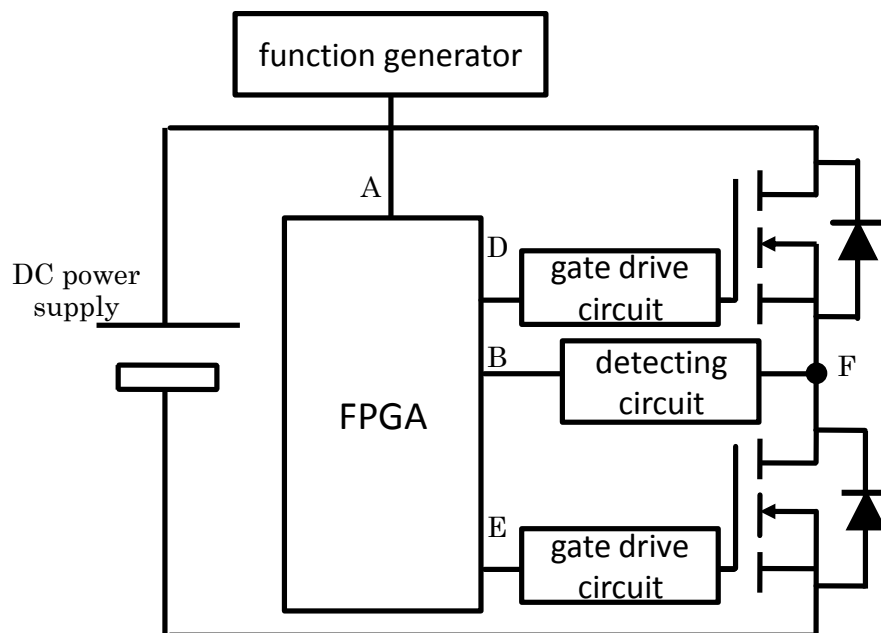


Fig. 3-7. Configuration of experimental system

### 3.3.2 実験結果

Fig. 3-8、3-9 に、従来法の最小パルス入力時と最小パルスより細かいパルス入力時の動作波形を示す。デッドタイム補償なしの場合、入力信号に対して出力信号のパルスの幅は変化するはずである。図中、上から入力信号 A, 出力信号 F, upper ゲート信号 D, lower ゲート信号 E を表している。無負荷状態では、F は D 立上りに対応して立上り、E の立上りに対応して立下る。Fig. 3-8 では  $3.5\ \mu\text{s}$  の入力信号パルスに対して、出力信号パルスも  $3.5\ \mu\text{s}$  が出力されており、入力信号と出力信号のパルスの幅を等しくする補償が行われている。しかし、Fig. 3-9 では、 $3.4\ \mu\text{s}$  の入力信号パルスに対応した  $3.4\ \mu\text{s}$  の出力信号が出力されていない。そのため従来法は、最小パルスより細かいパルスを入力することはできない。今回の実験から、従来法の補償特性は Fig. 3-10 のように表される。横軸が入力信号の Duty 比、縦軸が出力信号の Duty 比となっており、赤い実線が入力信号に対して出力信号が出力するパルスの Duty 比である。実験結果から、従来法の補償可能な入力信号パルスは Duty 比 35・65%の範囲に限られ、それ以外の範囲では A と F のパルスを等しくすることが不可能となっている。この 35%という数字は、キャリアの一周期に対する最小パルス幅が占める割合である。これにより従来法の電圧利用率は著しく制限される。

Fig. 3-8 の入力信号から出力信号まで動作遅れ時間は、最小パルスから検出回路の遅れ時間を引いた時間となる。この検出回路の遅れ時間は約  $0.2\ \mu\text{s}$  であるため、この波形の入力信号から出力信号の遅れ時間は約  $3.3\ \mu\text{s}$  となる。入力信号の一周期は  $10\ \mu\text{s}$  なので、キャリアの一周期中の遅れ時間が占める比率 33%とに大きい。

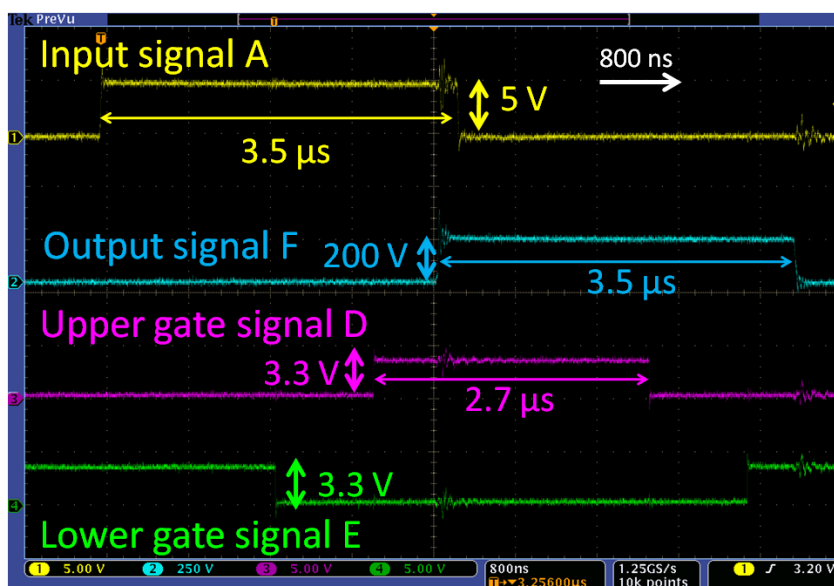


Fig. 3-8. Compensated waveform by conventional method( $3.5\ \mu\text{s}$ )

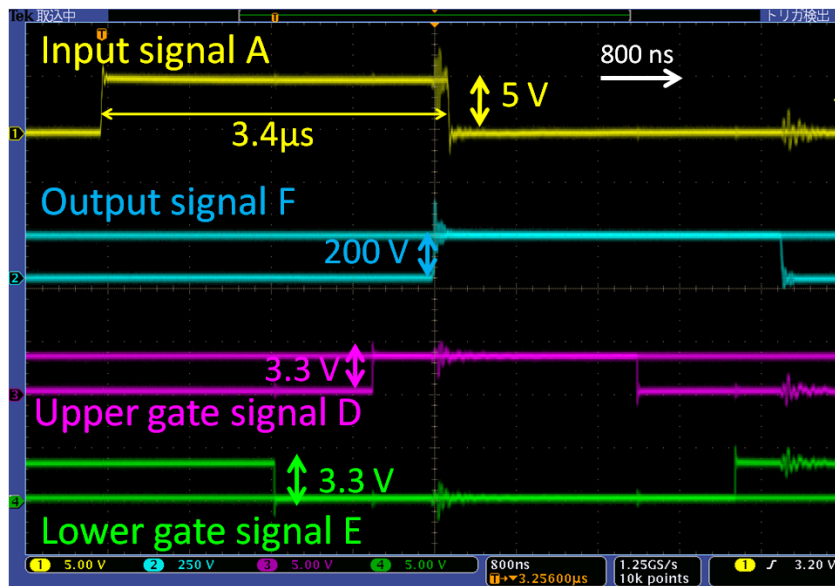


Fig. 3-9. Compensated waveform by conventional method(3.4  $\mu$ s)

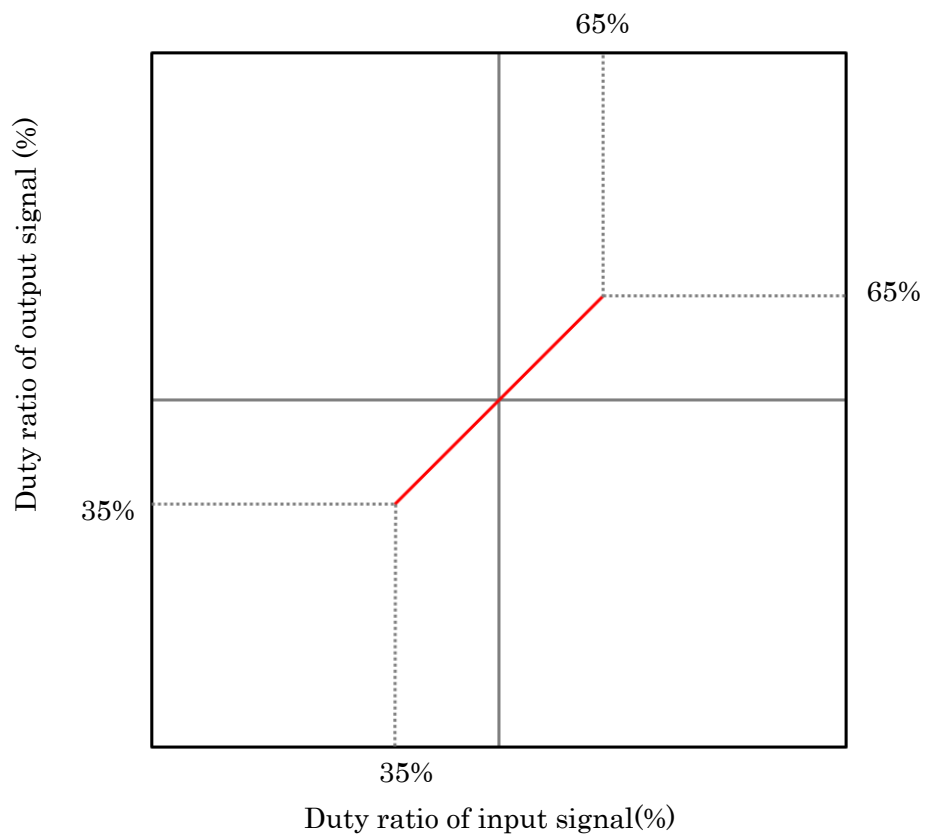


Fig. 3-10. Compensation characteristic of conventional method

Fig. 3-11, 3-12 に改良法の最小パルス入力時と最小パルスより細かいパルス入力時の波形を示す。Fig. 3-11 では、 $1.7\ \mu\text{s}$  と従来法に比べ細かいパルスを補償できている。この  $1.7\ \mu\text{s}$  という数字は、従来法の最小パルス幅である  $3.5\ \mu\text{s}$  の約半分であり、デッドタイム、立下り遅れ時間、そして検出回路の遅れ時間の和と同等と考えられる。Fig. 3-12 では、 $0.5\ \mu\text{s}$  と最小パルスより細かい A のパルスに対して、パルスの幅は異なるがそれに対応する  $1.67\ \mu\text{s}$  のパルスを出力している。この F は、補償信号の ON に対応して立上り、出力信号の立上りを検出した瞬間に C を OFF した結果であるため、そのパルス幅は立下り遅れ時間と検出遅れの和に相当すると考えられる。Fig. 3-13 に改良法の補償特性を示す。Fig. 3-11 の結果から、立上り遅れ時間と立下り遅れ時間が同じと考えた場合、Duty 比約 17-83%の範囲の入力信号のパルスを補償可能であることが分かる。さらに Fig. 3-12 の結果から、Duty 比 17-83%以外の範囲では補償特性が飽和し、Duty 比 17%以下の入力信号に対しては Duty 比 17%の電圧を出し、Duty 比 83%以上の入力信号に対しては Duty 比 83%のパルスを出力する。これにより、改良法は従来法に比べ補償可能範囲を拡大し、それ以外の範囲では補償特性を飽和させ出力電圧を制限する。その結果、A に微細パルスが入力された際には、正弦波のピーク値付近の電圧は出力できず出力電圧の正弦波はひずむが、常にキャリア周波数と等しい F を出力し続けることが可能である。

しかし、改良法の入力信号から出力信号までの遅れ時間は従来法と同じである。それは従来法と同じく、入力信号のパルスのエッジ毎に補償が行われるためである。そこで、さらに改良法を見直し、従来法と改良法の問題である遅れ時間の問題を解決する新しい補償法を新たに提案する。

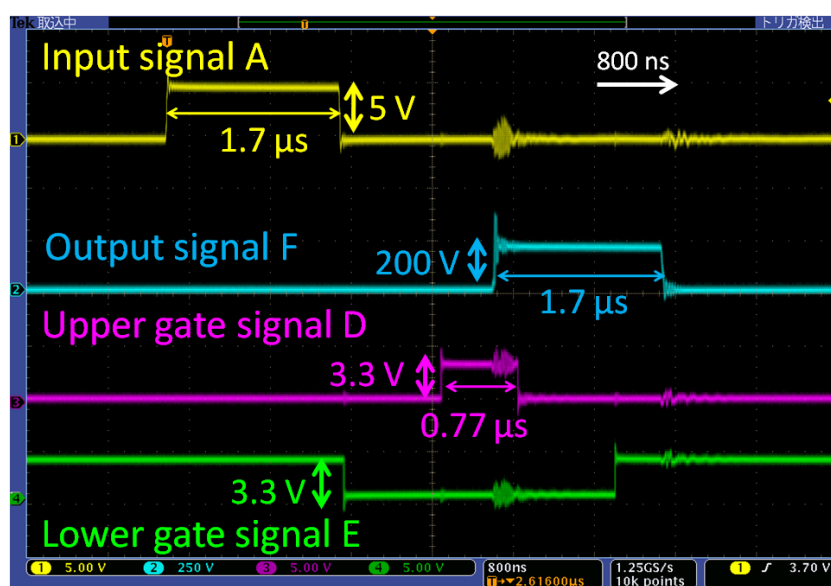


Fig. 3-11. Compensated waveforms by improve method( $1.7\ \mu\text{s}$ )

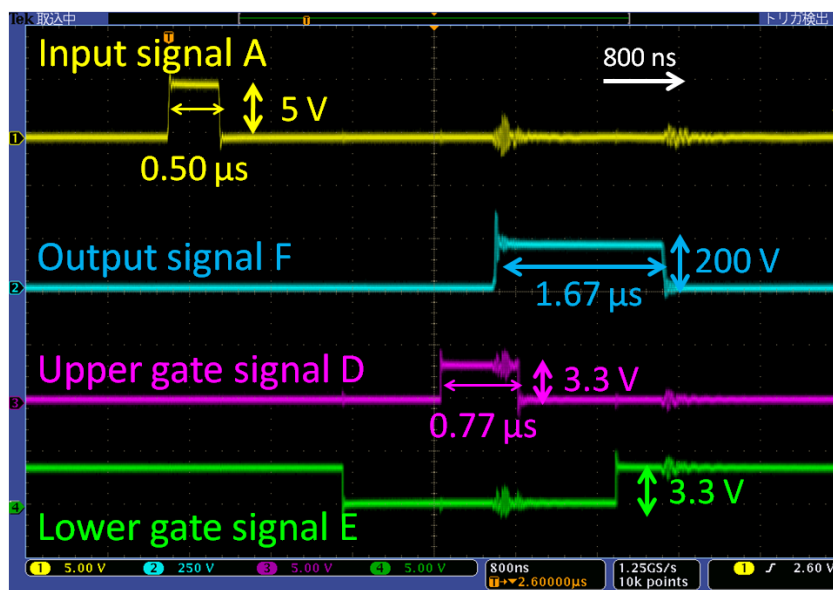


Fig. 3-12. Compensated waveforms by improve method( $0.5\ \mu\text{s}$ )

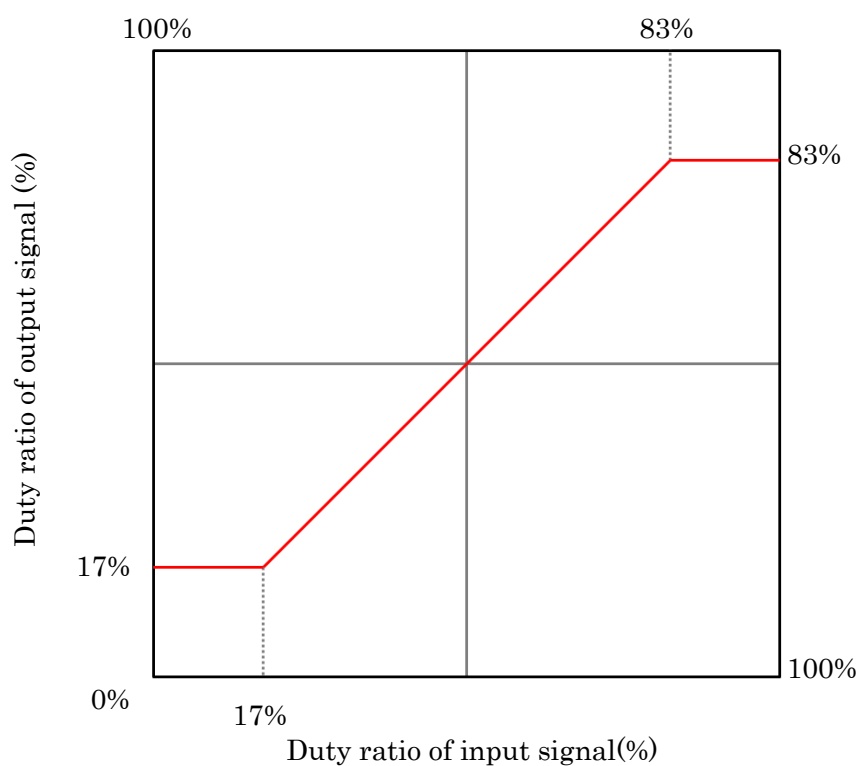


図 3-13 Compensation characteristic of improved method

### 3.4 従来法・改良法の問題点

従来法と改良法は、A と B のパルス幅を正確に一致させることが可能であるが、A に対する B の遅れ時間  $D_{AB}$  は理論的には立上り遅れと立下り遅れの和となる。キャリア周波数が高くなるにつれ、キャリアの一周期が短くなるため、相対的にこの遅れ時間の割合が大きくなってしまう。これにより高周波 PWM インバータに適用する際には、電流検出の同期サンプリングや電流制御系の安定性に大きな影響を与える恐れがある。

Fig. 3-14 に、従来法の補償動作開始時の動作の要約を示す。補償開始時には入力信号 A と補償信号 C は同時に立がる。①の入力信号の立上りに対応した F の立上りまでの遅れ時間  $d_1$  には、デッドタイム  $t_d$ 、ゲートドライブ回路とパワー半導体デバイスの立上り遅れ時間  $D_{gon}$ 、検出回路の遅れ時間  $D_{det}$  が含まれる。この遅れ時間の補償として、①の立下りの際には  $d_{ton}$  遅らせてから C を立下げる。しかし、C の立下りから F の立下りまでは、デッドタイム  $t_d$ 、ゲートドライブ回路とパワー半導体デバイスの立下り遅れ時間  $D_{goff}$ 、検出回路の遅れ時間  $D_{det}$  の和である  $d_{toff}$  分遅れて立ち下がる。以降、A のパルスから F のパルスまでの遅れ時間  $D_{AB}$  は  $d_1 + d_2$  に相当する時間分位相が遅れる。F のパルスは、電流極性が正の時には  $d_{toff}$ 、電流極性が負の時には  $d_{ton}$  に  $t_d$  が含まれなくなるため、A から B までの動作遅れ時間  $D_{AB}$  は出力電流  $i$  の状態により以下の式で表される

$$D_{AB} = d_{ton} + d_{toff} \begin{cases} D_{gon} + D_{goff} + t_d + 2D_{det} & (i \neq 0) \\ D_{gon} + D_{goff} + 2(t_d + D_{det}) & (i = 0) \end{cases}$$

この従来法・改良法の長い  $D_{AB}$  を軽減するフィードバック型デッドタイム補償法を新たに提案する。

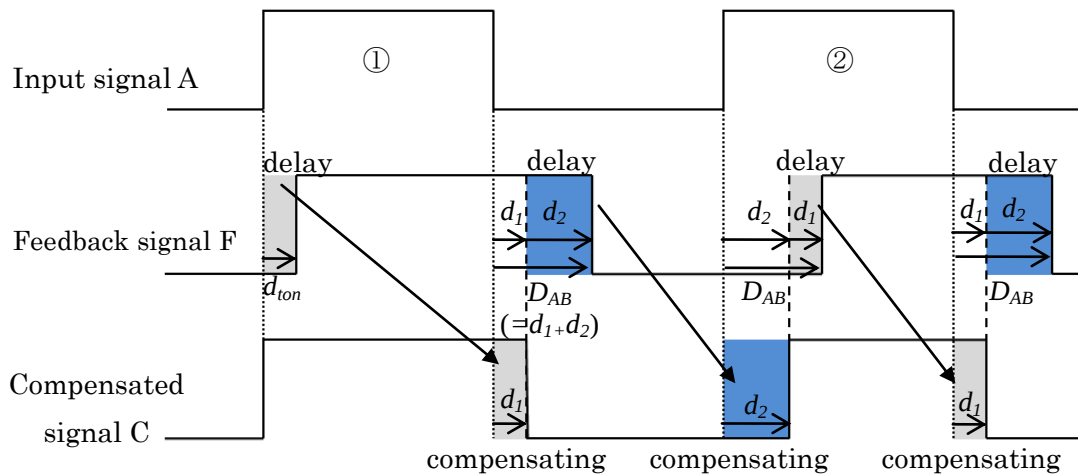


Fig. 3-14. Summary of conventional method

### 3.5 新たに提案するフィードバック型デッドタイム補償法（提案法）

#### 3.5.1 提案法の通常補償動作

新たに提案するフィードバック型デッドタイム補償法（提案法）は、従来法と改良法の問題である入力信号から出力信号までの遅れ時間が長いという問題と、補償可能な入力信号パルスに制限があるという問題を解決する。提案法の構成は、従来法・改良法と同じく Fig. 2-11 のブロック線図で構成されている。Table 3-1、Fig. 3-15 に提案法に組み込まれている誤差カウンタの動作を示す。直流電源電圧  $E_{dc}$  を一定をした時、出力電圧の誤差積分値  $\delta$  は以下の式で表される。

$$\delta = \int (v_i - v_a) dt \dots \dots \dots (3.2)$$

$v_i$  は入力信号どおり出力された理想出力電圧、 $v_a$  は実際の出力電圧であり、入力信号 A とフィードバック信号 B のパルス波形とそれぞれ相似な波形である。1 パルス後に  $\delta$  の値が変化していなければ、入力信号と出力信号のパルス幅が一致していることを意味する。誤差カウンタは、入力信号 A とフィードバック信号 B の状態で動作が変化する。A が ON かつ B が OFF の時にはカウントアップ、A が OFF かつ B が ON の時にはカウントダウン、それ以外はカウンタをストップしその値を保持する。その結果、誤差カウンタの値  $EC$  はクロック周波数  $f_c$  を用いて表すと

$$EC = \frac{\delta}{E_{dc}} \times f_c \dots \dots \dots (3.3)$$

となる。したがって、 $EC$  は電圧誤差の時間積分  $\delta$  と比例関係にある無次元の量であり、これを用いて補償信号 C のエッジを変化させることで電圧誤差を補償可能である。提案法は、従来法・改良法と同じく補償信号 C の ON/OFF のタイミングを調整することで補償を行う。しかし C の ON/OFF のタイミングは早めることはできないため、C のパルスの幅の調整は ON/OFF のタイミングを遅らせることで行う。このため、出力信号のパルス幅が入力信号より細くなり出力電圧が不足した際には C の OFF するタイミングを遅らせ、出力信号のパルス幅が入力信号より太くなり出力電圧が余剰になった際には C の ON するタイミングを遅らせる。さらに提案法では、誤差カウンタの中に実際の遅れ時間を用いて二つのしきい値を設定する。これにより従来法・改良法と比較し遅れ時間の少ない補償を実現する。

Fig. 3-16 に、立下り遅れ時間が立上り遅れ時間より大きい時の提案法の動作を示す。まず A のパルス①が立上り即座に C が ON した後、B はすぐには立上らずに  $d_1$  遅れてから立上がる。①のパルスが立下がったときには、即座に C を立下げるとともにこの時の誤差カウンタの値を、二つのしきい値の一つある X に設定する。C の OFF から B が立下がるまで  $d_2$  の時間遅れる。 $d_2$  の測定が完了した時点で、誤差カウンタの値は X より  $d_2 - d_1$  分小さいことから、①に対応する B のパルスは  $d_2 - d_1$  分だけ余剰に出力していたことによる。そこで A の②のパルスの立上り時(T3)の時には、 $d_2 - d_1$  分だけ C の立上りを遅らせて補償を行う。さらに②の立上り時には、二つのしきい値の内のもう一つである Y の値を決定する。Y は

②の立上りのタイミングで設定され、誤差カウンタの値が初期値より小さければカウンタの初期値を Y とし、誤差カウンタの値が初期値より大きければそのカウンタの値を Y とする。Fig. 3-16 では、②の立上り時にカウンタの値がその初期値より小さいことから、カウンタの初期値を Y とする。②の立下り時には誤差カウンタの値は X より小さいため、A の立下りで C を OFF する。この動作により、ゲートドライブ回路やパワー半導体デバイスの遅れ時間が一定の場合、A の下向きパルス幅(T1-T3)と B の下向きパルス幅(T2-T4)は一致する。

Fig. 3-17 に、立上り遅れ時間が立下り遅れ時間より大きい時の動作を示す。Fig. 3-16 と同じく X を設定した後、③のパルスの立上りのタイミングで Y の値を決定する。Fig. 3-17 では、③のパルスの立上り時には、誤差カウンタの値がカウンタの初期値より大きいため、そのカウンタの値を Y と設定する。③の立下り時には、誤差カウンタの値が X を超えていることから、即座に C を OFF すると  $d_3-d_2$  分だけ出力電圧が小さくなることを示している。そこで C の OFF のタイミングを  $d_3-d_2$  分だけ送らせて補償を行う。B は、C の OFF から  $d_4$  だけ遅れて立下がるので、A の上向きパルス幅(T1-T3)と B の上向きパルス幅(T2-T4)は一致する。これらの動作を繰り返すことで A と B のパルス幅は一致する。

提案法の動作をまとめると、次のようになる。

X の設定の仕方：補償動作が開始して最初の入力パルスに対応する B が立上った時のカウンタの値を X として設定し、以後の補償動作の中で変化しない。

Y の設定の仕方：補償動作が開始して 2 つ目の入力信号のパルスの立上りのタイミングに、誤差カウンタの値がカウンタの初期値より小さければカウンタの初期値、大きければそのカウンタの値を Y として設定し、以後の補償動作の中で変化しない。

A の立上り：誤差カウンタの値が Y より小さい場合には C の立上りを積分カウンタの値が Y になるまで遅らせる。積分カウンタの値 Y より大きい場合には、即座に C を立上げる。

A の立下り：積分カウンタの値が X より大きい場合には、C の立下りを積分カウンタの値が X になるまで遅らせる。積分カウンタの値が X より小さい場合には、即座に C を立下げる。

提案法は、X と Y の間に補償の不感帯を設定することで A の動作から C の動作までの遅れ時間を軽減していることに特徴がある。また EC は、C のパルスが消滅するような細かい A のパルスであってもその誤差分を積分するため、A の数周期分をまとめて補償することが可能である。次節にて、補償可能な入力信号の制限をなくす動作について説明する。

Table 3-1. Operation of counter

| A   | B   | counter operation |
|-----|-----|-------------------|
| ON  | ON  | stop              |
| ON  | OFF | up                |
| OFF | ON  | down              |
| OFF | OFF | stop              |

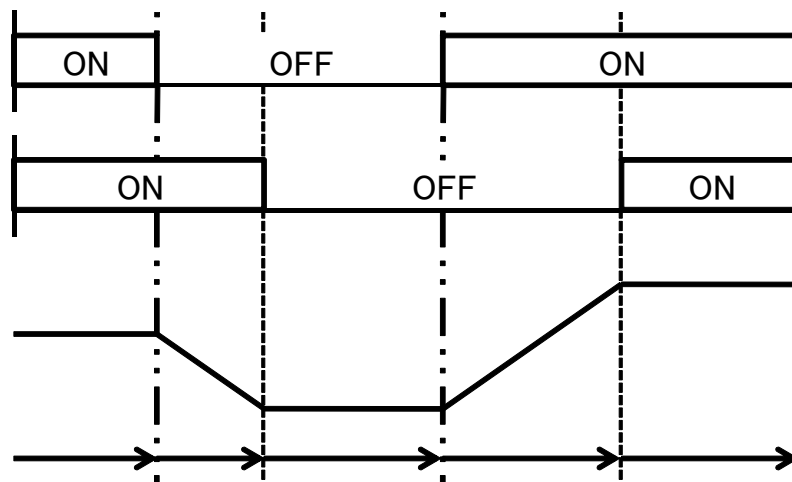


Fig. 3-15. Operation of counter

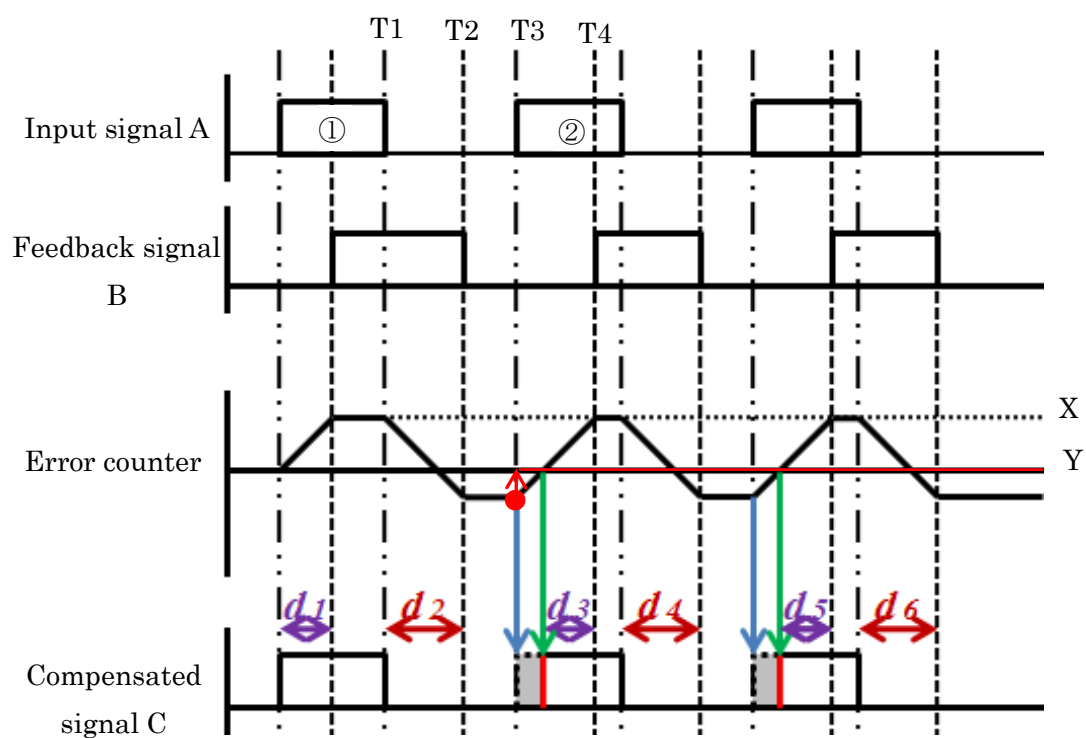


Fig. 3-16. Operation of proposed method ( $d_1 < d_2$ )

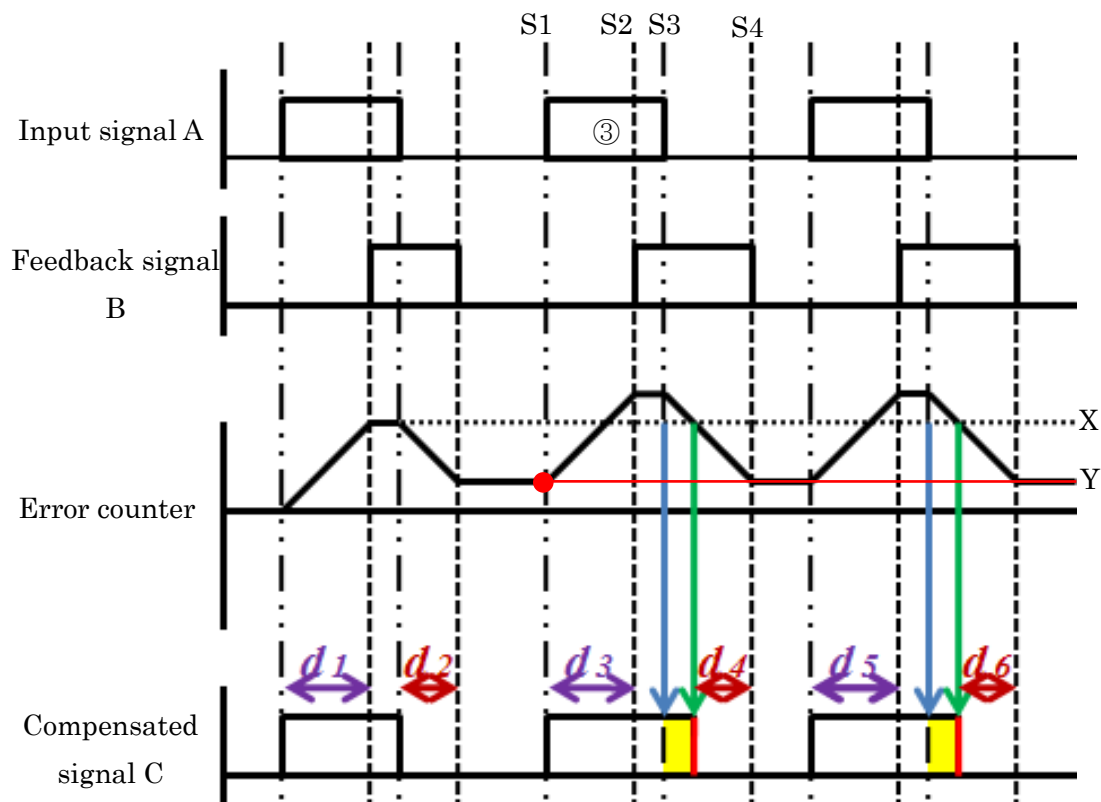


Fig. 3-17. Operation of proposed method ( $d_1 > d_2$ )

### 3.5.2 微細パルス入力時

Fig. 3-18 に、微細パルスが連続して入力された際の提案法の動作を示す。微細パルスは、補償信号が消滅したり、パワー半導体デバイスのターンオン・ターンオフすら困難になるほどの細いパルスを指す。最初の A のパルス①が入力されたときには X, Y の測定を行うため、A のパルス幅に関係なく B が立上がるまで C を出力し続ける。図中の遅れ時間の関係は、 $d_1 < d_2$  となっており、Y の値はカウンタの初期値に設定される。次に A に連続して上向きの微細パルスが入力されるが、補償動作により C が立ち上がらなかったり、C が立ち上がってもパルス幅が細過ぎてパワー半導体デバイスがターンオンせず B が立上らない時もある。しかし、その出力誤差は誤差カウンタに積分されていく。その後、A のパルスの立下りのタイミング  $T_x$  に誤差カウンタの値が Y を超えているため補償動作が開始し、B が立上がる、もしくは A の次のパルスが入力されるまでカウンタはストップしたまま C を ON し続ける。こうして出力された B のパルスは太く、結果的に余剰に出力することとなるが、その前の A の微細パルスで発生していた出力誤差を相殺したことになり、余剰分はまた次の補償動作で補償される。A に連続して下向き微細パルスが入力されたときも、C の下向きパルスが細すぎて B が立ち下がらない時もあるが、その出力誤差を積分していき、相殺できる分だけ誤差が蓄積されたときに B が立ち下がるまで C を立ち上げない補償動作がかかる。これにより A に微細パルスが連続して入力された場合には、パワー半導体デバイスのスイッチング周波数は低下し一つ一つの A と B のパルス幅は異なるが、その平均値は等しくなる。これにより、実質的にどんな細い入力信号のパルスも補償可能となり、入力信号のパルス幅の制限がなくなり電圧利用率を理論限界にまで引き上げることが可能となる。

提案法のブロック線図を Fig. 3-19 に、その動作を Fig. 3-20 に示す。これらの図中では、X と Y は設定後の動作を示している。誤差カウンタは A と B のパルスの状態によりカウンタの値を変化させる。カウンタの値と X と Y の値を比較し、C の状態を決定する。提案法の特長として、C の状態を可能な限り A と同じパルスを出しようとしている点にある。誤差カウンタの値が Y 以下の場合には C は OFF、誤差カウンタの値が X 以上の場合には C を ON という動作になっているが、誤差カウンタの値が Y 以上 X 以下の場合には A のパルスをそのまま C に反映させている。この補償の不感帯は、C と A のパルスを可能な限り等しくし出力電圧の制御性を向上させるだけではなく、従来法・改良法の問題点であった入力信号からフィードバック信号までの遅れ時間  $D_{AB}$  を軽減することが可能である。

研究を進めていく過程で、従来法は提案時のブロック線図を用いると微細パルス補償動作が可能であることが分かった。しかし、従来法が提案された文献[5]において、立上り遅れ時間  $d_1$  と立下り遅れ時間  $d_2$  の和以下となるような細いパルスが入力された際の動作については言及されていない。また提案法は、X と Y の不感帯を設定したことで従来法に比べ A から B までの遅れ時間を約半分に短縮できる点が特長である。



Fig. 3-18. Operation of proposed method(inputting short pulse)

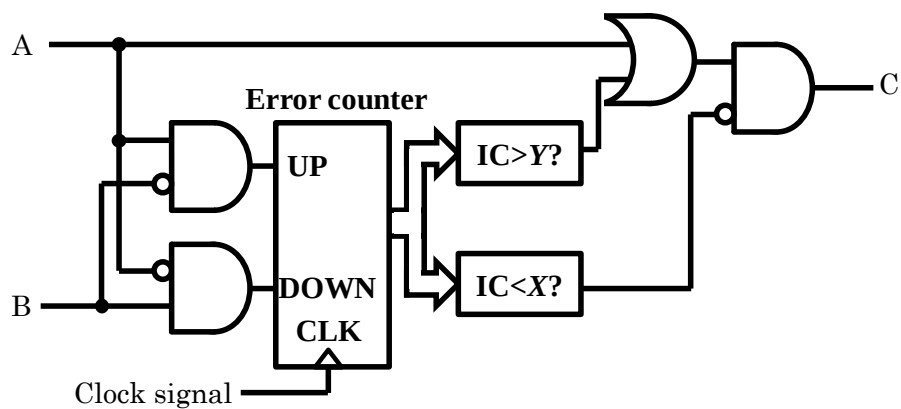


Fig. 3-19. Block diagram of compensation circuit of proposed method

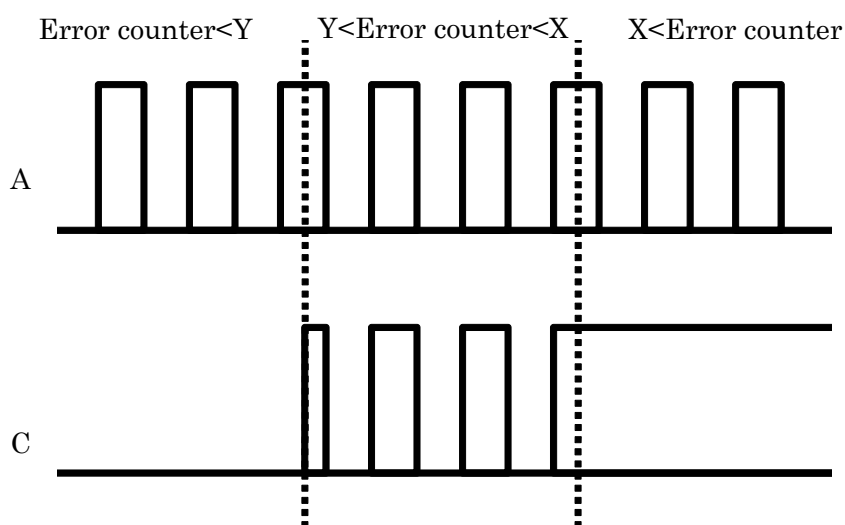


Fig. 3-20. Operation of input signal and compensated signal of proposed method

## 3.6 提案法の効果実証実験

### 3.6.1 新実験回路

提案法の効果を実証するため、いくつかの実験を行った。実験を行うに当たり、実験装置を新たに製作した。Fig. 3-20 に FPGA 搭載制御基板、Fig. 3-21 に検出回路、Fig. 3-22 にインバータ、Fig. 3-23 にゲートドライブ回路を示す。検出回路をインバータの直近に配置するため、実験装置の見直しを図った。その結果、パワーMOSFET(IXFN55N50F, IXYS)とゲートドライブ回路の DC-DC コンバータ(zuw30515, cosel)を新たに回路に使用した。これらの実験装置を用いて、従来法と提案法の最小パルスの補償の比較、微細パルスの補償特性、電流極性を変更した際の提案法の補償特性、出力電流のひずみ率測定を行った。全ての実験は入力信号のキャリア周波数 100 kHz、デッドタイムは 0.96  $\mu$ s として実施されている。提案法を実装した FPGA のロジック使用率は 0.5%以下となっており、簡単な構成で提案法が実現できている。

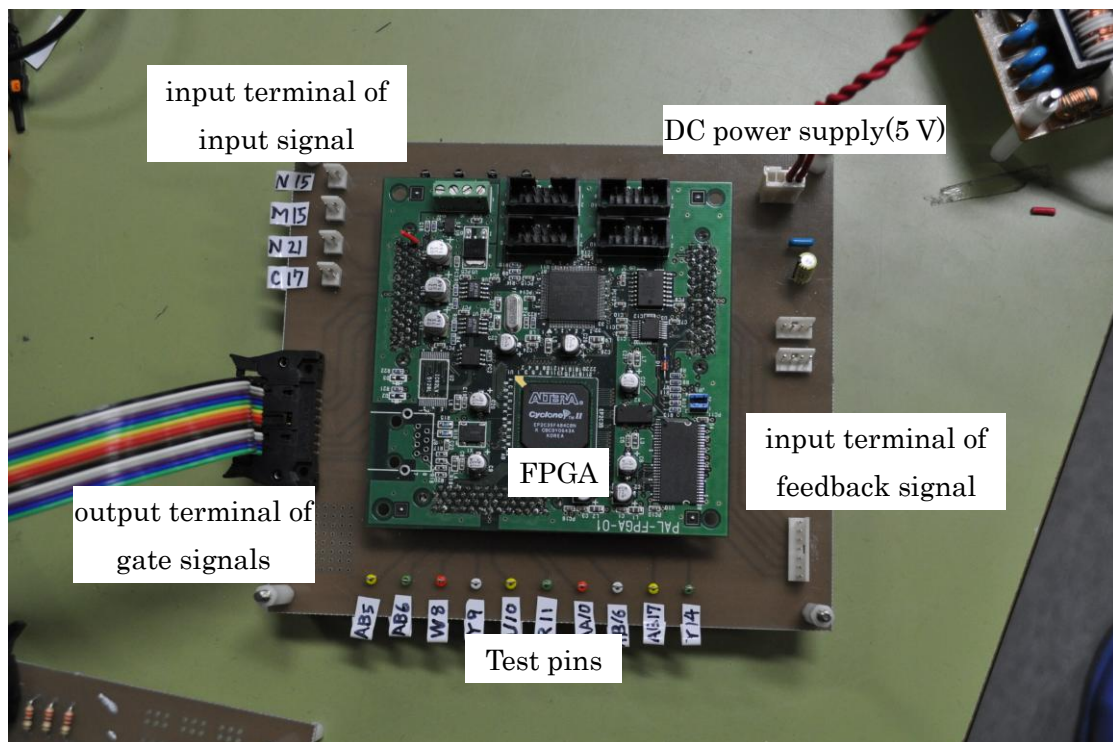


Fig. 3-20. Controller including FPGA

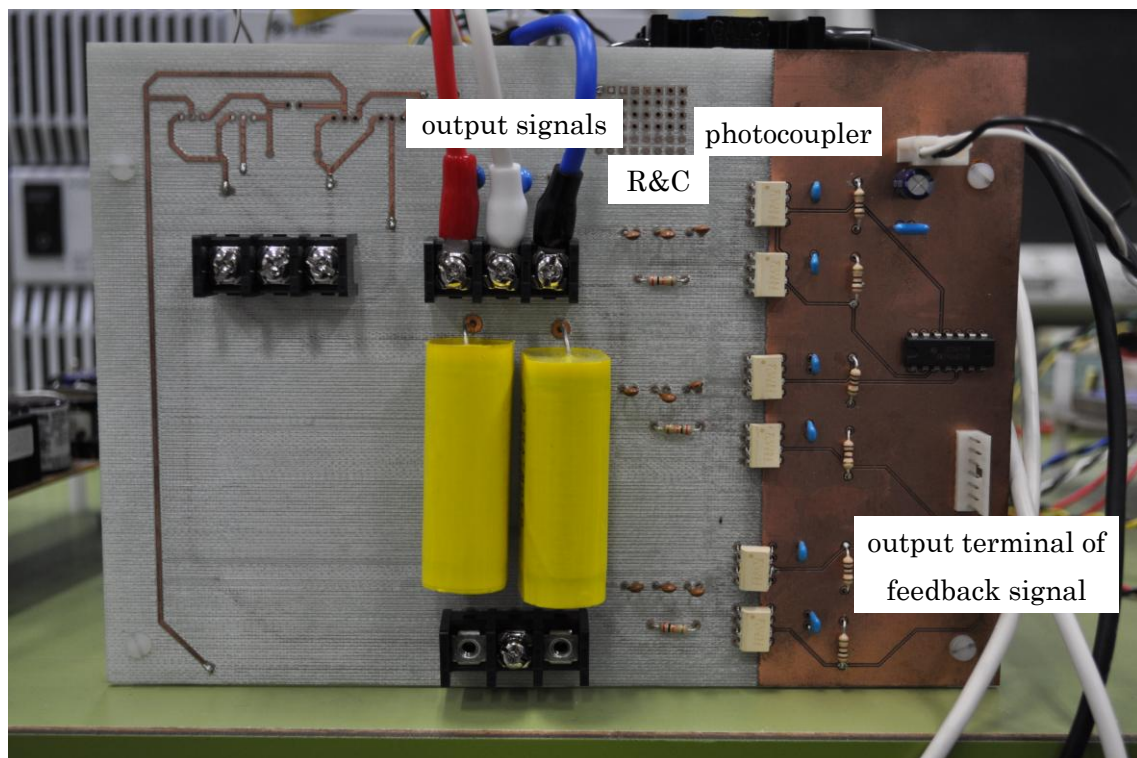


Fig. 3-21. Detecting circuit

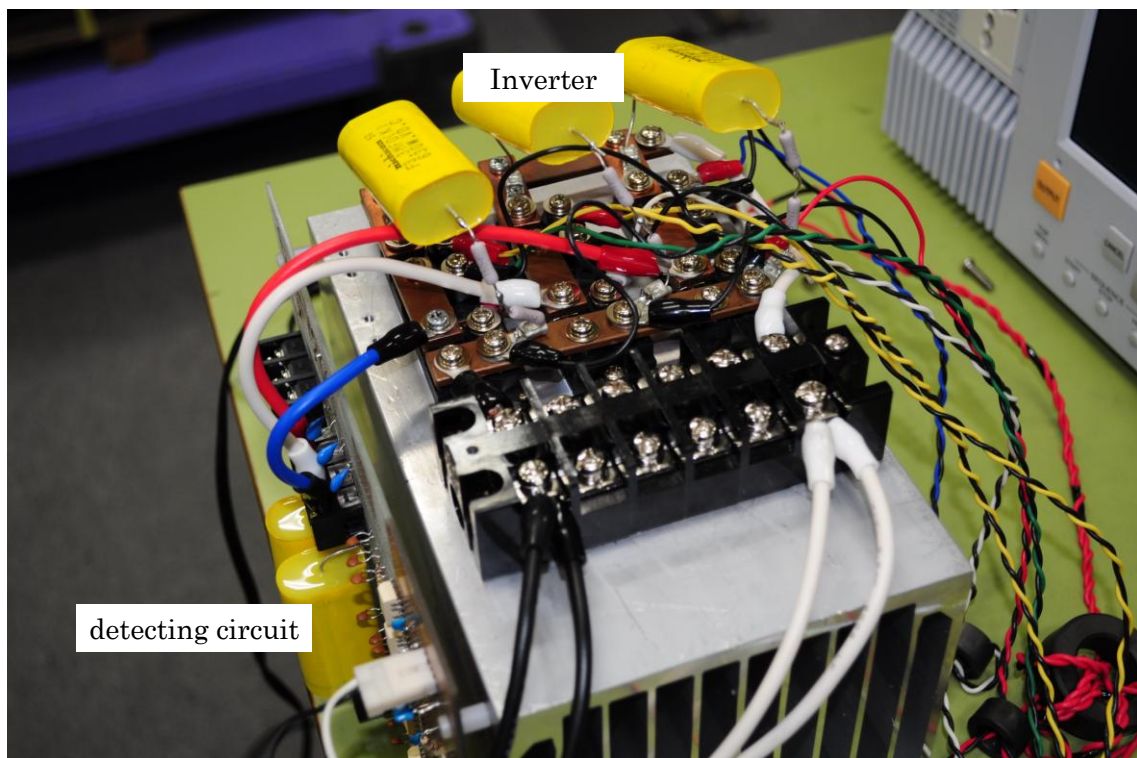


Fig. 3-22. Inverter

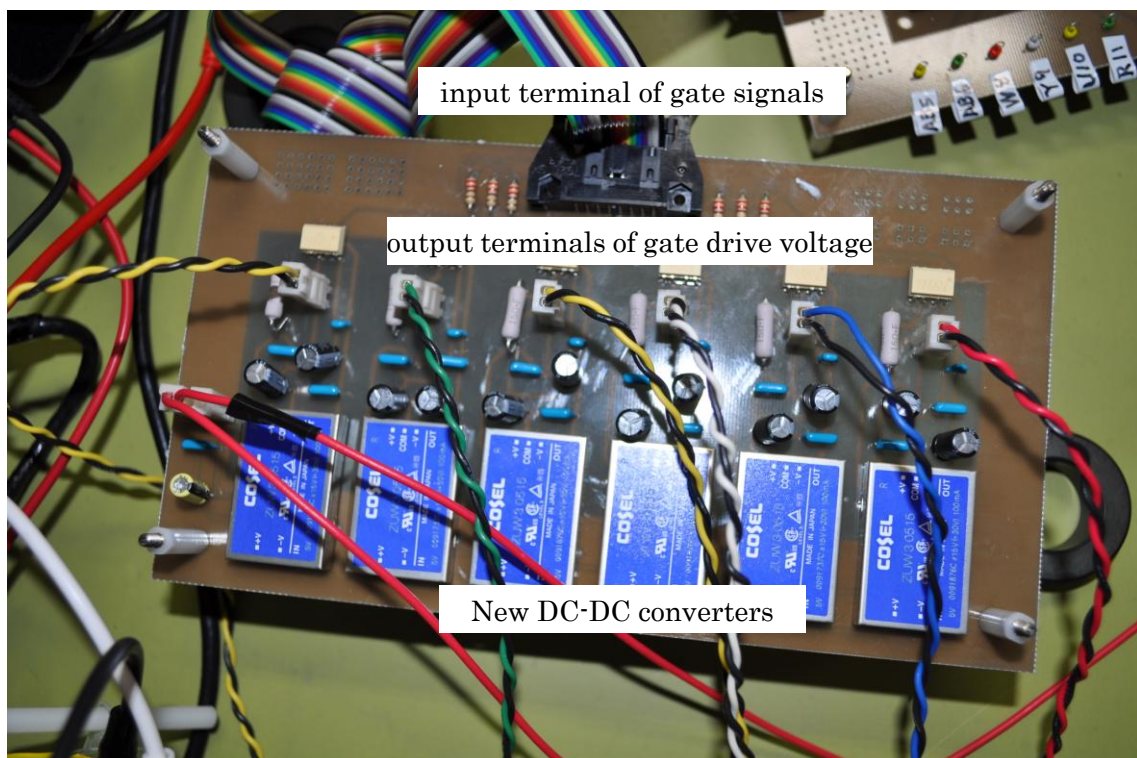


Fig. 3-23. Gate drive circuit

### 3.6.2 従来法と提案法の最小パルスの比較

従来法と提案法の入力信号パルスを細くしていき、最小パルス幅を比較した。この実験は無負荷で行い、直流電源電圧は 80 V とした。

Fig. 3-24 に従来法の補償可能最小パルス、Fig. 3-25 に提案法の補償可能最小パルスを示す。図中、上から入力信号 A、インバータの出力電圧 F、upper ゲート信号 D, lower ゲート信号 E である。図中の従来法の最小パルスは 3.6  $\mu\text{s}$  となっている。A から F までの動作遅れは、従来法が 3.26  $\mu\text{s}$  に対し、提案法は 1.51  $\mu\text{s}$  と遅れ時間が約半分となっているのが確認できる。また補償可能最小パルス幅についても、従来法が 3.60  $\mu\text{s}$  に対し、提案法は 1.5  $\mu\text{s}$  と細いパルスも補償出来ていることが確認できる。この提案法の補償可能最小パルス幅は改良法と比較しても改善されている。

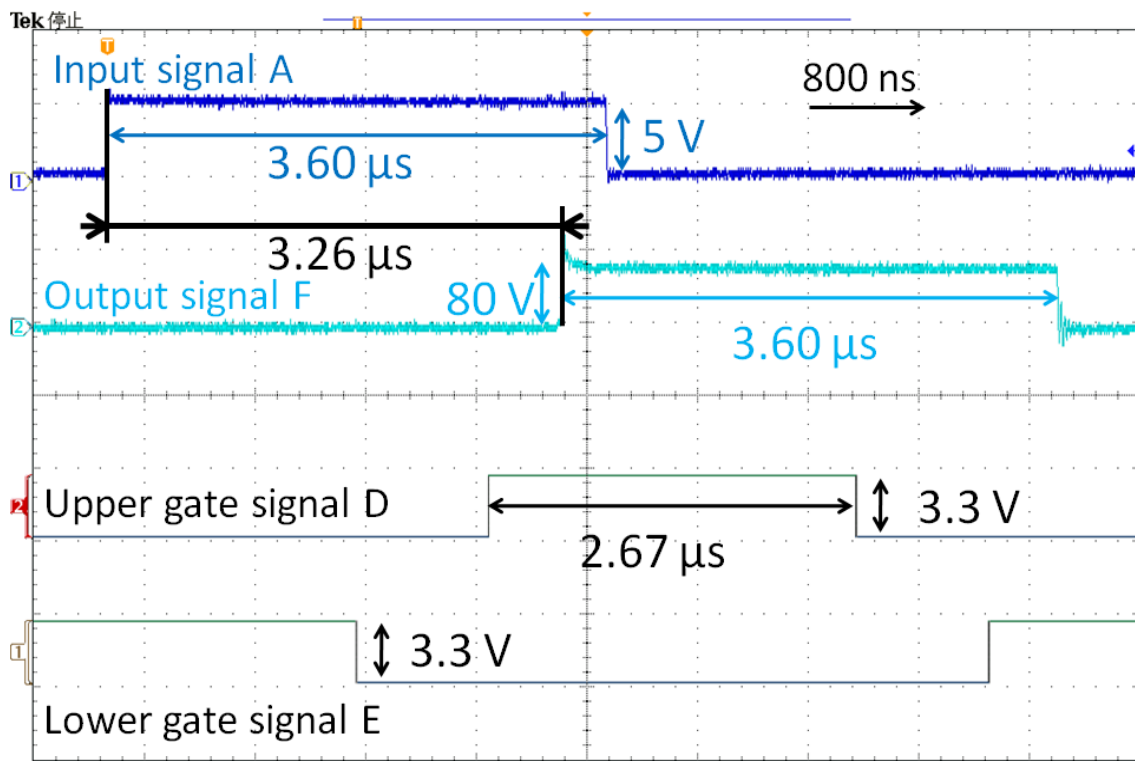


Fig. 3-24. Minimum compensated pulse of conventional method

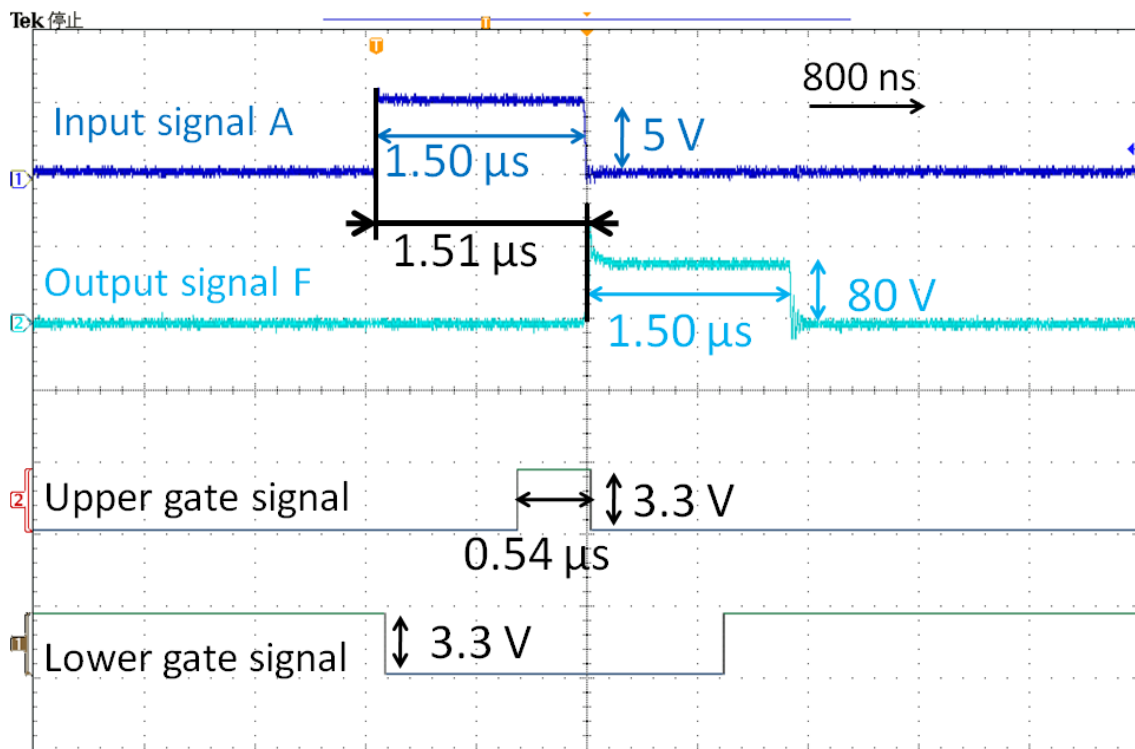


Fig. 3-25. Minimum compensated pulse of normal operation of proposed method

### 3.6.3 微細パルス補償動作

提案法に、細いパルスを入力し微細パルス補償動作を効果を確認した。直流電源電圧は 50 V とし、無負荷で実験を行った。入力信号には、0.30  $\mu\text{s}$  というデッドタイム以下の非常に細いパルスを用いた。

Fig. 3-26、3-27 に、提案法の微細パルスの補償動作の波形の遠影、近影を示す。Fig. 3-26 では、全ての A のパルスに対応した F のパルスは出力できず、ゲート信号も消滅している。その結果、A に対して F のパルスの数が減少しているが、A の 5 周期に 1 に 1 回 F のパルスが出力されていることが確認できる。Fig. 3-27 では、0.3  $\mu\text{s}$  の A のパルス 5 回に対して、F は 1.5  $\mu\text{s}$  のパルスが一回出力されているのが確認できる。結果として、F と A の平均値は A の 5 周期において一致する。これにより、提案法はどのような細いパルスが入力されても補償が可能であり、その補償特性は Fig. 3-28 のような理想的な補償特性を持ち、インバータの電圧利用率を理論限界まで引き上げることが可能である。

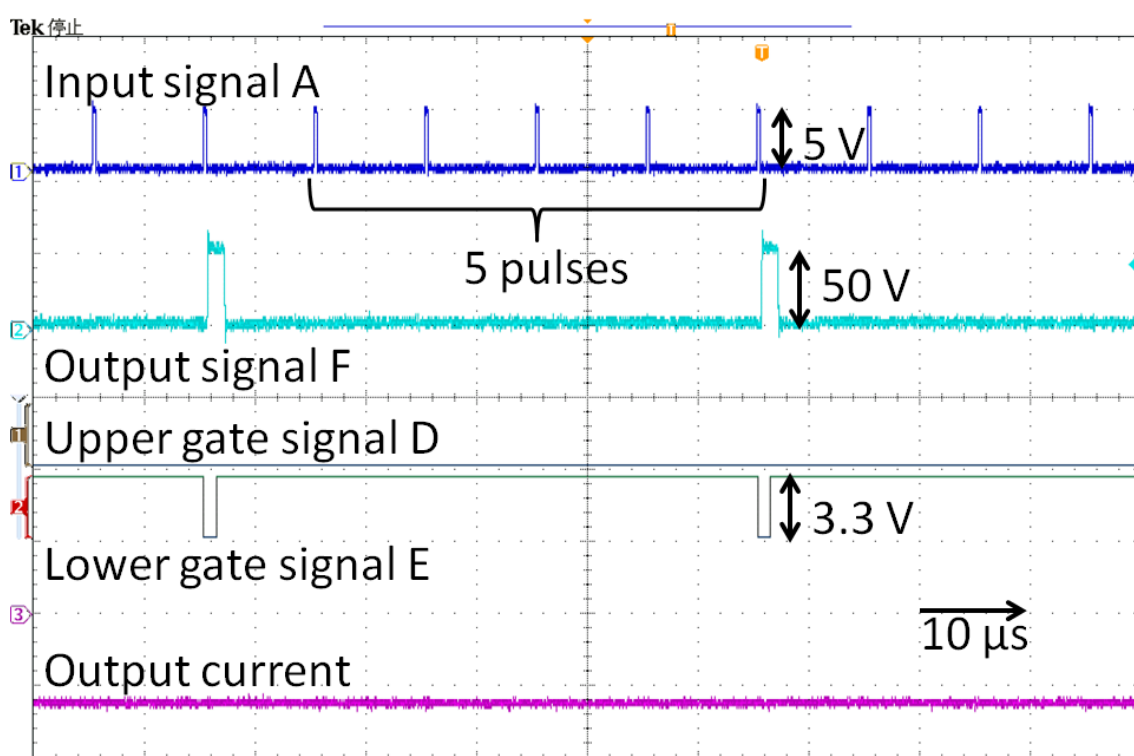


Fig. 3-26. Short pulse compensation(0.3  $\mu\text{s}$ )

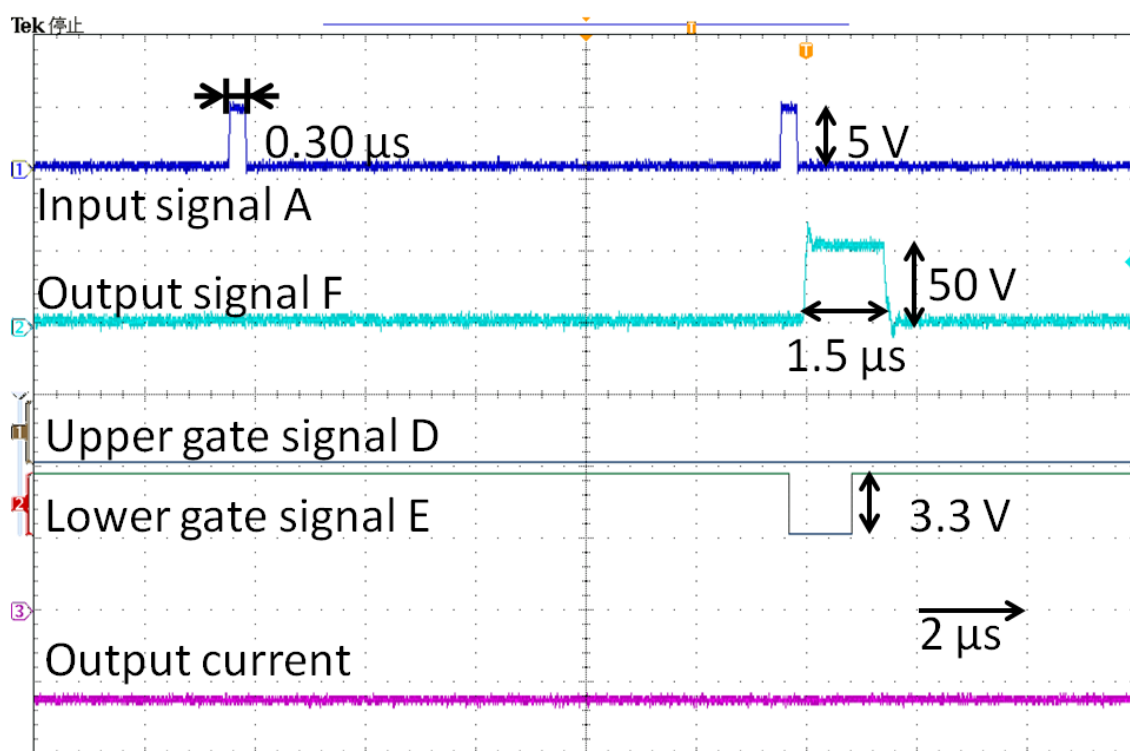


Fig. 3-27. Short pulse compensation(magnified view)

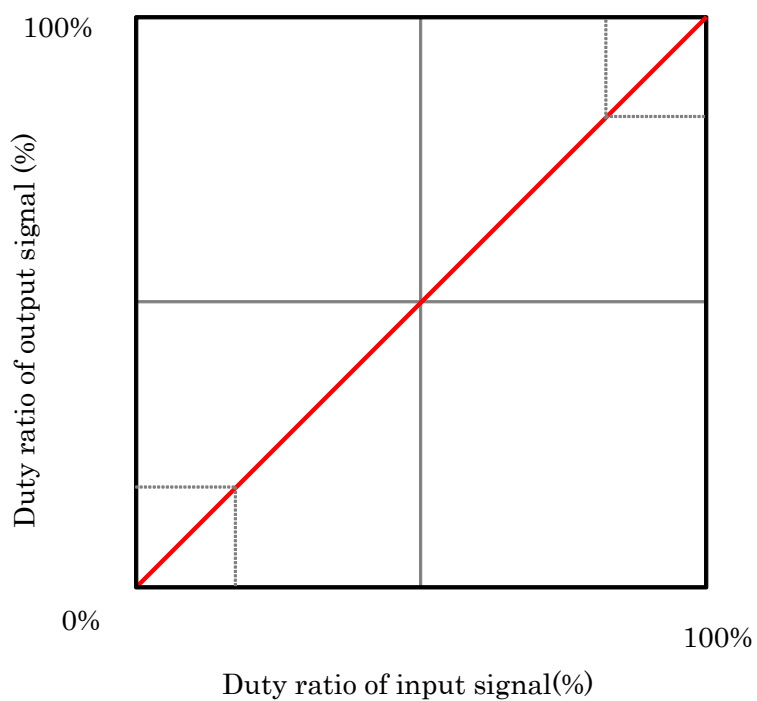


Fig. 3-28. Compensation characteristic of proposed method

### 3.6.4 電流極性と補償特性

ここまでの実験は、全て無負荷で実験を行いデッドタイムによる出力電圧のパルスの変化は一定である。次の実験では、負荷を接続し電流を出力することで電流極性によりデッドタイムにより発生する誤差電圧を変化させた。Fig. 3-29 に実験装置の回路図を示す。この回路は、P0 端の接続を変更することで電流極性の切り替えが可能である。P0 端を開放すると  $i=0$ 、P1 に接続すると  $i>0$ 、P2 に接続すると  $i<0$  となるように電流が流れる。負荷は  $54\ \Omega$  の抵抗と  $2\text{mH}$  のインダクタを直列に接続した。入力信号は全て  $3.00\ \mu\text{s}$  を用い、直流電源電圧は  $80\ \text{V}$  とした。

Fig. 3-30 に無負荷( $i=0$ )、Fig. 3-31 に  $i>0$ 、Fig. 3-32 に  $i<0$  の実験波形をそれぞれ示す。図中、上から、入力信号 A、出力信号 F、upper ゲート信号 D、lower ゲート信号 E、負荷電流  $i$  である。Fig. 3-30 は無負荷であるため、F は、D の立上りで立上り、E の立上りで立ち下がる。その結果、入力信号  $3.0\ \mu\text{s}$  に対して D のパルス幅は  $2.02\ \mu\text{s}$  となり、F のパルスは A と同じく  $3.00\ \mu\text{s}$  になっている。Fig. 3-31 は  $i>0$  であり、F の波形は D のパルスに対応して動作する。その結果、D のパルス幅が  $2.90\ \mu\text{s}$  に変化し F は  $3.00\ \mu\text{s}$  のパルスを出力しており、補償が良好に動作していることが確認できる。一方 Fig. 3-32 は  $i<0$  であり、F の波形は E のパルスを反転させたように動作する。その結果、D のパルス幅は  $1.00\ \mu\text{s}$  に変化し A と F のパルス幅が一致していることが確認できる。以上の結果から、提案法は電流極性が変化してもデッドタイムにより発生する出力電圧誤差を補償できることが確認した。

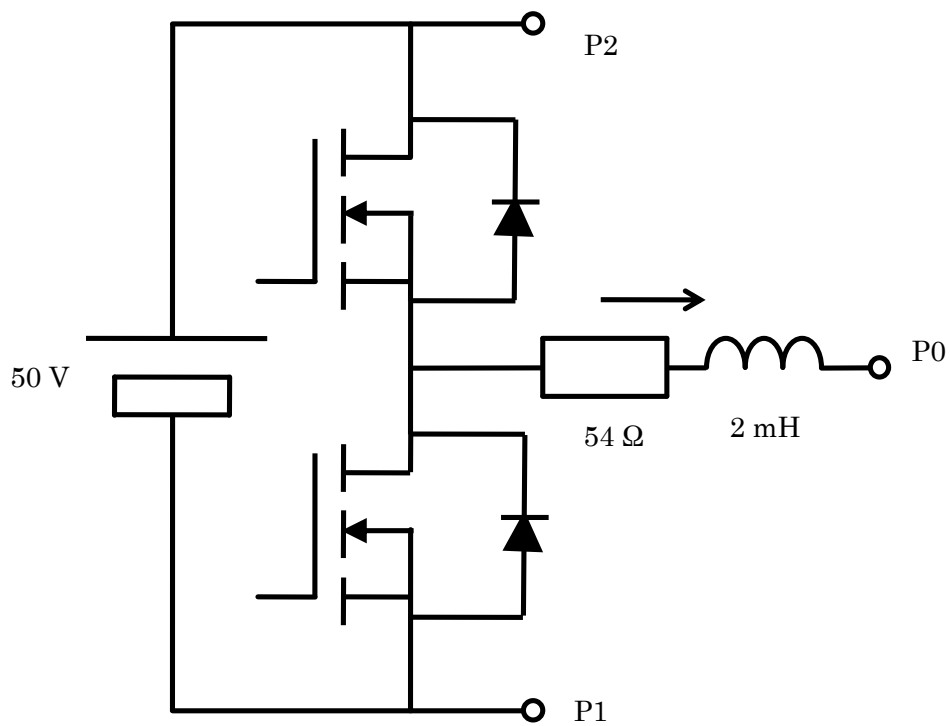


Fig. 3-29. Circuit of proposed method by current polarity

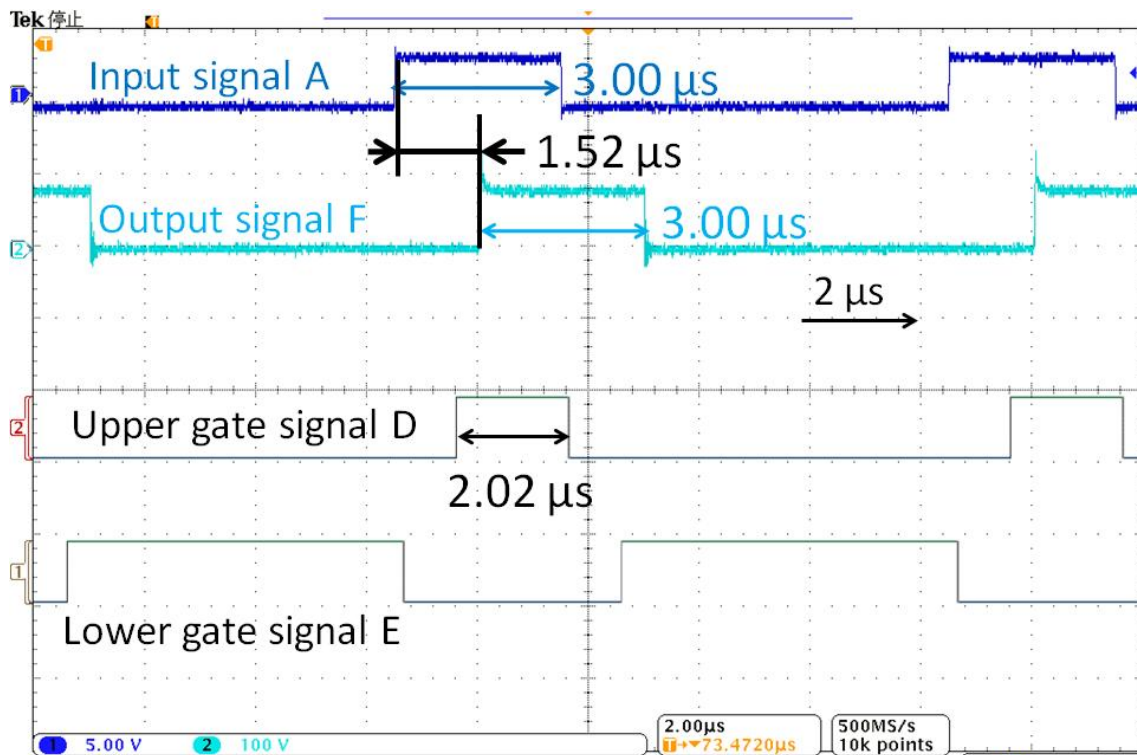


Fig. 3-30. Proposed compensation when  $i = 0$

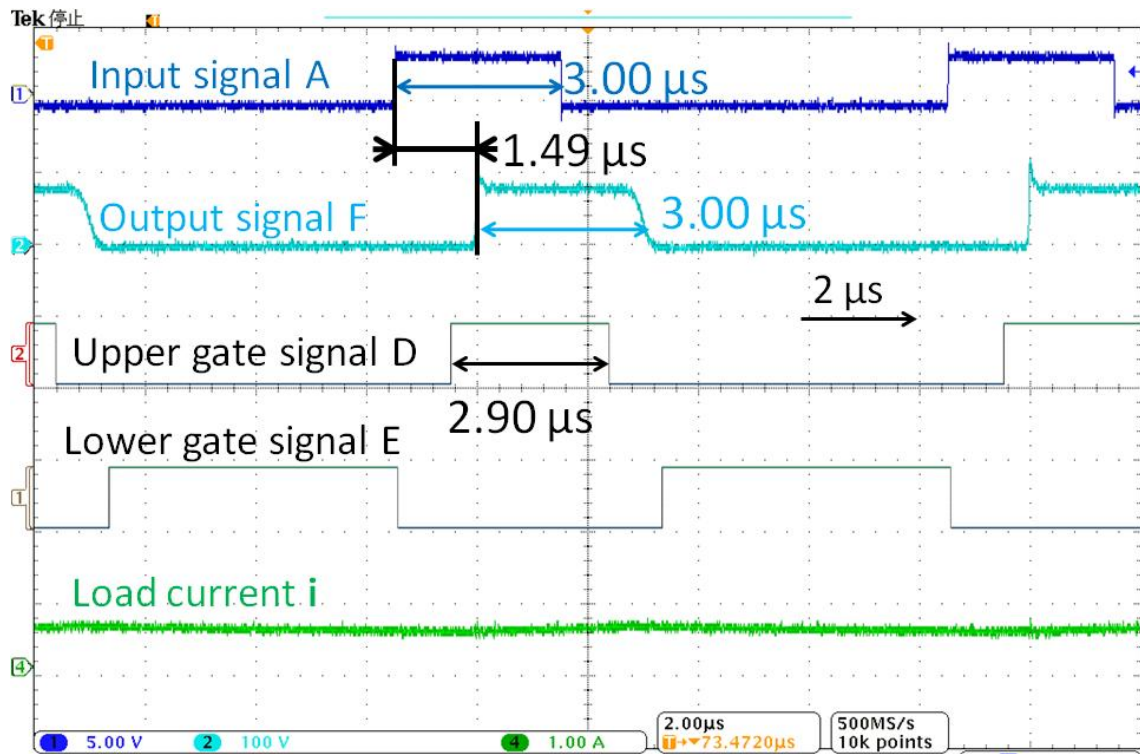


Fig. 3-31. Proposed compensation when  $i > 0$

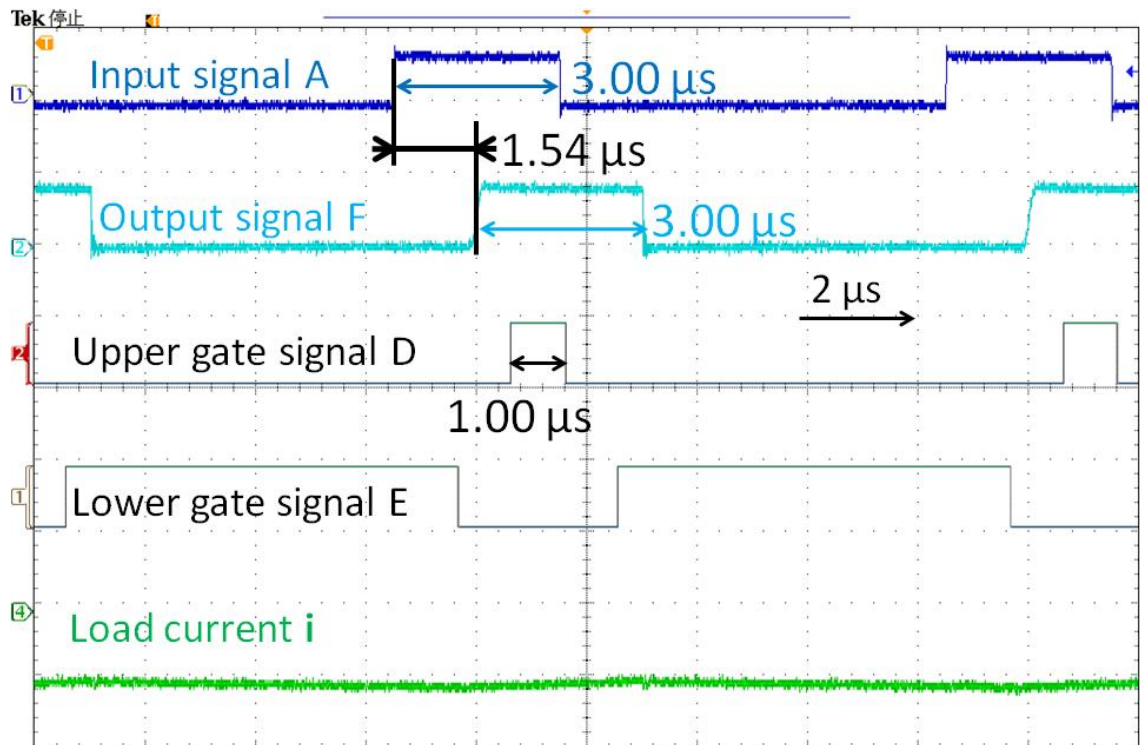


Fig. 3-32. Proposed compensation when  $i < 0$

### 3.6.5 提案法による正弦波のひずみ低減

最後に、デッドタイムの影響により発生する出力電圧ひずみの補償実験を行う。ファンクションジェネレータより、キャリア周波数 100 kHz、基本波周波数 50 Hz の PWM 信号を生成し入力信号として用いた。変調率を変化させることで、出力基本波の振幅を制御でき、電圧利用率について評価する。ひずみの評価は、波形の THD(Total Harmonics Distortion)を測定することで行う。100 kHz の PWM 出力電圧波形の THD を精密に測定することは難しいため、出力電流の THD を評価する。出力電流の THD と電流振幅はデジタルパワーメータ(WT1030, Yokogawa)を用いて測定した。Fig. 3-33 にひずみ低減実験の回路図を示す。ハーフブリッジインバータで負荷に交流電流を流すため、25 V の直流電源を 2 つ直列に接続し、その中性点に LR 負荷の一端を接続した。

Fig. 3-34,3-35 に、変調率 50%における補償なし、提案法による補償ありの出力電流波形を示す。変調率 50%において、最小パルス幅は 2.5  $\mu$ s であるため、提案法の通常補償動作のみで補償されている。Fig. 3-34 では、デッドタイム補償が行われていないため、ゼロクロス点を中心に出力電流波形が振幅が減少するようにひずんでいることが確認できる。この電流波形の THD は 11.98%となっており、基本波の電流振幅 0.721 A に対し、3 次高調波は 85.4 mA となっており 5 次、7 次を確認しても低次高調波が多く含まれていることが確認できる。それに対して Fig. 3-35 の電流波形は、ほとんどひずみが確認できず THD は 0.28%となっている。さらに、電圧振幅の減少がなくなったため、基本波の電流振幅は 1.52 A と補償なしの 0.721 A に対し大きく向上していることが確認できる。

Fig. 3-36,3-37 に、変調率 98%における補償なし、補償ありの出力電流波形を示す。変調率 98%において、最小パルス幅は 0.1  $\mu$ s とデッドタイムより細い入力パルスとなる。提案法の通常補償動作が可能な最小パルス幅は 1.5  $\mu$ s となっており、それ以下の細かいパルスは微細パルス補償動作によって補償される。Fig. 3-36 は、やはりデッドタイムの影響に振幅が減少した波形となっており、THD は 10.16%となっている。それに対して Fig. 3-37 は、提案法の通常補償動作と微細パルス補償動作によりほとんどひずみのない波形となっている。THD は 0.4%となっており、微細パルス補償動作による出力電圧のパルス数の減少がひずみにほとんど影響を与えないことが確認した。また基本波電流振幅は 3.02 A と補償なしの 2.05 A に比べ大きく向上していることが確認できる。以上の結果から提案法は、実質的に入力できるパルス幅の制限がなく、またひずみによる基本波の電流振幅減少を抑え、指令値通りの振幅を出力することができ、低ひずみかつ高い電圧利用率を有していることを確認した。

PWM 信号のキャリア周波数は 100 kHz のまま、出力基本波周波数を変更しその THD を評価した。Fig. 3-38 に出力基本波 10 Hz、Fig. 3-39 に出力基本波 500 Hz の出力電流波形を示す。Fig. 3-38 では、上の実験に比べ出力基本波周波数が下がっているが、それでも THD は 0.67%と非常にひずみの少ない電流波形を出力できることを確認した。Fig. 3-39 では、

500 Hz と上記の実験の 10 倍の出力基本波周波数を設定しているが、それでも THD は 0.42% とひずみの少ない電流を出力している。

提案法を、現在広く用いられているキャリア周波数 20 kHz のインバータの補償実験を行った。ファンクションジェネレータにより、キャリア周波数 20 kHz の PWM 信号を生成し入力信号に用いた。出力基本波は上の実験と同じく 50 Hz としたデッドタイムは、IGBT を用いた 20 kHz インバータを想定し 3.5  $\mu$ s とし、変調率は 98% とした。Fig. 3-40、3-41 に 20 kHz インバータの補償なし、補償ありの波形を示す。Fig. 3-40 は、Fig. 3-34, 3-36 と同じくゼロクロス点を中心に出力電流の振幅を減少させるような波形をしており、THD は 7.2% となっている。それに対して Fig. 3-41 では、THD は 0.61% と補償によりひずみが低減されているのが確認できる。この実験より、提案法は高周波 PWM インバータにのみ有効なのではなく、現行のインバータの低ひずみ化、電圧利用率の向上にも効果があることを示された。

本章では、従来法の問題を解決するため、改良法と提案法を新たに提案した。改良法は、従来法の補償可能な入力信号のパルス幅に比べ細いパルスも補償でき、また微細パルスが入力された際には、正弦波のピーク値付近の電圧は出力できず出力電圧の正弦波はひずむが、常にキャリア周波数と等しい出力信号を出力し続けることが可能である。提案法は、従来法よりも細いパルスを補償出来る上、微細パルスに対しては出力信号の周波数を低下させながらも平均出力電圧を等しくできる。その結果、ひずみ率を 1% 以下にまで低減しながら、どんな幅のパルスであっても補償が可能でありインバータの電圧利用率を理論限界まで向上可能であることを示した。

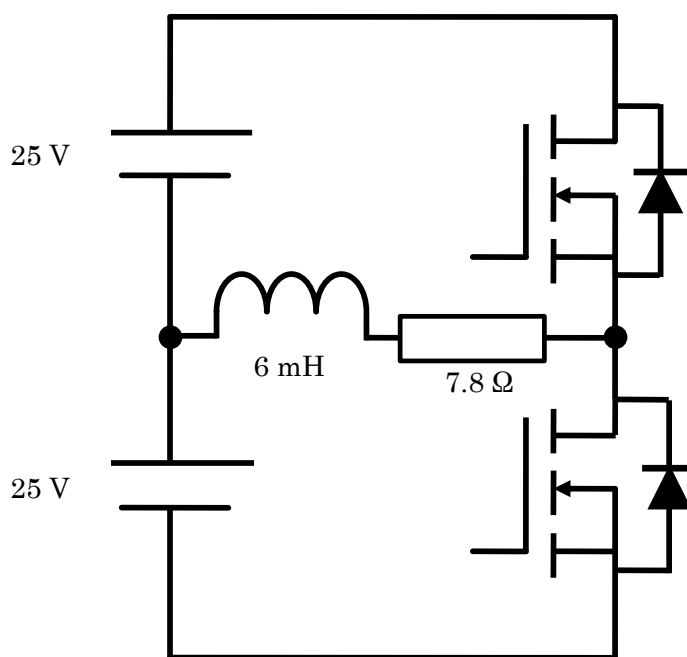


Fig. 3-33. Experimental circuit of eliminating distortion

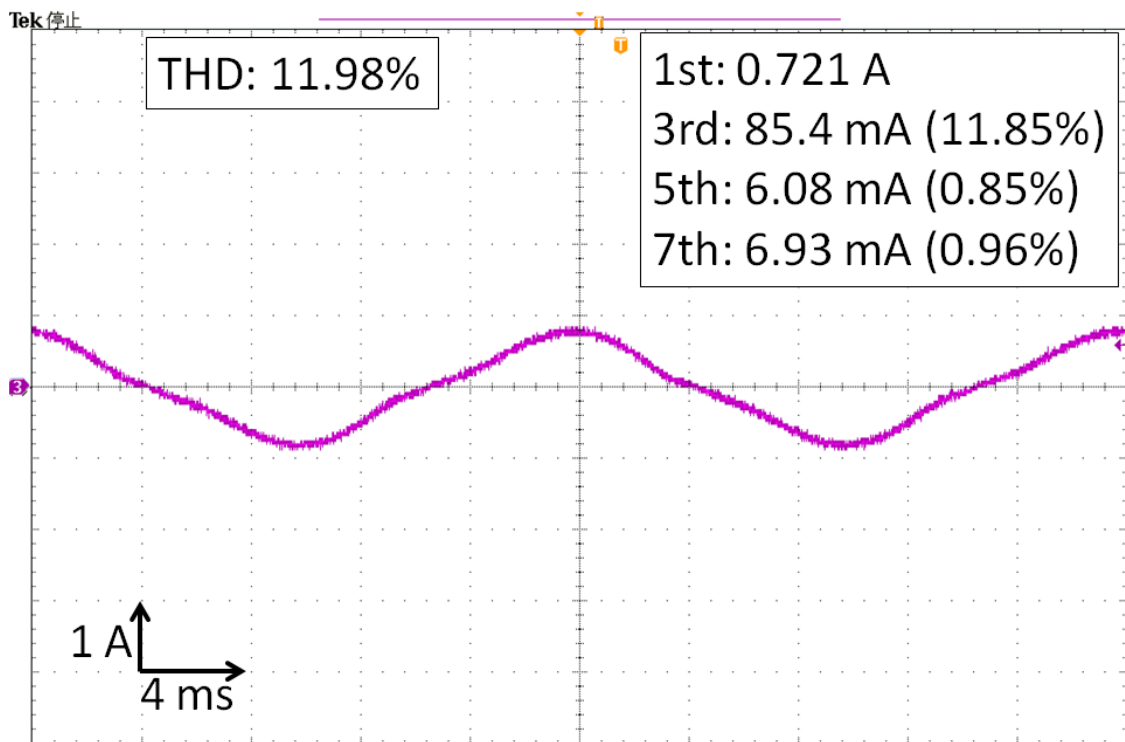


Fig. 3-34. Current waveform without compensation  
(carrier: 100 kHz, current frequency : 50 Hz, modulation index:50%)

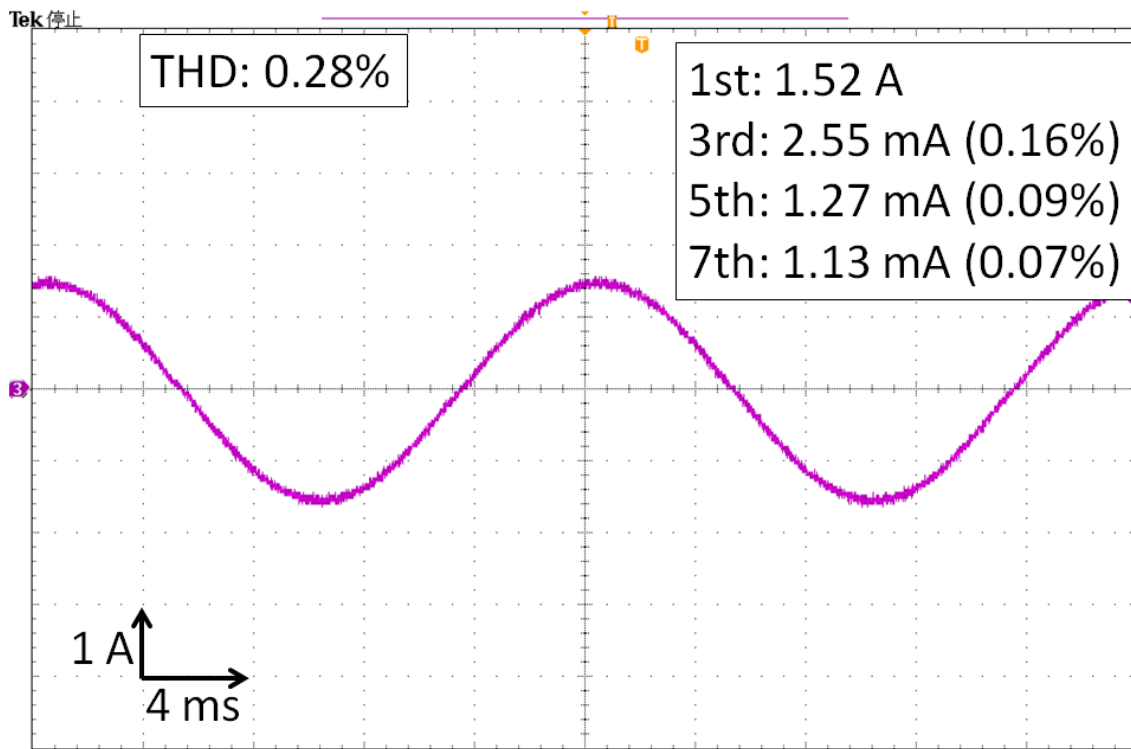


Fig. 3-35. Compensated current waveform  
(carrier: 100 kHz, current frequency : 50 Hz, modulation index:50%)

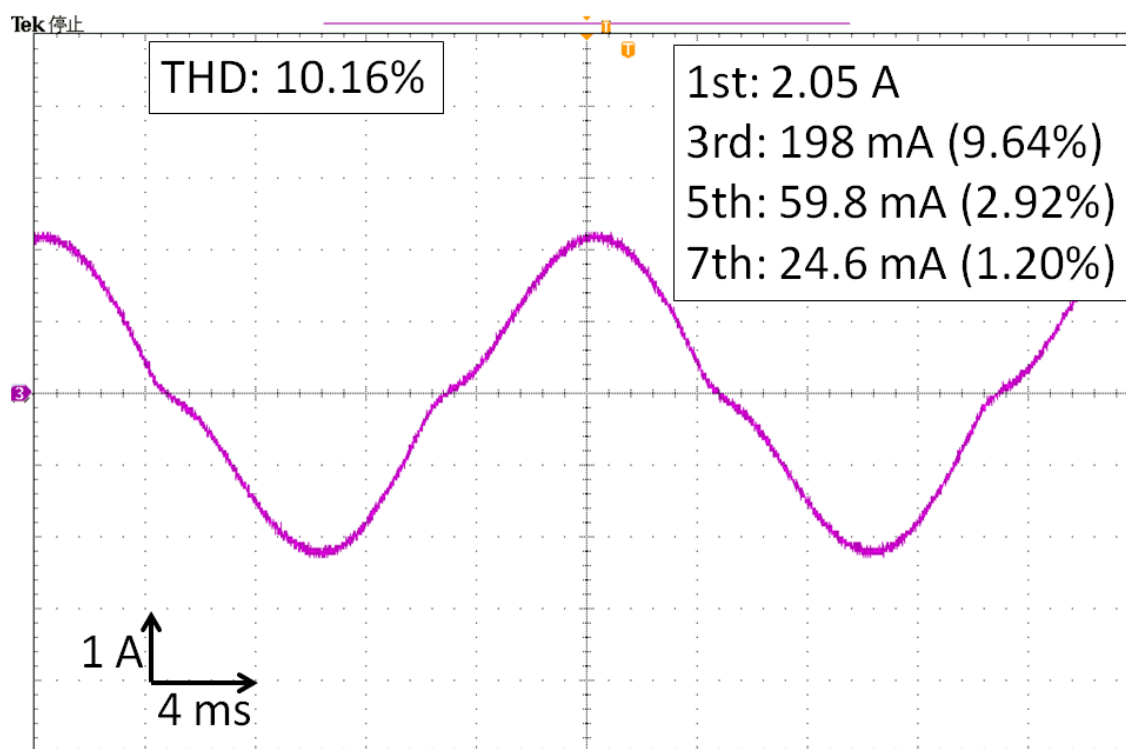


Fig. 3-36. Current waveform without compensation  
(carrier: 100 kHz, current frequency : 50 Hz, modulation index:98%)

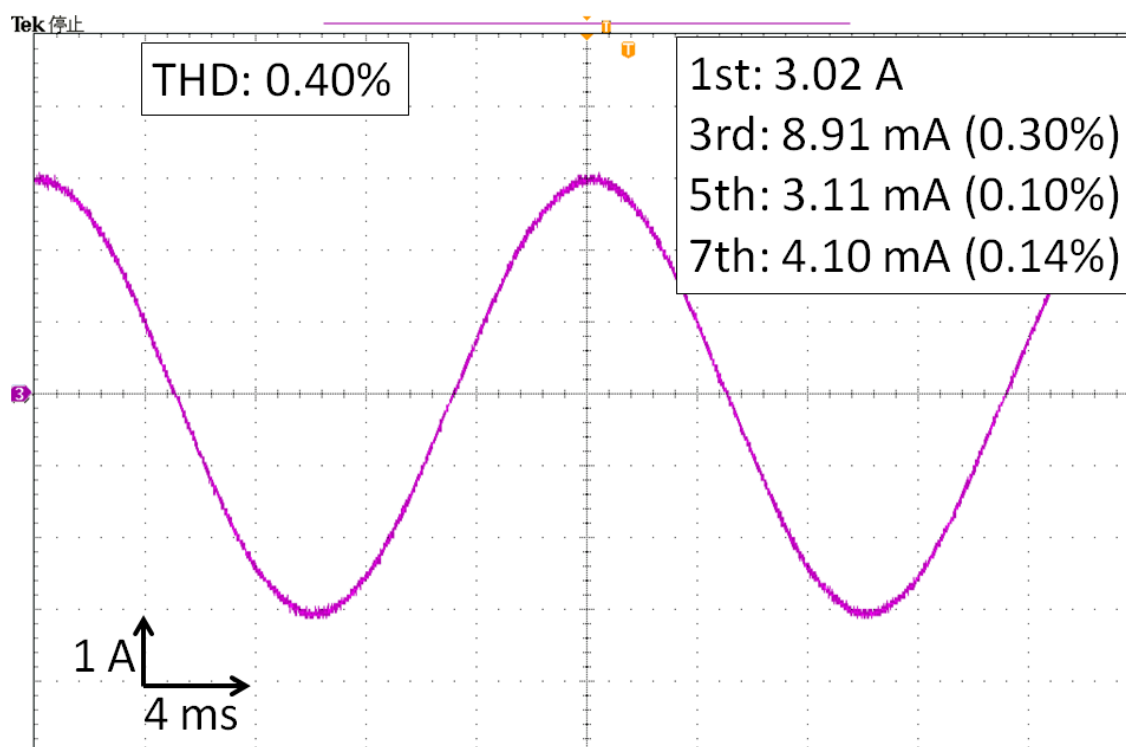


Fig. 3-37. Compensated current waveform  
(carrier: 100 kHz, current frequency : 50 Hz, modulation index:98%)

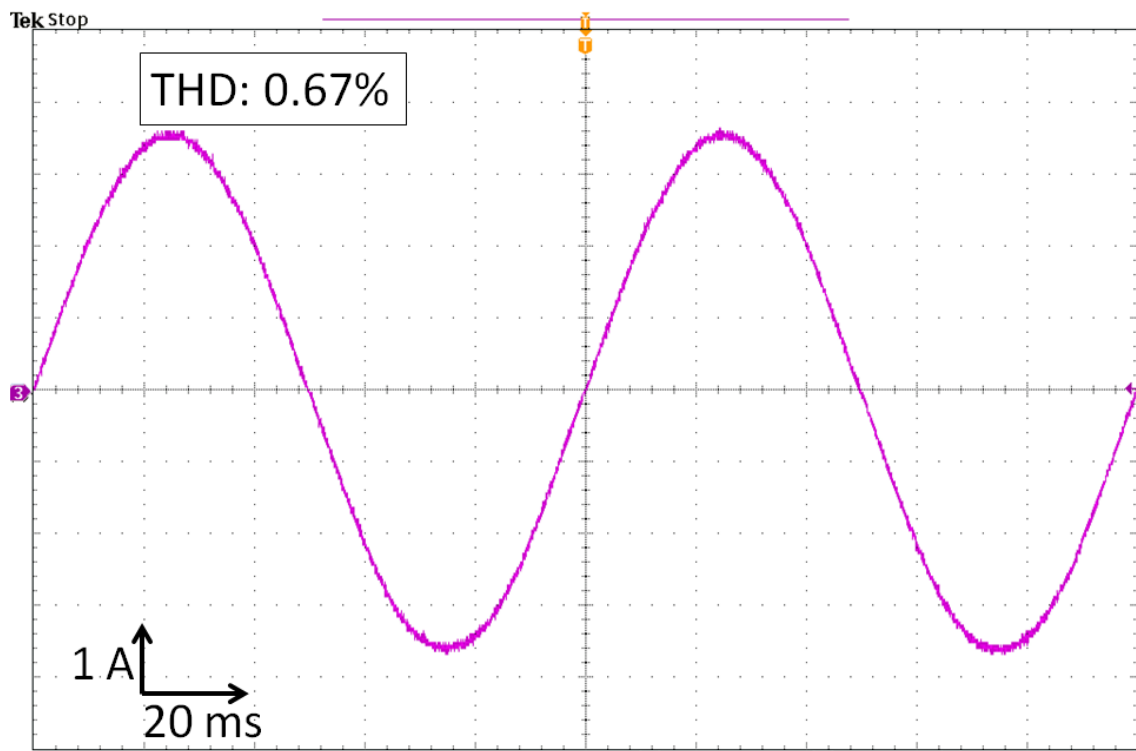


Fig. 3-38. Compensated current waveform  
(carrier: 100 kHz, current frequency : 10 Hz, modulation index:98%)

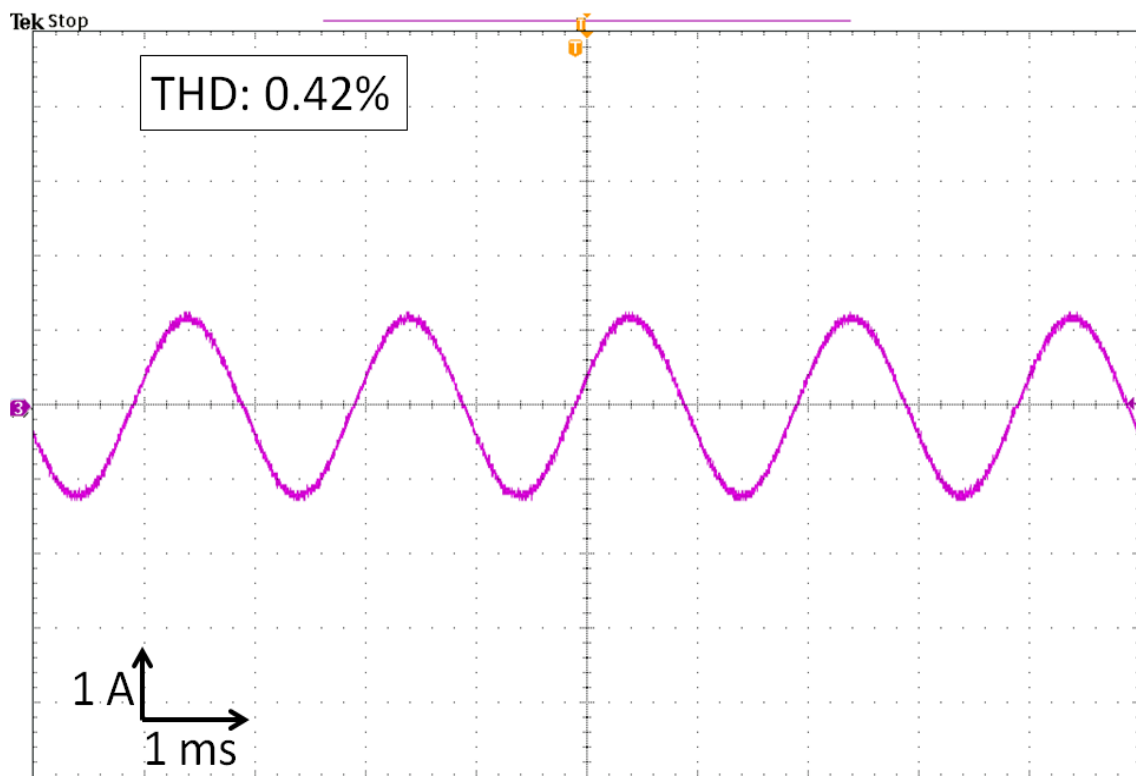


Fig. 3-39. Compensated current waveform  
(carrier: 100 kHz, current frequency : 500 Hz, modulation index:98%)

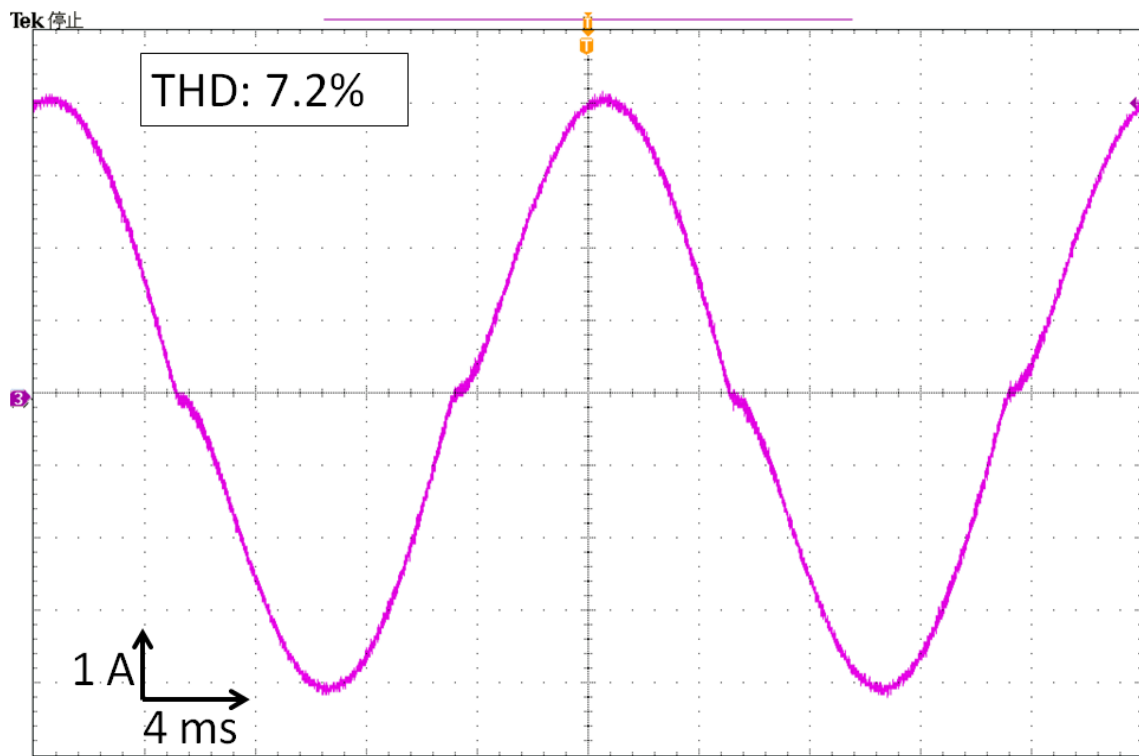


Fig. 3-40. Current waveform without compensation  
(carrier: 20 kHz, current frequency : 50 Hz, modulation index:98%)

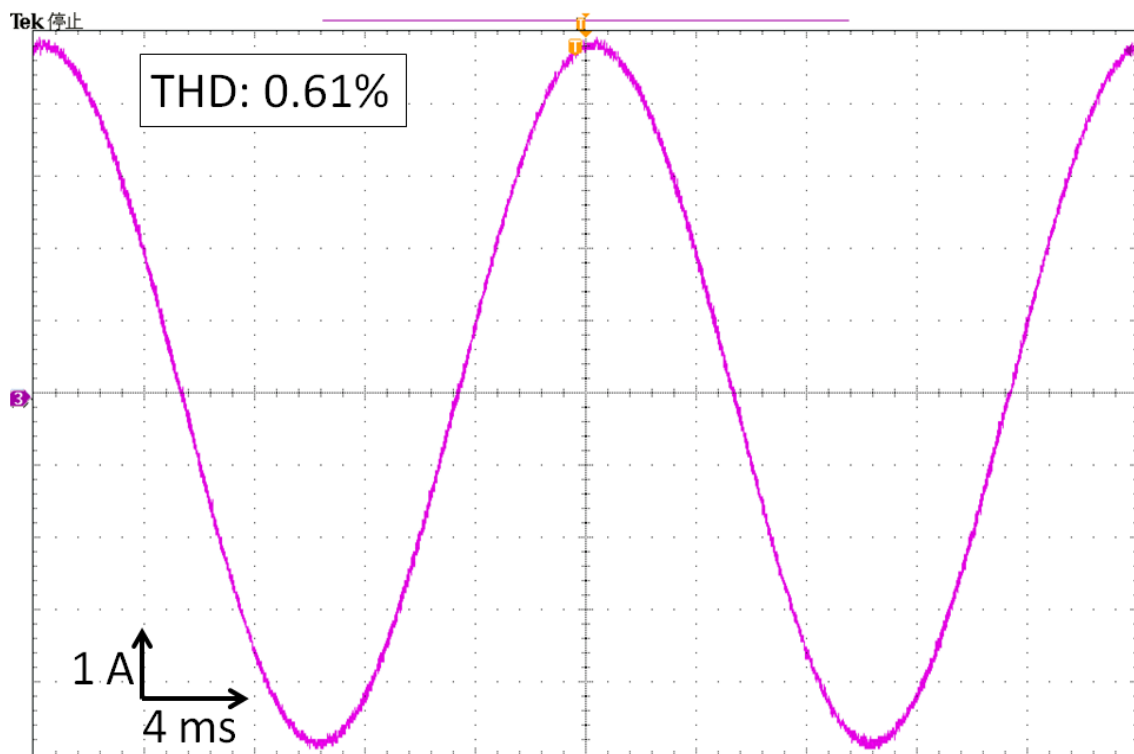


Fig. 3-41. Compensated current waveform  
(carrier: 20 kHz, current frequency : 50 Hz, modulation index:98%)

## 第4章 アクティブコモンノイズキャンセラ

本章では、アクティブコモンノイズキャンセラ（以後ACC）の小型化と空間ベクトル変調(SVPWM)インバータに適用可能な新しいACCの回路構成について述べる。ACCのコモンモードトランスは、キャリア周波数を増加させると小型化が可能となる。100 kHz PWMインバータ用ACCのコモンモードトランスを設計・製作し、10 kHz PWMインバータ用ACCと比較を行う。次に、ACCの回路構成の見直しを行い、SVPWMインバータ適用可能な新しいACCの回路構成を提案する。新しいACCの回路構成は、SVPWMインバータが発生させるコモンモード電圧の高周波成分のみを除去する。上で設計した小型なコモンモードトランスを用いてSVPWMインバータのコモンモード電圧除去実験を行った。

### 4.1 ACC の設計

#### 4.1.1 パワートランジスタとコモンモードトランスの設計

ACCの設計時に考慮することは、パワートランジスタに流れる電流とそれによって発生するコレクタ損失が定格内に収まること、コモンモードトランスのコアが磁気飽和を起こさないようにすることの2点である。 Fig. 4-1に励磁電流とコモンモード電圧の関係、Fig. 4-2に各期間の各パワートランジスタのコレクタ損失を示す。この時、パワートランジスタに流れる電流ならびにコレクタ損失が最大となる3相が同時にスイッチングした場合を想定した。この条件下でパワートランジスタの定格を満たせば、全ての条件下で定格に収まることになる。3相同時にスイッチングすることで発生するコモンモード電圧は、Fig.2-17のような $E_{dc}/3$ で変化するステップ状の波形ではなく、 $-E_{dc}/2$ と $E_{dc}/2$ が瞬時に切り替わる方形波となっている。励磁電流は $i_m$ は、コモンモード電圧が $E_{dc}/2$ の時に増加し $-E_{dc}/2$ の時に減少する。よって、励磁電流の最大値 $I_m$ は以下のように表される

$$I_m = \frac{E_{dc}T}{8L_m} \dots \dots \dots (4.1)$$

このとき、 $L_m$ はコモンモードトランスの励磁インダクタンスを示している。Fig. 4-2(a)が示している期間Ⅰでは、Tr1が導通しTr2に $E_d$ が印加された状態である。その時 $i_m$ の極性は正であり、Tr1に励磁電流が流れる。Tr1は電流が流れているが電圧が印加されていないため損失0、Tr2は $E_{dc}$ が印加されているが電流が流れていないため損失が発生せず、この期間ではエミッタフォロア回路の損失は発生しない。Fig. 4-2(c)が示す期間Ⅲでは、期間Ⅰと同じく損失が発生しない。Fig. 4-2(b)が示す期間Ⅱでは、Tr1が導通しTr2に $E_{dc}/2$ が印加された状態である。その時、 $i_m$ の極性は負でありTr2に電流が流れているため、損失が発生する。この時のTr2の平均コレクタ損失 $P_e$ は

$$P_e = \frac{T}{4} \cdot I_m \cdot \frac{1}{2} \cdot E_{dc} \cdot \frac{1}{T} = \frac{E_{dc} \cdot I_m}{8} \dots \dots \dots (4-2)$$

と表される。Tr1の平均コレクタ損失も同様に導出される。さらにTr2に流れる励磁電流の

最大値 $I_m$ は式(4-2)より

$$I_m \leq \frac{8 \cdot P_e}{E_{dc}} \dots \dots \dots (4-3)$$

を満足する必要がある。よって、エミッタフォロア回路のパワートランジスタは上記の式で導出された $P_e$ ならびに $I_m$ を満たすものが選定される必要がある。

コモンモードトランスは、磁気飽和が生じないように設計を行う必要がある。コモンモードトランスの励磁インダクタンスは、(4-3)式より、

$$L_m \geq \frac{E_{dc}/2}{I_m} \cdot \frac{T}{4} \dots \dots \dots (4-4)$$

を満たす必要がある。次にコモンモードトランスのコアを選定する。励磁インダクタンスと励磁電流のピーク値から、コア内に発生する磁束密度の最大値 $B_{max}$ は

$$B_{max} = \frac{L_m I_m}{k A_e N} = \frac{(E_{dc}/2) \cdot (T/4)}{k A_e N} \dots \dots \dots (4-5)$$

で示される。このとき、 $k$ はコアの個数、 $A_e$ はコアの実行断面積、 $N$ は巻線のターン数である。この磁束密度の最大値 $B_{max}$ が、コアの材質で決定する飽和磁束密度 $B_s$ を超えないように $k$ と $N$ を決定する。上記の式から $k$ と $N$ の条件を導出すると、以下の式となる。

$$kN > \frac{E_{dc} T}{8 A_e B_s} \dots \dots \dots (4-6)$$

式(4-6)を満たさない場合、コア内部に発生する磁束によりコモンモードトランスは磁気飽和を起し、コモンモード電圧の除去が行えなくなる。さらに $k$ と $N$ のパラメータを決定する際に、銅線の断面積とトロイダルコアの窓面積により $N$ の値に制限があることを留意する。これらの値からコモンモードトランスの励磁インダクタンスは、以下の式で表される。

$$L_m = k N^2 \cdot AL \dots \dots \dots (4-7)$$

この式で導出された励磁インダクタンスが式(4-4)を満足していれば、パワートランジスタに流れる電流ならびにコレクタ損失が定格値を超えることはなくなる。これらの式を用いて10 kHz用ACCが設計されている。

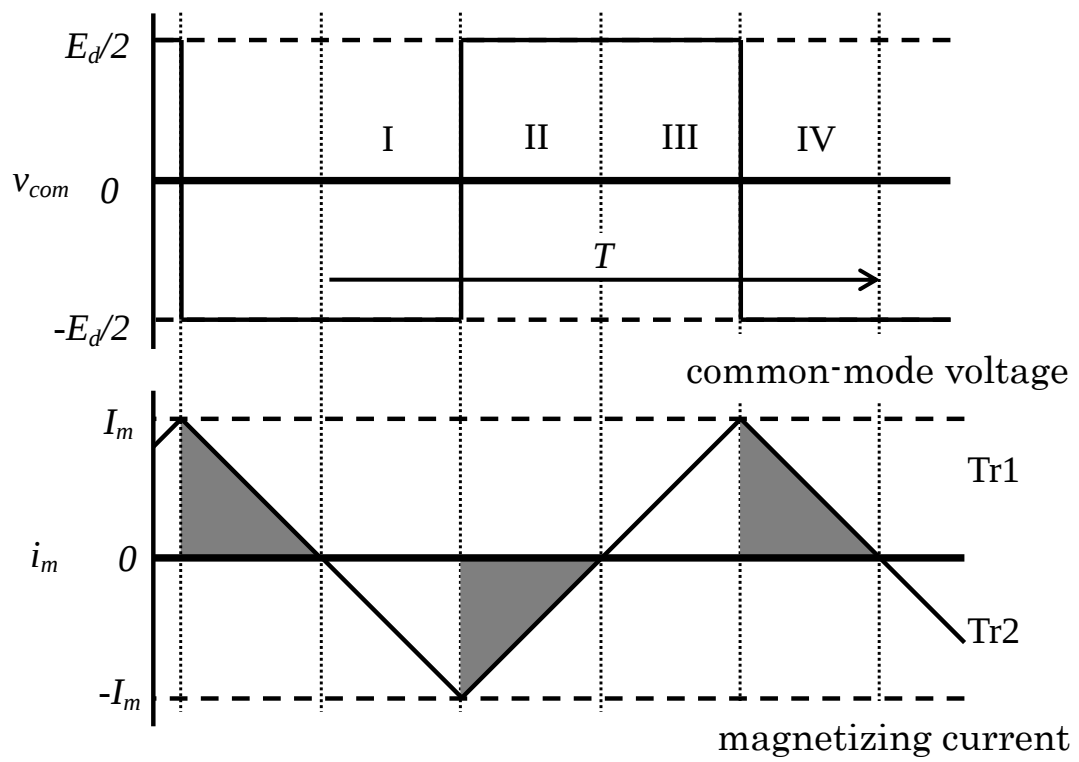


Fig. 4-1. Common-mode voltage and magnetizing current

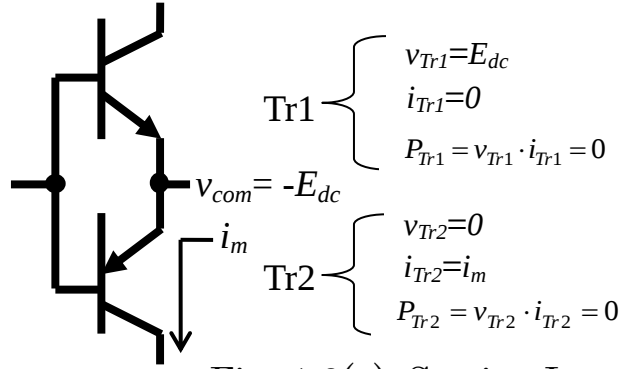


Fig. 4-2(a). Section I

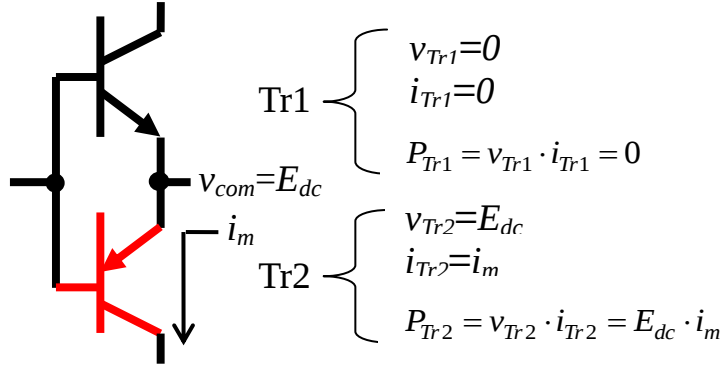


Fig. 4-2(b). Section II

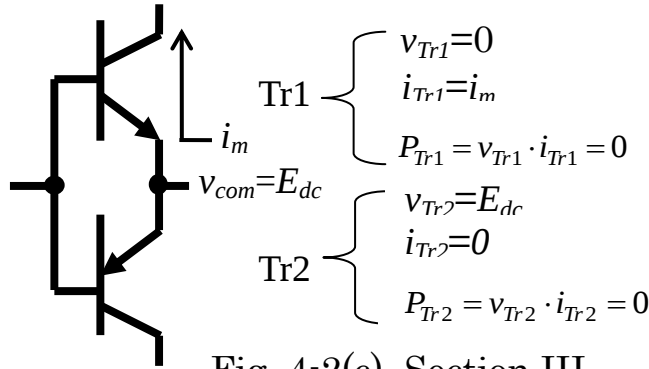


Fig. 4-2(c). Section III

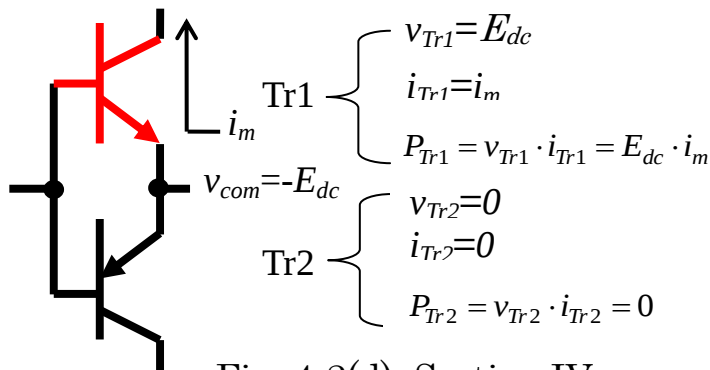


Fig. 4-2(d). Section IV

Figs. 4-2. Collector dissipation of each section

#### 4.1.2 10 kHz PWM インバータ用の ACC の設計

10 kHz PWM インバータ用ACC(以後、10 kHz用ACC)の設計法を示す。インバータの直流電源電圧 $E_{dc}$ は282 Vとし、キャリア周波数は10 kHzであるためキャリアの一周期の時間 $T$ は10  $\mu$ sとなる。まずパワートランジスタを選定する。Table4-1に、選定されたコンプレメンタリのパワートランジスタ2SA1772, 2SC4615の仕様を示す。このパワートランジスタは、高耐圧かつ高い電流増幅率を持ち、さらに高いゲインバンド幅を持ち高速動作が可能である。式(4-1)から、励磁電流の最大値は一つのトランジスタの平均コレクタ損失 $P_e$ は

$$P_e = \frac{E_{dc} I_m}{8} = 35.3 I_m \dots \dots \dots (4-8)$$

となる。選定したパワートランジスタのコレクタ損失の絶対定格は15 Wであるため、励磁電流のピーク値 $I_m$ は

$$I_m \leq \frac{8 \cdot P_e}{E_{dc}} = \frac{15}{35.3} = 0.425 \text{ A} \dots \dots \dots (4-9)$$

の条件を満たさなければならない。この励磁電流の最大値を用いてコモンモードトランスの設計を行う。励磁電流の最大値より、励磁インダクタンスは以下の式を満たす必要がある。

$$L_m \geq \frac{E_{dc}/2}{I_m} \cdot \frac{T}{4} = 8.29 \text{ mH} \dots \dots \dots (4-10)$$

次はコモンモードトランスを設計する。Table 4-2に、10 kHz用ACCのコモンモードトランスに採用されたフェライトコアの仕様を示す。これにより、 $kN$ の値は

$$kN > \frac{E_{dc} T}{8 A_e B_s} = 57.7 \dots \dots \dots (4-11)$$

を満足する必要がある。巻線には2 mm<sup>2</sup>の銅線を使用し、フェライトコアの内径を考慮した10 kHz用ACCでは、 $k=3$ 、 $N=22$ としている。これらのパラメータを用いて励磁インダクタンスを求めると

$$L_m = kN^2 \cdot AL = 3 \times 22^2 \times 13.2 \times 10^{-6} = 19.2 \text{ mH} \dots \dots \dots (4-12)$$

となり、式(4-10)を満足する。 $k=3$ のコモンモードトランスのコアの総重量は516 gとなる。これらの式を元に製作された10 kHz用ACCをFigs.4-3に示す。Fig.4-3(a)中の左側がACCの回路部分となっており、コモンモードトランスがいかにACCの大部分を占めているかが確認できる。次節では、100 kHz PWMインバータ用のACCを設計し、コモンモードトランスの小型軽量化を図る。

Table 4-1. Specification of power transistors

|                              | 2SC4615      | 2SA1772      |
|------------------------------|--------------|--------------|
| Collector-to-Base voltage    | 400 V        | -400 V       |
| Collector-to-Emitter voltage | 400V         | -400 V       |
| Emitter-to-Base voltage      | 5 V          | -5 V         |
| Collector current            | 1 A          | -1 A         |
| Collector current(Pulse)     | 2 A          | -2 A         |
| Collector Dissipation        | 15 W         | 15 W         |
| DC Current Gain( $h_{FE}$ )  | 100-200      | 100-200      |
| Gain-Bandwidth product       | 70 MHz       | 50 MHz       |
| Turn-on time                 | 0.11 $\mu$ s | 0.25 $\mu$ s |
| Storage time                 | 4.0 $\mu$ s  | 3.0 $\mu$ s  |
| Fall time                    | 0.65 $\mu$ s | 0.3 $\mu$ s  |

Table 4-2. Specification of the core of the common-mode transformer for 10 kHz inverters

| H1D T60×20×36(TDK)       |       |      |                          |
|--------------------------|-------|------|--------------------------|
| Effective sectional area | $A_e$ | 235  | $\text{mm}^2$            |
| AL value                 | AL    | 13.2 | $\mu\text{H}/\text{N}^2$ |
| Saturation magnetic flux | $B_s$ | 260  | mT                       |
| Weight                   |       | 172  | g                        |

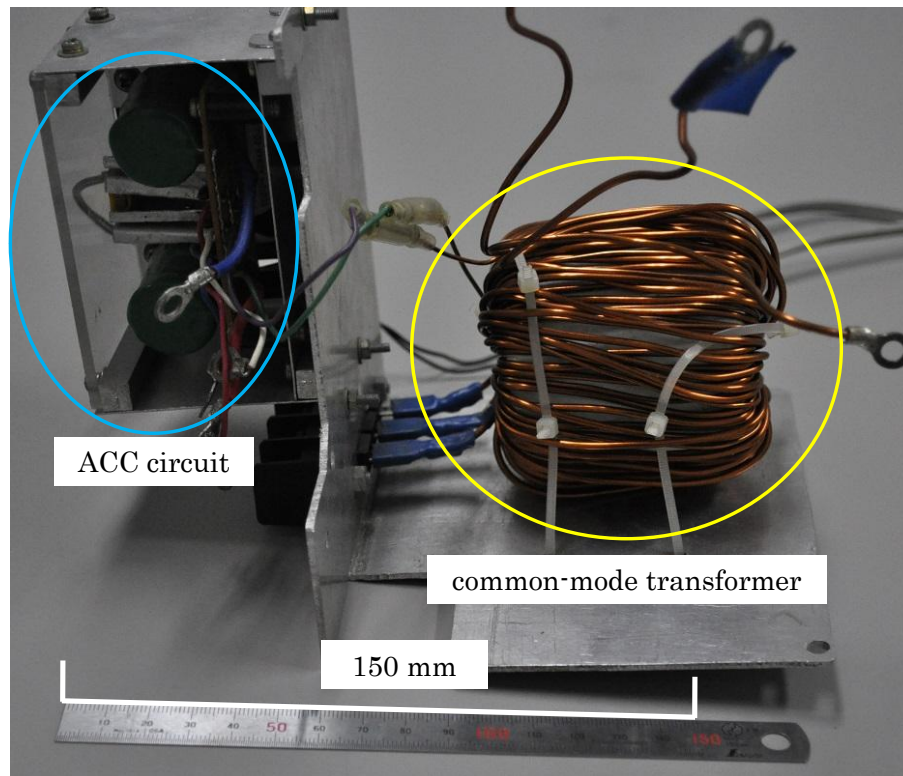


Fig. 4-3(a). Common-mode transformer and main circuit

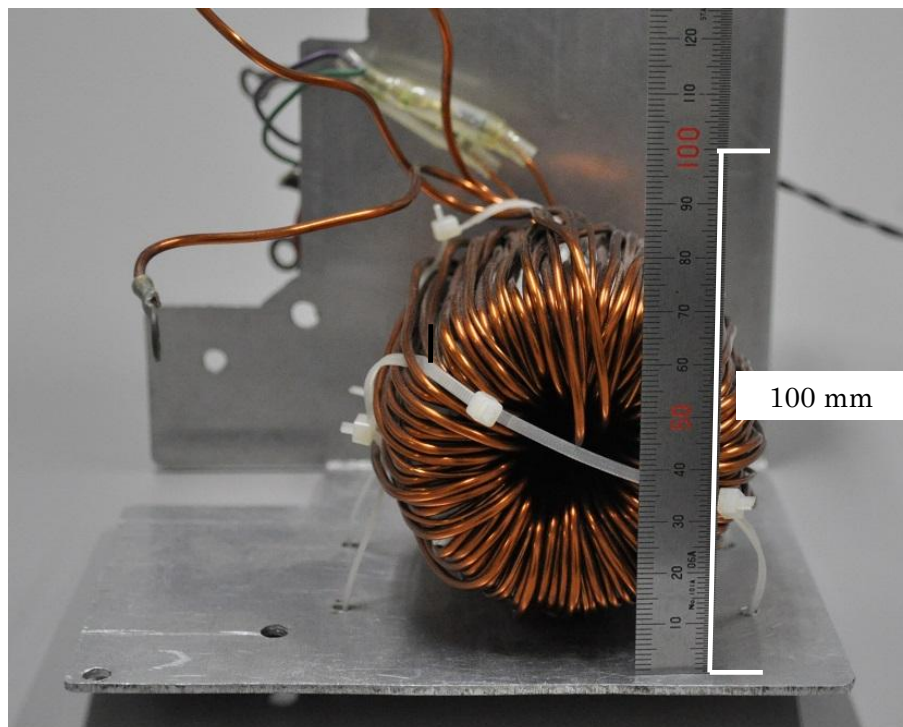


Fig. 4-3(b). Size of common-mode transformer

Figs. 4-3. Constructed ACC for 10 kHz PWM inverters

#### 4.1.3 100 kHz PWM インバータ用の ACC

4.4.1の式を用いて、100 kHzインバータ用ACC(以後、100 kHz用ACC)を設計する。インバータの高周波化によりACCのコモンモードトランスが小型化できることを示すため、可能な限り条件を10 kHz用ACCと同じとしインバータの直流電源電圧 $E_{dc}=282\text{ V}$ とした。しかしキャリア周波数が100 kHzであるため、キャリアの一周期 $T=10\text{ }\mu\text{s}$ となる。またパワートランジスタについても調査を行ったが、高耐圧、高速動作可能かつ高い電流増幅率をもつコンプリメンタリのパワートランジスタは種類が限られているため、前節と同じ2SA1772, 2SC4615を用いた。よって、 $P_e$ と $I_m$ は式(4-8)(4-9)は前節と同様である。これらのパラメータを用いて励磁インダクタンスを導出すると

$$L_m \geq \frac{E_{dc}/2}{I_m} \cdot \frac{T}{4} = 829\text{ }\mu\text{H} \cdot \cdot \cdot \cdot \cdot \cdot \cdot (4-13)$$

と、前節の式(4-10)に比べ1/10となる。励磁インダクタンスの最小値が小さくなるということは、式(4-7)中のコアのサイズにかかわる実行断面積 $A_e$ やコアの数 $k$ を小さくすることが可能となる。この値を踏まえ選定したフェライトコアの仕様をTable 4-3に示す。この値を用いて導出した $kN$ の条件は

$$kN > \frac{E_d T}{8A_e B_s} = 8.05 \cdot \cdot \cdot \cdot \cdot \cdot \cdot (4-14)$$

を満たすこととなる。コモンモードトランスを小型軽量に設計するにあたり、最も影響を与える数値は $k$ である。 $k=1$ とすることでコモンモードトランスの小型軽量化が実現できる。

Fig. 4-4に、試作した100 kHz用ACCのコモンモードトランスを示す。巻線は、 $0.8\text{ mm}^2$ の細い銅線を8本束ねて巻くことで、断面積と巻きやすさの両方を確保した。ターン数を増加させると励磁電流を低減するため、可能な限りターン数を増やし15ターンとした。Fig. 4-5に10 kHz用ACCと100 kHz用ACCのコモンモードトランスの比較写真を示す。図から100 kHz用ACCのコモンモードトランスは大幅に小型化していることが確認できる。さら100 kHz用ACCのコモンモードトランスの $kN$ の値には余裕があり、さらに小型なコアを選定する余地が残されている。Table 4-4に二つのコモンモードトランスのパラメータの比較を示す。100 kHz用ACCのコアの重量は85 gと、10 kHz用ACCのコアの516 gに対して約16%の重量になっている。次節ではこの100 kHz用ACCを用いて100 kHz PWMインバータのコモンモード電圧除去実験を行う。

Table 4-3. Specification of the core of the common-mode transformer for 100 kHz inverters

| MA055 R-47/27/15A(JFE ferrite) |       |      |                          |
|--------------------------------|-------|------|--------------------------|
| Effective sectional area       | $A_e$ | 146  | $\text{mm}^2$            |
| AL value                       | AL    | 9.15 | $\mu\text{H}/\text{N}^2$ |
| Saturation magnetic flux       | $B_s$ | 300  | mT                       |
| Weight                         |       | 85.4 | g                        |

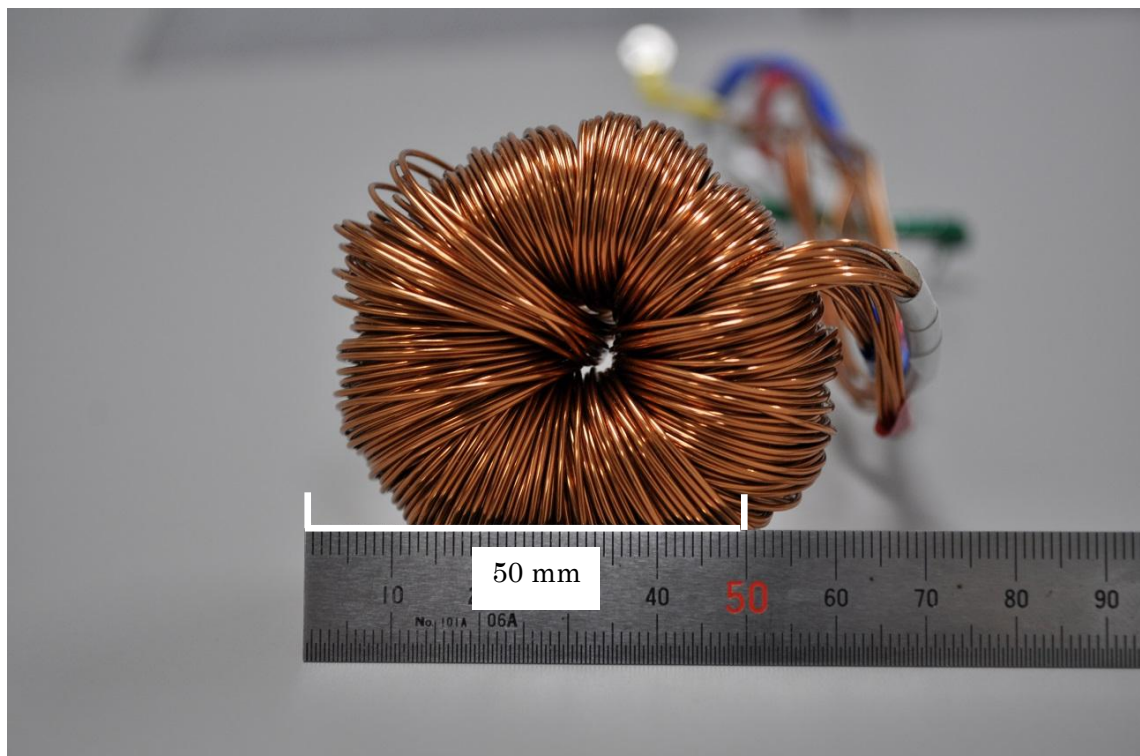


Fig. 4-4. Constructed common-mode transformer for a 100 kHz inverter

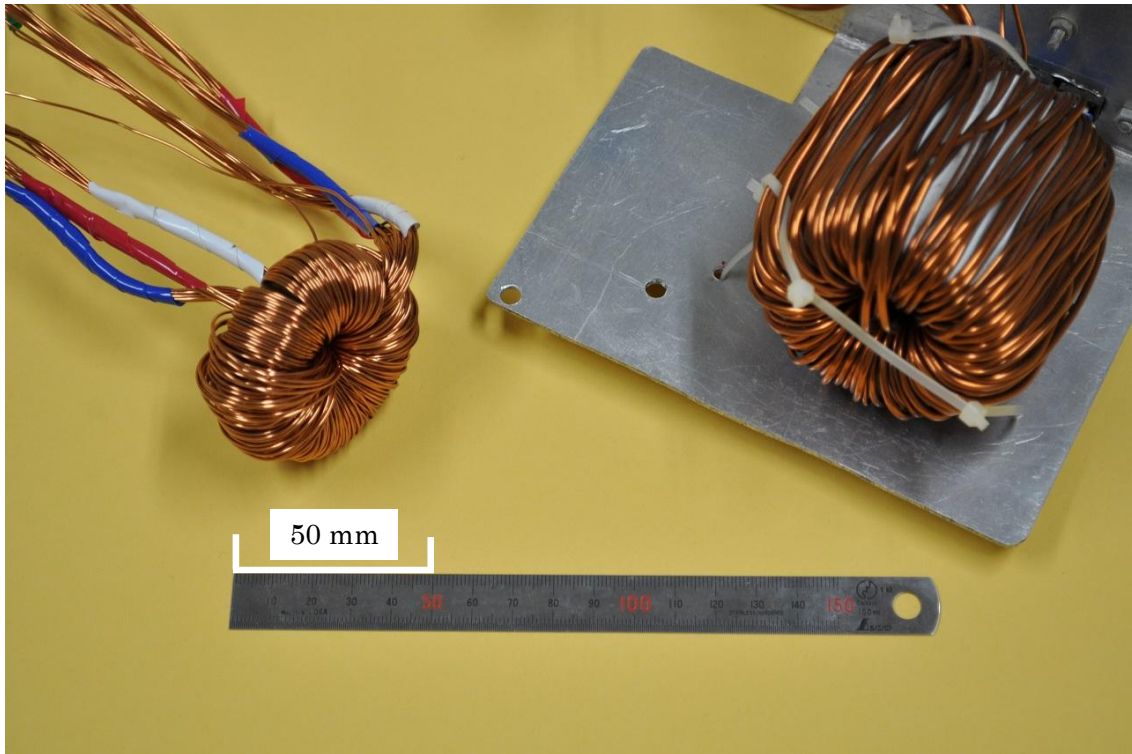


Fig. 4-5. Common-mode transformer for a 100 kHz inverter and a 10 kHz inverter

Table 4-4. Parameters of common-mode transformers

|                                  |       | ACC for 10 kHz inverters | ACC for 100 kHz inverters |
|----------------------------------|-------|--------------------------|---------------------------|
| PWM period                       | $T$   | 100 $\mu\text{s}$        | 10 $\mu\text{s}$          |
| Number of the core               | $k$   | 3                        | 1                         |
| Total weight of the core         |       | 516 g                    | 85 g                      |
| Turn number                      | $N$   | 22                       | 15                        |
| Magnetizing inductance           | $L_m$ | 19.2 mH                  | 2.06 mH                   |
| Maximum magnetizing current      | $I_m$ | 184 mA                   | 171 mA                    |
| Maximum interlinkage flux        | $B_m$ | 227 mT                   | 161 mT                    |
| Diameter of windings             |       | 2 mm                     | 0.8 mm $\times$ 8         |
| Total sectional area of windings |       | 3.14 mm <sup>2</sup>     | 4.02 mm <sup>2</sup>      |

#### 4.1.4 100 kHz 用 ACC を用いたコモンモード電圧除去実験

試作した小型なコモンモードトランスを用いた100 kHz用ACCを100 kHz PWMインバータに適用し、コモンモード電圧除去の実験を行った。Fig. 4-6に実験の回路構成図、Fig. 4-7に実験装置の写真を示す。三相PWMインバータは、3章の実験と同じものを使用し100 kHzスイッチングが可能である。コモンモード電圧検出部のY結線したコンデンサ $C_y$ の容量は220 pFとし、DCリンク電圧中性点電位を抽出するため、DCリンクに2つ直列に接続した高耐圧フィルムコンデンサ $C_d$ の容量は1  $\mu$ Fとした。キャリア周波数100 kHzの三相PWMインバータ用のゲート信号は、FPGAにて生成した。直流電源電圧 $E_{dc}$ は80 Vとし、無負荷状態で実験を行ったが、負荷側のコモンモード電圧を測定するため、 $C_y$ と同じ容量コンデンサをY結線し負荷側に取り付け、その中性点電位を測定した。

Figs. 4-8に、コモンモード電圧除去実験の結果を示す。測定した波形は上から順に、 $C_y$ の中性点にて検出されたインバータが出力するコモンモード電圧 $v_{det}$ 、ACCの補償電圧 $v_c$ 、負荷側で検出されたコモンモード電圧 $v_l$ となっており、Fig. 4-6と対応している。測定された波形の基準点は全て、 $C_d$ の中性点 $v_0$ としている。 $v_{det}$ はインバータの各相のスイッチングの度、 $E_{dc}/3$ ずつステップ状に変化している。 $v_c$ は、 $v_{det}$ とほとんど同じ波形となっており、コモンモードトランスを介してインバータの各相に重畳される。その結果 $v_l$ は、 $v_{det}$ と比較し大幅に低減しており良好にコモンモード電圧が相殺されているのが確認できる。しかし $v_l$ は完全には0になっていない。Fig. 4-8(b)に、 $v_l$ を拡大した波形を示す。スパイク状の電圧は、エミッタフォロア回路の入力に対して出力が追従するまでの遅れ時間により発生していると考えられる。高周波のスパイク状の電圧を無視すると、最大8.1 Vほどのコモンモード電圧が残留している。このことから、試作したACCは負荷側のコモンモード電圧を1/10にまで低減できることを確認できる。この残留分は、検出部で発生した誤差やエミッタフォロア回路のクロスオーバーひずみ、トランジスタの電圧降下、コモンモードトランスの漏れインダクタンスなどが考えられる。

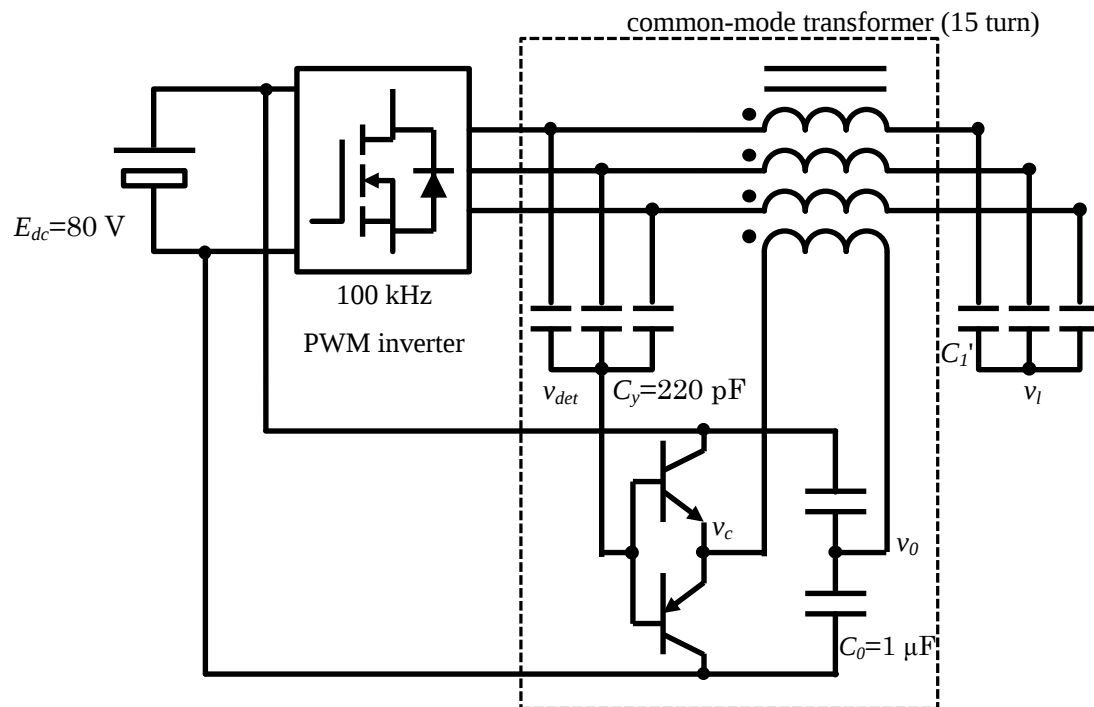


Fig. 4-6. Experimental circuit

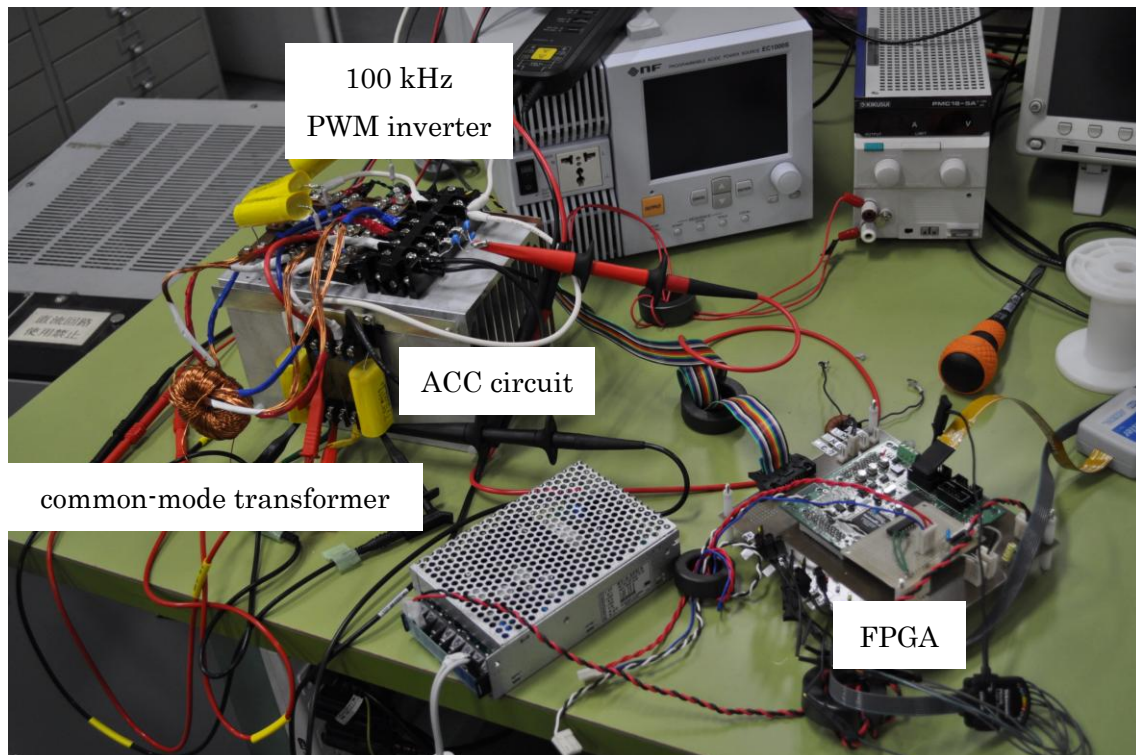


Fig. 4-7. Picture of experimental system

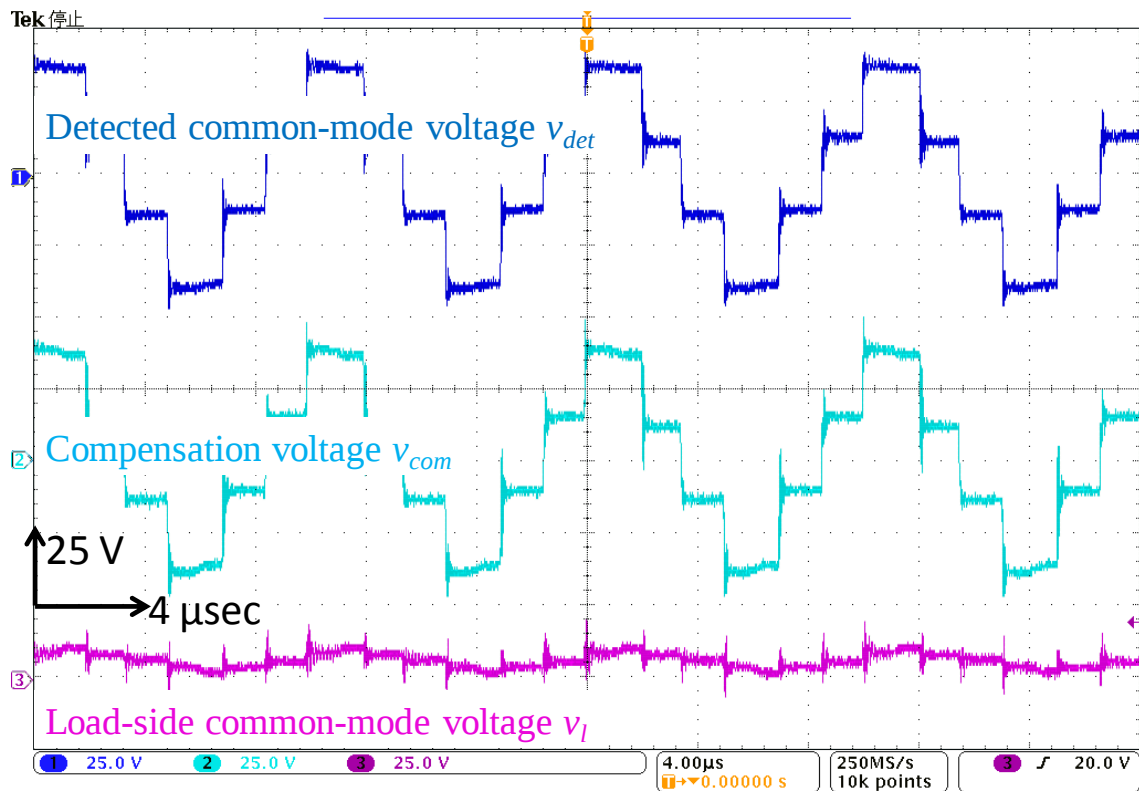
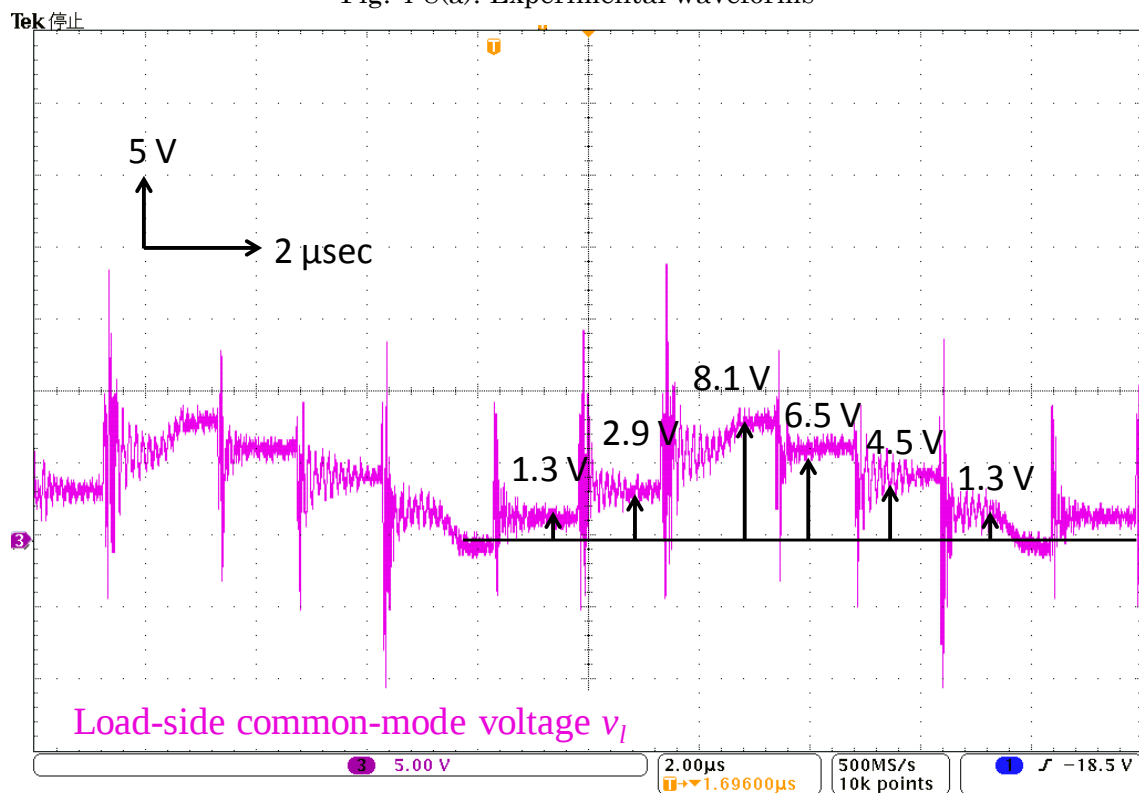


Fig. 4-8(a). Experimental waveforms



を行った。 Fig. 4-8(b). Enlarged view of load-side common-mode voltage

Figs. 4-8. Experimental result

#### 4.2.1 OP アンプ組み込みの利点と問題点

Fig.4-9に、補償精度を高めたACCの概略図を示す。OPアンプの正入力端子には検出されたコモンモード電圧が入力され、出力端子はエミッタフォロア回路の入力端子に接続されている。負入力端子はエミッタフォロア回路の出力に接続されている。OPアンプは、エミッタフォロア回路で発生した誤差を補償し、検出されたコモンモード電圧とエミッタフォロア回路の出力電圧を等しくしようとする。これにより、点線で囲まれた部分が、電流増幅率の高いボルテージフォロアのように振る舞う。OPアンプは、エミッタフォロア回路の誤差分のみを出力するため、ほとんど電力を消費しない。またFET入力のOPアンプを使用することで、さらに入力インピーダンスを増加させることができ、検出誤差を少なくすることが可能である。このOPアンプに求められることは、①FET入力であること、②高速動作が可能であること（高いゲインバンド幅、スルーレートを持つ）ことである。しかし、Fig. 4-9の回路を実現するために問題となるのがOPアンプの電源の取り方である。このOPアンプの電源の取り方について検討を行った。

#### 4.2.2 OP アンプの電源についての検討

最初に検討したOPアンプ回路図をFig. 4-10に示す。Fig. 4-10では、DCリンク電圧をOPアンプの電源に用いている。ここまでに述べたOPアンプを用いたアクティブフィルタは、DCリンク電圧が50 V以下、もしくは50 V前後の独立した電源を用いている。本研究で対象としているインバータは直流電源電圧282 Vを想定しており、通常のOPアンプを用いることはできない。DCリンク電圧282 Vを電源に使用できる高耐圧OPアンプを探したが、高耐圧OPアンプは高速動作が難しく、条件を満たすデバイスを発見できなかったため実装不可能と結論付けた。

次にFig. 4-11に表わされる回路の検討を行った。エミッタフォロア回路の出力電圧を基準点とし $\pm 15$  Vとなるように電源を接続することで、高速動作が可能な両電源OPアンプを用いることが可能である。併せてFig. 4-12の回路を検討した。この回路は、独立電源を用いることなくDCリンク電圧からOPアンプの電源電圧を作り出すことができる。点線で囲んだ部分がOPアンプの電源電圧を作る部分である。ツェナーダイオードと抵抗によりエミッタフォロア回路の出力電圧に対して $\pm 15$  Vが分圧され、パワートランジスタによりOPアンプに電流が供給される。この回路はOPアンプ用の電源を使用することなくDCリンク電圧の範囲内でOPアンプとエミッタフォロア回路を動作させることができる<sup>[48]</sup>。これらの回路は、どちらかの入力端子の電位を電源の基準電位としている。これにより、OPアンプの基準電位は自身が出力した電圧となり、その基準電位ともう片方の入力端子電圧との差を出力し続けることで、理論上どんな電圧でも出力可能となる。しかし、これらの回路はOPアンプのスルーレートの制限により実装することが不可能である。直流電源電圧282 Vが1/3ずつ変動することを考慮すると、コモンモード電圧は約94V刻みで変化する。今回、これらの回路を検討するにあたり高速動作可能なFET入力のOPアンプAD825を想定したが、このデバ

イスのスルーレートは $125\text{ V}/\mu\text{s}$ である。よって、OPアンプはコモンモード電圧が変動した際には約 $752\text{ ns}$ かけて過渡状態になる。次世代パワー半導体デバイスが適用された場合、コモンモード電圧の変動は非常に急峻となることが予想される。つまり、コモンモード電圧が変動した際には、OPアンプの正入力端子と負入力端子の電位差はほぼ $94\text{ V}$ となる。二つの入力端子の電位差が電源電圧以上となると、OPアンプは破損してしまう。これを防ぐため、Fig. 4-11、Fig. 4-12の回路では、入力端子に保護ダイオードを接続している。しかしこの保護ダイオードにかかる電圧は非常に大きく、ダイオードの定格電流を超えてしまう。このように、既存のOPアンプではパワー半導体デバイス的高速なスイッチングに追従できないと結論づけ、検出したコモンモード電圧をOPアンプに入力することによる、ACCの補償特性向上を断念した。

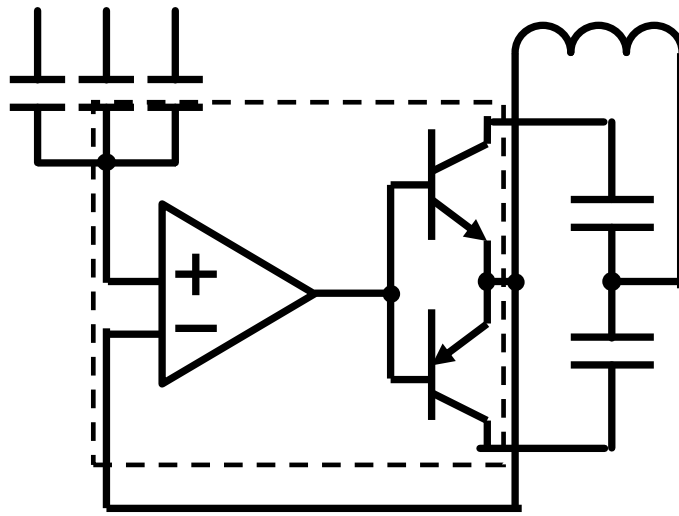


Fig. 4-9. Basic configuration of ACC improved compensating accurate

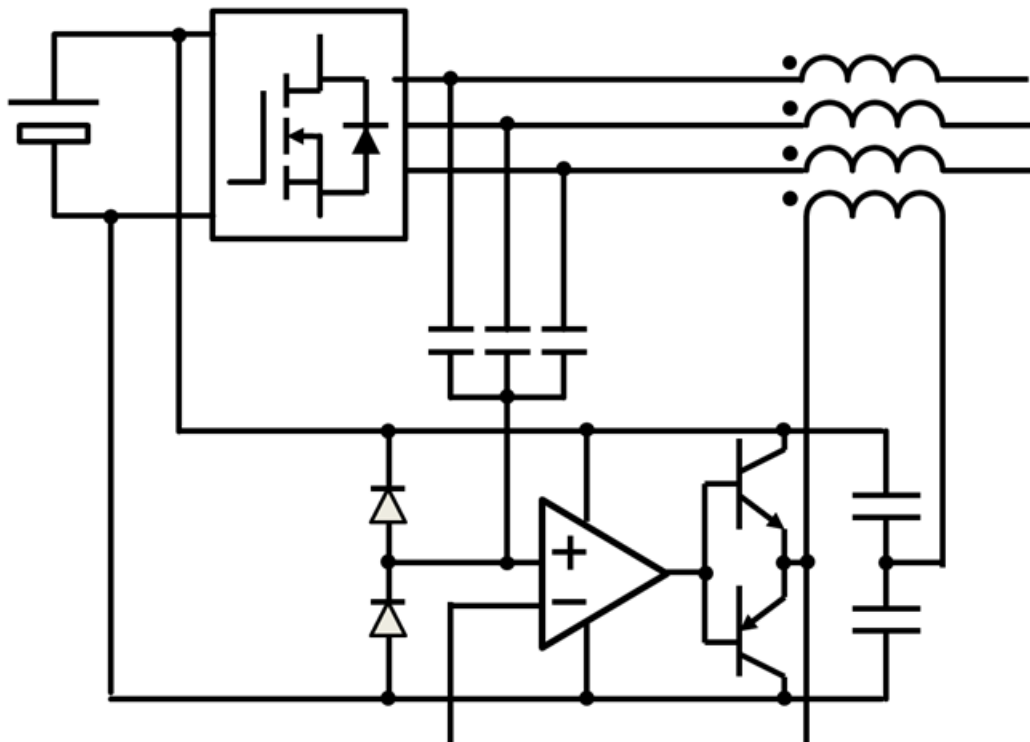


Fig. 4-10. Improved ACC using high-voltage OP amplifier

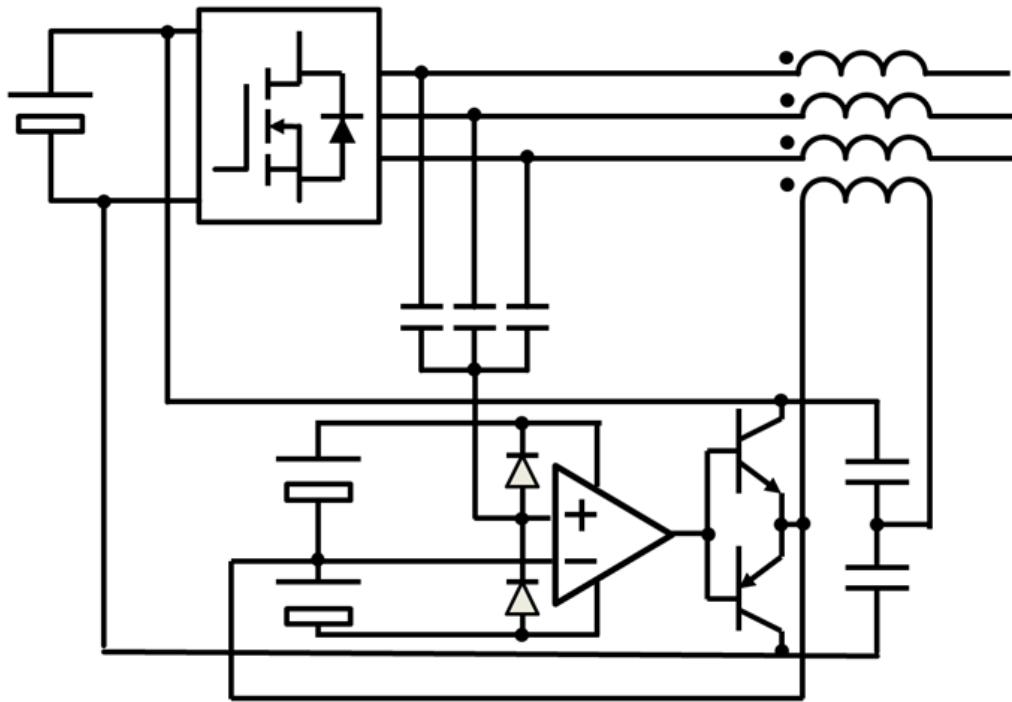


Fig. 4-11. Improved ACC using separated DC power supply for OP amplifier

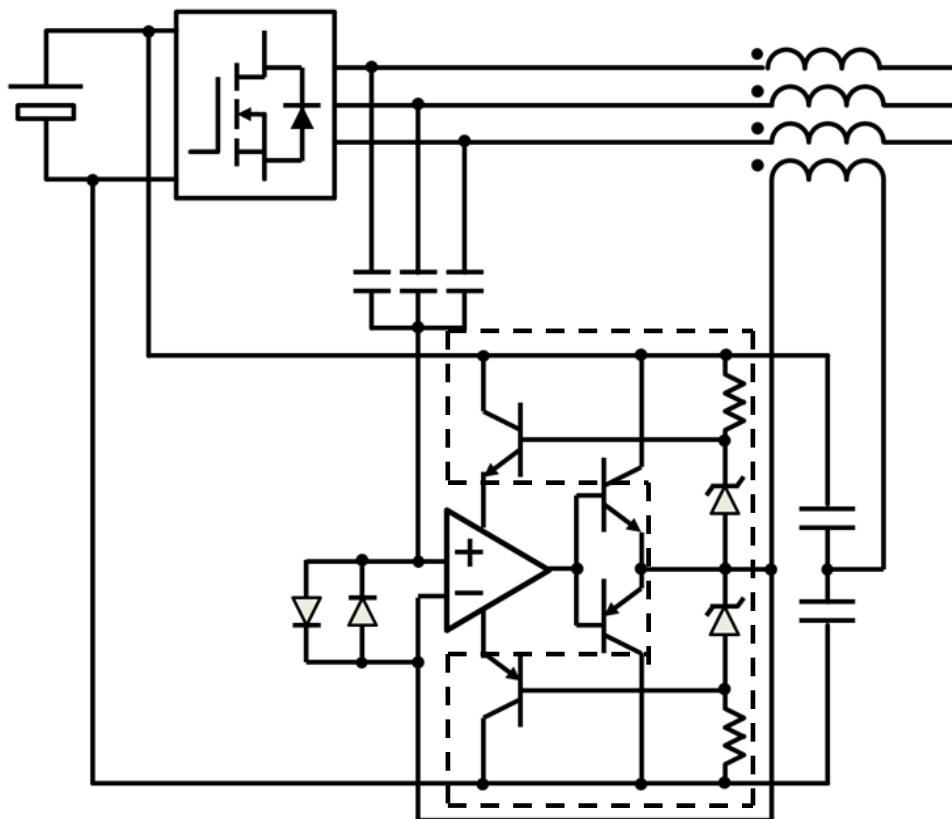


Fig. 4-12. Improved ACC using extracted DC voltage for OP amplifier

### 4.3 SVPWM インバータに適用可能な ACC

この節では、小型なコアを用いながら空間ベクトル変調(SVPWM)インバータに適用可能な新しいACCを提案する。SVPWMインバータを想定してACCを設計するには、コモンモードトランスを大型化しなければならない。その問題を解決し小型なコアを用いながらSVPWMインバータに適用できるACCが先に提案されており、その原理と問題点を説明する。その後、新しいACCの動作原理を示し、その効果を確認するため実験を行った。

#### 4.3.1 SVPWM インバータが発生するコモンモード電圧

ACCの設計の際、キャリアの一周期 $T$ はコモンモードトランスのコア内に発生する磁束を決定する重要な変数である。磁束密度が大きいと、コアは磁気飽和つまり補償不可能な状態になる恐れがあり、それを防ぐため大型なコアを用いる必要があった。高周波PWMインバータを想定したACCの設計では、キャリア周波数が増加することでキャリアの一周期が短くなり、それと同時に磁束密度も小さくなったため小型なコアを用いても磁気飽和を起こしにくくなった。しかしACCをSVPWMインバータに適用しようとなると、前述の設計ではコモンモードトランスの磁気飽和を引き起こす恐れがある。

SVPWM インバータは、相電圧の波形にあえて 3 倍数の低次高調波を含ませることで、相電圧はひずんでも、負荷の線間電圧は正弦波のままその振幅を大きくすることが可能となる。負荷の線間電圧を大きくできインバータの電圧利用率を向上させるため<sup>[49]</sup>広く応用されている。しかし、SVPWM インバータが発生するコモンモード電圧には、全ての相電圧に含ませた低次高調波成分である出力基本波周波数の 3 倍数という低い周波数成分が含まれている。この低周波成分が含まれるコモンモード電圧を、そのまま ACC のコモンモードトランスに印加すると、一周期の長い電圧がコアに印加され、コア内の磁束密度が大きくなり磁気飽和を引き起こしやすくなる。つまり SVPWM インバータにコモンモード電圧を 0 にするためには、出力周波数の 3 の倍数の低い周波数成分を考慮して設計しなければならなくなり、大型なコアを用いる必要がある。しかし、コモンモード電流の原因はコモンモード電圧の急峻な変動であるため、低周波成分を除去しなくてもコモンモード電流の低減効果にはほとんど影響はない。そこで、コモンモード電圧の低周波成分は無視し、高周波成分のみを除去する部分補償形 ACC が提案されている。

#### 4.3.2 部分補償形 ACC

Fig. 4-13に、文献[45]で提案されている部分補償形ACCの回路図を示す。これはSVPWMインバータが発生するコモンモード電圧が発生するコモンモード電圧の全てではなく、急峻な電圧の変動であるコモンモード電圧の高周波成分のみを相殺し、コモンモード電流ならびにEMIを抑制する。部分補償形ACCの基本原理はACCと同じであるが、検出するコモンモード電圧を1/3に分圧する、RCのハイパスフィルタ(HPF)を用いてコモンモード電圧の高周波成分を抽出する、コモンモードトランスの巻数比1:3にする、エミッタフォロア回路の電源にDCリンク電圧から絶縁された独立電源を用いるといった特徴がある。左側のエミッタフォロア回路には、インバータの各相にY結線されたコンデンサの中性点とDCリンク電圧の中性点の間に接続されたコンデンサにより、1/3に分圧されたコモンモード電圧が入力される。1/3に分圧されたコモンモード電圧は、RCのHPFによって高周波成分のみが抽出され、右側のエミッタフォロア回路を介して出力される高周波成分と独立電源の中性点(DCリンク電圧の中性点と共通)の間の電圧がトランスに印加される。コモンモードトランスの巻数比は1:3となっており、検出したコモンモード電圧が1/3の大きさであってもインバータ出力の各相にはコモンモード電圧と逆向き同じ大きさの電圧が重畳され、負荷側にはコモンモード電圧の低周波成分が残留する。コモンモードトランスには、コモンモード電圧の高周波成分のみが印加されるため、トランスのコアの磁気飽和が起こりにくくなり、小型なコアを用いたコモンモードトランスを採用できる。また独立電源の電圧はDCリンク電圧より小さくできるため、ACCに比べ耐圧の低いパワートランジスタをエミッタフォロア回路に用いることが可能となる。

しかし、部分補償形ACCには、二つの問題点がある。一つ目の問題は、小型なコアを用いた巻数比1:3のコモンモードトランスは、一次側の巻数が少ないため、比較的大きな励磁電流を必要とすることである。これは4.5.1で説明したコモンモード電圧を1/nに分圧し巻数比1:3のコモンモードトランスを用いるACCの問題点と同じである。二つ目の問題は、低周波成分を含むコモンモード電圧をHPFに入力すると、出力電圧のPeak-to-Peak値が入力電圧以上の値となるため、エミッタフォロア回路の電源をDCリンク電圧と共通にすることが不可能となることである。Figs. 4-14に、SVPWMインバータが発生するコモンモード電圧の低周波成分と高周波成分を示す。図中の電圧の基準点はDCリンク電圧の中性点であり、また網かけの部分はコモンモード電圧の高周波成分つまりインバータのスイッチングで変化するコモンモード電圧の変動を表している。Fig. 4-14(a)は、SVPWMインバータが発生するコモンモード電圧を示しており、Peak-to-Peak値はDCリンク電圧 $E_{dc}$ の幅で高速に変動している。しかしこの電圧には、Fig. 4-14(b)で示される出力基本波周波数の3倍数の周波数であるコモンモード電圧の低周波成分が含まれる。そのため、SVPWMインバータが発生するコモンモード電圧をHPFに入力すると、Fig. 4-14(c)のように、Fig. 4-14(a)とFig. 4-14(b)の差分の波形のコモンモード電圧の高周波成分が出力される。このコモンモード電圧の高周波成分のPeak-to-Peak値は、 $E_{dc}$ にFig. 4-14(b)の波形のPeak-to-Peak値を足し合わせた値

となる。部分補償形ACCのエミッタフォロア回路の電源をDCリンク電圧と共通にした場合、トランスに印加できる電圧の最大値は $E_{dc}$ となるため、Fig. 4-14(c)内の塗りつぶされた領域の補償は不可能となり、負荷にはコモンモード電流の原因となるコモンモード電圧の急峻な変動が残留する。そのため、部分補償形ACCの独立電源電圧はDCリンク電圧の1/3より大きくする必要がある。さらにDCリンク電圧の中性点抽出用の高耐圧コンデンサが必要であることも問題となる。DCリンク電圧の中性点は、検出したコモンモード電圧の分圧、HPFの基準電位、コモンモードトランスの一端への接続、独立電源の中性点共通化などの目的のため必要である。しかし、直列に2つ接続された高耐圧コンデンサはサイズが大きく、独立電源と併せて回路が大型化する。そこで、部分補償形ACCの特徴である、小型なコアを使用してSVPWMインバータのコモンモード電圧除去を実現しつつ、独立電源・高耐圧コンデンサを必要としない高周波補償形ACCを新たに提案する。

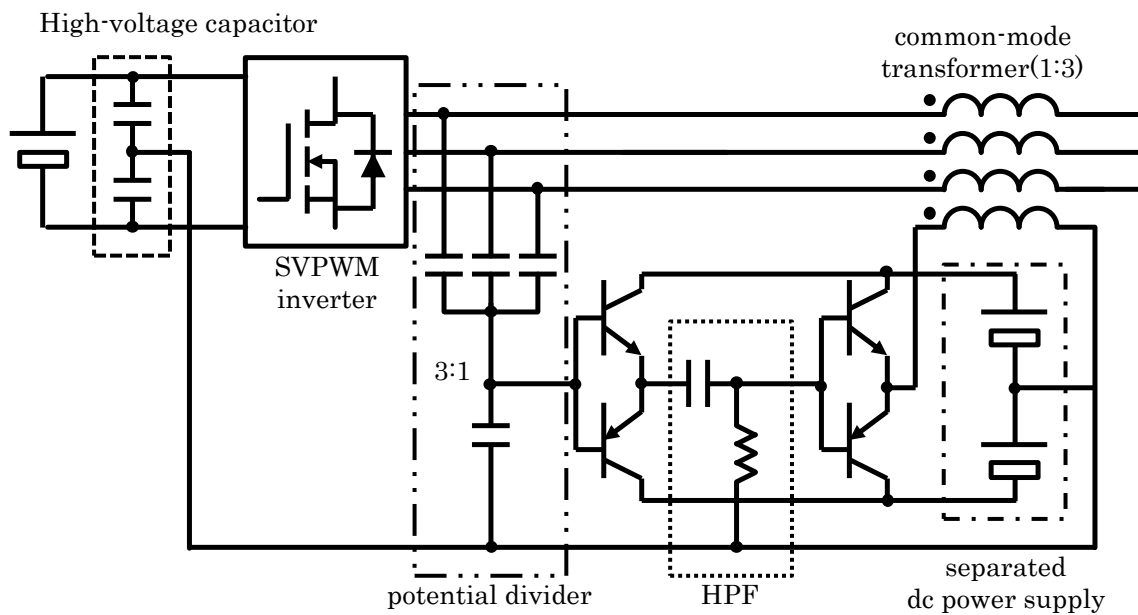


Fig. 4-13. ACC for compensation of partial frequency components



Fig. 4-14(a). Detected common-mode voltage

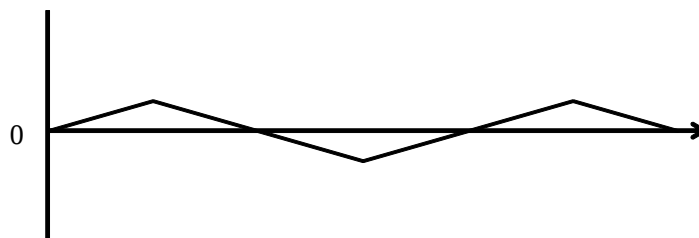


Fig. 4-14(b). Low-frequency components of the common-mode voltage

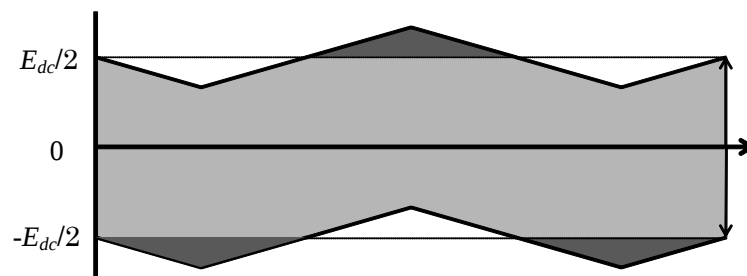


Fig. 4-14(c). High-frequency components of the common-mode voltage

Figs. 4-14. Components of common-mode voltage generated by SVPWM inverter

#### 4.3.3 高周波補償形 ACC

高周波補償形ACCは、部分補償形ACCと同じくコモンモード電圧の高周波成分のみをコモンモードトランスに印加する。しかし、部分補償形ACCはハーフブリッジ構造であり $E_{dc}/2$ までしかコモンモードトランスに電圧を印加できなかったのに対し、高周波補償形ACCは、コモンモードトランスの両端に別々のエミッタフォロア回路を接続したフルブリッジ構造となっており、 $E_{dc}$ まで電圧を印加することが可能である。

Fig. 4-15に提案する高周波補償形ACC、Figs. 4-16に高周波補償形ACCの各部波形を示す。高周波補償形ACCはエミッタフォロア回路用の独立電源を用いる必要がなく、分圧せずインバータ出力の各相にY結線した小容量のコンデンサの中性点の電位をコモンモード電圧 $v_{det}$ として検出する。Fig.4-16(a)で示される $v_{det}$ は左側のエミッタフォロア回路に入力され、その出力はコモンモードトランスの一端とRCのローパスフィルタ(LPF)に入力される。LPFは $v_{det}$ 中の高周波成分をカットし、Fig. 4-16(b)で示されるコモンモード電圧の低周波成分 $v_{lf}$ を抽出する。 $v_{lf}$ は右側のエミッタフォロア回路に入力され、その出力はトランスのもう一端に接続される。コモンモードトランスに印加される電圧 $v_t$ は、 $v_{det}-v_{lf}$ つまりSVPWMインバータが発生するコモンモード電圧の高周波成分となり、Fig. 4-16(c)のようになる。インバータ出力の各相にコモンモード電圧の高周波成分のみが逆向き同じ大きさと重畳され、負荷側のコモンモード電圧は低周波成分は補償されずに残留する。また、高周波補償形ACCのコモンモードトランスの両端には、一方から検出したコモンモード電圧、もう一方からはコモンモード電圧の低周波成分が出力されるため、各エミッタフォロア回路の出力電圧のPeak-to-Peak値は $E_{dc}$ 以下となるため、独立電源電圧を用いずDCリンク電圧をそのまま電源として用いることが可能である。さらに高周波補償形ACCは、LPFの基準電位ならびにトランスの一端にDCリンク電圧のトランスの一端にDCリンク電圧の中性点電位を用いないため、ACC、部分補償形ACCなど多くのアクティブフィルタで必要なDCリンク電圧の中性点抽出用の2つの高耐圧コンデンサが不要となり、回路の小型化に寄与する。

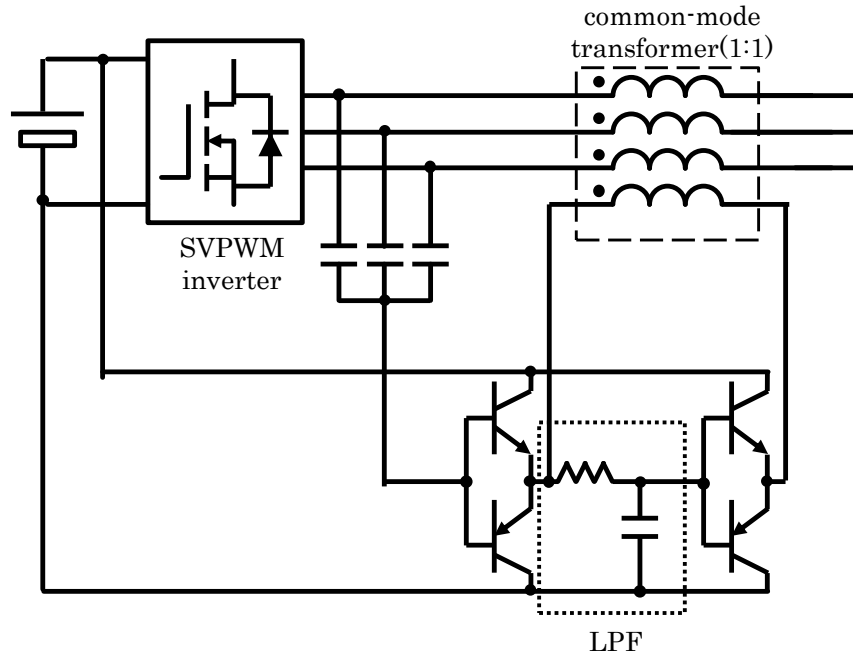


Fig. 4-15. ACC for compensation of partial frequency components

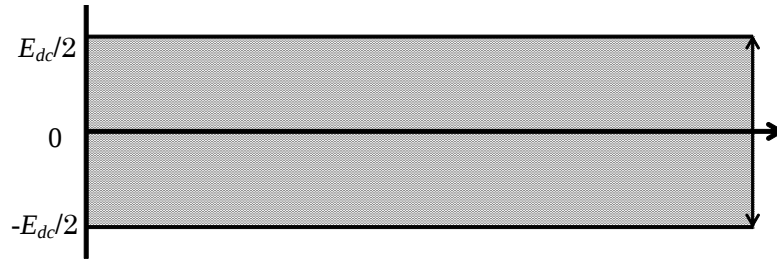


Fig. 4-16(a). Detected common-mode voltage  $v_{det}$

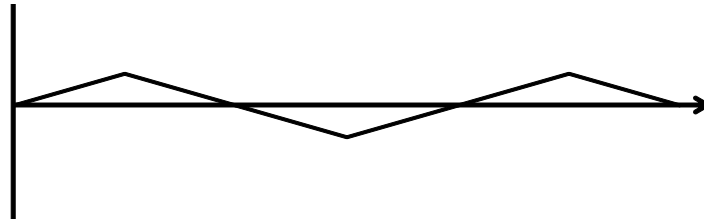


Fig. 4-16(b). Output voltage of LPF  $v_{lf}$

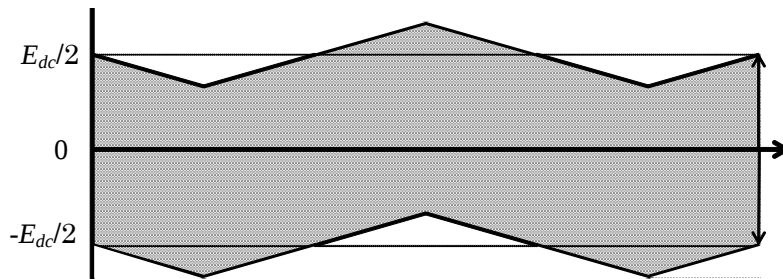


Fig. 4-16(c). compensating voltage applying common-mode transformer  $v_t$

Fig. 4-16. voltage of each point of ACC for compensation of high-frequency components

#### 4.3.4 高周波補償形 ACC によるコモンモード電圧除去実験

100 kHz SVPWMインバータを用いて、高周波補償形ACCによるコモンモード電圧除去実験を行った。高周波補償形ACCのコモンモードトランスは、4.1.3で試作した小型なコモンモードトランスを使用した。また、4.1.4の実験では不定であったコモンモードトランスをFig.4-17のように、インバータ側、負荷側の端子台を板に取り付け、その間にコモンモードトランスを固定した。このコモンモードトランスの上部に回路を設置し、配線を可能な限り短縮する。Fig.4-18に実験装置の回路図、Fig. 4-19に実験装置の写真を示す。高周波補償形ACCの二つのエミッタフォロア回路のパワートランジスタも、4.4.3で選定したパワートランジスタを用いている。LPFのカットオフ周波数は約1 kHzとなるよう $R_f=700\text{ k}\Omega$ 、 $C_f=220\text{ pF}$ とした。ゲート信号は、My way plus社のDSPであるPE-PROを用いキャリア周波数100 kHz、出力基本波50 Hz、変調率0.6のSVPWM信号を生成した。DCリンク電圧 $E_{dc}$ は200 Vとし、負荷には0.75 kWの誘導機を接続した。負荷側で発生するコモンモード電圧を測定するため、誘導機のモータフレームは接地していない。高周波補償形ACCの動作には不必要であるが、測定のためDCリンク電圧に高耐圧コンデンサを2つ直列に接続し、DCリンク電圧の中性点を抽出しその点を基準に各部の波形を測定を行った。

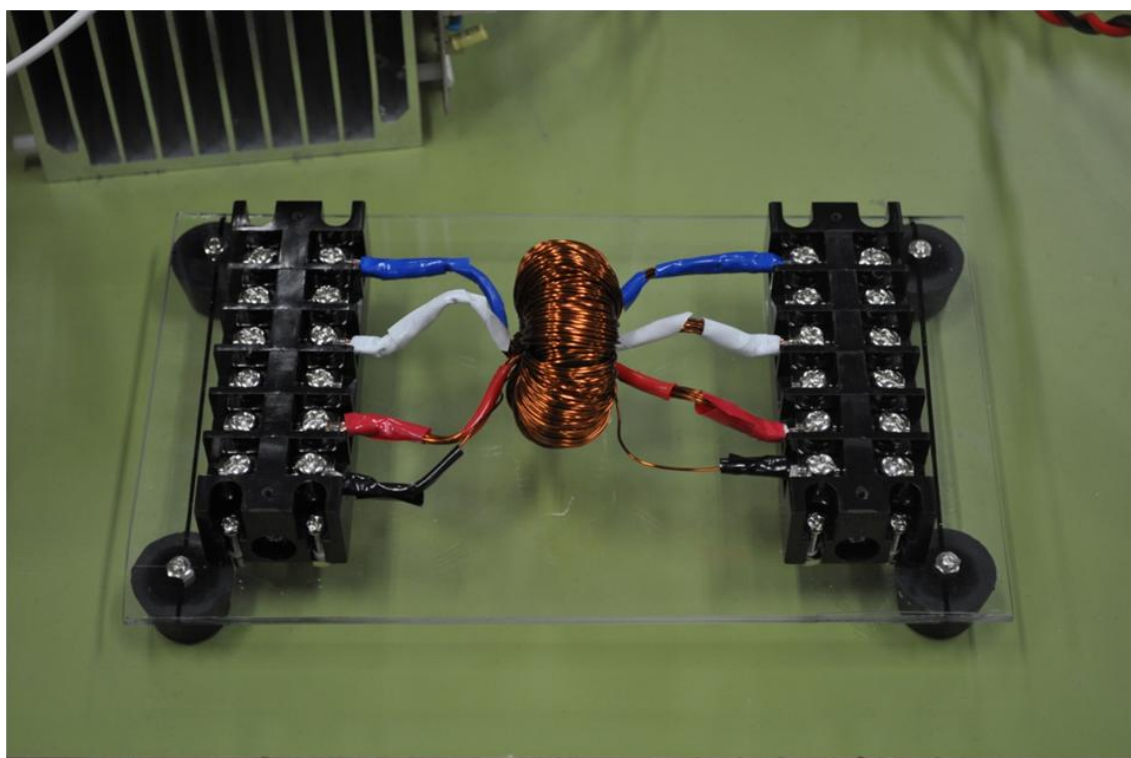


Fig. 4-17. Stabilized common-mode transformer

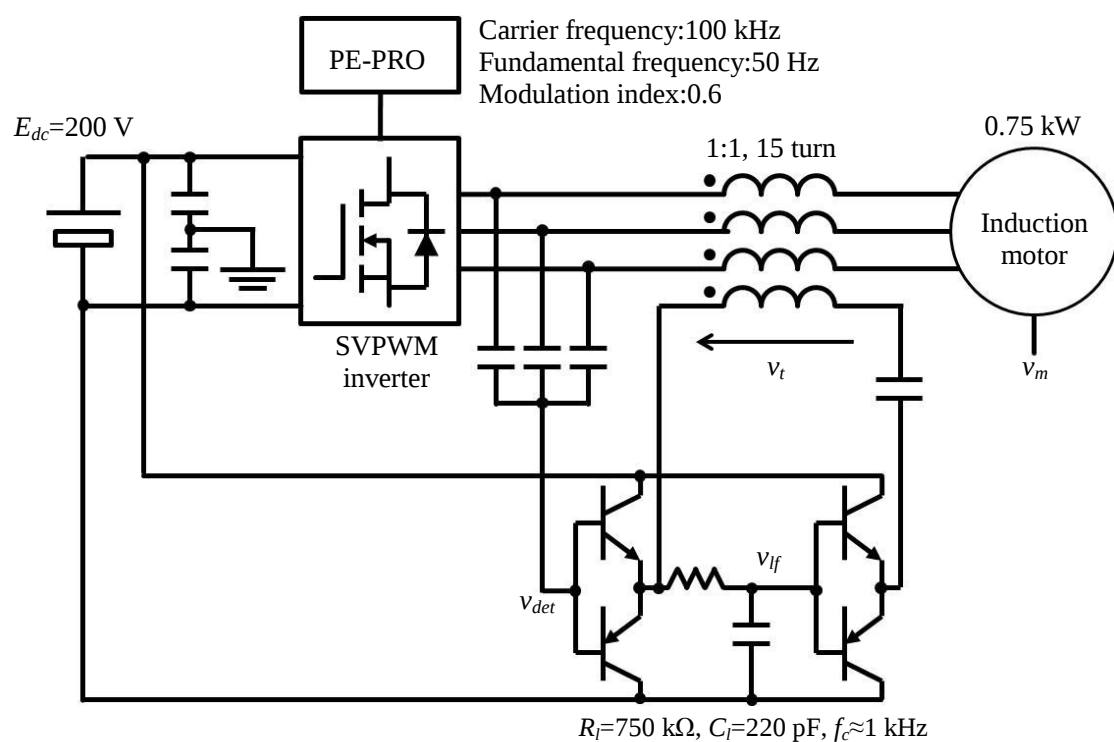


Fig. 4-18. Experimental circuit of ACC for compensation of high-frequency components

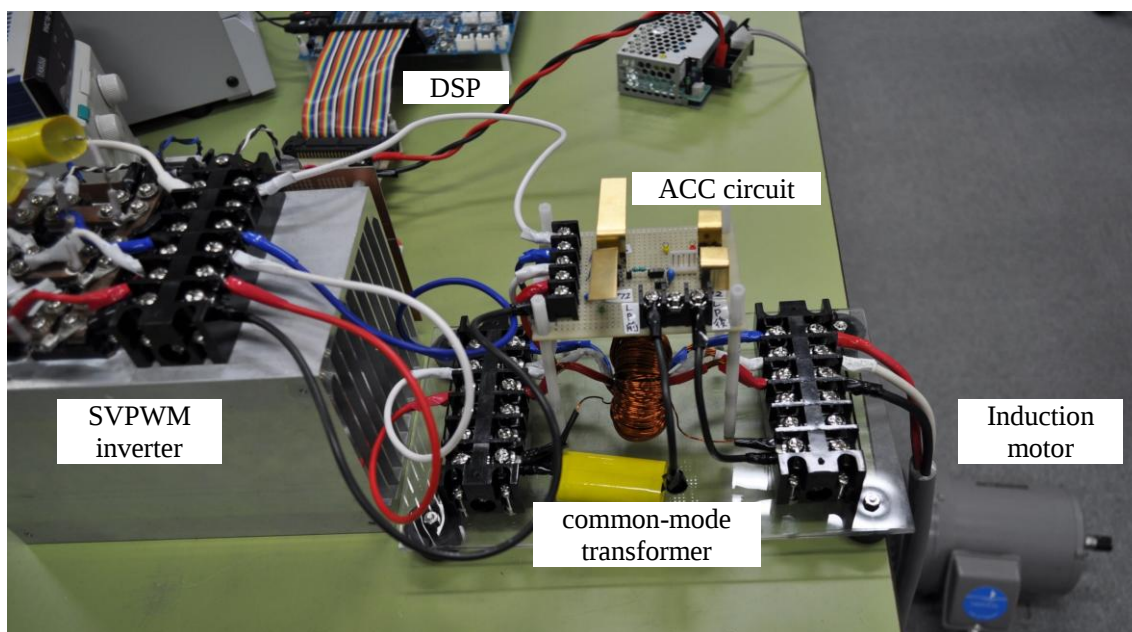


Fig. 4-19. Constructed experimental system with ACC for compensation of high-frequency component

#### 4.3.5 高周波補償形 ACC のコモンモード電圧除去実験

Fig. 4-20に、実験結果を示す。Fig. 4-20の波形はそれぞれFig. 4-18に対応しており、上から順に、検出回路で検出されたコモンモード電圧 $v_{det}$ 、LPFによって高周波成分がカットされたコモンモード電圧の低周波成分 $v_{lf}$ 、 $v_{det} - v_{lf}$ に相当するトランスの両端に印加されるコモンモード電圧の高周波成分 $v_t$ 、モータフレームに発生するコモンモード電圧 $v_m$ となっている。 $v_t$ のみトランスの両端の電圧を測定しており、その他はDCリンク電圧の中性点を基準として測定した。 $v_m$ は、接地されていない誘導機のモータフレームを測定しており、負荷中性点に発生するコモンモード電圧を測定する。 $v_{det}$ はDCリンク電圧である200 Vでキャリア周波数である100 kHzで変動している。 $v_{lf}$ はLPFにより高周波成分がカットされ、出力基本波50 Hzの3倍の周波数である150 Hzの三角波となっている。その結果、 $v_t$ は $v_{det} - v_{lf}$ に相当する電圧となっており、DCリンク電圧200 Vでありながら、コモンモードトランスにはPeak-to-Peak値200 V以上の電圧が印加されている。その結果、 $v_m$ は、 $v_{lf}$ に似た150 Hzの三角波となっており、 $v_{det}$ に比べ高周波成分が大幅に除去されているのが確認できる。Fig. 4-21に、 $v_{det}$ と $v_m$ を抽出・拡大した波形を示す。 $v_{det}$ はインバータのスイッチングの度、 $E_{dc}/3$ ずつステップ状に変化しているが、 $v_m$ は $v_{det}$ に比べ大きく低減されており、Peak-to-Peak値も $v_{det}$ の200 Vに比べ27 Vにまで低減されている。全体的に $v_m$ の高周波成分は、ほぼ20～30 Vの中に収まっており $E_{dc}$ の10～15%にまで低減できていることが確認できる。

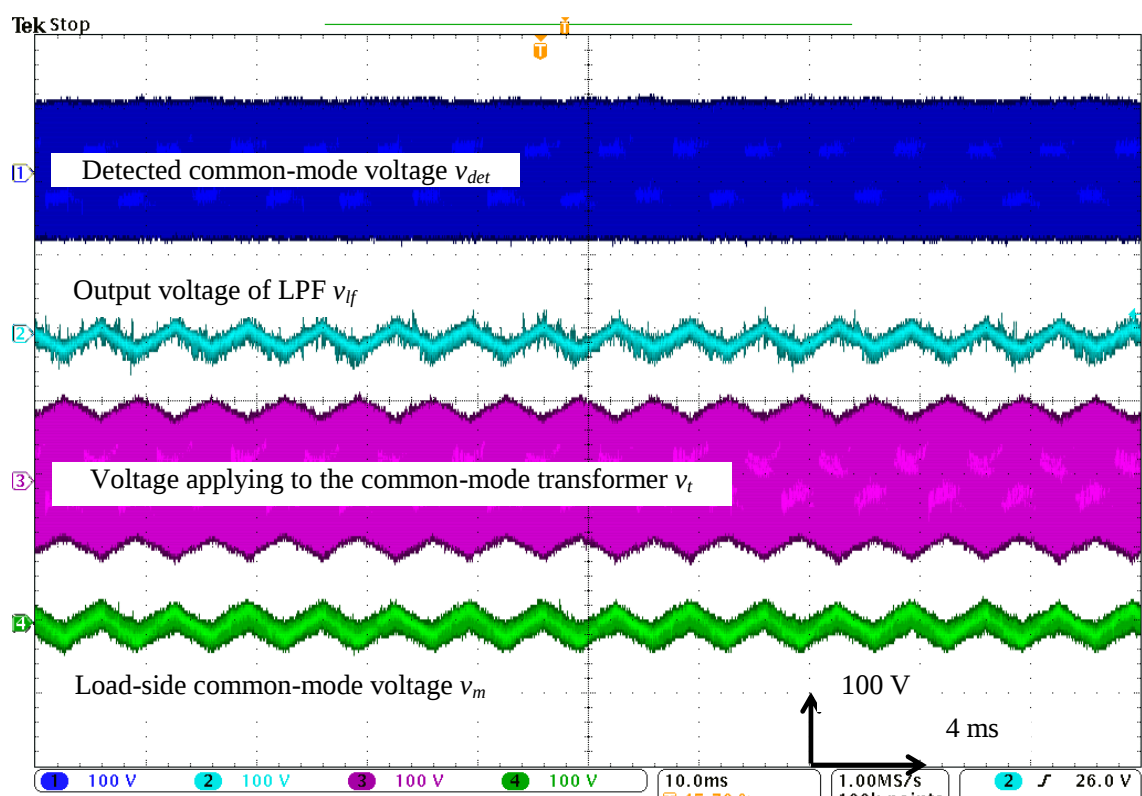


Fig. 4-20. Experimental result(each waveform)

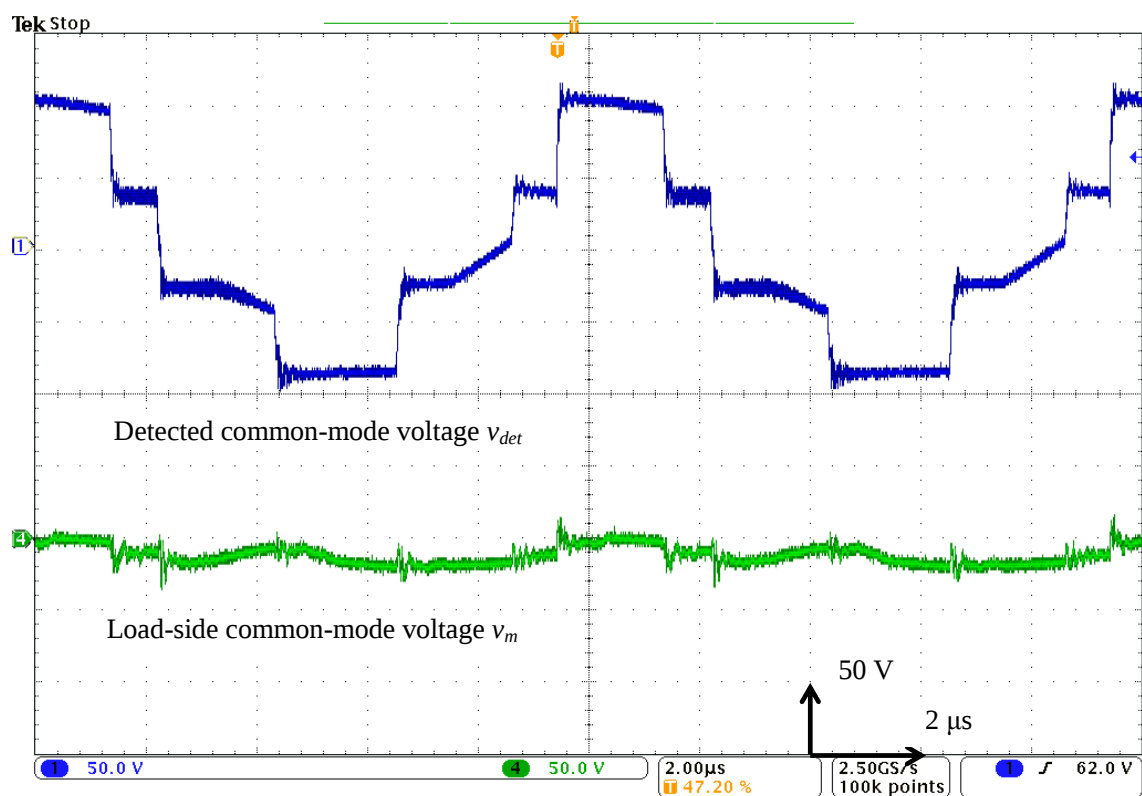


Fig. 4-21. Experimental result(enlarged view of  $v_{det}$  and  $v_m$ )

## 4.4 ACC の今後の改良方針

前の章で提案した高周波補償形ACCは、提案時のACCでは不可能であった小型かつSVPWMインバータに適用可能という機能が付加された。しかし、高周波補償形ACCの負荷側に残留する100 kHz成分は10～15%と提案時のACCに比べ少し補償精度が低い。そのため、高周波補償形ACCの補償精度向上が必要と考えられる。この補償精度の向上について検討する際、高周波補償形ACCにはLPFの出力電圧であるコモンモード電圧の低周波成分が回路内に存在することに注目したい。この低周波成分は振幅が小さいことに加え電圧の変動がゆっくりであるため、この電位を基準電位としたOPアンプを組み込めると考えられる。OPアンプのスルーレートが、コモンモード電圧の急峻な変動に追従できなくても、低周波成分であればほぼ誤差なしで追従することが可能となる。さらに、負荷側のコモンモード電圧を検出し、補償に反映できればより負荷側のコモンモード電圧の高周波成分をほぼ除去することができる。

また、高周波補償形ACCのコモンモード電流の低減能力についても改善の余地があると考えられる。Fig. 4-22にACC組み込んでいない誘導モータドライブシステムのコモンモード電流測定実験の回路図を、Fig. 4-23にその回路のコモンモード電圧とコモンモード電流の測定結果を示す。また、Fig. 4-24に高周波補償形ACCを組み込んだ誘導モータドライブシステムのコモンモード電流を測定実験の回路図を、Fig. 4-25にその回路のコモンモード電圧とコモンモード電流の測定結果を示す。本実験では、コモンモード電流を測定するため、直流電源とインバータの間にLISN(Line Impedance Stabilization Network: 擬似電源回路網)が接続され、そのグランド端子は誘導モータのフレームに接続されている。各波形は、各回路図中の検出されたコモンモード電圧 $v_{det}$ 、モータとLISNを繋ぐグランド線に流れるコモンモード電流 $i_0$ を示している。 $v_{det}$ が変動すると、そのタイミングで $i_0$ が流れる。波形を比較すると、Fig. 4-23では、 $i_0$ の波形は大きくひずんでおり、またコモンモード電圧の変動のたび大きな電流が流れているが、Fig. 4-25では、 $v_{det}$ が変動した瞬間に高周波のスパイク状の電流が発生しているだけである。 $i_0$ を比較すると、Fig. 4-23ではPeak-to-Peak値464 mA、実効値52.2 mAに対し、Fig. 4-25ではPeak-to-Peak値300 mA、実効値16.7 mAとなっている。つまり、高周波補償形ACCは、コモンモード電圧を1/10にまで低減しているのに対し、コモンモード電流は1/3程度にまでしか低減できていない。この高周波成分はエミッタフォロア回路の遅れ時間に起因していると考えられるが、現在高耐圧かつ高速で電流増幅率の高いデバイスは少ない。しかし、今後の研究で次世代パワー半導体を用いた高耐圧かつ高速なパワートランジスタが出現した場合、この高周波成分を低減することが可能と考えられる。また、あくまでACCをキャリア周波数周辺の周波数帯域のコモンモード電流低減用と位置づけ、高周波成分はパッシブフィルタで低減するという方法も考えられる。文献[50]では、文献[42]のアクティブフィルタに改良を加え、アクティブフィルタがパッシブフィルタとしても機能するように改良したハイブリッドフィルタが提案されている。いずれにせよ、今後ますます急峻になると予測されるコモンモード電圧の急峻な変動をいか

に除去するかが今後のACCの課題となる。

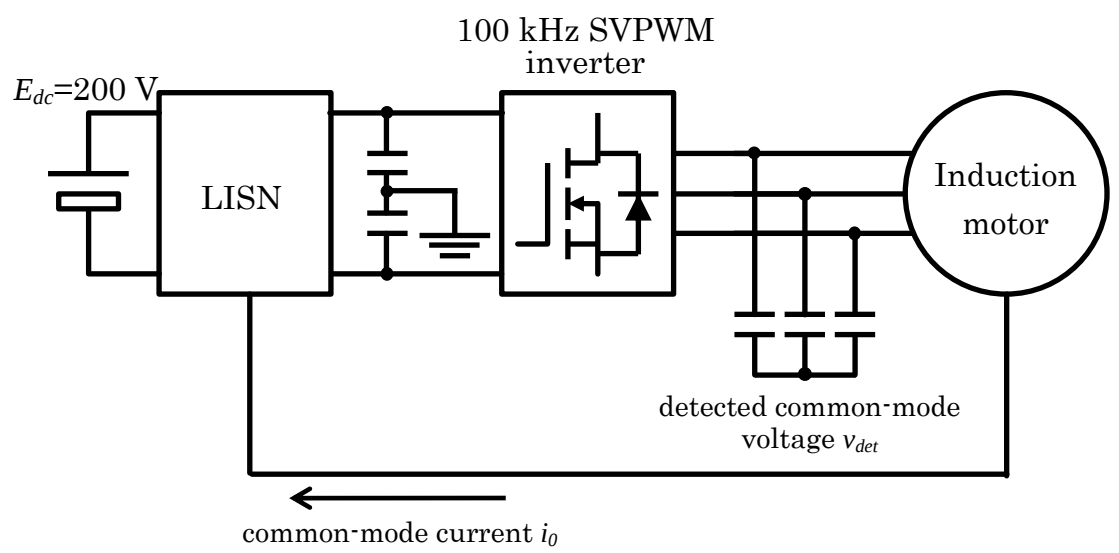


Fig. 4-22. Experimental circuit to measure common-mode current(without ACC)

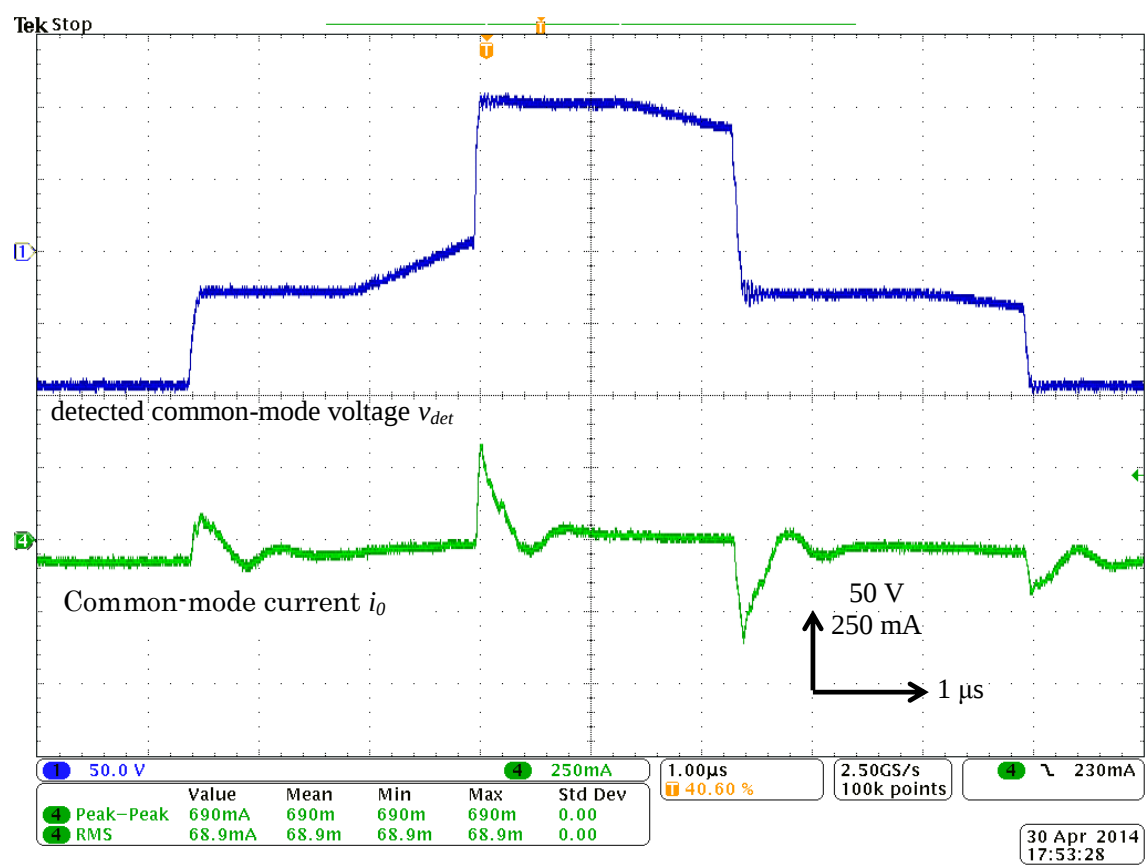


Fig. 4-23. Experimental result(without ACC)

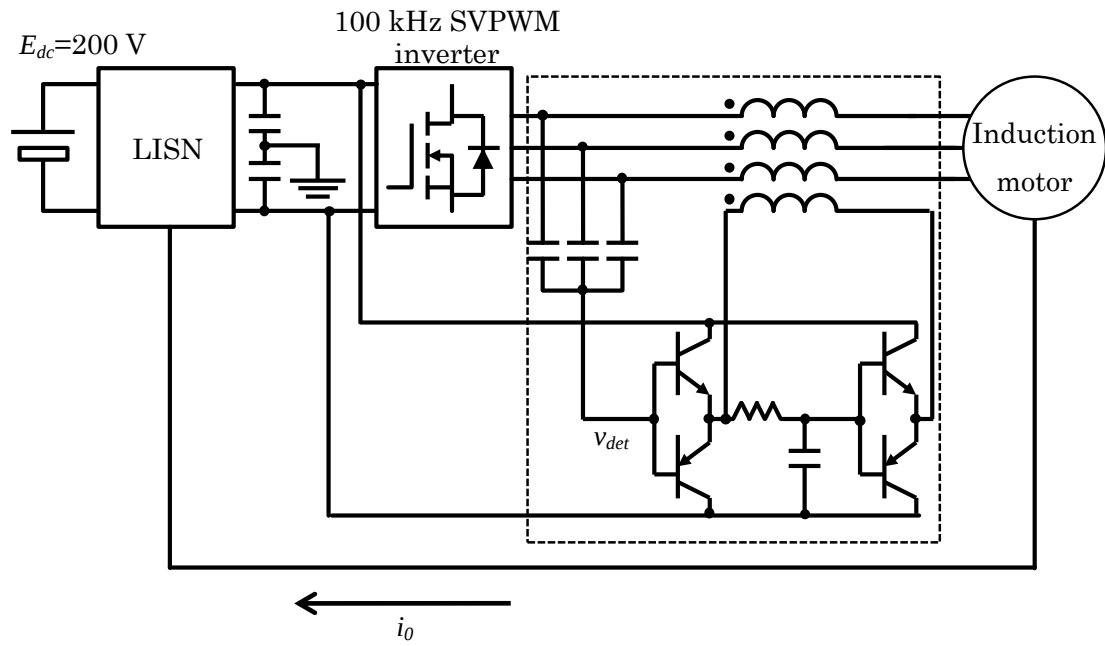


Fig. 4-24. Experimental circuit to measure common-mode current(with proposed ACC)

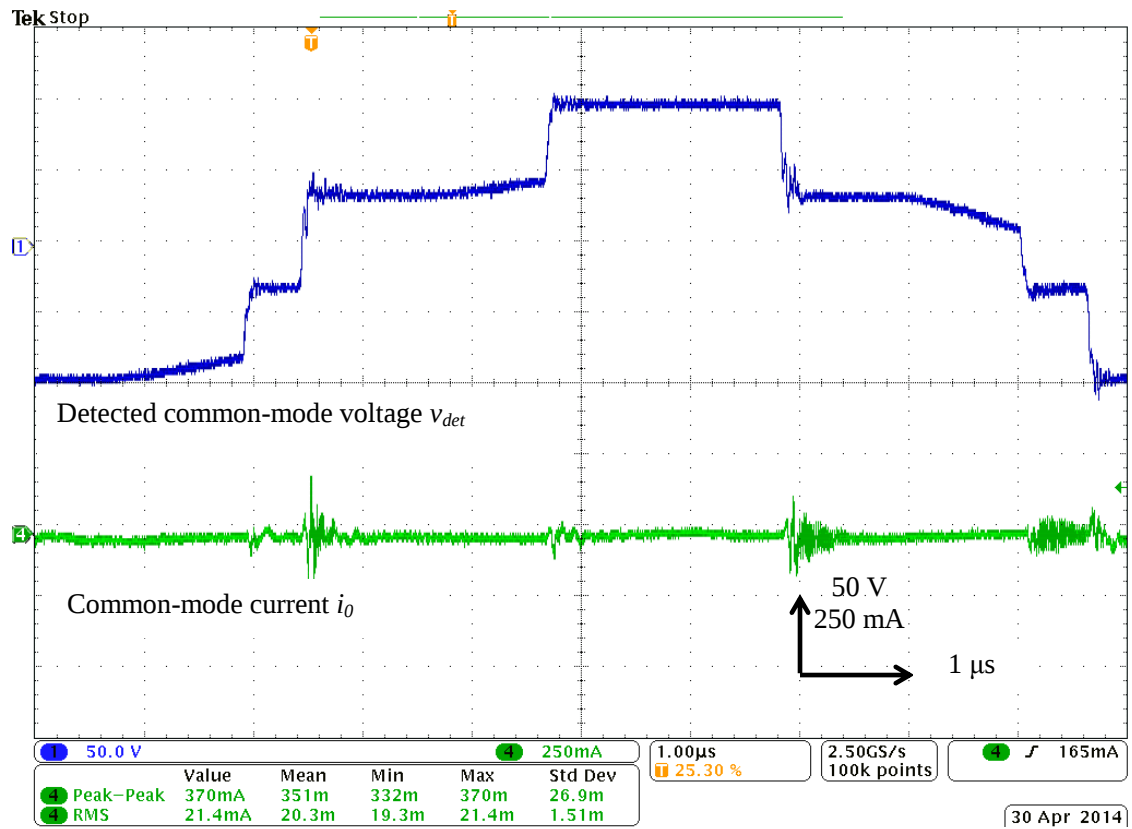


Fig. 4-25. Experimental result(with proposed ACC)

## 第5章 まとめと今後の展望

PWM インバータは、パワー半導体デバイスのスイッチングにより直流電力を任意の周波数と振幅を持った交流電力に高効率で変換する省エネのキーテクノロジーである。さらに、SiC や GaN などを用いた次世代パワー半導体デバイス、Si を用いたパワー半導体デバイス PWM インバータと比較し高速スイッチングが可能であり PWM インバータの性能向上が期待される。PWM インバータのキャリア周波数を高周波化することは、スイッチングリブルのためのフィルタの小型化や電流制御の応答性の向上などを図ることができる。しかし高速なスイッチングは、PWM インバータが発生させるひずみやノイズを増大させると予想される。本論文では、次世代パワー半導体デバイスが適用されキャリア周波数が引き上げられた高周波 PWM インバータの主要な問題を、出力電圧ひずみとコモンモードノイズの増大の 2 つにしぼり、それぞれの対策としてデッドタイム補償とコモンモード電圧の除去について検討を行った。

### 5.1 デッドタイム補償に関して得られた結果

高周波 PWM インバータのためのデッドタイム補償として、新しいフィードバック型デッドタイム補償法を提案した。この提案法は、出力信号パルスの幅をフィードバックし入力信号パルスの幅と比較を行い、次のパルスでその誤差分を補償することで、入力信号と出力信号のパルスの幅を等しくしようとする。この補償法は、主にパルスの幅の誤差を測定するためのカウンタで構成されているため、FPGA などのプログラム可能な論理デバイスにも実装可能である。

提案したフィードバック型デッドタイム補償法は以下の特性を持つ。

- ① 入力信号とインバータの出力電圧のパルスの幅が一致する
- ② 入力信号から出力信号までの動作遅れ時間が短い
- ③ 細い入力パルスに対しても入力パルスの数周期の期間において平均出力電圧を等しくする
- ④ 電流フィードバック無しにもかかわらず出力電流のひずみ率を 1%以下にまで低減可能
- ⑤ 電圧利用率を理論限界にまで引き上げることが可能
- ⑥ 従来の IGBT を用いた 10 kHz PWM インバータに対しても補償可能

FPGA のクロック周波数が 100 MHz で補償分解能が 10 ns であることから、100 kHz を超えるキャリア周波数のインバータに対しても、提案法は適用可能である。

### 5.2 コモンモード電圧の除去に関して得られた結果

高周波 PWM インバータのコモンモード電圧を除去するため、ACC を適用した。ACC は、インバータが発生するコモンモード電圧を検出し同じ大きさ逆位相の電圧をインバータ出力の各相に重畳することで負荷側のコモンモード電圧を相殺しようとするものである。高周波 PWM インバータ用に ACC を設計することで、提案時の ACC の問題であったサイズ

や重量が大きいという問題が解決可能となる。100 kHz PWM インバータ用の ACC を設計したところコモンモードトランスのコアの重量は 85 g となり、10 kHz PWM インバータ用 ACC のコモン・モードトランスのコアの約 16% となった。設計・製作されたコモンモードトランスを組み込んだ ACC は、提案時と同等のコモンモード電圧除去能力を持つことを確認した。

ACC を改良し、新しい回路構成を持つ高周波補償形 ACC を提案した。高周波補償形 ACC の特長は以下の通りである。

- ① 検出されたコモンモード電圧の高周波成分のみを相殺する
- ② オリジナルの ACC では適用が困難であった SVPWM インバータに対しても小型軽量なコモンモードトランスを用いて補償が可能
- ③ 回路の大型化の原因である DC リンク電圧とは絶縁された電源や DC リンク電圧中性点を抽出するための高耐圧フィルムコンデンサが不要
- ④ 負荷側のコモンモード電圧の高周波成分を 10・15% にまで低減

これらの特長は ACC の応用範囲の拡大に貢献できるものと考えられる。また 4 章でも示したように、高周波補償形 ACC にはプッシュプル形エミッタフォロア回路のクロスオーバーひずみのために補償特性が悪化するという問題点があり、さらに改良していく必要があると思われる。

### 5.3 今後の展望

最後に、本研究で提案した新しいフィードバック型デッドタイム補償法と高周波補償形 ACC を組み合わせた、低ひずみ低ノイズかつ高い電圧利用率を持つ高周波 PWM インバータを提案する。Fig.5-1 に提案する低ひずみ低ノイズかつ高い電圧利用率を持つ高周波 PWM インバータの回路図を示す。フィードバック型デッドタイム補償は、SVPWM 入力信号であっても、行うことは入力信号と出力信号のパルスの幅を等しくし出力電圧ひずみを低減する。また出力信号の検出回路もコモンモードトランスよりもインバータ側に接続することで、ACC の補償電圧の影響を受けることなく出力信号を検出できる。デッドタイム補償ならびに ACC では、どちらもインバータの出力電圧と DC リンク電圧を用いるため、一つの基板に収めることで配線を共有でき小型な補償回路を構築することができる。高周波補償形 ACC の改良で OP アンプを使う場合、基準電位等で DC リンク電圧の中性点を用いる可能性があるが、フィードバック型デッドタイム補償の出力信号検出回路と共有可能であり、回路のサイズを増加させずに構築可能である。この回路は、デッドタイム補償、ACC のそれぞれの部品を共有し相対的に小型化を実現しながら、効果は二つの手法を組み合わせたものとなっており、すぐれた補償特性を実現できる。高周波 PWM インバータが引き起こすと考えられる問題を小型な回路で解決することで、高周波 PWM インバータの応用範囲がさらに拡大すると予想される。

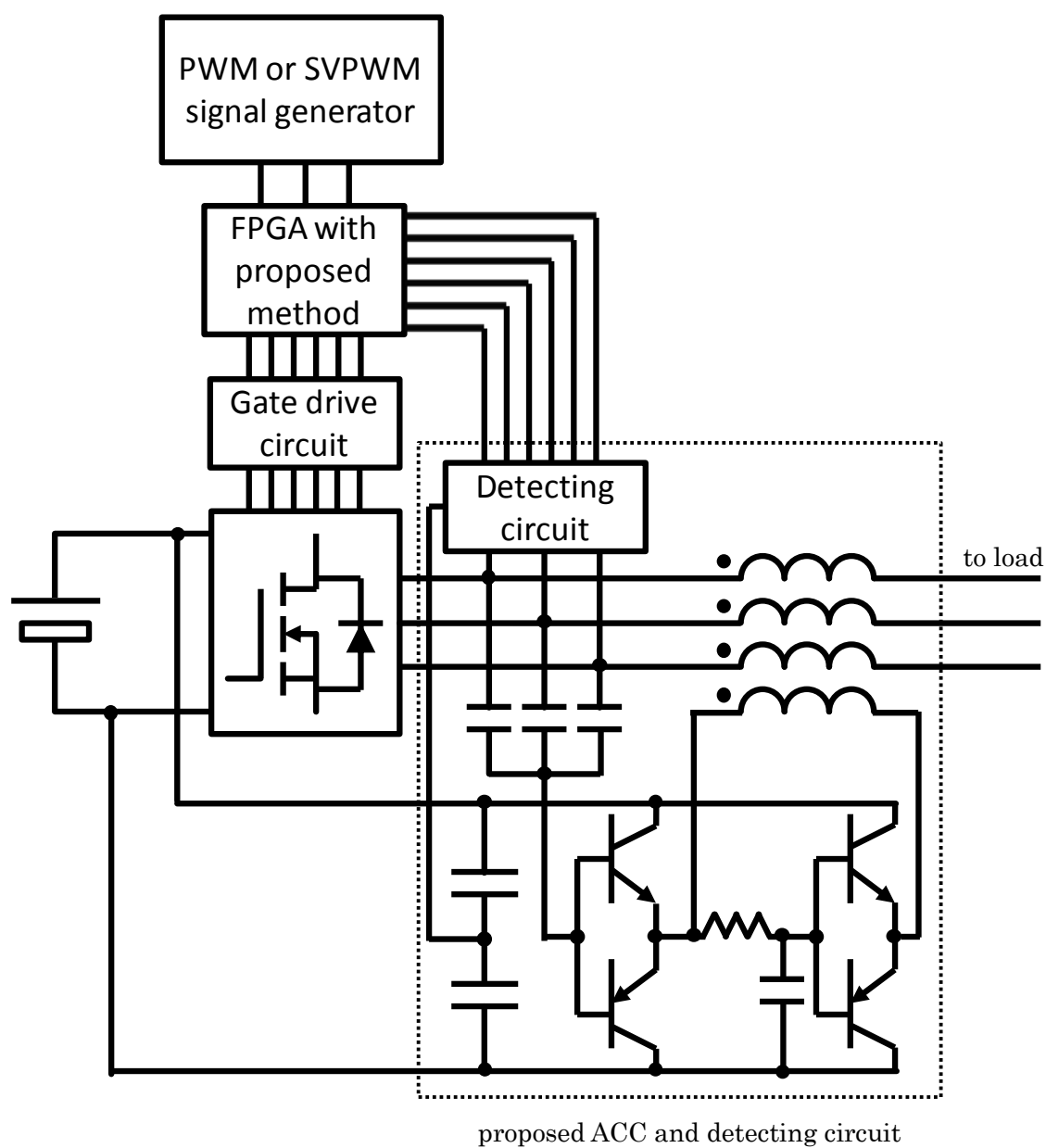


Fig. 5-1. Circuit of proposed high-frequency PWM inverter with low distortion and low noise and high voltage utilization factor

## 参考文献

- [1] 佐川 眞人：「永久磁石-材料科学と応用-」 アグネ技術センター， pp. 365-386(2007)
- [2] 寺谷 達夫、大熊 繁：「電気が進化させる自動車技術」， 電学論D， vol. 125, No. 5, pp.887-894(2005)
- [3] 一般財団法人 電気学会：「パワーエレクトロニクス機器のEMC」， オーム社， pp.6-25(2013)
- [4] S. Ogasawara, H. Ayano, H. Akagi: “An Active Circuit for Cancellation of Common-Mode Voltage Generated by a PWM Inverter,” PESC ’97 Record. 28th Annual IEEE Power Electronics Specialists Conference, vol. 2, pp. 1547-1553 (1997)
- [5] Y. Murai, T. Watanabe, H. Iwasaki: “Waveform Distortion and Correction Circuit for PWM Inverter with Switching Lag-time,” IEEE Trans. on Industry Applications, vol. IA-23, no.5, pp.881-886 (1987)
- [6] 前川 佐理， 津田 純一， 葛巻 淳彦， 松本 脩平， 餅川 宏， 久保田 寿夫：「高精度パワーデバイスモデルによるSiCインバータのEMI解析」 電学論D， vol. 134, No. 4, pp. 461-467(2014)
- [7] 山口 浩：「次世代パワーエレクトロニクスの研究動向」， 電学論B， vol. 132, No. 3, pp. 209-212(2012)
- [8] 戸倉 規仁：「四半世紀にわたるIGBT開発の軌跡(1984年~2009年)」， 電学論D， vol. 131, No. 1, pp. 1-8(2011)
- [9] 浅野 勝則・林 利彦・高山 大輔・菅原 良孝・Sei-Hyung Ryu・John W. Palmour：「新構造5 kV級4H-SiC SEMOSFETの電气的特性」， 電学論D， vol. 125, No. 3, pp. 229-235(2005)
- [10] 菅原 良孝：「SiCパワーデバイスの開発状況-Si半導体の限界を超える新半導体」， 電学誌， vol. 185, No. 5, pp. 282-285(1998)
- [11] 船木 剛， 入江 亮介：「SiCパワーデバイスの適用によるインバータ回路における損失低減に関する一検討」， 電力技術・電力系統技術・半導体電力変換合同研究会， PE-14-20, PSE-14-20, SPC-14-55, pp. 33-38(2014)
- [12] 大穀 晃裕：「技術開発レポート：SiCインバータ内蔵モータシステムの開発」 電学論D， vol. 132, No. 9, P NL9\_7(2012)
- [13] 釜我 昌武， 成 慶珉， 大橋 弘通：「変換器高周波化のためのSi-IGBTとSiC-SBDの検討」 電学論D， vol. 128, No. 5, pp. 569-576(2008)
- [14] V. M. Cardenas, S. Horta, R. Echavarria: “Elimination of Dead Time Effect in Three Phase Inverters,” Technical Proceedings. CIEP ’96. V IEEE International Power Electronics Congress, pp.258-262 (1996)
- [15] D. leggate, Russel J. Kerkman: “Pulse Based Dead Time Compensator for PWM Voltage Inverter,” IEEE Transactions on Industrial Electronics, vol. 44, Issue: 2, pp. 191-197(1997)

- [16]C. Attaianese, D. Capraro, G. Tomasso: “Hardware Dead Time Compensation for VSI Based Electrical Drives,” Proceedings ISIE 2001 IEEE International Symposium on Industrial Electronics, vol. 2, pp. 759-764 (2001)
- [17]L. Ben-Brahim: “The analysis and Compensation of dead-time effects in three phase PWM inverters,” Proceedings of the 24th Annual Conference of the IEEE Industrial Electronics Society, vol. 2, pp. 792-797 (1998)
- [18]Y. K. Lin, Y. SH. Lai, “Dead-Time Elimination of PWM-Controlled Inverter/Converter Without Separate Power Sources for Current Polarity Detection,” IEEE Transactions on Industrial Electronics, vol. 56, Issue:6, pp. 2121-2127(2009)
- [19]中田 篤史・鳥井 昭宏・植田 明照：「PWMインバータ出力電圧のデッドタイムによる非線形性」，平成25年電気学会全国大会，4-025. pp.42-43 (2013)
- [20]Z. X. Li, P. Wang, Y. H. Li, Congwei Liu, Haibin Zhu: “Dead-Time Compensation for VSI Based Power Supply with Small Filter Inductor,” IPEMC '09. IEEE 6th International Power Electronics and Motion Control Conference, pp. 1519-1523 (2009)
- [21]K. Rauma, O. Laakkonen, M. Ikonen, P. Silvantionen, O. Pyrhonen: “FPGA Based Dead-Time Compensation for PWM inverter,” European Conference on Power Electronics and Applications, pp. 1-7 (2005)
- [22]小笠原 悟司：「可変速ACドライブの漏れ電流・サージ電圧・軸電圧とその抑制法」、電学論D，118巻，9号，pp.976-980(1998)
- [23]一般財団法人 電気学会:「電気工学ハンドブック 第7版」，オーム社，pp.1007-1011(2013)
- [24]SH.T. Chen, Thomas A. Lipo, Dennis Fitzgerald, : “Modeling of Motor Bearing Currents in PWM Inverter Drives,”IEEE Transaction on Industry Applications, vol. 32, issue 6, pp. 1365-1370(2002)
- [25]B. Muralidhara, A. Ramachandran, R. Srinivasan, M. C. Reddy, : “Experimental Measurement of Shaft voltage and Bearing Current in an Inverter Fed Three Phase Induction Motor Drive,” Proceedings of 3rd International Conference on Electronics Computer Technology ICECT 2011, vol. 2, pp. 37-41(2011)
- [26]Y. Murai, T. Kubota, Y. Kawase, : “Leakage Current Reduction for a High-Frequency Carrier Inverter Feeding an Induction Motor,”IEEE Transaction on Industry Applications, vol. 28, No. 4, pp. 858-863(1992)
- [27]A. Nabae, I. Takahashi, H. Akagi , : “A New Neutral-Point-Clamped PWM Inverter,” IEEE Transaction on Industry Applications, vol. IA-17, Issue:5, pp. 518-523(1981)
- [28]A. Kempski, R. Smolenski, E. Kot, Z. Febyczak, : “Active and Passive Series Compensation of Common Mode Voltage in Adjustable Speed Drive System,” 39th IAS Annual Meeting. Conference Record of the 2004 IEEE, vol. 4, pp. 2665-2671(2004)
- [29]玉手 道雄, 佐々木 達見子, 鳥羽 章夫, 田久保 拓, フェルナンド パサン, 岡本 健

- 次：「低ノイズIGBTモジュールの開発」電学論D, 128巻, 7号, pp. 926-932(2008)
- [30]A. kempski, R. Strzelecki, R. Smolenski, G. Benysek, : “Suppression of Conducted EMI in Four-Quadrant AC Drive System,” in proceedings of Power Electronics Specialist Conference 2003, vol. 3, pp. 1121-1126(2003)
- [31] H. F. Ma, D. G. Xu, L. J. Miao, : “Suppression Techniques of Common-Mode Voltage Generated by Voltage Source PWM Inverter,” in proceeding of The 4th International Power Electronics and Motion Control Conference 2004, vol. 3, pp. 1533-1538(2004)
- [32]S. Ogasawara, H. Ayano, H. Akagi, : “Measurement and Reduction of EMI Radiated by a PWM Inverter-Fed AC Motor Drive System,” IEEE Transaction on Industry Applications, vol. 33, No. 4, pp. 1019-1025(1997)
- [33]H. Akagi, H. Hasegawa, T. Doumoto: “Design and Performance of a Passive EMI Filter for Use With a Voltage-Sorce PWM Inverter Having Sinusoidal Output Voltage and Zero Common-Mode Voltage,” IEEE Transaction on Power Electronics, vol. 19, Issue:4, pp. 1069-1079(2004)
- [34]小笠原 悟司, 藤田 英明, 赤木 泰文: 「電圧形PWMインバータが発生する高周波漏れ電流のモデリングと理論解析」, 電学論D, 115巻, 1号, pp.77-83(1995)
- [35]I. Takahashi, A. Ogata, H. Kanazawa, A. Hiruma: “Active EMI Filter for Switching Noise of High Frequency Inverters,” Proceedings of the Power Conversion Conference - Nagaoka 1997, vol. 1, pp. 331-334 (1997)
- [36]Y. C. Son, S. K. Sul, : “New Active Common-Mode EMI Filter for PWM Inverter,” IEEE Transaction on Power Electornics, vol. 18, No. 6, pp. 1309-1314(2003)
- [37]田上 耕太郎, 小笠原 悟司, 船渡 寛人, 金澤 秀俊, 植杉 通可, 茂泉 健一: 「インバータ駆動非接地モータの軸電圧とベアリング電流の解析」 電学論D, 127巻, 3号, pp.286-292(2007)
- [38]CH. T. Zhu, T. H. Hubing,: “An Active Cancellation Circuit for Reducing Electrical Noise from Three-Phase AC Motor Drivers,”IEEE Transaction on Electromagnetic Compatibility, vol. 56, Issue:1, pp. 60-66(2013)
- [39]小笠原 悟司, 藤川 真人, 赤木 泰文: 「高調波とEMIを抑制可能なPWM整流器・インバータシステム」 電学論D, vol. 121, No. 10, pp. 1075-1082(2001)
- [40]M. Carmela Di Piazza, A. Ragusa, G. Vitale,: “Design of Grid-Side Electromagnetic Interference Filter in AC Motor Drives With Motor-Side Common Mode Active Compensation,” IEEE Transaction on Electromagnetic Compatibility, vol. 51, Issue: 3, pp. 673-682(2009)
- [41]G. Buticchi, D. Barater, E. Lorenzani, A. Salati, : “Active Common-Mode Filter for Photovoltaic Transformerless Inverter,” IECON 2012 -38th Annual Conference on IEEE Industrial Electronics Society, pp. 5702-5707(2012)
- [42]Y. Q. Xiang, : “A Novel Active Common-mode-voltage Compensator For Bearing Current

- Reduction of PWM VSI-Fed Induction Motor, ” in Proceedings of The Applied Power Electronics Conference and Exposition 1998, vol. 2, pp. 1003-1009(1998)
- [43]N. Aizawa, M. Kikuchi, H. Kubota, I. Miki, K. Matsuse: “Dead-time effect and its compensation in common-mode voltage elimination of PWM inverter with auxiliary inverter,” IPEC 2010 International Power Electronics Conference, pp. 222-227 (2010)
- [44]CH. G. Mei, J. Carlos Balda, W. P. Waite, : “Cancellation of Common-Mode Voltage for Induction Motor Drives Using Active Method, ” IEEE Transaction on Energy Conversion, Vol. 21, No. 2, pp. 380-386(2006)
- [45]S. Ogasawara, H. Akagi, : “Circuit Configuration and Performance of the Active Common-Noise Canceller for Reduction of Common-Mode Voltage Generated by Voltage-Source PWM Inverters, ” Industry Application Conference 2000. Conference Record of the 2000 IEEE, vol. 3, pp. 1482-1488(2000)
- [46]M. C. Di Piazza, A. Ragusa, G. Vitale, : “A feedback-type Common Mode Active Filter for Vehicular Induction Motor Drives, ”in proceedings of Vehicle Power and Propulsion Conference 2010, pp. 1-6(2010)
- [47]SH. Wang, Y. Yorrick Maillet, Fei Wang, Dushan Boroyevich, Rolando Burgos, : “Investigation of Hybrid EMI Filters for Common-Mode EMI Suppression in a Motor Drive System, ” IEEE Transaction on Power Electronics, vol. 25, No. 4, pp. 1034-1045(2010)
- [48]岡村 廸夫:「定本OPアンプ回路の設計」, CQ出版, pp. 200-201(1990)
- [49]H. Willi Van Broeck, H. Christoph Skudelny, G. Viktor Stanke, : “Analysis and Realization of a Pulsewidth Modulator Based on Voltage Space Vectors, ” IEEE Transaction on Industry Applications, vol. 24, No. 1, pp. 142-150(1988)
- [50]P. Pairodamonchai, S. Suwankawin, S. Sangwongwanich, : “Design and Implementation of a Hybrid Output EMI Filter for High-Frequency Common-Mode Voltage Compensation in PWM Inverters, ” IEEE Transaction on Industry Applications, vol. 45, Issue 5, pp. 1647-1659(2009)

## 著者が発表した論文

### 1. 論文（学位論文関係）

#### I 査読付き学会誌等

(1) 小川将司、小笠原悟司、竹本真紹:「低ひずみと高い電圧利用率を有する高周波 PWM インバータのフィードバック型デッドタイム補償法」, 電気学会論文誌 D, Vol. 133, No. 10, pp. 970-977, 2013 年 10 月

#### II 査読付き国際会議プロシーディング

(1) M. Ogawa, S. Ogasawara, M. Takemoto: "A Feedback-Type Dead-Time Compensation Method for High-Frequency PWM Inverter Delay and Pulse Width Characteristics ", in Proceedings of The Applied Power Electronics Conference and Exposition 2012, Orland, United States, pp.100-105, February, 2012

(2) M. Ogawa, S. Ogasawara, M. Takemoto: "Development of a High-Frequency Space Vector Pulse Width Modulated Inverter with a Modified Active Common-Noise Canceler ", in Proceedings of 36th International Communications Energy Conference 2014, CS-16-04, 6pages, Vancouver, Canada, September-October, 2014

### 2. 論文（その他）

(1) 小川将司、小笠原悟司、竹本真紹:「高周波 PWM インバータのフィードバック型デッドタイム補償」平成 22 年電気学会産業応用部門大会 1-75, pp. I-439-440, 於: 東京芝浦工業大学 2010/8/24-26

(2) 小川将司、小笠原悟司、竹本真紹:「高周波 PWM インバータのフィードバック型デッドタイム補償」平成 22 年度電気・情報関係学会北海道支部連合大会 38, 於: 北海学園大学工学部 2010/10/23-24

(3) 小川将司、小笠原悟司、竹本真紹:「高周波 PWM インバータにおけるフィードバック型デッドタイム補償法とその特性」電子デバイス/半導体電力変換合同研究会 EDD-10-086, SPC-10-143, pp.21-26, 於:北海道立道民活動センター 2010/11/29-30

(4) 小川将司、小笠原悟司、竹本真紹:「高周波 PWM インバータにおけるフィードバック型デッドタイム補償法とその特性-負荷特性-」平成 23 年電気学会全国大会 4-065, 於:大阪大学 2011/3/16-18

(5) 小川将司、小笠原悟司、竹本真紹:「高周波 PWM インバータのフィードバック型デッドタイム補償法-ひずみ特性-」平成 24 年度電気・情報関係学会北海道支部連合大会 28, 於:北海道大学情報科学研究科 2012/10/20-21

(6) 小川将司、小笠原悟司、竹本真紹:「高周波 PWM インバータのフィードバック型デッドタイム補償法-低次高調波の低減-」平成 25 年電気学会全国大会

4-023, pp. 4-38-39, 於: 名古屋大学 東山キャンパス 2013/3/20-22

(7) 小川将司、小笠原悟司、竹本真紹: 「100 kHz 高周波 PWM インバータ用アクティブコモンノイズキャンセラの開発-トランスの小型化と動作確認-」 平成 25 年電気学会産業応用部門大会 1-42, pp. I-203-204, 於: 山口大学 吉田キャンパス 2013/8/28-30

(8) 小川将司、小笠原悟司、竹本真紹: 「100 kHz SVPWM インバータに適用可能なアクティブコモンノイズキャンセラの開発」 平成 26 年電気学会産業応用部門大会 1-52, pp. I-241-244, 於: 東京電機大学 北千住キャンパス 2014/8/26-29

## 謝辞

本論文は、筆者が北海道大学大学院情報科学研究科において遂行した研究成果を取りまとめたものである。

この間、北海道大学大学院 情報科学研究科電気エネルギー変換研究室 小笠原悟司教授には、終始適切な助言を頂き、また論文の書き方や研究の心構えに至るまでご指導ご鞭撻を賜りました。心より厚く御礼申し上げます。

また、北海道大学大学院 情報科学研究科電気エネルギー変換研究室 竹本真紹 准教授には、ゼミや講義を通してご指導ご鞭撻を賜りました。厚く御礼申し上げます。

北海道大学大学院 北裕幸 教授には、ご多忙な中、本論文の副査を務めていただき、様々なご助言を頂戴致しました。心より感謝申し上げます。

筆者が在籍させていただいた電気エネルギー変換研究室 小檜山 由利枝 秘書には、日頃の研究室生活において多大なご支援をいただきました。ここに深く感謝申し上げます。

また、北海道大学大学院 情報科学研究科電気エネルギー変換研究室の皆様には、日頃の研究室生活において多大なご支援をいただきました。ここに深く感謝申し上げます。

最後に、精神的に支えてくれた家族に心より感謝したいと思います。本当にありがとうございました。