



HOKKAIDO UNIVERSITY

Title	Silicon nanodot array device for high functionality [an abstract of dissertation and a summary of dissertation review]
Author(s)	曹, 民主
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第12403号
Issue Date	2016-09-26
Doc URL	https://hdl.handle.net/2115/63337
Rights(URL)	https://creativecommons.org/licenses/by-nc-sa/2.1/jp/
Type	doctoral thesis
File Information	Mingyu_Jo_abstract.pdf, 論文内容の要旨



学 位 論 文 内 容 の 要 旨

博士の専攻分野の名称 博士（工学） 氏名 曹 民圭

学 位 論 文 題 名

単電子ナノドットアレイデバイスの高機能化に関する研究
(Silicon nanodot-array devices with high functionality)

ビックデータ・IoT(Internet of Things) の時代が近づき、莫大なデータを低消費電力で処理する能力が電子機器に求められている。情報処理を担当する電子機器の CPU はトランジスタの微細化によって性能を高めて高機能・低消費電力への要求に対応してきた。しかし微細化の限界が近づき、さらなる性能向上にも限界がある。特にトランジスタ数の増大に伴い、設計通りに CPU が動作する保証を取り付けることが困難になってきている。そこで、再構成可能なコンピューティング、ニューラルネットワークなどが研究されているが、従来のトランジスタでは高い消費電力等の問題点があり、新たな素子の研究が重要と考えられている。

これらの問題を解決できる新たな素子として単電子デバイスが注目されている。単電子デバイスはトンネルバリアに挟まれた量子ドットにゲート電圧を加えることによって電子一個ずつ制御できるデバイスである。したがって究極的な低消費電力デバイスである。くわえて、その動作原理から、周期的な電流振動特性と多入力ゲート構成が可能である利点を活かして AND, OR のような論理機能も得ることができる。しかし単電子デバイスの量子ドットはサイズが小さく、サイズのばらつきにより特性がばらついてしまう欠点がある。また電流駆動能力が低いので長い配線には適さないという欠点もある。

そこで本研究では、これらの問題点が解決できるデバイスとして単電子ナノドットアレイデバイスに注目した。その構造は量子ドットをアレイ状に配置し、多くの入力ゲートと出力端子を取り付けられていることから、一個のデバイスから複数の論理機能が実現できる。しかし、単電子ナノドットアレイデバイスは、サイズばらつきによって特性もばらつくため、予め機能を設定してデバイスを作製することができない。そこで作製した後から、機能を探してフレキシブルに機能を変える再構成可能なコンピューティングという手法を構築することを目指した。

本研究では、単電子ナノドットアレイデバイスの高機能化を目指し、その作製から回路設計までを行い、再構成可能なコンピューティングシステムとして機能するための要素技術を検討した。まず作製法ではとして、シリコンナノワイヤを熱酸化させて量子ドットに変換する Pattern Dependent Oxidation(以下、PADOX)を用いた。シリコンの形状によって酸化メカニズムが変わる PADOX の特徴を用いて新たな連結した量子ドットの作製法を提案して単電子シミュレーションを用いて特性の解析を行った。そして単電子ナノドットアレイデバイスを作製し、各ゲートと各ドット間の容量関係から、量子ドット位置の確認手法を提案した。次に単電子ナノドットアレイデバイスの機能を電流マップという手法を用いて一つのデバイスから多くの論理機能を得ることができることを示した。単電子ナノドットアレイデバイスはゲートの電圧を変えることによって機能をフレキシブルに変えることができるデバイスである。したがって機能をセッティングするためには、各機能に対応する入力ゲート電圧値をメモリに保存しなければいけない。しかしデジタルメモリを用いると、多くのセル数が必要となるので、アナログメモリを用いる手法を検討し、抵抗変化型メモリをアナ

ログメモリとして用いることとした。実際、1T1R 構造のアナログメモリを作製し、MOSFET のゲート電圧を制御することで抵抗を制御する手法を開拓した。最後にアナログメモリと単電子ナノドットアレイデバイスの特性をそれぞれ解析して回路を提案した。これらの結果により、単電子ナノドットアレイデバイスが再構成可能なコンピューティングの素子として機能するための基礎的なデバイスシステムを始めて確立したといえる。

以下に本論文の各章での概要を述べる。第 1 章は序論である。単電子デバイスの構造・原理・問題点について把握し、単電子ナノドットアレイデバイスの必要性について述べる。また、再構成可能なコンピューティングを実現するための単電子ナノドットアレイデバイスを用いたシステムについて述べる。

第 2 章では単電子ナノドットアレイデバイスの作成方法について述べる。PADOX の原理を用いた新たな連結ドット作製法について述べる。また PADOX を用いたナノドットアレイデバイスの作製法について述べる。

第 3 章では、作製した単電子ナノドットアレイデバイスの評価と機能性について述べる。ここでは、各ドットと各ゲートの容量的関係から、電流振動の各ピークがどのドットから起因するかについて確認した。すなわち電流振動からドットの形成確認が確認できる方法について述べる。また、機能を簡単に把握するために電流マップという方法を導入し、作製したデバイスから複数の機能を確認した。

第 4 章では、単電子ナノドットアレイデバイスの機能セッティングのためのアナログメモリについて述べる。アナログメモリの作製法とその抵抗可変特性を得た。

第 5 章では、アナログメモリと単電子ナノドットアレイデバイスを繋ぐ回路について述べる。さらに回路を設計する上で重要なデバイスパラメータについて説明する。

第 6 章では本研究を総括する。