



Title	時間分解能型アナログ-デジタル変換器およびCMOSイメージセンサ応用に関する研究〔論文内容及び審査の要旨〕
Author(s)	内田, 大輔
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第12627号
Issue Date	2017-03-23
Doc URL	https://hdl.handle.net/2115/65488
Rights(URL)	https://creativecommons.org/licenses/by-nc-sa/2.1/jp/
Type	doctoral thesis
File Information	Daisuke_Uchida_abstract.pdf, 論文内容の要旨



学 位 論 文 内 容 の 要 旨

博士の専攻分野の名称 博士（工学） 氏名 内田 大輔

学 位 論 文 題 名

時間分解能型アナログ-デジタル変換器および CMOS イメージセンサ応用に関する研究
(A Study on Time-Based Analog-to-Digital Converters for CMOS Image Sensors)

本研究は、デジタル画像データを取得するデバイスである CMOS イメージセンサに関して、低電力化と低ノイズ化を実現するためのものである。

近年、CMOS イメージセンサの高集積化が進むに伴い、読み出し回路であるアナログ-デジタル変換器 (Analog to Digital Converter, ADC) における高速度化、消費電力の増加への対処が求められるようになった。本論文では、シングルスロープ ADC に時間量子化器を組み合わせたハイブリッド型 ADC や、時間アナログ-デジタル変換器 (TAD) などの時間分解能型 ADC に注目し、新たな構成を提案することで高速・低電力・低ノイズを両立した CMOS イメージセンサの実現を目的とした。本研究で得られた主要な成果は以下のとおりである。

(1) 間欠動作時間量子化器による低電力 ADC およびイメージセンサ

従来より CMOS イメージセンサ用 ADC として用いられていたシングルスロープ ADC は、ビット数と速度との間にトレードオフが存在し、時間量子化器と組み合わせたハイブリッド型 ADC が注目されている。しかしながら、この構成では時間量子化器との整合性や消費電力の増大が問題となっていた。そこで、時間量子化器において、間欠動作を行い、消費電力を削減する手法を提案した。本構成による ADC および CMOS イメージセンサの設計・試作・測定を行い、CMOS イメージセンサ用 ADC として、消費電力を従来構成に比べおよそ 1/2 に削減することを実現した。

(2) 時間アナログ-デジタル変換器を用いたデルタシグマ ADC

時間アナログ-デジタル変換器 (TAD) は、電圧制御発振器とカウンタを用いてその周波数を計測する手法の ADC であり、デジタル素子のみで設計することが可能であり、ノイズシェーピング効果を持つことから、デルタシグマ ADC としての特性を持つ。一般的に、量子化過程が入る積分器を初段にした構成のデルタシグマ ADC では、1 次ノイズシェーピング特性が支配的となり高次化が難しい。そこで、TAD を初段に用いることで、高次化の実現を行い、更なるノイズの低減を目指す。シミュレーションによって 2 次ノイズシェーピング特性を確認し、TAD 回路の設計・試作を行った。

(3) 直交位相発振器を用いた ADC

時間量子化器および TAD では、遅延線路や電圧制御発振器により複数のクロック信号が発生し、クロック信号から発生するスパイクノイズ等の雑音成分が ADC の性能を制限することとなる。そこで差動直交発振器を用いる構成を提案し、ノイズの低減を目指す。時間量子化器、TAD それぞれにおける構成を提案し、シミュレーションによりノイズの低減を確認した。

・論文構成

論文構成は、本研究を理解するために必要となるイメージセンサおよび ADC について基礎的な事柄を解説する (2 章)。

3 章では間欠動作型時間量子化器による低電力 ADC について記述する。

4 章では時間量子化器におけるエンコード手法、デジタル相関 2 重サンプリング構成によるノイズ低減について記述する。

5 章では TAD を用いたデルタシグマ ADC およびその高次化について記述する。

6 章では時間量子化器、TAD それぞれにおいて差動直交発振器を適用した構成について記述する。

7 章では前章までに提案した ADC を用いて設計・試作したイメージセンサについて記述する。