HOKKAIDO UNIVERSITY

Title	時間分解能型アナログ-ディジタル変換器およびCMOSイメージセンサ応用に関する研究
Author(s)	内田, 大輔
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第12627号
Issue Date	2017-03-23
DOI	https://doi.org/10.14943/doctoral.k12627
Doc URL	https://hdl.handle.net/2115/65489
Type	doctoral thesis
File Information	Daisuke_Uchida.pdf

Hokkaido University Collection of Scholarly and Academic Papers : HUSCAP

時間分解能型アナログ-ディジタル変換器および CMOSイメージセンサ応用に関する研究

A Study on Time-Based Analog-to-Digital Converters for CMOS Image Sensors

北海道大学大学院 情報科学研究科
情報エレクトロニクス専攻
内田 大輔

目 次

第 1 章　序論 **1**
1.1　研究背景 1
1.2　研究目的 3
1.3　本論文の構成 3

第 2 章　CMOS イメージセンサと A/D 変換器 **5**
2.1　イメージセンサの構成と動作 5
2.1.1　CMOS イメージセンサおよび CCD イメージセンサ 5
2.1.2　CMOS イメージセンサの読み出し動作 6
2.2　カラム A/D 変換器 7
2.2.1　シングルスロープ A/D 変換器 8
2.2.2　逐次比較 A/D 変換器 9
2.2.3　サイクリック A/D 変換器 11
2.2.4　デルタシグマ A/D 変換器 12
2.2.5　各方式の比較 14
2.3　時間分解能型 A/D 変換器 14

第 3 章　ハイブリッド型 A/D 変換器の低電力化手法 **19**
3.1　シングルスロープ A/D 変換器と時間量子化器のハイブリッド構成 19
3.1.1　整合性 20
3.1.2　シミュレーション結果 23
3.2　低電力化手法 24
3.2.1　時間量子化器の間欠動作 25
3.2.2　NAND 型遅延線路 27
3.2.3　時間量子化器のビット数に関する考察 30
3.3　測定結果 31
3.4　まとめ 32

第 4 章　エンコーダとディジタル CDS　37
4.1 エンコーダ回路 37
4.1.1 組み合わせ論理回路による構成 37
4.1.2 エンコード用カウンタを用いた構成 38
4.1.3 ROM エンコーダを用いた手法 41
4.2 ノイズ低減手法 43
4.2.1 ディジタル CDS 43
4.2.2 ディジタル CDS を含めたエンコーダ回路構成 45
4.3 まとめ 48

第 5 章　発振器を用いたデルタシグマ A/D 変換器　51
5.1 VCO 量子化器を用いたデルタシグマ A/D 変換器 51
5.1.1 デルタシグマ A/D 変換動作 51
5.1.2 回路構成 52
5.1.3 シミュレーション結果 54
5.2 TAD を用いた構成 54
5.2.1 TAD の動作 56
5.2.2 TAD の高次化 59
5.2.3 シミュレーション結果 60
5.3 まとめ 60

第 6 章　差動直交信号を用いた A/D 変換器　63
6.1 差動直交信号による時間量子化器 63
6.1.1 シミュレーション結果 66
6.2 差動直交信号を用いたシングルスロープ A/D 変換器 67
6.3 差動直交発振器を用いた A/D 変換器 68
6.4 まとめ 69

第 7 章　CMOS イメージセンサの設計・試作　71
7.1 ハイブリッド型 A/D 変換器による低電力イメージセンサ 71
7.1.1 カラム A/D 変換器 71
7.1.2 ランプ波形発生器 73
7.2 試作と測定結果 76
7.3 まとめ 78

第 8 章　結論 **83**

参考文献 **85**

謝辞 **93**

研究業績 **95**

第1章　序論

1.1　研究背景

過去の人物や出来事に関する様子を知ろうとする際，写真は非常に重要な情報源である．当時の様子を鮮明に記録でき，かつ詳細に知ることができるため，写真を撮影するためのカメラは，発明されてからこれまでに様々な技術によって発展してきた．その中でも特に，「フィルムからディジタルへ」という技術変遷は，これまでの写真のあり方を大きく変えるものであった．また，近年の情報化社会に伴い広帯域通信分野が急速に発展している．そのため，比較的大きなデータ量を簡単に扱うことが可能となり，負担の大きかった写真や画像情報も頻繁にやりとりされるようになった．これらの組み合わせにより，画像情報の取得機器は，ディジタルカメラが大きな地位を占め，現在，ほとんどの携帯電話にその機能が搭載されている．ディジタルカメラは放送用途 [1] や携帯用カメラだけではなく，医療応用 [2,3] や車載応用 [4,5] など様々な用途向けに開発が進んでいる．

このようなディジタルカメラの心臓部はイメージセンサである．イメージセンサとは光学像の情報を電気的画像信号へと変換する撮像素子である．画素をアレイ状に配置することで構成され，レンズを通過した光が各画素ごとに電気信号へと変換される．イメージセンサが一般消費者向けに大量出荷されるようになって以降，イメージセンサの開発トレンドは多画素化による高解像度化であった．微細化の進歩とともに，この傾向は急速に加速され，現在では 1000 万を超える画素数を持ったイメージセンサが携帯用カメラに搭載されている [6]．このように，画素集積化に関する強い傾向があることから，必然的に高速読み出しの手法も盛んに研究されてきた [7,8]．イメージセンサの基本動作は光電変換および信号の読出し（走査）である．アレイ状構造において画素数が増えた場合，以前と同じフレームレートで読み出しを行うためには，読み出し動作を高速化する必要がある．

CMOS（Complentary Metal-Oxide-Semiconductor）イメージセンサは，通常の CMOS プロセスを用いることで，周辺回路も同時に集積することが可能であるため，アナログ-ディジタル（Analog to Digital, A/D）変換器を読み出し回路として搭載する手法が主流となっている．A/D 変換器は電気信号をディジタル値のデータへと変換することでノイズ

の混入を防ぎながら，高速かつ高分解能な読出しを可能としている．また，周辺回路として，様々な画像処理機能を盛り込むことが可能である．画質に関しては，開発当初は素子のバラツキや熱雑音などによる固定パターンノイズが課題であったが，埋め込みフォトダイオードや 4 トランジスタ型画素，相関 2 重サンプリング（Correlated Double Sampling, CDS），裏面照射技術等のノイズ除去手法が提案され [9–11]，CCD（Charge Coupled Device）イメージセンサと比較しても遜色のないレベルに近づいてきた．

近年では，チップ上のイメージセンサ面積をより大きくする手法として，イメージセンサとその周辺回路を 1 枚のチップ上に集積するのではなく，複数枚のチップを用意し，3 次元積層することで大面積化を実現する技術が報告されている [12,13]．センサ層と，画像処理を行う周辺回路層を別チップとして製造し，積層することで，面積を大きく使えるだけでなく，各回路層を最適な製造プロセスで設計できるという利点もあるため，コンピューテショナルイメージングのような，高速度の信号伝送と高度な画像処理とを組み合わせた，高機能イメージセンサが期待される．3 次元積層においては，積層間配線（Through Silicon Vias, TSV）が用いられることが一般的である [14] が，製造コストや電力効率に優れた，近接チップ間無線通信（Through Chip Interfaces, TCI）を用いた技術 [15] も期待される（図 1.1）．

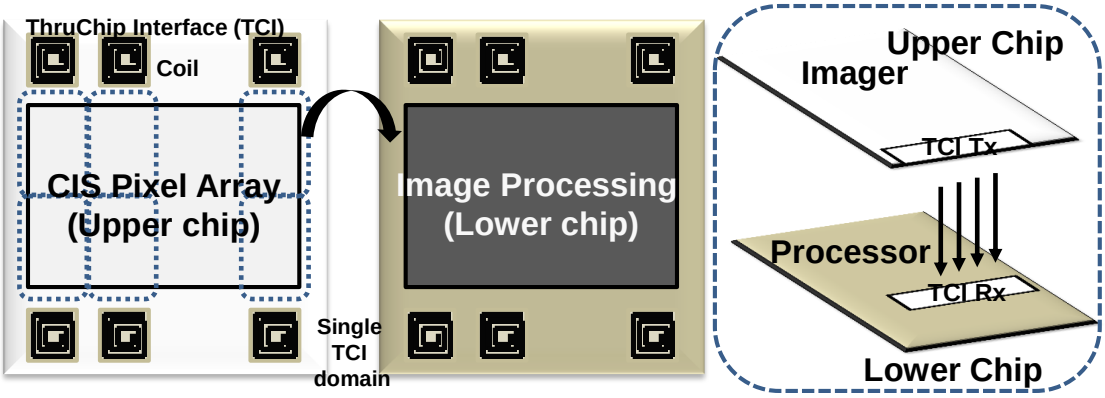

図 1.1: TCI を用いた積層イメージセンサの概念図

また，イメージセンサは「視えるものを記録する」だけでなく,「人に視えないものを視る」ことを実現するための技術も報告されている [16]．紫外光や赤外光といった，可視光以外の波長を光電変換する素子をアレイ状に配置することで，撮像が可能である．同様に，光と電波の境界に当たるテラヘルツ帯 [17] を受信するアンテナを CMOS プロセスで作成，アレイ状に配置することで撮像を行う，テラヘルツイメージング [18] も注目される．さら

に，物質の成分を解析する技術である質量分析に，空間分布情報を加えることでその分析結果を可視化する，イメージング質量分析においても，SOI（Silicon on Insulator）プロセスを用いた画素が提案されており，生体分子イメージング等への応用が期待される [19].

上記のようなイメージセンサを実現する上で，その性能に大きく影響するものは，画素の性能および A/D 変換器の性能である．CMOS イメージセンサにおいては，微細化による多画素化によって，A/D 変換器は動作の高速化だけでなく高集積化，つまり微細な画素に合わせた微細な回路構成が求められる．また，消費電力の削減要求は，携帯端末に限らずどの応用分野においても重要な課題である．現在では 1000 万を超える画素数に合わせたカラム A/D 変換器が搭載されるが，イメージセンサ全体では数 W オーダーの消費電力が発生する．さらに，イメージセンサの画質，ダイナミックレンジを向上させるためには A/D 変換器の低ノイズ化が求められる.．以上のように，高性能イメージセンサの実現には，A/D 変換器の高速化，低電力化および低ノイズ化の両立が求められる．

1.2 研究目的

本研究は，高速撮像・低電力・高ダイナミックレンジを両立した CMOS イメージセンサを実現する上で重要となる，イメージセンサ用 A/D 変換器の高速化，低消費電力化および低ノイズ化を目標とする．イメージセンサ用 A/D 変換器の前提条件である小型化に適した構成として，シングルスロープ A/D 変換器または発振器を用いた時間分解能型 A/D 変換器とこれらを用いたイメージセンサに関する研究を行った．

1.3 本論文の構成

以上に述べた研究背景と目的に基づき，本論文は以下の章から構成される．

第 1 章 序論

本研究の背景および目的について述べる．

第 2 章 CMOS イメージセンサと A/D 変換器

本章では，研究対象であるイメージセンサに関して，その読み出し方式や基本的な要素回路の構成について説明する．また，イメージセンサ用 A/D 変換器として利用されているいくつかの方式に関して，各 A/D 変換器構成とその動作および課題について説明を行う．また，小型化および低電源電圧動作に適した構成として，時間分解能型 A/D 変換器に関する考察を行う．

第 3 章 ハイブリッド型 A/D 変換器の低電力化手法

本章では，シングルスロープ A/D 変換器と時間量子化器（Time to Digital Converter, TDC）とのハイブリッド構成に関して，および整合性を確保する手法に関して説明する．また，高速・低消費電力動作を目的とした，時間量子化器の間欠動作について述べた後，その最適ビット数に対する考察を述べる．さらに間欠動作型時間量子化器によるハイブリッド型 A/D 変換器の試作，評価結果について述べる．

第 4 章 エンコーダとディジタル CDS

本章では，第 3 章で提案した時間量子化器出力が持つ特殊な形式のコードを，バイナリコードへと変換するエンコーダ回路に関して，いくつかの構成を説明する．また，オフセット雑音を除去する手法である CDS を，ディジタル領域でも実現するディジタル CDS 手法について述べる．

第 5 章 発振器を用いたデルタシグマ ADC

本章では，A/D 変換器の低ノイズ化を目的とした，発振器を用いた時間分解能型デルタシグマ A/D 変換器の構成について述べる．電圧制御発振器（Voltage Controled Oscilator, VCO）およびカウンタで構成される VCO 量子化器が持つデルタシグマ変調動作に関して説明する．また，時間 A/D 変換器（Time A/D converter, TAD）構成を応用し，デルタシグマ A/D 変換器のオールディジタルな高次化手法を提案する．

第 6 章 差動直交信号を用いた A/D 変換器

本章では，時間分解能型 A/D 変換器に用いるクロック信号を，差動直交信号に置き換えた手法について述べる．スパイクノイズによる電源の不安定化を解消し，また，矩形波では表すことができない，位相毎に連続的な電位差を利用することで，遅延段数を削減した構成の説明をする．

第 7 章 CMOS イメージセンサの設計・試作

本章では，設計を行った CMOS イメージセンサの試作回路に関して，要素回路構成に関して説明した後，イメージセンサの試作，測定評価について述べる．

第 8 章 結論

本章にて，本論文の結論を述べる．

第2章　CMOSイメージセンサとA/D変換器

2.1　イメージセンサの構成と動作

2.1.1　CMOSイメージセンサおよびCCDイメージセンサ

イメージセンサは，携帯電話のカメラやDSC（Digital Still Camera）等で映像を生み出す映像撮像素子の部品を指すもので，その製造工程と応用方法に応じて，大きくCCDイメージセンサとCMOSイメージセンサに分類することができる．CCD方式は，1969年に発明されて以来，長きにわたってイメージセンサに用いられてきた．これは，画質という面に関して，一般的にCMOSイメージセンサは，CCDイメージセンサに比べて画質が低いことが理由であった．CMOS方式は，一つの受光素子に一つのトランジスタを使用する構造になっているため，トランジスタの特性によってそれぞれで異なるノイズが発生することで，固定パターンノイズが存在する．しかし，CMOSイメージセンサの高画質化に関する研究が進み，埋め込みフォトダイオードや，CDSといったノイズ低減手法が提案されたことで，CMOSイメージセンサの画質は，CCDイメージセンサと比較しても見劣りしないほどに改善されている．

一方で，製造面について着目すると，CCD方式は専用のCCD用半導体プロセスを使用しているため，コストが高く，また，周辺回路の同時集積も困難であった．CMOSプロセスはプロセスの開発速度が速く，また，周辺回路の集積が可能な点，そして収率が非常に高いことから，CCD方式と比較して安価に製造が可能である．

また，消費電力に着目すると，一般的に，CCD方式が高出力電力であるのに対し，CMOS方式は非常に消費電力が少ない．CCD方式ではいくつかの電源を必要とするため，この点でもコストがかかる．上記の点を含めた，CCD方式，CMOS方式の特徴について，表2.1を用いて簡単に比較する．

表 2.1: CCD と CMOS イメージセンサの比較

区分	CCD イメージセンサ	CMOS イメージセンサ
構造	受光素子と電荷結合素子で構成	受光素子と CMOS スイッチで構成
原理	光エネルギーにより生成された電荷を蓄積後転送	光エネルギーにより生成された電荷を半導体スイッチで読み出す
長所	画質が良い	回路の集積度が高く周辺 IC とワンチップ化可能 低消費電力、低価格
短所	価格が高い 周辺回路が複雑 周辺回路とワンチップ化ができない	ノイズが多い 感度が低い ダイナミックレンジが狭い

2.1.2　CMOS イメージセンサの読み出し動作

CMOS イメージセンサは，画素と同時に A/D 変換器を搭載することで，高速な読み出しが可能である．イメージセンサが撮像を行う上で，どの段階で，A/D 変換を行うかに関して，一般的な A/D 変換方式として，以下の 3 つの方式があげられる [22,23]．1 つ目は，イメージセンサの読み出し段に A/D 変換器を設ける方式である（図 2.1）．

イメージセンサからの出力はディジタル値となり，ノイズに強く，またアナログの出力バッファを持たない構成が可能である [24]．しかし一方で，水平読み出し部はアナログでの信号読み出しとなっている．水平読み出しでは，高速動作が求められるため，この方式でのノイズ低減効果は限定的である．

2 つ目は，画素ごとに A/D 変換器を設ける方式である（図 2.2）．画素内でディジタル

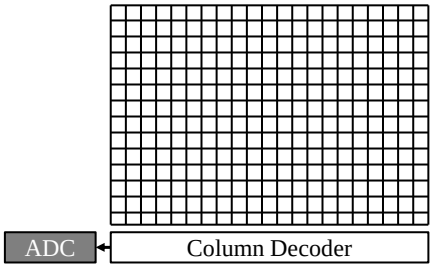

図 2.1: エリア出力による読み出し

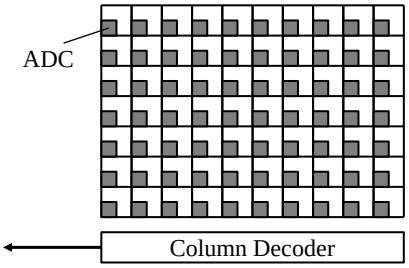

図 2.2: 画素並列による読み出し

出力を取得できるため，読み出し回路におけるノイズを大幅に低減することが可能である．理想的な配置法と思われる一方で，画素内に A/D 変換器を構成することから，1 画素辺りのサイズは大きくなる．そのため，多画素化，高解像度化には不利であるが，多機能イメージセンサや，積層構造による画素面積の拡大手法等も報告されている [25] が，A/D 変換器を画素内に集積するには至っていない．

3 つ目は列ごとに A/D 変換器を配置する列並列方式である（図 2.3）．現在，最も主流な読み出し方式である．画素からのアナログ値を，各列がディジタル値へと変換するため，最もノイズの影響を受けやすい水平読み出しにおける信号の伝達を，ディジタル領域とすることができる．また，画素と分離して形成できるため，多画素化にも有利である．このため，現在多くの高解像度イメージセンサに，列並列方式の A/D 変換器が用いられている [1,26]．

列並列方式で構成されるカラム A/D 変換器は，行方向 1 行分の画素信号を同時に変換するため，1 行の走査期間が A/D 変換時間となる．フレームレートが一定の場合，垂直方向の画素数が増加するほど，1 行の走査期間が短くなる．そのため，カラム A/D 変換器には高速動作が求められる．

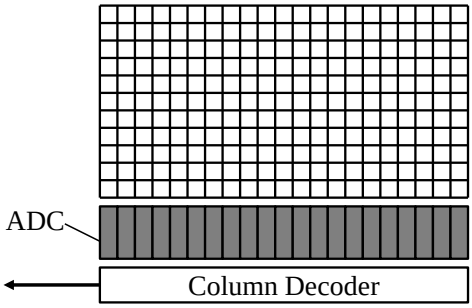

図 2.3: 列並列による読み出し

2.2 カラム A/D 変換器

CMOS イメージセンサにおける画素の発達と共に，CMOS イメージセンサ，特に列並列方式で用いられるカラム A/D 変換器においても，省面積，高速動作，高分解能，低消費電力，低ノイズが求められるようになった．本節では，カラム A/D 変換器としてこれまでに報告されている A/D 変換器の構成とその基本的な動作原理および特徴について述べ，各方式の比較を行う．

2.2.1　シングルスロープ A/D 変換器

シングルスロープ A/D 変換器の回路構成を図 2.4 に示す．比較器，AND 回路，カウンタから構成される．比較器は 2 つの入力信号の電圧レベルを比較し，ディジタル値 “High” か “Low” を出力する．V_{in+} が V_{in-} より大きければ出力は“High” となり，V_{in+} が V_{in-} より小さければ出力は “Low” となる．比較器の内部構成によって特性が逆の場合もある．

比較器に画素から電圧レベルに変換されたアナログ値と時間軸上で線形に変化するランプ波を入力する．アナログ値がランプ波の値より高いときは “High” を、低いときは “Low” を出力する．そして，アナログ値とランプ波の値が等しくなるとき，信号の論理値が変化する PWM（Pulse Width Modulation）信号が生成される（図 2.5）．PWM 信号と基準クロック信号を AND 回路に入力すると，PWM 信号の時間幅 T_{PWM} の範囲のみクロック信号が出力される．カウンタの値はクロックの数を表すことになるため，PWM 信号の T_{PWM} が計測できる．

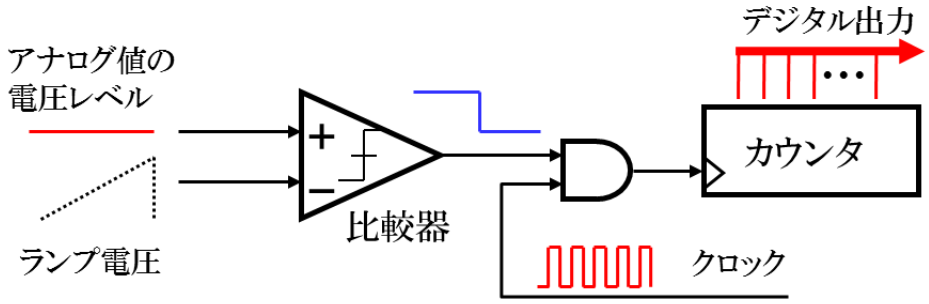

図 2.4: シングルスロープ A/D 変換器の回路構成

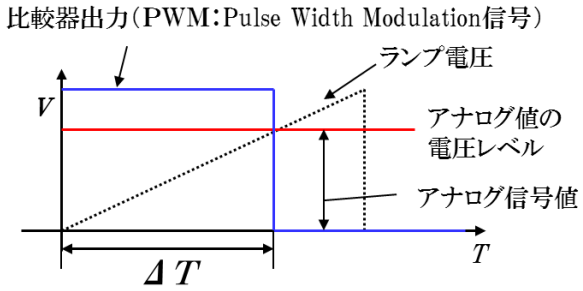

図 2.5: 比較器による PWM 信号の生成

アナログ値（V_{sig}）と PWM 信号の T_{PWM} には次のような関係にある。

$$\frac{V_{sig}}{V_{ref_\mathrm{maz}}} = \frac{T_{PWM}}{T_{count}} \tag{2.1}$$

ここで，V_{ref}_max はランプ波形の最高電位で，T_{count} はランプ波が最高電位にいたるまでの時間を表す．T_{count} は A/D 変換器の変換周期に相当する．V_{ref}_max と T_{count} は参照するランプ波形から値が決まるため定数となる．つまり，式 2.1 は次式のようになり，V_{sig} に準じた T_{PWM} が出力される．

$$V_{sig} = \frac{V_{ref_\mathrm{max}}}{T_{count}} T_{PWM} \tag{2.2}$$

その結果，アナログ値に準じたカウンタの出力が得られ，このカウンタの値が，A/D 変換出力となる．

シングルスロープ A/D 変換器はシンプルな回路構成であることから，小型化に適しており，カラム A/D 変換器として多くのイメージセンサに用いられる．一方で，シングルスロープ A/D 変換器は分解能を上げることで，動作が遅くなるという欠点を持つ．N ビット分解能のカウンタは，0 から $2^N - 1$ までの値を取れるため，必要なクロックのサイクル数は 2^N となる．従って，シングルスロープ A/D 変換器の変換周期 T_{count} はクロックの周期 T_{clk} とカウンタのビット数 N に依る．この関係を式 2.3 に示す．

$$T_{count} = 2^N \times T_{clk} \tag{2.3}$$

この式より，分解能 N を増やすと，A/D 変換周期は指数関数的に増加する．この課題の改善手法として，高周波数のクロックを使用する方法がある．しかし，クロック周波数を上げることはタイミングの制約をする上で大きな問題となる．また，クロックを生成する回路において消費電力が高くなる問題がある．したがって，クロック周波数を上げることは根本的な問題の解決にはならない．クロック周波数を上げずに変換精度を向上させる方法を考えなければならない．

2.2.2 逐次比較 A/D 変換器

図 2.6 に逐次比較 A/D 変換器の構成を示す．

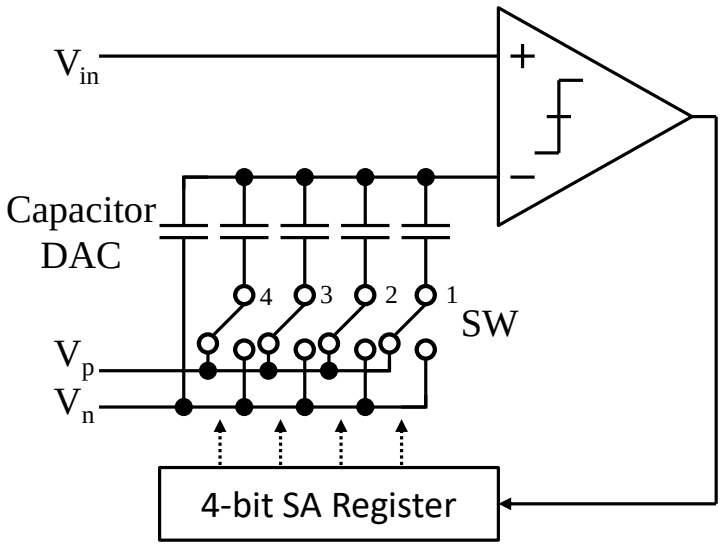

図 2.6: 逐次比較 A/D 変換器の構成

比較器，容量アレイ型ディジタル-アナログ変換器（Digital to Analog Converter, DAC）およびレジスタから構成される．逐次比較 A/D 変換器は，入力電圧と DAC の出力電圧の比較を繰り返し行い，ディジタル値を取得する方式である．4 ビットの A/D 変換を行う場合の動作原理を図 2.6 に示す．

各容量は，片方がV_sに，もう一方がスイッチを経由してV_pまたはV_nに接続される．A/D 変換範囲はは$V_p - V_n$となる．比較器には入力電圧V_{in}と比較用ノードV_sが接続される．まず，容量DAC は，SW1 をV_pに，その他のスイッチをV_nに接続する．これにより，V_sには（$V_p + V_n$）/2 の電圧が現れる．比較器ではこの値がV_{in}と比較され，ディジタル値が出力される．V_{in} が大きい場合は “High” が出力され，レジスタに値が保持される．レジスタの値が “High” の場合は，SW1 はV_pにそのまま接続される．V_in が V_s よりも小さい場合は “Low” が出力され，レジスタに値が保持される．レジスタの値が “Low” の場合は，SW1 はV_n へと接続を切り替える．V_{in} が大きい場合は “High” が出力され，小さい場合は “Low” が出力され，レジスタに保持されるコードにより，SW2 の接続先が決定される．このような動作を下位ビットに向かって逐次繰り返すことで，最終的にレジスタに保持された値を，入力電圧に対応したディジタル値として取得する．DAC の出力および入力電圧を比較し，二分探索を繰り返すことで A/D 変換を行う．変換が進むにつれて，DAC の出力電圧は入力電圧に近づく．

逐次比較 A/D 変換器は，変換時間が分解能 N に比例するため，高速動作が可能である．

また，回路内にアンプが不要であり，低消費電力で回路を構成できる．一方，変換動作が N 回となることから，変換時のノイズが N 回分積算される．また，高分解能になるほど DAC 内の容量比が大きくなり，面積が大きくなる．N ビットの逐次比較 A/D 変換器では，容量比 1：8192 となり，イメージセンサの列並列構成に納めることは難しい．

2.2.3 サイクリック A/D 変換器

サイクリック A/D 変換器は比較器，DAC，アンプなどから構成される．逐次比較 A/D 変換器同様に，繰り返し動作により，ディジタル値を取得するが，回路はスイッチの切り替えでなく，増倍動作と，それに続くフィードバック動作を一つのサイクルとしている．1 サイクルごとに 1 ビットのディジタル値を取得する．サイクリック A/D 変換器では，例えば 12 ビットの A/D 変換を行う場合，入力側に接続されたスイッチがオンになると，画素から出力されたアナログ信号が回路に入力され，同時に最上位ビットを生成する．スイッチがオフになった後，増倍，フィードバック動作を 11 回繰り返し，11 ビット目から 1 ビット目までを順次出力する．

サイクリック A/D 変換器では，入力されたアナログ値と参照電圧とを比較し，アナログ値が参照電圧よりも高い場合はディジタル値の “High” を出力するとともに，電圧値から参照電圧を差し引いた値を 2 倍に増幅する．逆に，アナログ値が参照電圧よりも低い場合は，ディジタル値の “Low” を出力するとともに，電圧値そのものを 2 倍し，再度，参照電圧と比較する．

サイクリック A/D 変換器は 1 サイクルの動作で 1 ビットを生成できるため高速動作が可能であり，高速度イメージセンサ用途に用いられる [27]．また，逐次比較 A/D 変換器のような高容量比の DAC 容量アレイが必要ないことから，より小さな面積で形成できる．一方，サイクリック A/D 変換器には，高精度の 2 倍アンプが必要であることから，これまで差動アンプが用いられてきたが，差動アンプは回路面積が課題である．そのため，シングルエンド構造のアンプを用いたサイクリック A/D 変換器によるイメージセンサも報告されている [28]．

しかし，高精度の 2 倍の増倍動作を実現するためには，アンプにある程度の定常電流を流さなければならないため，消費電力の点で他の A/D 変換器に比べ不利である．容量を小さくすることで小委電力を低減できるが，ノイズの増加や容量ミスマッチによる精度の低下を招くため，大幅な消費電力の低減は難しい．

2.2.4　デルタシグマ A/D 変換器

デルタシグマ変換器の構成を図 2.7 に示す．デルタシグマ変換器はデルタシグマ変調器およびデシメーションフィルタから構成され，デルタシグマ変調器は減算回路，積分器，量子化器，DAC から構成される．サンプルされたアナログ値は減算回路へ入力され，積分器，量子化器によってディジタル値が出力される．その際に生じた量子化誤差は DAC へと入力され，減算回路のもう一方の入力としてフィードバックする．次の変換においては，サンプルされたアナログ信号と，前サンプル時の量子化誤差との減算が行われ，値の積分および量子化を行う．このように，デルタシグマ変調動作はサンプリング時の量子化誤差が次のサンプリングに引き継がれ量子化を行う，というサイクルを繰り返す．

図 2.8 に量子化器が 1 ビットの場合の動作を示す．出力は，信号の大きさをパルスの疎密で表すパルス密度変調（Pulse Density Modulation, PDM）に近い形となるが，デルタシグマ変調によって前サンプリングの量子化誤差が引き継がれている．そのため，出力は量子化誤差を考慮したものとなる．出力は後段のデシメーションフィルタに入力され，パルスの疎密に対する平均化，およびダウンサンプル処理によって任意のビット精度を持ったディジタル値を取得する．デルタシグマ A/D 変換器では，サンプリング周波数を大きくしてサンプルを行うオーバーサンプリングにより，A/D 変換の際に発生する量子化誤差を広帯域へと引き延ばすことが可能である．デルタシグマ変調でノイズを高周波へと押しやるノイズシェーピングによって，信号周波数領域のノイズ成分を低減させることが可能であり，高い分解能を実現することができる． 図 2.9 に示したデルタシグマ変調器のシ

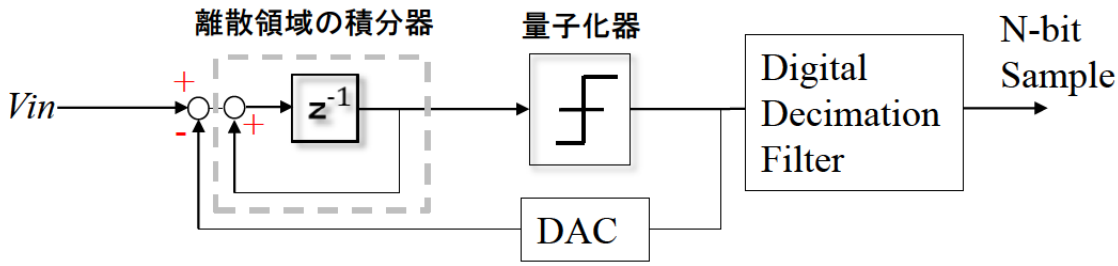

図 2.7: デルタシグマ A/D 変換器の構成

ステム図を伝達関数で表す．積分器の伝達関数は下式で表される．

$$H(z) = \frac{V_{out}}{V_{in}} = \frac{z^{-1}}{1 - z^{-1}} \tag{2.4}$$

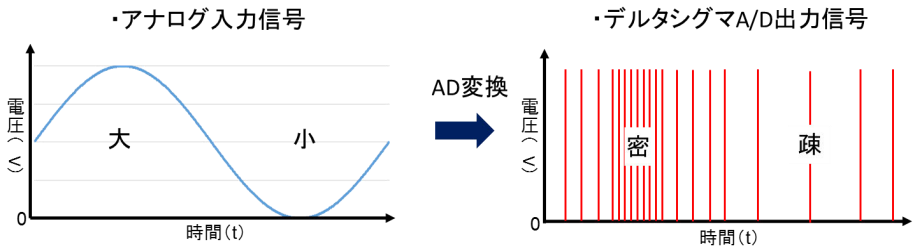

図 2.8: デルタシグマ A/D 変換器の動作

そのため，デルタシグマ変調の出力は以下のように表される．

$$V_{out}(z) = \frac{z^{-1}}{1-z^{-1}}(V_{in} - V_{out}) + N_0(z) = z^{-1}V_{in} + (1-z^{-1})N_0(z) \tag{2.5}$$

この伝達関数中の $N_0(z)$ は量子化雑音を，z^{-1} は遅延を表す．上式において，信号成分 V_{in} は z^{-1} の遅延を持っている．雑音成分 $N_0(z)$ に関して，$1-z^{-1}$ を $1-\mathrm{e}^{-j2\pi fT}$ と置き換えると，

$$\begin{aligned} 1-z^{-1} = 1-\mathrm{e}^{-j2\pi fT} &= (\mathrm{e}^{j\pi fT} - \mathrm{e}^{-j\pi fT})\,\mathrm{e}^{-j\pi fT} \\ &= j2\sin(\pi fT)\mathrm{e}^{-j\pi fT} \approx 2\pi fT \end{aligned} \tag{2.6}$$

となる．ここで f は周波数，T はサンプリング周期である．$f \ll 1/T$，つまり低周波の領域において，ノイズ成分 $N_0(z)$ が抑制される．以上より，ノイズシェーピングにより低域のノイズが低減されることが確認できる．

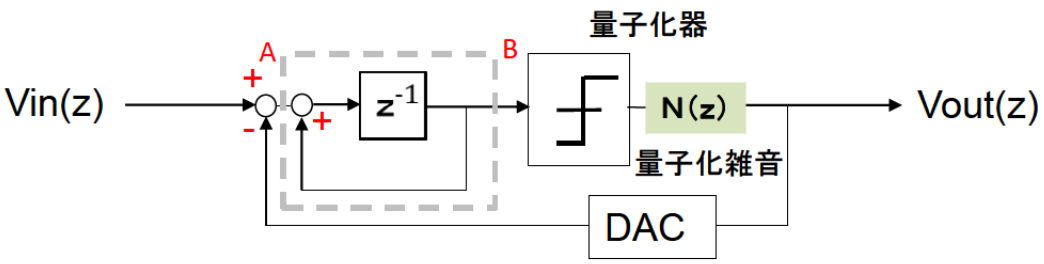

図 2.9: デルタシグマ A/D 変換器の伝達関数モデル

デルタシグマ A/D 変換器は低速，高分解能に適した構成であり，オーディオ等の分野で用いられる．ノイズ低減の点では他の A/D 変換器に対して有利であるが，実用的な A/D 変換器とするためには 2 次以上のデルタシグマ変調器が求められる．また，アナログ積分

器に用いられるキャパシタやアンプ等のアナログ要素の低減が難しく，消費電力，回路面積が問題となる．

2.2.5　各方式の比較

表 2.2 に，これまでに説明したカラム A/D 変換器の性能比較を示す．シングルスロープ A/D 変換器は他の手法に比べて省面積という点で優れるが，高速動作に課題がある．逐次比較およびサイクリック A/D 変換器は高速動作が可能であるが，面積または消費電力の点に課題を持つ．デルタシグマ A/D 変換器はノイズの点で他の方式より優れるが，速度，消費電力に課題を持つ．

表 2.2: 各カラム A/D 変換器の比較

方式	シングルスロープ	逐次比較	サイクリック	デルタシグマ
速度	×	✓	✓	×
消費電力	✓	✓	×	×
ノイズ	×	×	×	✓
面積	✓	×	✓	×

2.3　時間分解能型 A/D 変換器

画素の高集積化は，製造プロセス微細化に合わせて進み，近年の最先端プロセスでは，1 μm 角を下回るものも報告されている．このような製造プロセスの微細化は，高集積化が可能になる一方で，利得の低下や製造ばらつきが大きくなるなど，アナログ回路の微細化を制限する課題も持つ．特に，微細化に合わせた電源電圧の低下は，逐次比較 A/D 変換器やサイクリック A/D 変換器などの電圧値を計測する方式において，変換範囲の縮小となる．そのため高分解能 A/D 変換の設計を困難なものとしている．一方で，シングルスロープ A/D 変換器のように電圧値を時間幅へと変換し時間情報を計測する方式である A/D 変換器は，低電源電圧かでも，時間幅を大きく取れるため，高分解能化，基本構成要素にディジタル素子が多い点から微細化による省面積化が期待できる．電圧制御発振器（Voltage Controled Oscilator, VCO）の制御電圧をアナログ入力とし，電圧値を周波数へ

と変換し，一定間隔のサンプリングにより，この周波数の変化をディジタル値へと変換する手法 [29] が報告されている．

以上のような，アナログ値を電圧レベルから周期や周波数といった時間情報へと変換し計測を行う，時間分解能型 A/D 変換器は，近年イメージセンサ用カラム A/D 変換器に限らず，様々な用途での開発が報告されている [30]．時間分解能型 A/D 変換器の中でも特に，高速・高分解能を実現する構成として，時間量子化器（Time to Digital Converter, TDC）が注目される [31]．時間量子化器は，インバータ等の遅延素子を並べた遅延線路，およびフリップフロップ群により構成される（図 2.10）．Start 信号を，一定の遅延 τ を持つバッファで遅らせながらフリップフロップのクロック部に入力する．次に Start 信号に対して，時間差 T_{delay} を持つ Stop 信号を，フリップフロップの Data 部に入力することにより，Start と Stop 信号の時間差 T_{delay} がフリップフロップの出力から求められる．例として 7 個のバッファと 8 個のフリップフロップを用いた時間量子化器のタイムチャートを図**??**に示す．Start 信号を 1 つのパルス信号とすると，バッファによって Start 信号が遅延を持って伝搬していく．ポジティブエッジトリガフリップフロップを用いているため，フリップフロップの出力が最初に “Low” から “High” へと遷移するまでの遅延が T_{delay} となることが分かる．

上記の遅延線路を，DLL（Delay Locked Loop）を用いて制御する回路が考案されている．DLL を用いると，遅延バッファ素子のばらつきを修正できるため，求めようとする時間-ディジタルの変換を正確に同一の時間差で分割することができる [32]．回路構成を図 2.11 に示す．DLL によってクロックの位相を 0°、45°、90°、135° と遅延させたクロック信号を用意し，4 つのフリップフロップの Data 部に入力する．Stop 信号をフリップフロップのクロック部に入力すると，Stop 信号が遷移するタイミングで，4 つのフリップフロップの出力が決まる．よってフリップフロップの出力が一つのクロックの周期内での基準信号（位相：0°）から Stop 信号が遷移するまでの時間差（T_{delay}）を表すことになる．このタイムチャートを図 2.12 に示す．図 2.11 の方式は，図 2.10 に対し，フリップフロップのクロック部と Data 部に入力する信号を入れ替えた構成である．これは，後述するメタスタビリティによるコードずれを回避するための構成であり，かつ，複数位相クロック信号により，信号の立ち上がりだけでなく，立ち下がりの位相も判別に利用することで省面積化が可能となるからである．この構成により，4 つのフリップフロップでクロック信号を 8 分割した計測が可能となる．時間量子化器の出力はエンコーダを通すことにより 3 ビットバイナリとしてのディジタル値が得られる．

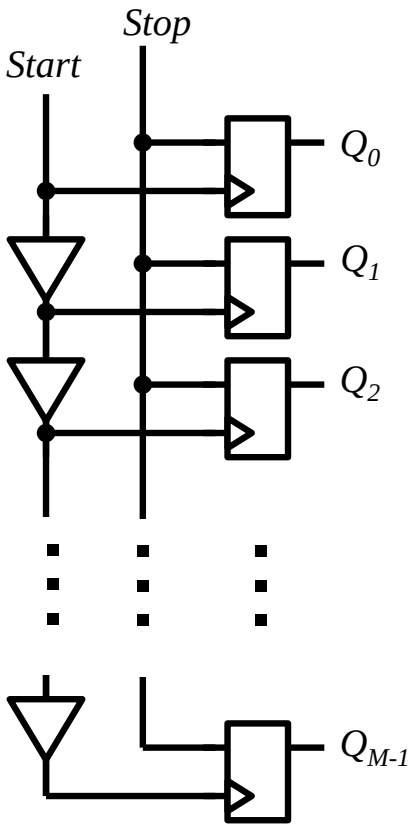

図 2.10: 時間量子化器の構成

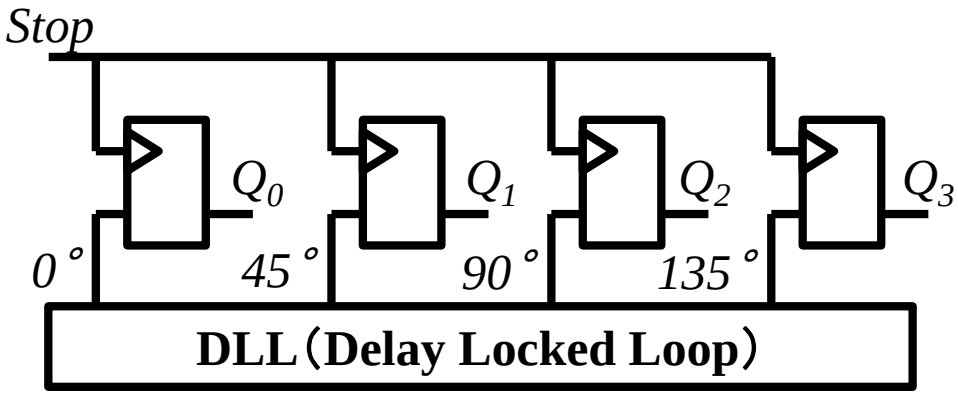

図 2.11: DLL を用いた時間量子化器の構成

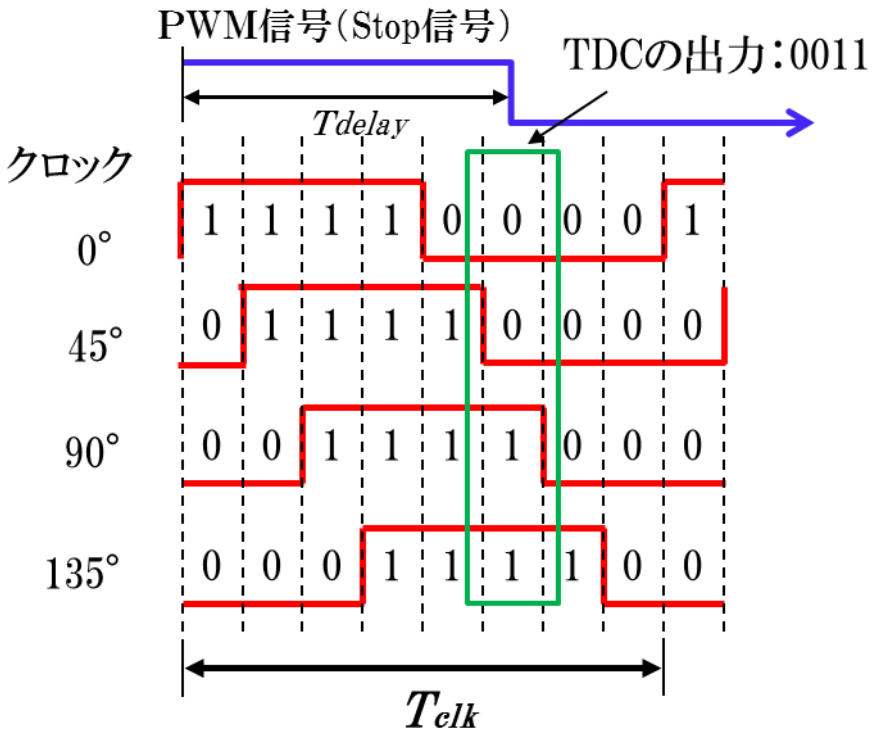

図 2.12: DLL を用いた時間量子化器のタイムチャート [32]

第3章　ハイブリッド型A/D変換器の低電力化手法

本章では，時間分解能型 A/D 変換器の一つとして，シングルスロープ A/D 変換器と時間量子化器（Time to Digital Converter, TDC）を組み合わせたハイブリッド型 A/D 変換器，およびハイブリッド型 A/D 変換器の低消費電力化構成 [37] について説明する．

3.1　シングルスロープ A/D 変換器と時間量子化器のハイブリッド構成

前章で述べたように，シングルスロープ A/D 変換器はシンプルで小型な A/D 変換器として知られているため，CMOS イメージセンサでの列並列 A/D 変換器やその他のセンシング回路等の小型デバイスへの応用に広く用いられる．一方で，変換精度が増えるごとに変換周期・消費電力が飛躍的に増大するため，高速動作に適さないという欠点が存在する．この問題を解決するために，マルチランプ信号を用いた手法や高速クロック信号を用いた高速動作が提案されてきた [38, 39]．しかし，マルチランプ手法では複雑な信号制御が必要であり，両ランプ信号間における出力結果の整合性を確保するため，後段校正回路が必要となり小型の要件を満たすことができない．

シンプルかつ高速な A/D 変換器として，シングルスロープ A/D 変換器と複数位相型時間量子化器とを組み合わせたハイブリッド型 A/D 変換器が提案されている [40]．ハイブリッド構成は，シングルスロープ A/D 変換器の変換精度を下げ，下げた分の精度を時間量子化器で計測することで，ディジタル値を取得する．時間量子化器は図**??** に示した量子化誤差を計測する．量子化誤差の計測は、PWM 信号が変化するタイミングで出力が確定する．そのため，シングルスロープ A/D 変換器の出力を上位ビット，時間量子化器の出力を下位ビットとして組み合わせることで，A/D 変換動作の高速化が可能となる．

シングルスロープ A/D 変換器を 12 ビット分解能で構成した場合，そのサンプリング周

期 T_{count} は式（2.3）から以下のように求まる．

$$T_{count} = 2^{12} \times T_{clk} \tag{3.1}$$

一方，図 3.2 で示した回路構成の変換周期 T_{count} は式（3.2）となる．

$$T_{count} = 2^{9} \times T_{clk} \tag{3.2}$$

よって，変換周期が 1/8 に削減できた．

時間量子化器の動作は，1 クロック周期以内に完結するため，A/D 変換動作に必要なクロックサイクル数を減らすことが可能である [41]．

シングルスロープ A/D 変換器と時間量子化器を組み合わせたハイブリッド型 A/D 変換器（図 3.2）では，両構成間の整合性を確保することが特に重要である．ここで示す “整合性” とは，時間量子化器の出力である下位ビットがカウンタ出力である上位ビットと連続して動作することを指す．両構成間において，計測タイミングのズレや予期せぬ信号によるミスコードの発生は，変換精度が劣化する原因となってしまう．そこで，ハイブリッド構成における整合性を確保する機構を提案する．

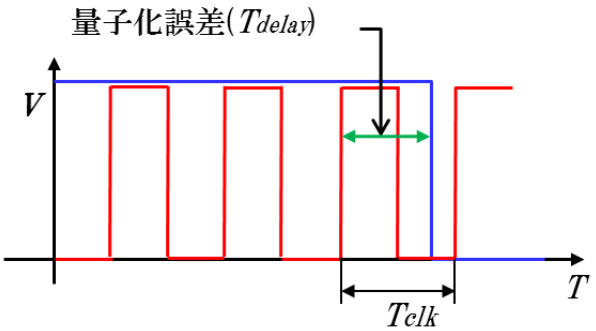

図 3.1: シングルスロープ A/D 変換器の量子化誤差

3.1.1　整合性

ハイブリッド構成における整合性が確保された状態とは，時間量子化器の定常状態がカウンタの状態を完全に決定することを指す．クロック信号および PWM 信号を時間量子化器とカウンタで共有する場合，配線長や寄生成分の誤差によって信号のタイミングにズ

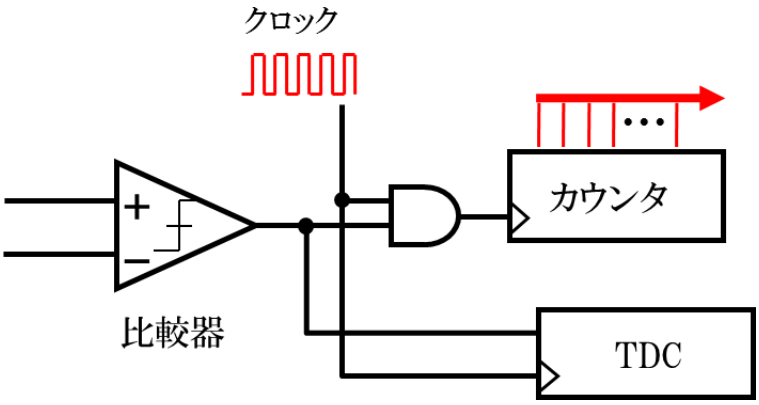

図 3.2: ハイブリッド型 A/D 変換器の構成

レが生じる．また，PWM 信号の立ち下がりとクロック周期とのタイミングが近づいた場合に，メタスタビリティが発生する．メタスタビリティは波形を不規則に変化させてしまうため，ミスコードの可能性があり，結果として整合性が保てないという問題が起こる．メタスタビリティは原理的に起こってしまう現象であるため，回路要素の調整では取り除くことができない．整合性の確保には，メタスタビリティに影響を受けない構成が必要である．

そこでまず，時間量子化器とカウンタとの動作に因果性を持たせるため，図 3.3 のような構成とした．時間量子化器の初段フリップフロップには，PWM 信号と，遅延線路を通過していない基準クロック信号が入力される．フリップフロップは 2 つのラッチ回路で構成され，その初段のラッチ回路動作は，PWM 信号が “High” の場合，基準クロック信号を出力する．これは図 3.2 における AND 回路と同じ働きをしている．そのため，このラッチ回路出力をカウンタの入力とすることで，時間量子化器の出力がカウンタへと引き継がれ，カウンタ動作を決定することができる．比較器出力および基準クロック信号は，時間量子化器のみに入力されるため配線及び素子の信号遅延による影響を受けない．そのため，ハイブリッド型 A/D 変換器は時間量子化器の状態が，カウンタの動作を決定する，という因果性をもつことができる．

しかし，フリップフロップおよびラッチ回路の動作では，セットアップ時間からホールド時間までの間に入力の信号に遷移がある場合，出力が不安定になる状態がある．この現象をメタスタビリティと呼ぶ．図 3.2 および図 3.3 に示した構成の場合，PWM 信号が立ち下がり（セットアップ），出力が確定する（ホールド）までの間に，フリップフロップに入力されるクロック信号が遷移した場合，メタスタビリティが発生する．時間量子化器

の初段フリップフロップにおいて，PWM 信号とクロック信号の遷移タイミングがほぼ同一となった場合，時間量子化器からカウンタへと引き継がれる信号 “Cnt_{clk}” において，メタスタビリティが発生し，不安定動作やミスコードが発生する可能性がある．

そこで，図 3.4 に示した，メタスタビリティに強固な構成を提案する．この提案構成では，PWM 信号の状態によって変化する “Cnt_{clk}” におけるメタスタビリティ発生を回避するため，ラッチ回路出力にシュミットトリガを挿入した．シュミットトリガは立ち上がり遷移と立ち下がり遷移において，異なる閾値電圧を持つため，メタスタビリティによる不安定な出力が抑制される．そのため，時間量子化器とカウンタとの間に強固な整合性を確保することが可能となる．

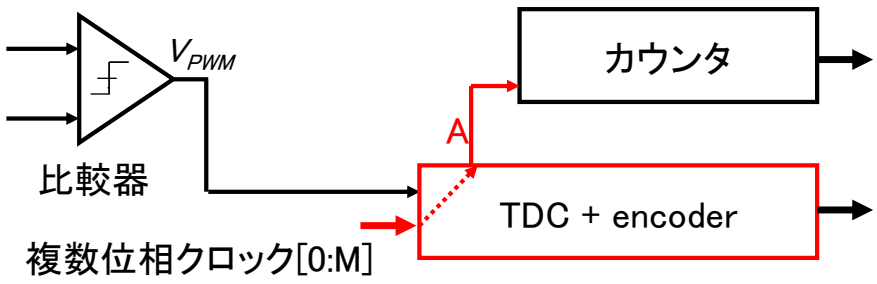

図 3.3: 時間量子化器とカウンタの因果性

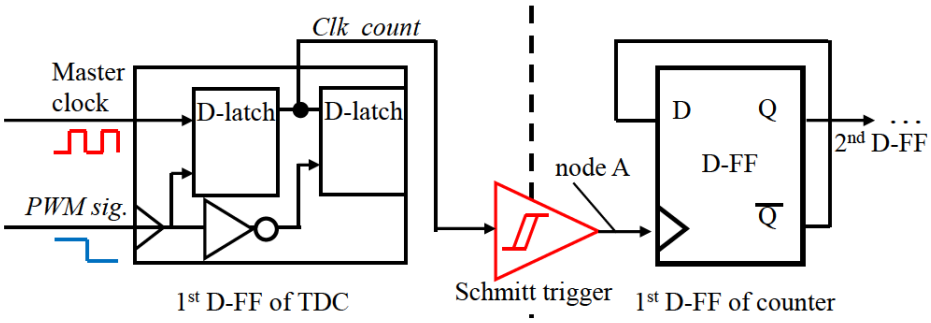

図 3.4: 整合性を確保した時間量子化器の構成

3.1.2 シミュレーション結果

0.18μm CMOS プロセスを用いて回路を設計し，その特性を Cadence Spectre シミュレーションにより解析した．図 3.5 はメタスタビリティの過渡応答を示したものである．ラッチ回路に PWM 信号およびクロック信号を入力し，PWM 信号の立ち下がるタイミングを 10 ps 間隔で遷移させている．各状態におけるラッチ出力，およびラッチ回路に接続したシュミットトリガ出力を確認した．PWM 信号の立ち下がりがクロック信号の立ち上がりタイミングに近づくと，大きな遅延を持った信号および中間電位まで上昇しながら以降下降する，歪んだ信号が確認できる．この信号の歪みにより，カウンタの計測回数が変化し，ミスコードが発生する．このようなラッチ回路出力に対して，シュミットトリガ出力では，これらの出力が安定したことが確認できる．

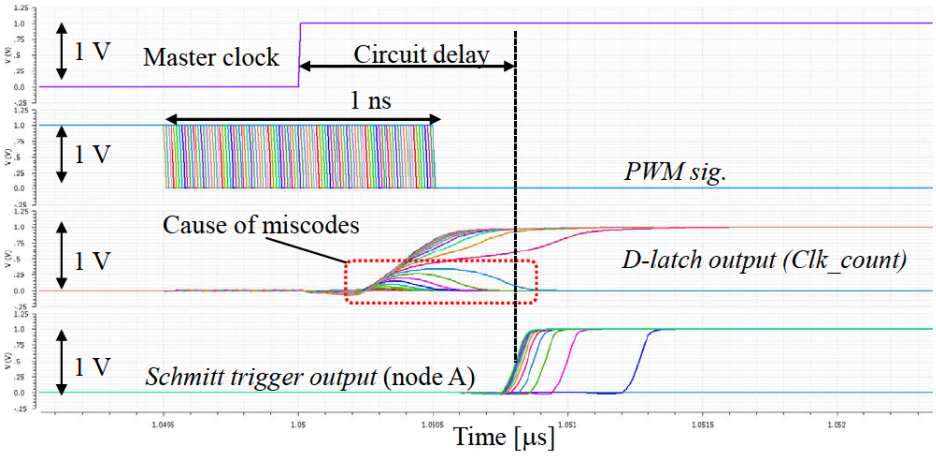

図 3.5: メタスタビリティの過渡解析

図 3.6 はトランジスタの製造ばらつき（slow，typical，fast）を考慮してシミュレーションした，ラッチ回路およびシュミットトリガの遅延量をプロットしたものである．横軸は，PWM 信号の立ち下がりタイミングとクロック信号の立ち上がりタイミングとの時間差である．どちらの出力においても，入力信号の時間差が小さくなるほど，遅延量が大きくなることが確認できる．本回路構成では，信号遅延は 1.5 ns 以下であり，ラッチを通過する際に生じる遅延は，カウンタ精度に影響を与えない．ラッチ出力においては，時間差が負の領域，つまり PWM 信号が立ち下がった直後にクロック信号が変化した場合において，遅延が起きている．この遅延はメタスタビリティにより発生したもので，図 3.5 における，信号の歪みに相当する．シュミットトリガ出力においては，PWM 信号とクロック信号の遷移タイミングが一致して以降にのみ遅延が発生している．これはシュミットトリガが信

号の歪みを抑えるためである．シュミットトリガによりメタスタビリティの影響を抑え，ラッチ出力を安定させることを確認した．本提案構成によって，ハイブリッド構成は強固な因果性をもつことができ，両構成間の整合性を確保することが可能となった．本提案構成では，複雑な後段校正回路を必要としないため，シンプルな構成による A/D 変換器設計が可能である．

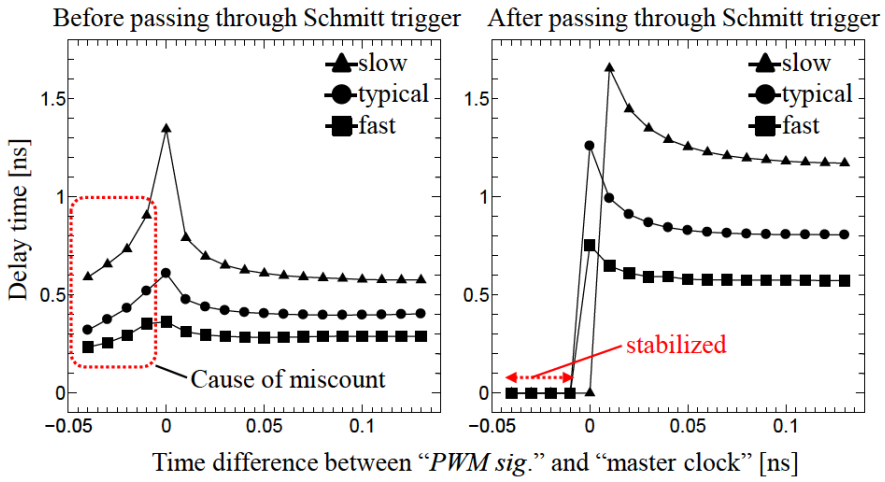

図 3.6: メタスタビリティによる遅延

3.2　低電力化手法

シングルスロープ A/D 変換器と複数位相型時間量子化器によるハイブリッド型 A/D 変換器は，必要とする動作サイクル数を削減し，両構成間の整合性を確保しながら高速に動作することが可能である．しかし，両構成間の整合性を確保するためには，連続動作を行う複数位相クロック信号が必要である．この複数位相クロック信号は，ハイブリッド型 A/D 変換器内で最も高速なスイッチングをする信号である．また，これらの信号群がインバータで構成された遅延線路，およびそれぞれのフリップフロップに入力され，常時 "High" と "Low" のスイッチングを繰り返す．回路内で電力を消費する主要な要因は，入力されるスイッチング信号の周波数である [42, 43] ため，上記の要因から，複数位相型時間量子化器は消費電力が大きいという問題がある．

消費電力の大きさは，ハイブリッド構成における時間量子化器のビット数の割合を制限する要因となり，消費電力と動作速度とのトレードオフが発生する．そこで，ハイブリッ

ド構成における時間量子化器のビット数割合を増加させ，更なる高速化を実現するため，消費電力の削減機構を提案する．

3.2.1　時間量子化器の間欠動作

CMOS 集積回路における消費電力は，主に信号のスイッチングによって発生する．また，クロック信号は回路中で最もスイッチング率の高い信号であり，構成によっては回路全体の消費電力の約 60%以上を占める場合がある．消費電力の計算式を式（3.3）に示す．

$$P = \frac{1}{2} \cdot CV^2 fN + QVfN + I_l V \tag{3.3}$$

ここで，P は消費電力，C は負荷容量，f は周波数，N は信号のスイッチング係数，Q は貫通電流による電荷，I_l はリーク電流を表す．式（3.3）右辺の第 1 項は信号のスイッチングによって発生する消費電力である．第 2 項は貫通電流による消費電力を表し，回路全体の 10〜30%を占める．第 3 項はリーク電流による消費電力であり，回路全体の消費電力の 1%程度である．

ハイブリッド型 A/D 変換器においては，整合性を確保するため時間量子化器が常時駆動する．そのため，複数位相クロック信号による消費電力の増大が問題となる．そこで，複数位相クロック信号を生成する遅延線路に着目し，時間量子化器の間欠動作手法を提案した．

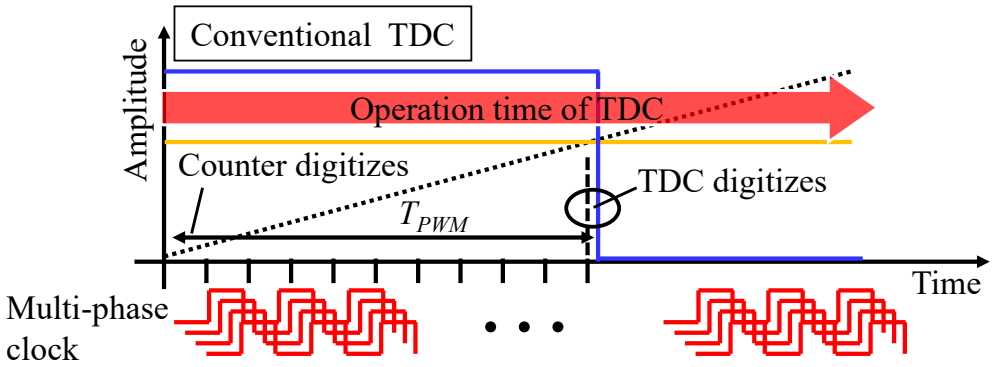

図 3.7: 常時駆動による時間量子化器の消費電力増大

従来の時間量子化器では，PWM 信号が立ち下がるまで常時駆動を行う（図 3.7）．そこで，図 3.8 に示した，間欠動作を提案する．まず，PWM 信号を一定間隔遅延させた信号

“PWM + ΔT” を生成する．次に，PWM 信号と遅延させた信号との差分である，遅延時間分 ΔT でのみ時間量子化器を駆動させることで間欠動作を実現する．カウンタは，新たに生成した信号 “PWM + ΔT” が立ち下がるまでの時間幅を計測し，ディジタル値を取得する．一方，時間量子化器は “PWM + ΔT” とクロック信号との量子化誤差を計測することでディジタル値を取得する．

図 3.8 より，PWM 信号が “High” 状態の時間幅を T_{PWM} とする．この PWM 信号に対して ΔT だけ遅延させた信号 “PWM + ΔT” を生成する．この遅延信号は，PWM 信号からインバータ遅延によって取得される．これら二つの信号から時間窓信号 “Enable” を生成する．生成された時間窓信号 “Enable” は，NAND 回路およびインバータで構成された NAND 型遅延線路へと入力される．“Enable” が “High” の場合，つまり ΔT の区間において，NAND 型遅延線路はインバータ遅延線路と同様に複数位相クロック信号を出力し，各フリップフロップへと供給する．ΔT 以外の区間では，遅延線路は常に “High” を出力するため，スイッチング信号が発生しない．そのため，T_{PWM} の期間，および計測時以降では時間量子化器がスリープ状態となり，動作時間の大幅な削減が可能である．

この提案手法では，カウンタは $T_{PWM} + \Delta T$ の区間を計測する．そのため，カウンタ出力では ΔT の間隔だけ，出力にオフセットが発生する．このオフセットは，1 以上のクロックサイクル数以内で終了するため，変換時間の大幅な増大とはならない．時間量子化器の動作時間を削減したことで，ハイブリッド構成における時間量子化器のビット数割合を増やすことが可能となり，より高速な A/D 変換を行うことが可能となる．

図 3.9 は，Cadence Spectre により行った，提案回路構成のシミュレーション結果であ

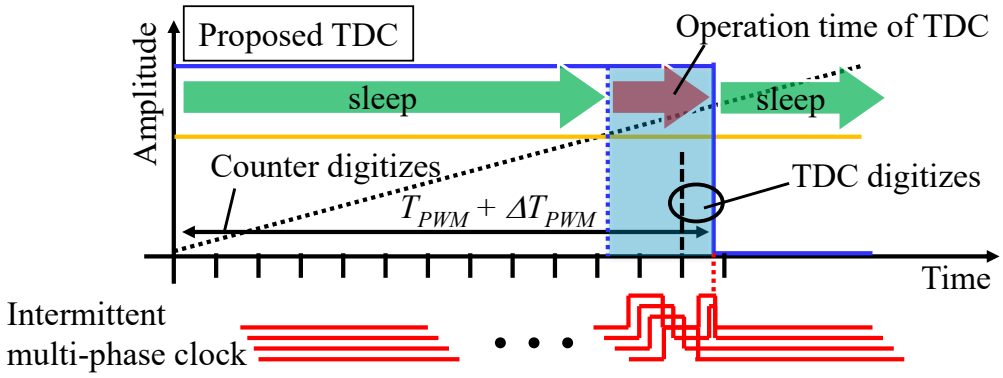

図 3.8: 時間量子化器の間欠動作

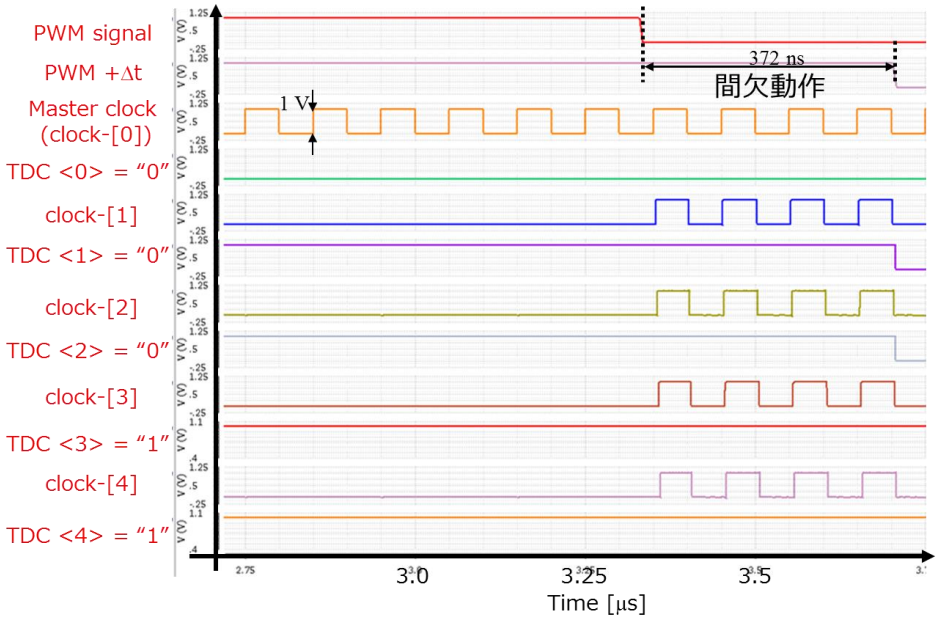

図 3.9: 間欠動作の過渡解析

る．10MHz の基準クロックを用いて，7μs 間で A/D 変換動作を行っている．電源電圧は 1 V としている．時間量子化器が間欠動作していること，および時間量子化器が量子化誤差を計測していることが確認できる．本構成では ΔT を 372 ns と設定した．

3.2.2　NAND 型遅延線路

複数位相型時間量子化器が正確な計測を行うためには，遅延線路において正確な遅延量が必要となる．一定の遅延量を出力するためには，製造ばらつきや電源電圧・温度ばらつきなどの性能ばらつきに対してロバストな設計が重要である．遅延量を調整する手法としては，電圧制御型または電流制御型遅延素子を構成することが一般的である [44–46]．

しかし，遅延量の変化は電圧・電流に対して非線形であり，その制御は困難である．図 3.10 は，NAND 型遅延素子の電圧制御による立ち上がり遅延量特性を示す．ステップ信号を入力として，出力信号の遅延量を観察した．遅延量変化が非線形であり，適当な遅延量を選択することが難しいことがわかる．また，制御電圧または電流が大きすぎる場合，トランジスタの動作領域を満たせず，論理回路としての動作を果たさない．そのため，制御範囲は非常に限られた領域となる．さらに，複数位相クロック信号では，一定の遅延量に加え対称なデューティ比が求められる．複数位相型の時間量子化器では，クロック信号

の立ち上がりの位相差だけでなく，立ち下がりの位相差も計測に用いることで，省面積化を実現している．しかし，従来の電圧・電流制御遅延素子では立ち上がり，立ち下がりのどちらか一方のみの制御しか行っていない．

そこで，制御範囲を拡大し，かつ立ち上がり/立ち下がり遅延両方の遅延量制御を可能とする，新たな遅延素子構成を提案した．図 3.11 に提案構成を示す．本構成では，構造の異なる二つの NAND 回路に，並列に信号を入力する．一方の NAND 回路は電圧制御型の遅延素子として用いる．もう一方は，制御端子を持たない通常の NAND 回路である．制御端子を持たない通常の NAND 回路において，遅延素子に求められる大まかな遅延量を決定する．電圧制御型の遅延素子は，もう一方で定めた大まかな遅延量に対して，詳細な遅延量制御を行う．大まかな遅延量が存在することで，制御電圧による大幅な遅延量変化を抑えることが可能となり，制御範囲の拡大が実現する．また，遅延量変化の非線形性を抑えることが可能となる．電圧制御型の遅延素子は，電源電圧直下に pmos トランジスタ M1 を，グラウンド直上に nmos トランジスタ M2 を接続する（図 3.12）．立ち下がり遅延は M1 に与える電圧による変化が大きく，立ち上がり遅延は M2 に与える電圧変化による変化が大きいことから，二つの制御電圧を用いて遅延量およびデューティ比制御を行う．

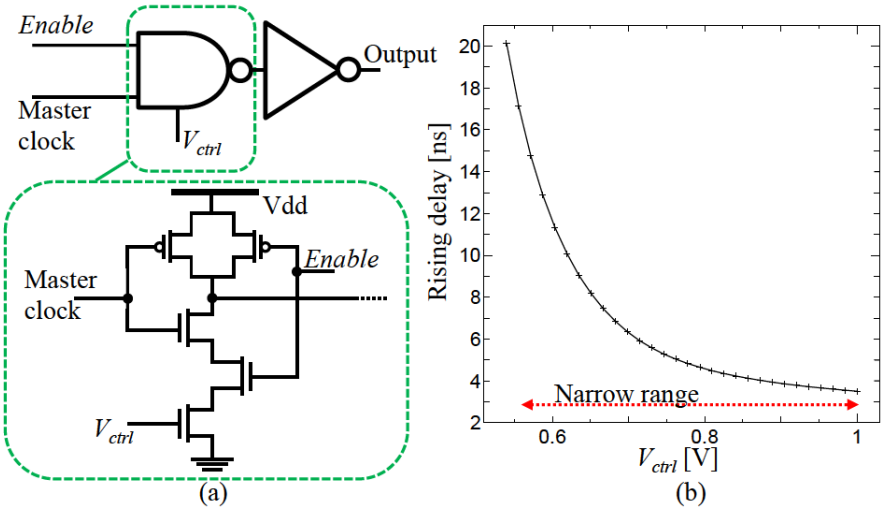

図 3.10: 遅延素子の遅延量

本提案構成に関して，Cadence Spectre シミュレーションにより動作検証を行った．図 3.13 は制御電圧 V_{ctrl1}，V_{ctrl2} に対する遅延素子の立ち上がり遅延量の変化をプロットしたものである．図 3.10 に示した特性に対して，提案構成では制御電圧の大小によらず，一定以上の遅延量を持った信号が出力されている．また，V_{ctrl2} によって，遅延量が線形に変

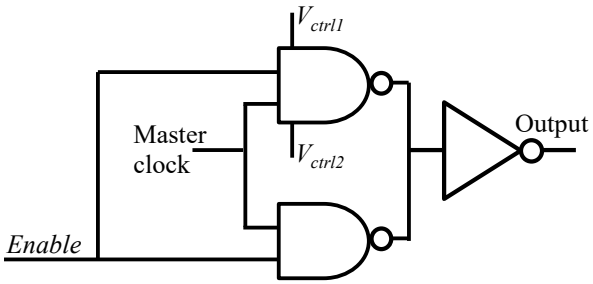

図 3.11: 提案型遅延素子の構成

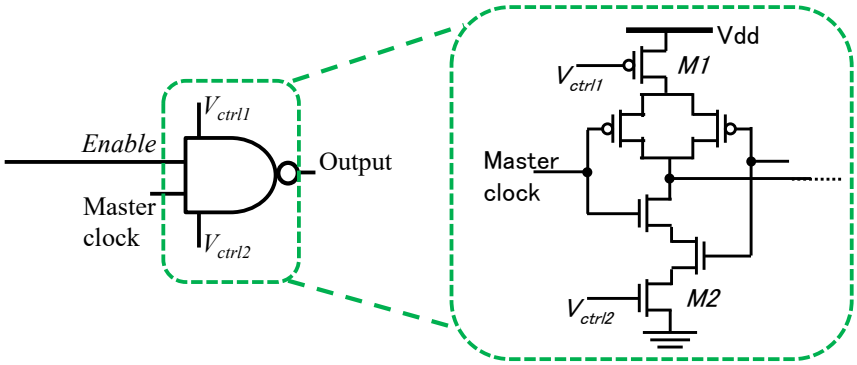

図 3.12: 電圧制御型の遅延素子

化する領域を持つことが確認できる．次に，図 3.14 に V_{ctrl1} に対する，出力信号のデューティ比変化を示す．V_{ctrl1} が 0.4 V または 0.65 V においてデューティ比 50 % を達成している．

複数位相型時間量子化器において，遅延線路の遅延量およびデューティ比が以下の条件を満たした場合，その回路上での動作には問題がないと言える．

1) 遅延素子の遅延量が時間量子化器の分解能において ±0.5 LSB 未満である．

2) 遅延素子のデューティ比が時間量子化器の分解能において ±0.5 LSB 未満である．

これらの条件とクロック周波数，および時間量子化器のビット数によって，遅延量とその許容誤差を決定する．例として，基準クロック周波数が 10 MHz（クロック周期 $T_{clk} = 100$ ns）の 5 ビット時間量子化器を想定する．時間量子化器の分解能はおよそ 3.13 ns と求まる．そのため，遅延素子 1 段における遅延量範囲は 3.13 ± 1.56 ns に，デューティ比は 50 % ±1.1 % と求まる．

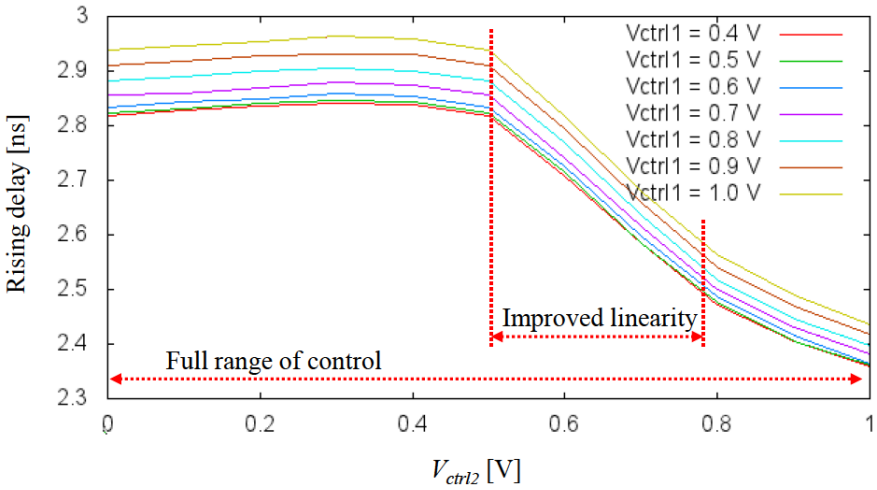

図 3.13: 提案型遅延素子の遅延量

3.2.3　時間量子化器のビット数に関する考察

本項では，ハイブリッド型 A/D 変換器における，カウンタと時間量子化器とのビット数割合に関して考察を行う．従来構成である常時駆動型の時間量子化器では，消費電力の増大によってビット数増加が制限されていた．時間量子化器はビット数が 1 ビット上がるごとに，必要なクロックサイクル数を半分にするが，一方で異なる位相を持ったクロック信号の数が 2 倍となり，消費電力が増加する．このように動作速度と消費電力との間には

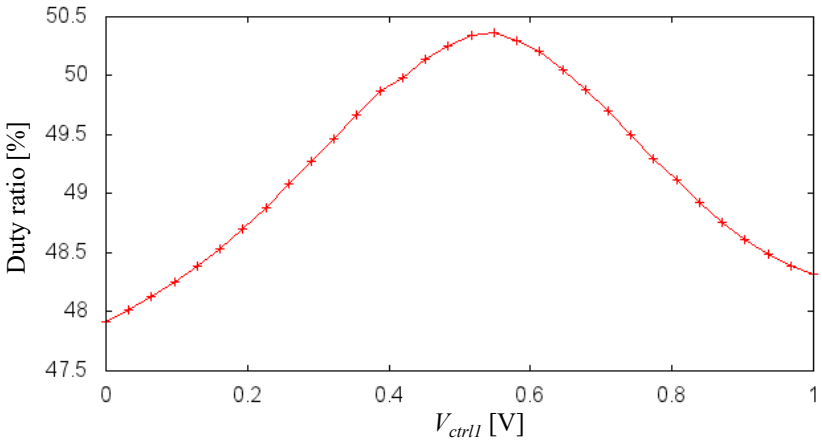

図 3.14: 提案型遅延素子のデューティ比

トレードオフが存在するため，ビット数割合の最適化に関して検討を行った．

図 3.15 にハイブリッド構成における時間量子化器のビット数割合と消費電力および必要クロックサイクル数の対応を示す．A/D 変換器全体のビット数は 12 ビットである．消費電力は時間量子化器部，カウンタ部およびアナログ部等のその他領域で分類分けをしている．本提案構成によって，時間量子化器部の消費電力を大幅に削減し，全体の消費電力も削減できたことが確認できる．提案構成により，時間量子化器が 3 ビットの場合は 75 % の削減，9 ビット数の場合は 50 % の削減を実現した．また，必要サイクル数，つまり高速化および低消費電力化の両方を考慮した場合，6 ビット精度が最適であると判断した．

時間量子化器はビット数を増やすことで A/D 変換器の高速化が可能である．しかしその一方で，回路規模が増大するという課題がある．時間量子化器はビット数が 1 ビット上がるごとに，遅延素子とフリップフロップ数が 2 倍となり，回路規模は指数的に増大する．図 3.16 にハイブリッド型 A/D 変換器における時間量子化器のビット数と A/D 変換器全体が持つフリップフロップ数の対応を示す．9 ビット数の場合，素子数の増加により A/D 変換器が持つ素子数は 3 ビットの場合と比べて大きくなってしまう．そのため，A/D 変換器全体としての面積も増加する．これは，省面積であるというシングルスロープ A/D 変換器の利点が消えてしまうことを意味する．以上より，時間量子化器のビット数は，消費電力と動作速度，および A/D 変換器の回路規模という観点からビット数割合を決定することが求められる．

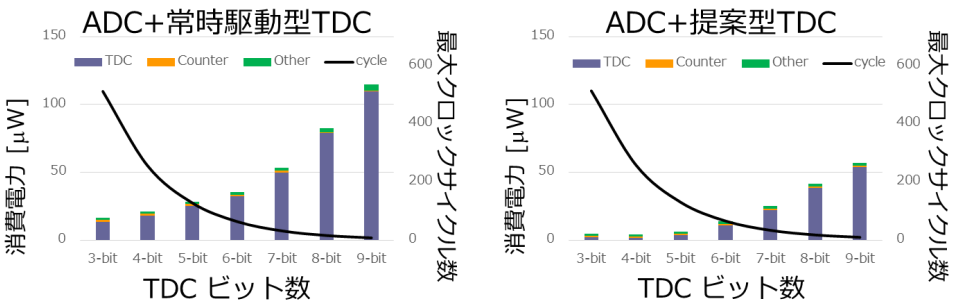

図 3.15: ビット数ごとの電力消費とクロックサイクル数

3.3　測定結果

本章で提案する，低電力ハイブリッド型 A/D 変換器の動作確認のため，提案構成のチップ試作を行った．0.18 μm 1P6M CMOS プロセスを用いて設計・試作した回路の全体構

成を図 3.17 に，チップ写真を図 3.18 に示す．設計した A/D 変換器は全体で 12 ビット分解能，その内時間量子化器を 6 ビットとして構成している．合計の面積は 0.56 × 0.31 mm^2 である．クロック周波数 10 MHz，電源電圧 1 V において測定を行った．図 3.19 に測定した A/D 変換器の非線形性を示す．微分非直線性誤差（Differential Non-Linearity, DNL）と積分非直線性誤差（Integral Non-Linearity, INL）はそれぞれ，+0.5/-0.8 LSB，+1.9/-1.9 LSB と求まった．DNL は，A/D 変換における 1 ビットごとのステップに関して，理想的なステップと測定したステップとの誤差を表す．INL は A/D 変換におけるアナログ値とディジタル値の全体的な変換特性に関して，理想的な変換特性である直線と，測定した変換特性との誤差を表す．非線形性，特に INL の値が大きくなった要因としては，参照信号であるランプ信号の非線形性の影響が考えられる．

表 3.1: 提案回路構成の性能諸元

プロセス	0.18 μm 1 P6M CMOS
面積	563 × 310 μm^2
電源電圧	1 V
ビット精度	12 ビット
消費電力	5.5 μW
DNL	+0.5 / -0.8
INL	+1.9 / -1.9

表 3.1 に試作した A/D 変換器の性能諸元を示す．本提案構成により，シングルスロープ A/D 変換器単体に対し，98 % の動作サイクル数削減を実現した (2^{12}=4096 サイクルから，2^6=64 + ΔT 分のサイクル)．また，本提案構成の消費電力は，1 V 電源電圧において 5.5 μW であった．性能比較のため，既に報告されている ADC との性能比較を表 3.2 に示す [39, 47, 48]．

3.4　まとめ

本章では，シングルスロープ A/D 変換器と時間量子化器を組み合わせたハイブリッド型 A/D 変換器の低電力化を目的とし，時間量子化器部において間欠動作機構を導入することで，高速動作と低電力動作の両立を実現した．まず，シングルスロープ A/D 変換器と時間量子化器を組み合わせたハイブリッド構成に関して，両構成間の整合性について検討

表 3.2: 他の ADC との性能諸元の比較

	This Work	[39]	[47]	[48]
プロセス	0.18 μm	90 nm	0.18 μm	0.5 μm
変換方式	ハイブリッド	シングルスロープ	シングルスロープ	逐次比較
面積 (mm^2)	0.17	0.06	0.63	0.5
ビット精度	12 ビット	9 ビット	12 ビット	8 ビット
サンプリングレート	100 kS/s	1 MS/s	100 kS/s	1 MS/s
DNL	+0.5 / -0.8	+1.5 / -1.5	+0.5 / -0.4	+0.66 / -0.56
INL	+1.9 / -1.9	+1.2/-0.	+1.1 / -0.1	+0.58 / -0.66
消費電力	5.5 μW	14 μW	25 μW	2.56 mW

を行った．整合性を確保する手法として，時間量子化器からカウンタへとクロック信号を供給することで両構成間に因果性を与えた．またシュミットトリガを配置することで，ミスコードの要因であるメタスタビリティの発生を抑え，因果性をより強固なものとし，整合性の確保を実現した．シミュレーションにより，シュミットトリガがメタスタビリティを抑制することを確認した．

次に，時間量子化器における消費電力増大に関して，低電力動作を行う新規構成を提案した．1 クロック周期以内の量子化誤差計測を行う時間量子化器は，その計測時間に対して，動作時間が非常に長いことが問題であった．そこで，時間量子化器の間欠動作手法を提案し，消費電力の大幅な削減を実現した．また，製造プロセスばらつきによる時間量子化器の性能劣化を防ぐため，適切な遅延量制御が可能な遅延素子の構成について検討を行った．さらに，ハイブリッド構成における両構成のビット数割合に関して考察を行った．最後に，提案型 A/D 変換器の設計・試作を行い，測定によって提案構成の動作を確認した．

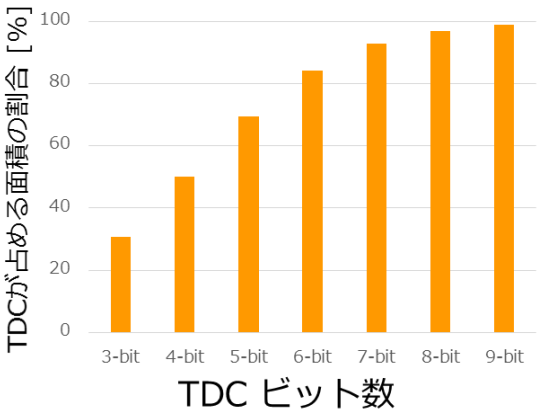

図 3.16: ビット数ごとの面積比

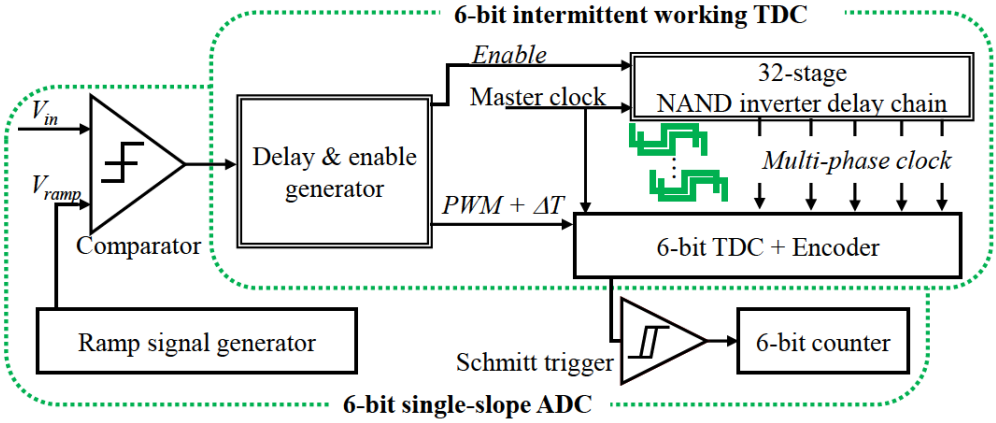

図 3.17: 提案回路構成

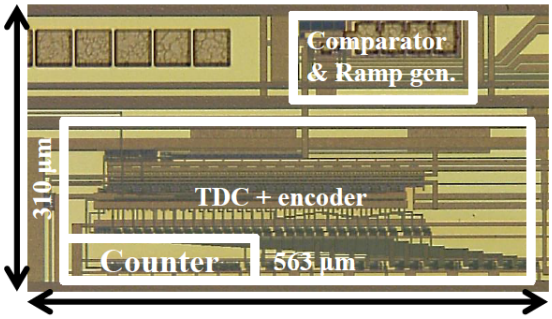

図 3.18: 提案構成のチップ写真

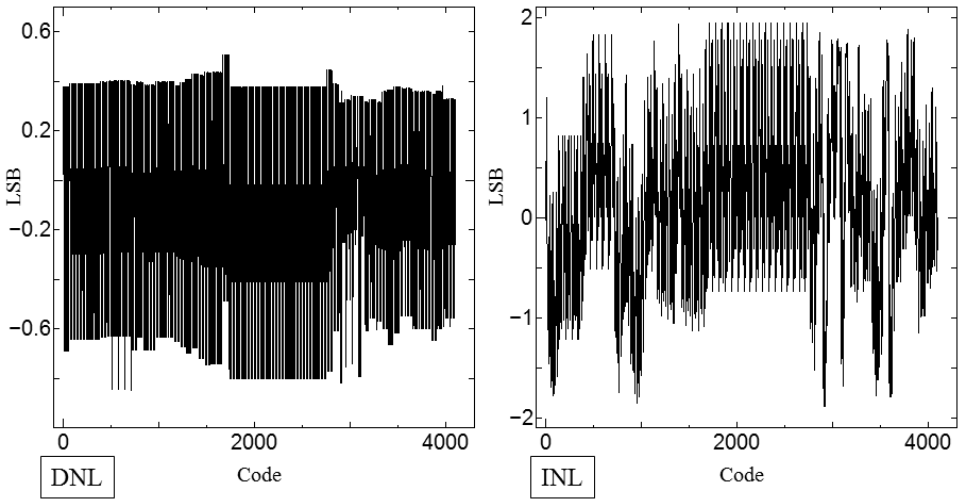

図 3.19: 提案構成の非線形性

第4章　エンコーダとディジタルCDS

本章では，時間量子化器の出力コードをバイナリコードへと変換する，エンコーダ回路および，ノイズ除去手法としてディジタル CDS 構成について説明する．

4.1　エンコーダ回路

複数位相型時間量子化器の出力は，サーモコードに近い特殊な値で出力されるため，バイナリコード（2 進数値）へと変換する回路が必要となる．表 4.1 は 3 ビット分解能，つまり 1 クロック周期を 8 分割した場合の，時間量子化器出力とバイナリコードとの対応である．各クロック信号の立ち上がり，立ち下がりを利用することで，4 つのフリップフロップから 8 値を取得することが可能である．取得されたコードのバイナリコードへの変換には，Look-UP table を用意するものや，組み合わせ論理への変換などいくつかの手法がある [49]．本節では，CMOS イメージセンサの列並列型 A/D 変換器応用に適切な，シンプルな回路構成かつ，高速動作が可能なバイナリコード変換回路について 3 つの方式を検討する．

4.1.1　組み合わせ論理回路による構成

時間量子化器出力 $Q_3Q_2Q_1Q_0$ を 3 ビットバイナリコードへとエンコードする手法として，図 4.1 のような組み合わせ論理による手法を検討した．この方式ではインバータと複数の XOR 回路を用いる．取得コードの最下位ビット（Least Significant Bit, LSB）Q_0 をインバータで反転させ，バイナリコードの最上位ビット（Most Significant Bit, MSB）X_2 として出力する．MSB 以外のバイナリコードは，他の取得コード $Q_3Q_2Q_1$ および，バイナリコード X_2X_1 を入力とし，XOR 回路を用いて決定する．

表 4.1: 3 ビット時間量子化器における取得コードとバイナリコード

位相状態	時間量子化器出力	バイナリコード
（1 周期=T_{clk}）	$Q_3Q_2Q_1Q_0$	$X_2X_1X_0$
0/8 T_{clk}	0001	000
1/8 T_{clk}	0011	001
2/8 T_{clk}	0111	010
3/8 T_{clk}	1111	011
4/8 T_{clk}	1110	100
5/8 T_{clk}	1100	101
6/8 T_{clk}	1000	110
7/8 T_{clk}	0000	111

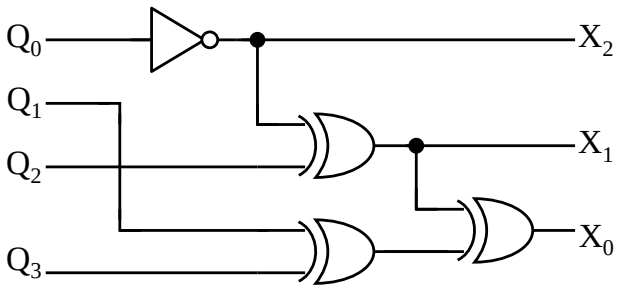

図 4.1: 組み合わせ論理によるエンコーダ

4.1.2　エンコード用カウンタを用いた構成

組み合わせ論理回路による構成では，取得コードを直接エンコードしているため，時間量子化器が駆動している間に常にコードが変化する．また，時間量子化器の遅延に比べて，エンコーダ回路内での遅延が大きく，動作が不安定になるという課題がある．そこで，カウンタを用いたエンコード手法について検討する．

カウンタを用いた構成では，取得コードに含まれる “High” または “Low” の数をカウントし，バイナリコードを取得する．図 4.2 は，アドレス信号を用いて取得コードを一つの信号 “TDC_{out}” として出力するマルチプレクサ回路の構成である．“TDC_{out}” は，アドレス信号が入力され，かつ取得コードが “High” の時以外は常時 “Low” を出力する．そのため，時間量子化器動作とエンコード動作を独立することが可能である．図 4.3 は，“TDC_{out}”

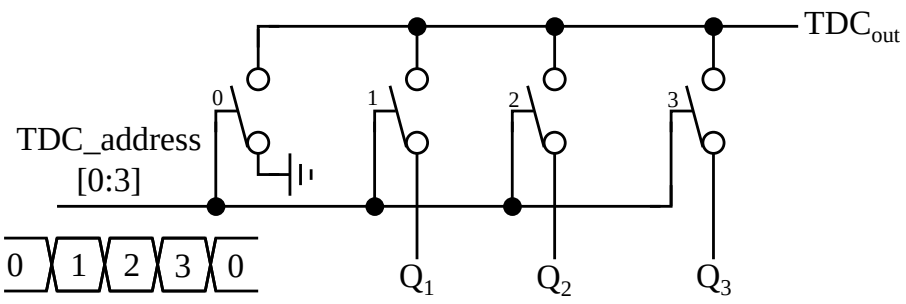

図 4.2: エンコード用マルチプレクサ回路の構成

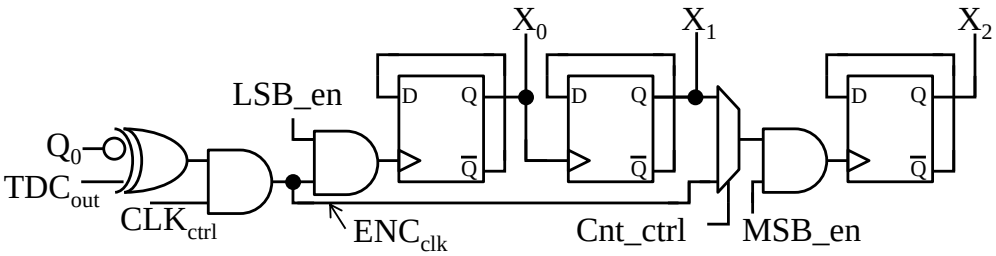

図 4.3: エンコード用カウンタの構成

とカウント制御信号 “CLK_{ctrl}” から，取得コードの “High” または “Low” の数を計測するカウンタの構成である．4 ビットの時間量子化器出力を 3 ビットのバイナリコードへとエンコードするため，カウンタのフリップフロップ数を 3 としている．カウント制御信号はアドレス信号のタイミングに合わせてパルス信号を出力し，取得コードが “High” または “Low” となる数のパルス信号 “ENC_{clk}” がカウンタへ入力される．

図 4.4 に表 4.1 の前半部とエンコード動作との対応を示す．前半部とは，取得コードの LSB である Q_0 が “High” の状態を指す．バイナリコードの MSB である X_2 は，Q_0 の反転値と対応する．他のバイナリコード X_1X_0 は，他の取得コード $Q_3Q_2Q_1$ に含まれる “High” の数と対応する．そのため，エンコーダ回路では $Q_3Q_2Q_1$ に含まれる “High” の数が増加するごとにカウンタ出力が増加する．図 4.5 に図 4.3 との対応を示す．Q_0 が “High” のとき，ロジック回路部では，パルス信号 “ENC_{clk}” を通過させない動作をする．そのため，MSB に相当するフリップフロップ回路にはパルスが入力されず，X_2 はカウント動作を行わない．また，X_1X_0 に関しては，“TDC_{out}” と “CLK_{ctrl}” が AND 回路に入力されることで，Q_0 以外の取得コード $Q_3Q_2Q_1$ に含まれる “High” の数のパルスを出力する．

一方，図 4.6 に示した，表 4.1 の後半部とエンコード動作との対応では，X_1X_0 は $Q_3Q_2Q_1$

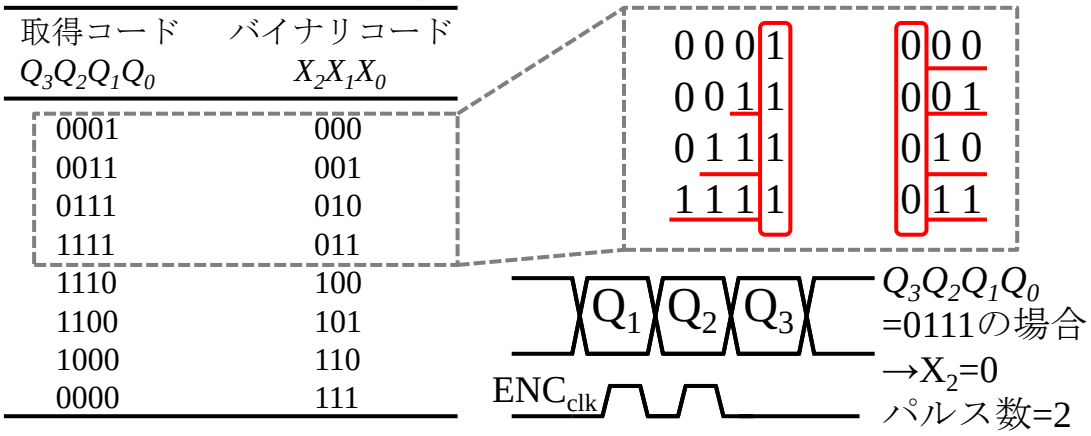

図 4.4: Q_0 が “High” の場合のエンコード

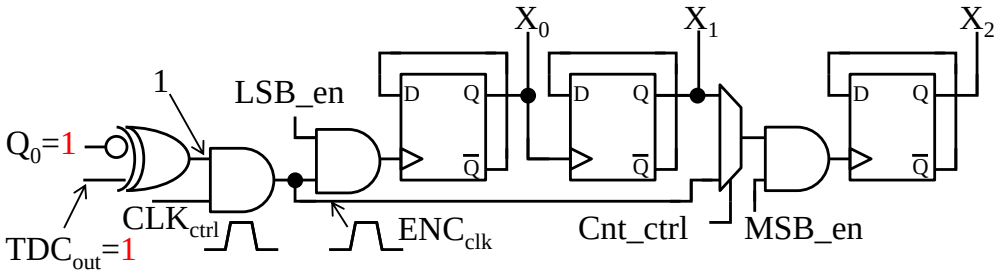

図 4.5: Q_0 が “High” の場合のカウント動作

に含まれる “Low” の数に相当する．後半部とは，取得コードの LSB である Q_0 が “Low” の状態を指し，X_2 は，Q_0 の反転値と対応する．そのため，エンコーダ回路では $Q_3Q_2Q_1$ に含まれる “Low” の数に合わせたパルス信号 “ENC_{clk}” をカウンタへ出力し，“Low” の数が増加するごとにカウンタ出力が増加する．図 4.7 に図 4.3 との対応を示す．Q_0 が “Low” のとき，ロジック回路部は，パルス信号 “ENC_{clk}” を通過させる動作をする．そのため，MSB に相当するフリップフロップ回路にパルスが入力され，X_2 はカウント動作を行う．また，X_1X_0 は，“TDC_{out}” の反転値と “CLK_{ctrl}” が AND 回路に入力されることで，Q_0 以外の取得コード $Q_3Q_2Q_1$ に含まれる “Low” の数のパルスを出力する．

本構成は，ハイブリッド構成における上位ビットカウンタとも接続が可能であるという特徴がある．

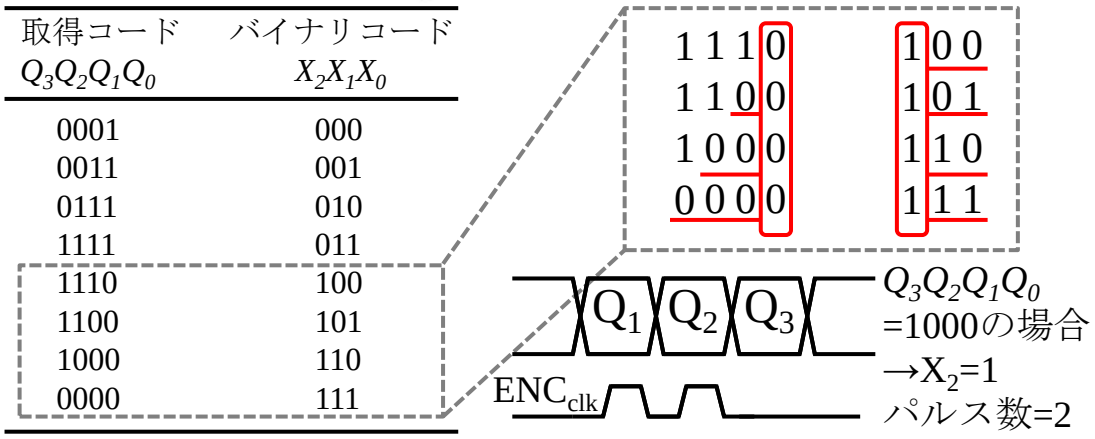

図 4.6: Q_0 が “Low” の場合のエンコード

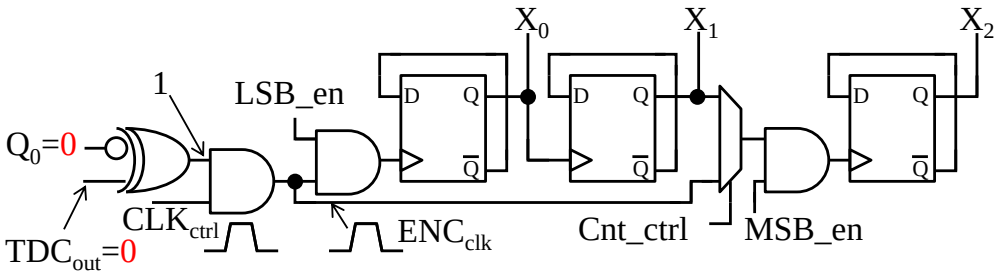

図 4.7: Q_0 が “Low” の場合のカウント動作

4.1.3　ROM エンコーダを用いた手法

カウンタを用いた構成は，安定した動作を行う一方で，アドレス線の配線を必要とする．また，意図しない動作を防止するため，複雑な論理回路と複数の制御線を必要とする．そのため，配線領域が大きくなり，エンコーダ回路のレイアウトにおいてサイズを小さくすることが容易ではないという課題がある．また，バイナリ値変換回路では基準クロック信号とは別なクロック信号である，カウント制御信号 “CLK_{ctrl}” を用意する必要がある．A/D 変換動作とは別にエンコードにおけるカウント動作が必要となるため，動作時間が長くなる．そこで，読み出し専用メモリ（Read Only Memory, ROM）を用いたエンコード手法を検討する．

図 4.8 に，取得コードを 3 ビットのバイナリコードへと変換する，ROM エンコーダの構成を示す．エンコーダは，4 つの XOR 回路とバイナリコード X_1X_0 を記憶した ROM に

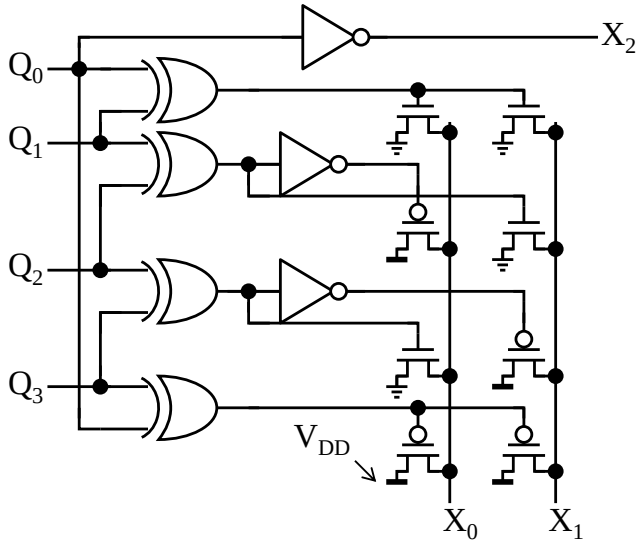

図 4.8: ROM エンコーダの構成

より構成される．バイナリコードの MSB である X_2 は，取得コードの LSB である Q_0 を反転した値である．XOR 回路は Q_0 と Q_1 のように取得コードの隣り合った値を入力とする．入力された値が異なるときに，XOR 回路は “High” を出力する．これは表 4.1 において，取得コードが “High” から “Low”，または “Low” から “High” へと遷移する点を検出する働きを持つ．最終段の XOR 回路は Q_3 と Q_0 を入力とし，値が一致した時に “High” を出力する．これは取得コードが “High” または “Low” で一致した点に相当する．XOR 回路の出力により，いずれかの ROM を出力するかを決定する．ROM は，nmos または pmos トランジスタを用いて，2 ビットバイナリコードのいずれかを記憶する．各トランジスタのゲートは，いずれかの XOR 回路の出力と接続し，検出された点のバイナリコードを出力する．

図 4.9 に，取得コードとバイナリコードとの関係を示す．ROM を用いたエンコーダでは，取得コード $Q_3Q_2Q_1Q_0$ の連続した値が遷移する点と，MSB 以外のバイナリコード X_1X_0 が同一であることを利用する．例として，取得コード $Q_3Q_2Q_1Q_0$ が “0001” または “1110” の場合，初段の XOR 回路が “High” を出力し，MSB 以外のバイナリコード X_1X_0 は，“00” となる．以下同様に，出力コードが遷移する点で値が決定するが，$Q_3Q_2Q_1Q_0$ が “1111” または “0000” の場合のみ，X_1X_0 は “11” を出力する．

ROM を用いたエンコーダは，インバータと XOR 回路および MOS トランジスタを用いた ROM によって構成されるため，回路構成をシンプルにすることが可能である．また別

途のクロック信号や制御線をを必要としないため，単一のクロックで信号高速なエンコードができ，制御回路もシンプルにすることが可能である．

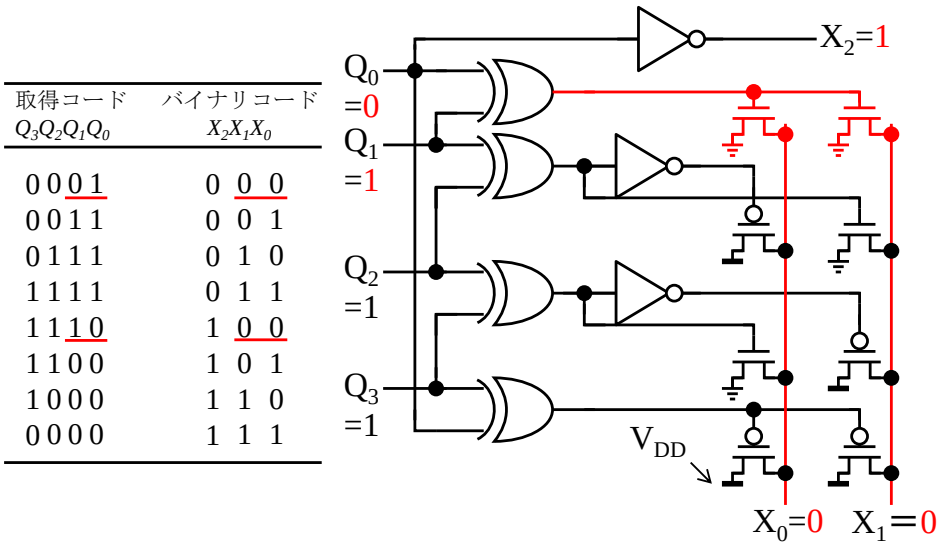

図 4.9: ROM エンコーダの動作

4.2　ノイズ低減手法

CMOS イメージセンサの特性において，ノイズは重要なパラメータである．本節では画像を取得する際に発生するノイズを低減する手法として，CDS 手法について述べ，アナログ・ディジタル CDS 構成を検討する．

4.2.1　ディジタル CDS

、

カラム A/D 変換器では，A/D 変換動作直前にアナログ CDS が実行される．CDS とは，ある信号をホールドし，次に来た信号との差分を取るサンプリング手法である．このアナログ CDS により，画素部の製造ばらつきによって発生するオフセットノイズをキャンセルすることが可能である [50].

一方，A/D 変換器から発生した，誤差として現れるクロックスキューや遅延のばらつきに対するノイズは A/D 変換部で CDS を行う，クロックを計測するカウンタをアップダウ

ンカウンタとし，一度目の変換ではダウンカウント，二度目の変換ではアップカウントをすることで，減算処理を行うディジタル CDS という手法が提案されており，このディジタル CDS によりオフセットノイズを取り除くことが可能である [51].

本項では，アップダウンカウンタではなく,「補数」を用いた減算処理回路を提案することで，よりシンプルな回路構成を目指す．なお，本論文で述べる「補数」とは，特に断りがない限り，バイナリ値を反転させた，いわゆる 1 の補数を指す．図 4.10 は上位カウンタの CDS 回路構成である．カウンタの各フリップフロップ間にマルチプレクサを挿入した構成であり，各マルチプレクサの片方の入力は，前段のフリップフロップ出力と接続する．マルチプレクサのもう一方の入力は，共通の入力信号 “$CTRL_{sig}$” と接続され，制御信号 “CNT_{ctrl}” および “$CNT_{ctrl}0$” により，フリップフロップ出力および “$CTRL_{sig}$” の一方を出力し，後段フリップフロップの入力となる．通常の A/D 変換を行う場合，図 4.11 に示すように，マルチプレクサはフリップフロップ出力を選択する．これにより，通常のカウンタとして動作し，クロック信号をカウントするように動作する．

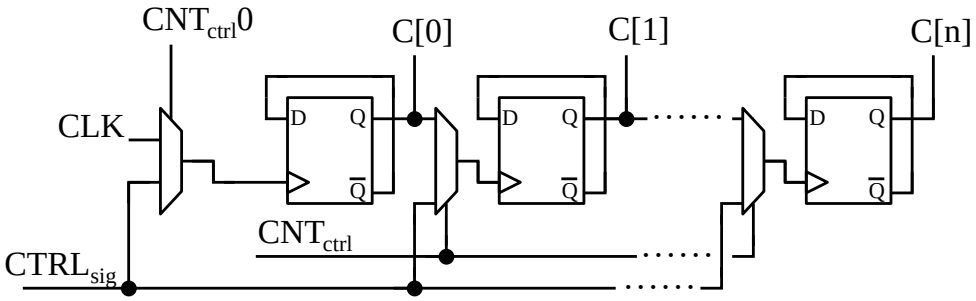

図 4.10: 上位カウンタの CDS 機構

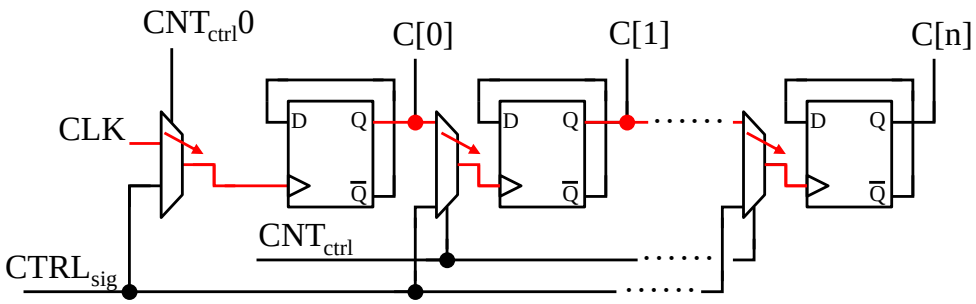

図 4.11: 通常のカウント動作

CDS 動作を行う場合，1 度目の A/D 変換において，リセット状態のアナログ値を通常のカウンタ動作で計測する（図 4.11）．リセット状態のカウントが終わった後，“$CNT_{ctrl}0$” により，初段のマルチプレクサのみ，入力を切り替え，“$CTRL_{sig}$” を “Low” から “High” へと遷移する．この動作により，カウンタはカウント動作が 1 進むと同時に，初段フリップフロップの入力には，“High” が入力された状態となる（図 4.12）．これは，初段フリップフロップの誤動作を防止する働きを持つ．次に，カウンタの値を補数にするための動作を行う．図 4.12 に示すように，“CNT_{ctrl}” により，すべてのマルチプレクサ入力を切り替える．その後，“$CTRL_{sig}$” にパルスを入力し，再度 “Low” から “High” へと遷移させる．各フリップフロップの入力にパルスが入力されることで，それぞれの出力信号は前段出力とは独立してその値を反転させる．この動作によりカウンタは補数を取得，記憶する．

1 度目の A/D 変換が終わり補数を取得した後，サンプリングされたアナログ値の計測を行う．その際の動作は，カウンタは図 4.11 に示した通りの，通常のカウンタ動作へと戻る．カウンタには，1 度目の A/D 変換出力の補数が記憶されており，この値を初期値として 2 度目の計測を行うことにより，カウンタ出力はサンプリング時の出力からリセット状態の出力を減算する動作を行う．

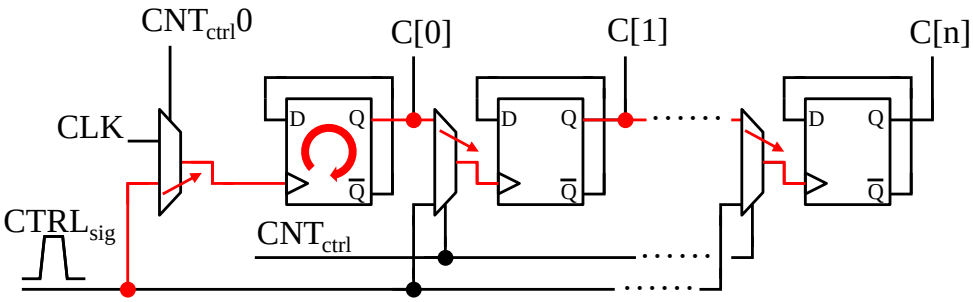

図 4.12: 上位カウンタの CDS 動作

4.2.2 ディジタル CDS を含めたエンコーダ回路構成

A/D 変換器の下位ビットに相当する時間量子化器に関しても，上位ビットカウンタ同様に CDS 動作を行う必要がある．また下位ビットの減算結果を上位ビットへと引き継ぐ，CDS を含めたエンコーダ構成について検討する．表 4.2 に時間量子化器出力から得た取得コードとバイナリコード，バイナリコードの補数値との対応を示す．

カウンタを用いたエンコーダにおける CDS 構成を図 4.14 に示す．表 4.2 より，$\overline{X_1X_0}$

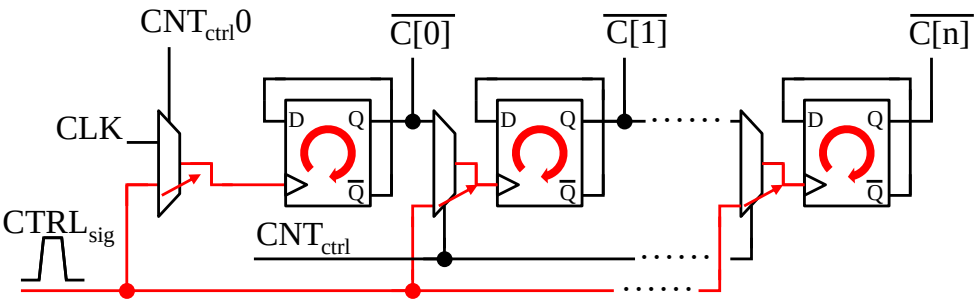

図 4.13: 上位カウンタの補数生成

表 4.2: 取得コードとバイナリコードおよびバイナリの補数

位相状態	時間量子化器出力	バイナリコード	バイナリの補数
(1 周期=T_{clk})	$Q_3Q_2Q_1Q_0$	$X_2X_1X_0$	$\overline{X_2X_1X_0}$
0/8 T_{clk}	0001	000	111
1/8 T_{clk}	0011	001	110
2/8 T_{clk}	0111	010	101
3/8 T_{clk}	1111	011	100
4/8 T_{clk}	1110	100	011
5/8 T_{clk}	1100	101	010
6/8 T_{clk}	1000	110	001
7/8 T_{clk}	0000	111	000

の値は，前半部では $Q_3Q_2Q_1$ に含まれる “Low” の数に，後半部では $Q_3Q_2Q_1$ に含まれる “High” の数に対応する．この働きを，図 4.3 に XOR 回路を追加することで実現している．XOR 回路の入力 “TDC_{CDS}” を “High” にすることで，カウントしたい値を反転させることが可能である．1 度目の変換の際は，“TDC_{CDS}” を “High” の状態で，2 度目の変換では “TDC_{CDS}” を “Low” の状態でエンコードを行うことで，エンコード用カウンタは上位ビットカウンタ同様に減算の動作を行い，CDS を実行する．

また，ROM を用いたエンコーダの CDS 構成に関して，1 度目のエンコード出力と 2 度目のエンコード出力それぞれを記憶するレジスタ，および加算器を用いることで実現する（図 4.15）．1 度目のエンコード出力を記憶するレジスタをリセットレジスタ，2 度目のエンコード出力を記憶するレジスタをシグナルレジスタとする．エンコーダ出力は，出力選

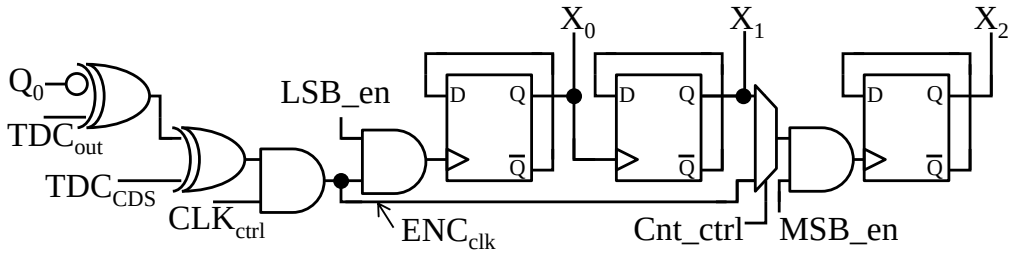

図 4.14: CDS 機構を持つカウンタ型エンコーダ

択回路と制御信号 “Sel_{CDS}” により，リセットレジスタまたはシグナルレジスタのどちらか一方に出力される．リセットレジスタに入力された値は，反転させて出力することで補数となる．リセットレジスタとシグナルレジスタの値を加算器へと入力することで，加算器はシグナルレジスタの値から、リセットレジスタの値を減算する働きを持つ．この動作により，下位ビットにおける CDS を実現する．

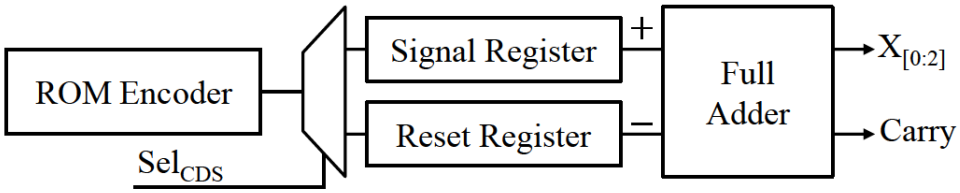

図 4.15: CDS 機構を持つ ROM エンコーダのブロック図

カウンタおよび ROM を用いたエンコーダの CDS 構成に関して，どちらの構成の出力においても上位ビットへと桁上がりが生じる場合がある．そのため，上位ビットカウンタへと桁上がりを引き継ぐ機構が必要となる．カウンタを用いた構成においては，その MSB カウンタの出力を上位ビットカウンタと接続することで，ROM を用いた構成においては，加算器出力とは別に，桁上がり信号 “Carry” を上位ビットカウンタと接続することで実現する．桁上がりを考慮した上位ビットカウンタ構成を図 4.16 に示す．それぞれの構成で出力された桁上がり信号 “Carry” は，桁上げ用マルチプレクサへと入力される．上位ビットカウンタは，図 4.10〜図 4.13 で示した CDS 動作を行った後に，桁上がりの加算動作を行う．その際，“$CNT_{ctrl}0$” により，初段のマルチプレクサのみ，入力を切り替え，“$CTRL_{sig}$” を “Low” から “High” へと遷移させることで，CDS 動作同様，初段フリップフロップの誤動作を防止する．そのため，上位ビットカウンタの初段フリップフロップに桁上げ用マルチプレクサを介して何らかの事由でフリップフロップの入力にパルス信号が入力した場

合でも，フリップフロップはカウント動作を行わない．次に図**??**に示すように，桁上げ用マルチプレクサが桁上がり信号 “Carry” を選択するように制御する．“Carry” が “High” の場合にのみ，初段フリップフロップにパルスが入力され，カウントアップが行われる．

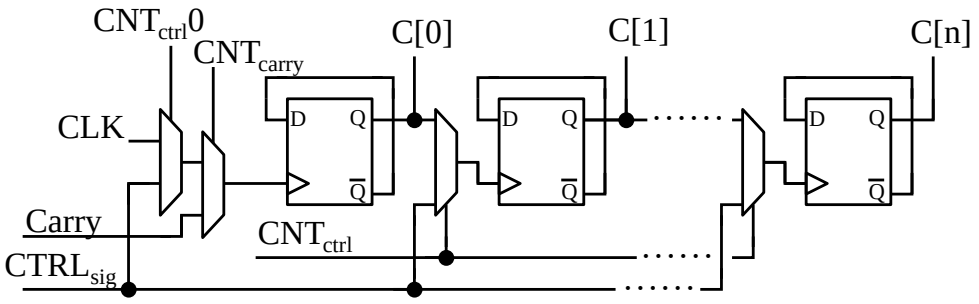

図 4.16: 桁上がりを含めた CDS カウンタ

本構成では，上位カウンタに関して 1 度目の A/D 変換結果を補数にすることで CDS 動作を実現するため，従来構成のようにダウンカウンタを使用せず，アップカウンタのみで構成することが可能である．ROM エンコーダ構成はシンプルな回路構成であり，CDS 機構においても，レジスタおよび加算器などの簡素な回路で構成が可能である．また，上位ビットカウンタのようなマルチプレクサによる補数切り替えを行わないため，制御が容易である．

4.3　まとめ

本章では，時間量子化器出力より得た取得コードをバイナリコードへと変換し，ディジタル CDS 動作を行う構成について検討し，簡素な構成でかつ，単一のクロック周期で動作し，高速動作が可能なエンコーダを提案した．まず，エンコーダの構成として複数の手法を検討し，そのうえで構成がシンプルな ROM エンコーダ構成を提案した．次に，ディジタル CDS を行うための構成に関して，補数を用いた手法により CDS 動作を行う手法を検討し，エンコーダおよび上位ビットカウンタで補数を出力する構成を提案した．エンコーダで CDS を行った際に生じた桁上がり信号 “Carry” を，上位ビットカウンタへと引き継ぐことで両構成間の整合性を確保する．ディジタル CDS により，3 章で提案した時間量子化器の間欠動作に関して，動作時に発生する遅延オフセットもキャンセルすることが可能となる．

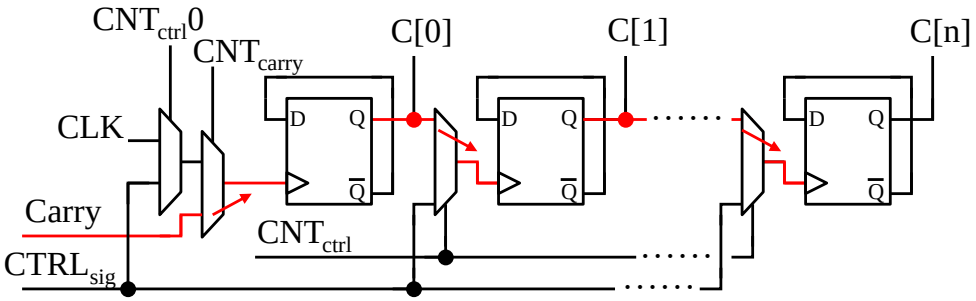

図 4.17: CDS カウンタの桁上がり動作

第5章　発振器を用いたデルタシグマA/D変換器

本章では，A/D変換器の低ノイズ化を目的とした，VCOを用いたデルタシグマA/D変換器の回路構成に関して述べる．また，オールディジタルなA/D変換器として提案されているTADを利用した，オールディジタル2次デルタシグマA/D変換器について説明する．

5.1　VCO量子化器を用いたデルタシグマA/D変換器

近年，イメージセンサ用A/D変換器の高速化手法と共に，低ノイズ化手法が注目されている．画素回路やA/D変換器におけるオフセットのノイズは，CDSにより取り除くことが可能であるが，ランダムノイズであるkT/C（k：ボルツマン定数，T：温度）ノイズはCDSでは取り除くことができない．ランダムノイズに対しては，同一条件で信号のサンプリングをn回繰り返し，出力の加算平均を取ることで，信号雑音（Signal-Noise, S/N）比を$\sqrt{n}$倍改善することが可能である [52].

平均化を行うためには，入力信号に対し，複数回のサンプリングが必要である．この複数回のサンプリングは，デルタシグマA/D変換器におけるオーバーサンプリングに相当する．デルタシグマA/D変換器には，電圧制御発振器（VCO）を用いて時間軸上で変換を行う方式が提案されている [53,54]．VCOおよびカウンタで構成された量子化器（図5.1）は，シングルスロープA/D変換器同様に構成がシンプルである特徴を持つ．また，時間分解能型のA/D変換器であるため微細化に伴う電源電圧の低下にも適応可能な構成である．本節では，このVCO量子化器によるA/D変換器の構成を検討する．

5.1.1　デルタシグマA/D変換動作

VCO量子化器の動作を図5.2に示す．VCO量子化器は入力電圧により発信周波数が変化し，カウンタによってVCO出力のパルス数がカウントされる．このカウンタの値をサ

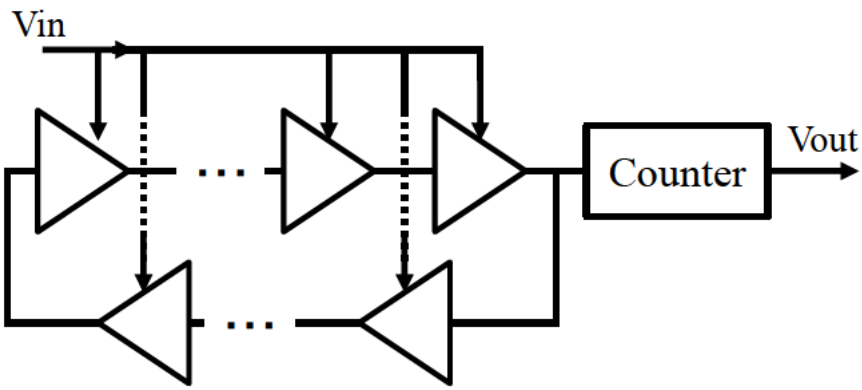

図 5.1: VCO 量子化器の構成

ンプリング区間ごとに取得する．その際に生じた量子化誤差は，パルスの位相として表れ，次のサンプリングにおける初期位置として用いられる．このように，VCO 量子化器は VCO の回転動作における量子化誤差が次サンプリングに持ち越されることを利用した構成であり，2.2.4 項で説明した量子化器の役割と積分器の役割を果たしている．さらに，VCO の発振がフィードバックを含んでいるとみなせるため，VCO 量子化器の動作はデルタシグマ変調動作に相当する．

また，VCO 量子化期の特徴として，入力信号のサンプリングを行わない連続時間動作が可能な点がある．一般的な A/D 変換器は，入力アナログ信号に対して時間方向の離散化と振幅方向の離散化（量子化）を行うことでディジタル値を取得する．連続的に変化する入力アナログ信号は，サンプリング周期ごとに時間分割され，サンプルされた点での電圧値がアナログ入力値となる．一方で，VCO 量子化器は入力アナログ信号の電圧値により，周波数が上下する．その際のパルス総数は，後段のサンプリング周期ごとに時間平均化されて現れる．これは入力電圧に対して積分機能を持つことを意味し，アナログ・プレフィルタを付加せずに A/D 変換が可能である．

5.1.2　回路構成

VCO 量子化器を用いたデルタシグマ A/D 変換器の回路設計を行う．本方式において，VCO には発振周波数と入力信号とのあいだに高精度な線形性をもつことが求められる．そこで，弛緩発振器を用いた構成を検討する．図 5.3 に提案回路構成を示す．提案回路構成では，2 つの弛緩発振器を並列にし，それぞれの出力を SR（Signal-Reset）フリップフ

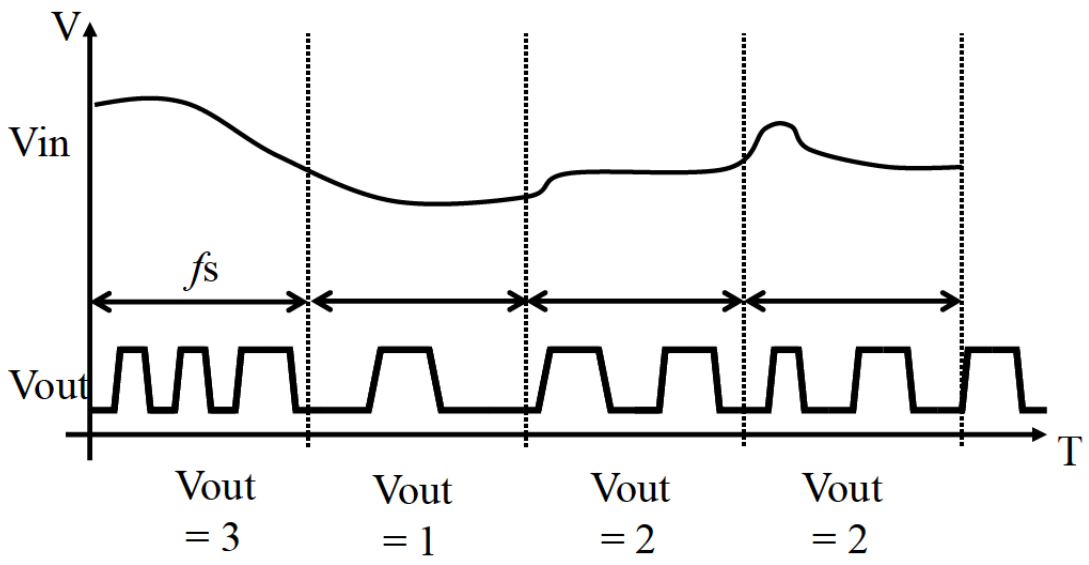

図 5.2: VCO 量子化器の動作

ロップの入力とする．SR フリップフロップの出力は，各発振器のリセット端子へと出力され，一方の出力はカウンタとも接続される．このカウンタ出力をサンプリングすることで，A/D 変換を行う．弛緩発振器は，ランプ波形を出力するチャージポンプ回路，およびオペアンプを用いた比較器により構成される．オペアンプの反転入力端子は，共通の参照電圧を持つ．一方のチャージポンプ回路で充電動作が行われ比較器にランプ波が入力された場合，ランプ波は参照電圧の値までチャージポンプ回路のコンデンサへ充電を行う．その際，もう一方のチャージポンプ回路はリセット端子が ON した状態となる．ランプ波が参照電圧値より大きくなった場合，比較器は出力を遷移させ SR フリップフロップおよびカウンタへ出力する．カウンタでは遷移された信号をパルスとして受け取りカウントを行う．SR フリップフロップは入力が遷移したことで出力が反転する．SR フリップフロップ出力は各チャージポンプ回路のリセット端子と接続しているため，一方は OFF から ON へ，もう一方は ON から OFF へと動作が切り替わる．リセット端子が切り替わることで，もう一方のチャージポンプ回路，および比較器が動作を開始し，同様な動作によりパルスを出力する．この一連の動作を繰り返すことで，発振を行う．入力信号は，チャージポンプ回路の入力となり，入力信号の大小によってチャージポンプ出力波形の傾きが変化する．この構成により，オペアンプの反転入力端子を入力とした場合に比べて，周波数の変化が大きく，また線形性を高くすることができる．二つの発振器を並列構成にすることで，カウンタに入力される発振周波数を分周する効果を持つ．

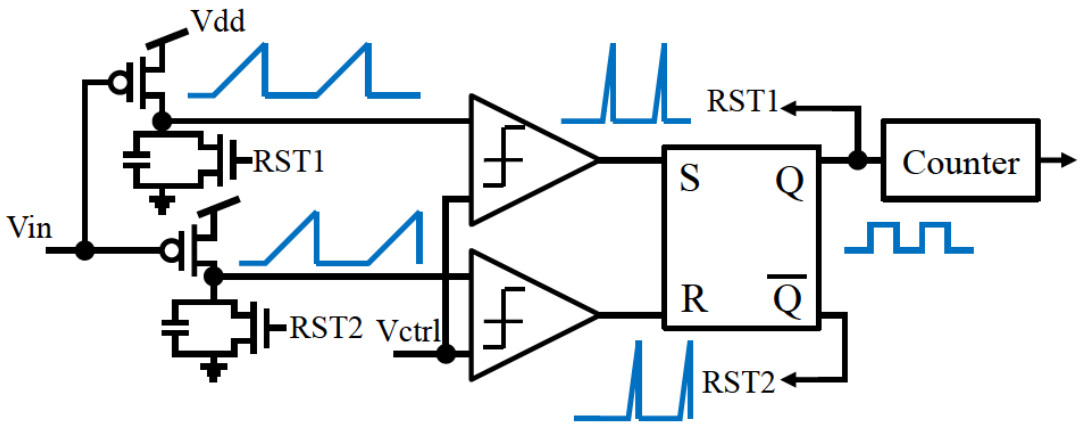

図 5.3: 弛緩発振器を用いた A/D 変換器

5.1.3　シミュレーション結果

上記提案構成についての動作特性を，シミュレーションを行い確認した．設計に用いたプロセスは 0.18 μm CMOS プロセスである．図 5.4 に過渡解析結果を示す．電源電圧はチャージポンプ，および比較器は 3.3 V，カウンタ等のディジタル部は 1.8 V としている．図 5.4 は V_{in} が 0.8 V および 0.2 V の場合における SR フリップフロップ出力をプロットしている．入力の電圧値によって，発振周波数が変化することが確認できる．これらの出力が 4 ビットカウンタへ入力された際のカウンタ出力結果を図 5.5 に示す．10μs 間において，発振周波数の差異により，出力波形の密度が変化していることが確認できる．

発振器を用いた A/D 変換器では，入力電圧値と発振周波数との間の線形性が性能に大きく影響を与える．図 5.6 に入力電圧に対する発振周波数を示す．入力電圧は 0.2 V から 0.8 V まで，6 ビット分解能で変化させている．入力電圧に対して，周波数が線形に変化していることが確認できる．ランプ波形の傾きを変化させる構成としたことで，高い線形性を持つ構成が実現した．

5.2　TAD を用いた構成

VCO を用いた構成によるデルタシグマ A/D 変換器は，小型かつ低ノイズ動作に適した構成であるが，カラム A/D 変換器として実用的なものとするためには，2 次デルタシグマ A/D 変換器以上の高次化が求められる．VCO 量子化器がデルタシグマ変調動作を持つことを利用した，2 次デルタシグマ A/D 変換器の手法は報告されている [55]．しかし，高次

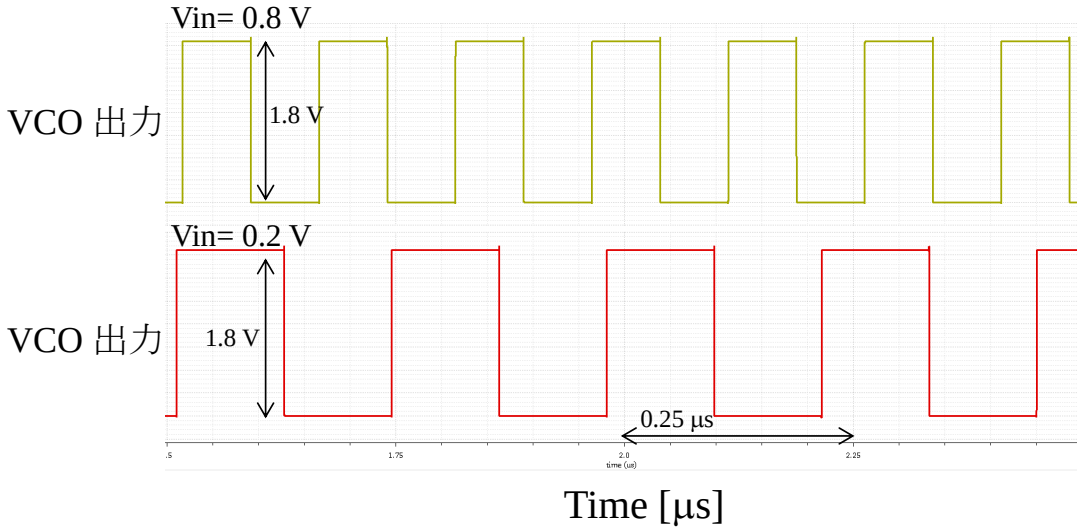

図 5.4: 弛緩発振器の過渡応答

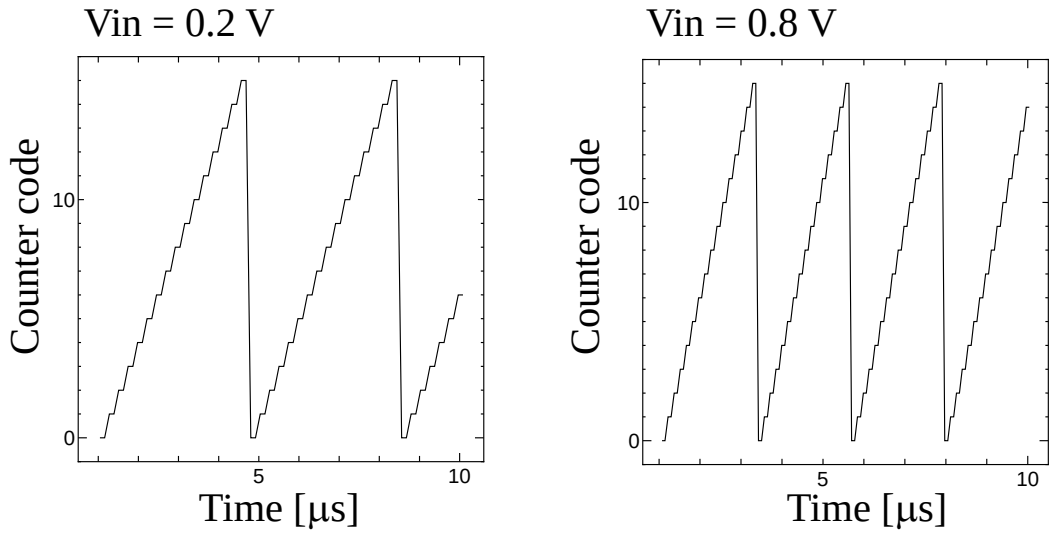

図 5.5: 発振器を用いた A/D 変換器のカウンタ出力

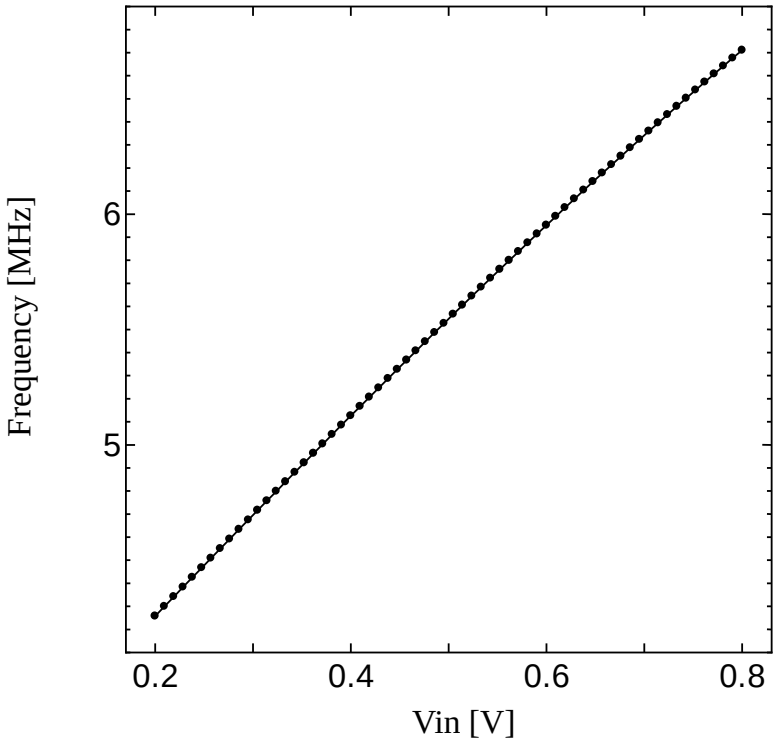

図 5.6: 弛緩発振器の線形性

化を行う場合，初段にアナログ積分器を持ち後段に VCO 型デルタシグマを持つ構成，またはフィードバックループに VCO を入れることで高次化を行っている．そのため，アナログ積分器に用いられるキャパシタやアンプ等のアナログ要素の低減が難しく，消費電力，回路面積が問題となる．

本節では，ディジタル素子のみによって構成された A/D 変換器である TAD に関して，デルタシグマ A/D 変換動作およびそのオールディジタルな高次化手法を検討する [56].

5.2.1　TAD の動作

渡辺ら [57–59] により提案された TAD は，ディジタル素子を活用したオールディジタルな A/D 変換器であり，省面積かつ，CMOS 微細化プロセスに伴う性能向上が可能である．サンプリング周期を任意に変化させることで A/D 変換器の分解能を変更することが可能であり，圧力センサやレーザレーダ距離センサ等，様々なセンサへの適用が報告されている [60]．TAD は，インバータによるリング状遅延線路（Ring-Delay Line, RDL），各イン

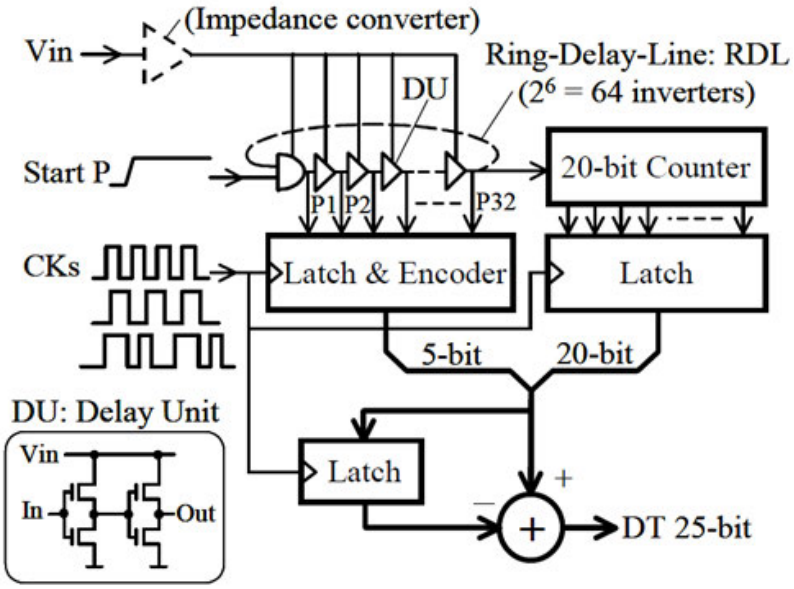

図 5.7: 時間 A/D 変換器の構成 [57]

バータの状態を保持するラッチ回路，カウンタおよび減算回路から構成される（図 5.7）．決められた時間内に，パルス信号が RDL を周回する回数および，通過するインバータの段数で量子化を行う回路である．TAD は時間分解能型 A/D 変換器であり，連続時間動作が可能であることからアナログ・プレフィルタを持たない構成が可能である．RDL 内に反転信号をフィードフォワードする信号線を挿入することで，RDL は偶数段の遅延素子による発振器構成となる．

入力信号は発振器の電源電圧として用いられる．入力される電圧値により，発振器に入力されたパルス信号の遅延量が変化し，発振器の発振周波数も変化する．発振周波数の増減は，パルス信号がリング状の遅延線路を通過する角速度の増減を意味する．カウンタは発振器内をパルス信号が一周するごとにカウントアップを行う．ラッチ回路および RDL の構成は，前章までで述べた時間量子化器と同じ構成であり，遅延線路内部の状態をラッチ回路が保持し，エンコードを行うことで．パルス信号が通過したインバータの段数，つまり発振周波数の位相状態が計測できる．カウンタ出力を上位ビット，ラッチ出力を下位ビットとして，サンプリング周期ごとにディジタル値が出力される．

この TAD とデルタシグマ A/D 変換器の関連を検討する．デルタシグマ A/D 変換器を構成する積分器と量子化器および DAC は，TAD においてはそれぞれ図 5.8 で示す構成で表される．積分器は，遅延素子内の通過時間量子化誤差に相当する．量子化器と DAC，は

それぞれ遅延素子の通過計測と遅延素子の通過値にあたる．デルタシグマ A/D 変換器は積分器に値が保持され，その後量子化器でディジタル出力を決定し，DAC で出力に応じたアナログ値をフィードバックすることで動作する．TAD では，遅延線路内でパルス信号が発振し，サンプリング終了時に遅延素子 1 段分に満たない遅延量（量子化誤差）が発生する．その値が積分器の役割に相当する．更に，カウンタとラッチの出力により上位・下位ビットのディジタル出力が得られるが，遅延素子をいくつ通過したかの計測を行う回路が，量子化器に対応する．図 5.9 に上記動作の相関を示す．サンプリング周期ごとに発振器内部の状態はラッチに保持され，発振器は連続的に動作している．量子化誤差は，遅延素子間の遅延時間に相当するが，その量子化誤差は次サンプルの量子化に引き継がれる．そのため，TAD はデルタシグマ型の A/D 変換方式だと言える．

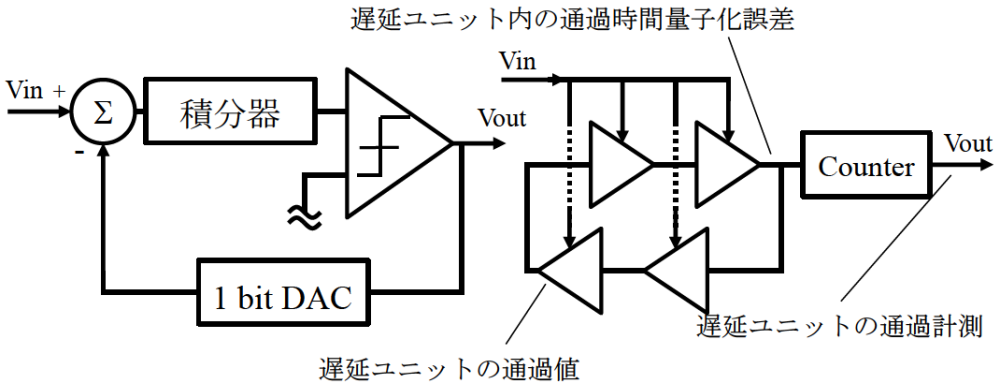

図 5.8: TAD のデルタシグマ A/D 変換動作

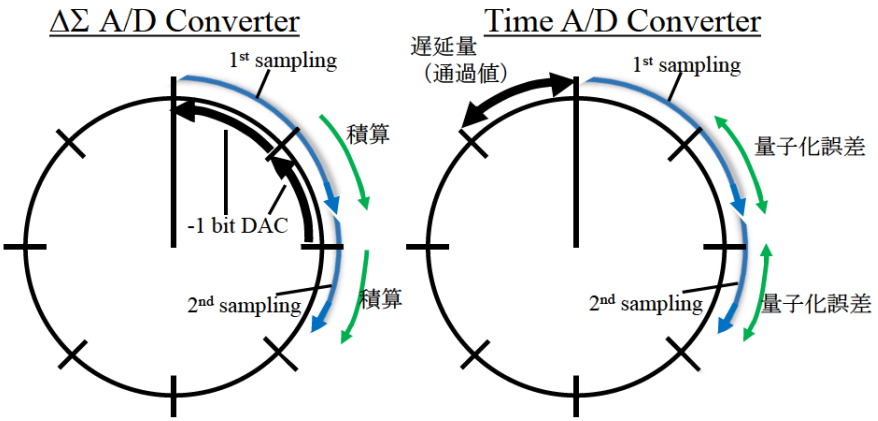

図 5.9: TAD とデルタシグマ A/D 変換器の動作対応

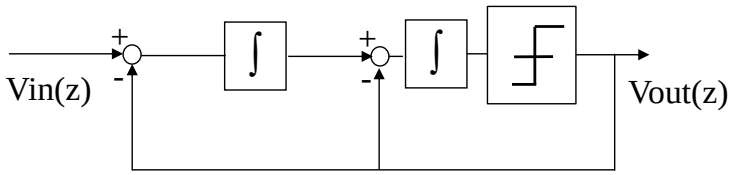

図 5.10: 2 次デルタシグマ A/D 変換器の構成

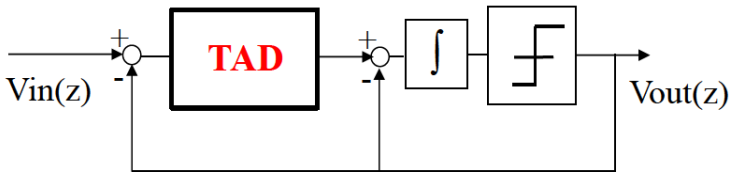

図 5.11: TAD による 2 次デルタシグマ A/D 変換器

5.2.2　TAD の高次化

TAD はデルタシグマ A/D 変換器として動作することから，高次化により更なるノイズ低減が期待できる．図 5.10 は，通常の 2 次デルタシグマ A/D 変換器の構成である．デルタシグマ A/D 変換器の量子化器部分にもう 1 段デルタシグマ A/D 変換器を挿入した構成であり，デルタシグマ A/D 変換器が持つノイズシェーピング効果をさらに強めることが可能である．図 5.11 は，提案構成である，2 次デルタシグマ TAD のブロック図である．発振器とカウンタの後段に，ディジタル値をサンプリングごとに積算して値を保持する，アキュムレータを組み込んだ構成である．TAD の出力をアキュムレータが積算し，アキュムレータの値が，設定した閾値を越えた際にカウンタとアキュムレータ双方のデジタル値積算結果から一定値を減算する．これはデルタシグマ A/D 変換器のフィードバックに相当する．本構成によって 2 次ノイズシェーピング効果を，ディジタル素子のみで実現する．

本構成に関して，伝達関数を用いて考察を行う．基本的な 2 次デルタシグマ A/D 変換器は，量子化器を 1 次デルタシグマ A/D 変換器に置き換えることで構成される．一方，提案構成では量子化器の置き換えではなく，TAD の後段にアキュムレータを組みこんでいる．本来の 2 次デルタシグマ A/D 変換器と比較すると，アキュムレータを後段に加えたことで，量子化雑音の要因が 1 つ加わったと考えられる．図 5.10 で示したシステム図の伝達関数は，量子化ノイズ 1・2 段目の伝達関数をそれぞれ，$N_0(z)$, $N_1(z)$ とするとき，

$$H(z) = z^{-2}V_{in}(z) + z^{-1}(1 - z^{-1})N_0(z) + (1 - z^{-1})^2 N_1(z) \tag{5.1}$$

で表される．(5.1) 式の第 1 項は，2 サンプリング後の入力信号を出力する．第 3 項は，2 段目の量子化器より発生する量子化ノイズが 2 次ノイズシェーピングされた形で出力される．ここまでは 2 次デルタシグマ変調と同様だが，第 2 項の $z^{-1}(1-z^{-1})N_0(z)$ は 1 次ノイズシェーピングの形で出力されるため，$N_0(z)$ が支配的になると考えられる．

しかし，TAD は RDL とカウンタで構成される．これは前節に示した VCO 量子化器と等価であり，疑似フィードバック機構を有している．そのため，$N_0(z)$ はすでに 1 次ノイズシェーピング効果を持つ．以上より，伝達関数は

$$z^{-1}(1-z^{-1})N_0(z) = z^{-1}(1-z^{-1})\left\{(1-z^{-1})N_0'(z)\right\} = z^{-1}(1-z^{-1})^2 N_0'(z) \qquad (5.2)$$

となり，第 2 項は 2 次ノイズシェーピング効果を持つ．カウンタ値を減算しフィードバック機構を新たに組み込むことで，第 3 項と合わせて 2 次ノイズシェーピング効果を得ることができる．よって，ディジタル素子のみで 2 次デルタシグマ A/D 変換器構成が可能となる．ただし，量子化ノイズは，$N_0'(z)$ の増加を考慮する必要がある．

5.2.3　シミュレーション結果

提案手法について，ビヘイビア・モデルを用いて検証を行った．シミュレーション結果を以下に示す．各図はそれぞれの構成におけるノイズスペクトルを示している．図 5.12 は一般的な 2 次デルタシグマ構成，および TAD による 1 次デルタシグマ構成における，ノイズスペクトルである．図 5.13 は提案構成である，2 次デルタシグマ TAD のノイズスペクトルである．TAD を用いることで，量子化誤差が高周波側に掃き出されていることが確認できることから，TAD はデルタシグマ型 ADC として動作していることが確認できる．提案構成に関して，ノイズシェーピング特性が通常の TAD 回路と比較して， 高次のノイズシェーピング特性を有していることが確認できる．また，2 次ノイズシェーピングの傾きに関して，提案構成は約 43 dB/ decade であった．

5.3　まとめ

本章では，A/D 変換器の低ノイズ化を目的とした，VCO を用いたデルタシグマ A/D 変換器の回路構成に関して説明し，また TAD を用いたオールディジタル構成によるデルタシグマ A/D 変換器の高次化を提案した．弛緩発振器を用いた構成によるデルタシグマ A/D 変換器構成によって，入力電圧と周波数との間に高い線形性を持った ADC 構成を提案した．TAD を用いたデルタシグマ ADC の高次化に関して，TAD を初段の積分器とし，

後段の積分器をアキュムレータとする構成を提案した．本来は初段に量子化が含まれるため，1 次ノイズシェーピング特性が支配的となる構成が，TAD 内の VCO 量子化器が持つ 1 次ノイズシェーピング特性により，高次化を実現した．ビヘイビア・モデルのシミュレーションにより動作確認を行い，2 次のデルタシグマ動作を確認した．

本提案構成により，イメージセンサにおける高速動作および低ノイズ化の両立が期待される．

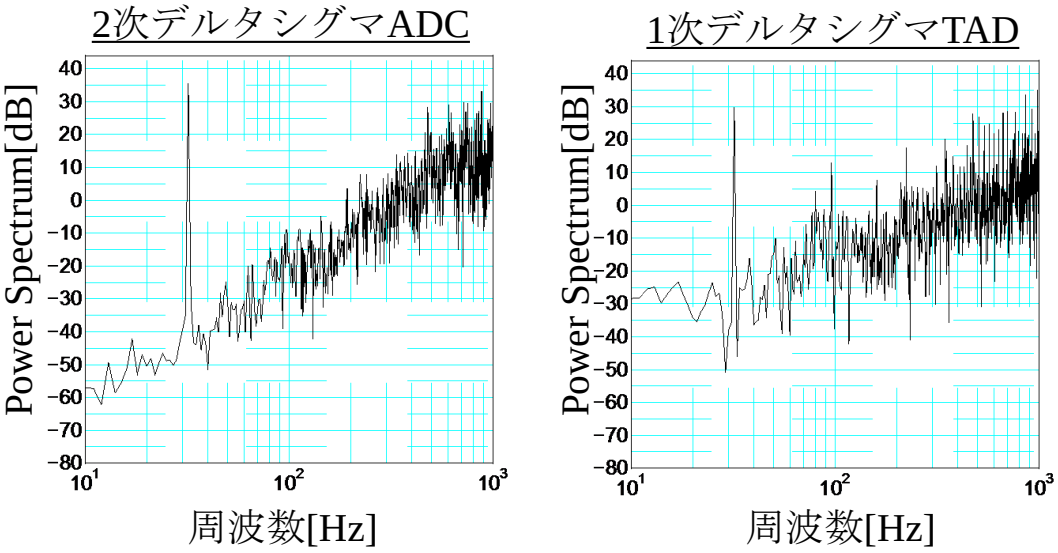

図 5.12: デルタシグマ A/D 変換器のスペクトル解析

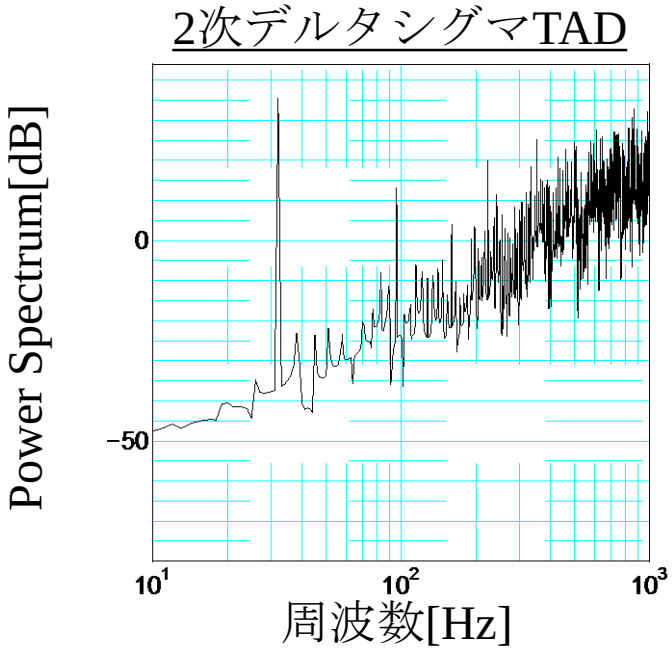

図 5.13: 提案構成のスペクトル解析

第6章　差動直交信号を用いたA/D変換器

本章では，クロック信号から発生するノイズが，時間量子化器に与える影響を考察し，影響を回避する手法として提案する，差動直交信号を用いた手法とその効果について説明する．

6.1　差動直交信号による時間量子化器

前章までで述べた時間分解能型 A/D 変換器に用いるクロック信号は，インバータ等の遅延素子による遅延線路，または発振器を用いて信号を生成する．このようなディジタル素子による構成では，その出力信号はほぼ矩形波となる．そのため，時間量子化器またはカウンタで検出する位相差は，出力信号の立ち上がりまたは立ち下がりのみであり，ビット数の増加には遅延素子の段数増加が必要となる．また，製造ばらつきによる精度の低下や，遅延素子を信号が通過する際に発生する貫通電流により，スパイクノイズ等のディジタル雑音が含まれる問題がある．そこで，サイン波およびコサイン波の差動直交信号をクロック信号の代わりに用いることで，これらの問題を解決する手法を検討する．

本提案構成は，差動直交発振器とラッチドコンパレータを用いた位相検出器，およびエンコーダにより構成される．差動直交発振器は，サイン波とコサイン波の，位相が相互に $\pi/2$ ずつずれ，相互に差動関係となった信号（Q_+ と Q_- および I_+ と I_-）を出力する．一般的に，このような発振器構成を QVCO（Quadrature Voltage Controlled Oscillator）と呼ぶ．ラッチドコンパレータでは，外部からのホールド信号を基準として，2 入力間の大小を比較し，その比較結果を保持する．ここに差動直交信号の中から 2 つの波形を選択し，入力とすることで，信号間の位相比較を行う位相検出器として動作する．エンコーダでは，ラッチドコンパレータ出力の組み合わせから，位相状態に合わせたディジタル値を出力する．図 6.1 および表 6.1 に 位相比較動作を示す．本手法では 8 値の比較，つまりバイナリで 3 ビットの計測を行うため，発振器 2 段から構成される．遅延線路による構成では，少なくとも 4 段の遅延素子を構成する必要があることから，遅延素子の段数削減が可能である．また，矩形波（高周波）の信号を用いていないため，スパイクノイズの影響を低減す

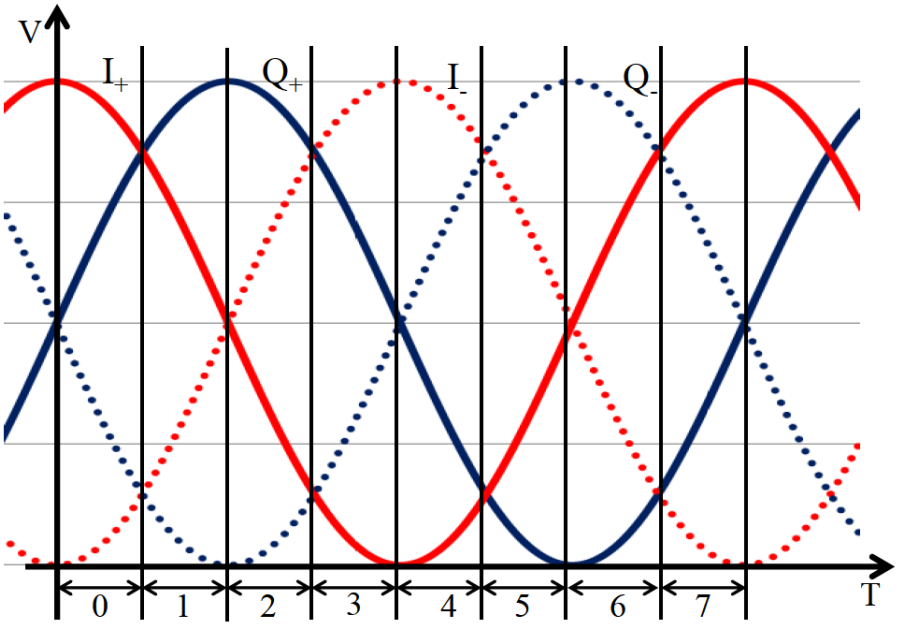

図 6.1: 差動直交信号

表 6.1: 差動直交信号の出力波形と位相状態

位相状態	$Q_+ > Q_-$	$I_+ > Q_-$	$I_+ > I_-$	$I_+ > Q_+$	Digital
0	1	1	1	1	000
1	1	1	1	0	001
2	1	1	0	0	010
3	1	0	0	0	011
4	0	0	0	0	100
5	0	0	0	1	101
6	0	0	1	1	110
7	0	1	1	1	111

ることが可能である．

サイン波 Q_+ と Q_- は互いに差動関係にあり，相互に π の位相差を持つ．同様にコサイン波 I_+ と I_- は互いに差動関係にあり，相互に π の位相差を持つ．サイン波 Q_+ とコサイン波と I_+ は $\pi/2$ の位相差を持つことから，これら 4 つの信号 Q_+, I_+, Q_-, I_- は前後の信号とそれぞれ $\pi/4$ の位相差を持つ．クロック信号を差動直交信号へと置き換えることで，遅延段数の削減を実現した．サイン波およびコサイン波は時間連続な信号であり，“High” から “Low” への遷移，および “Low” から “High” の際に位相毎に異なる電位差を持つ．この電圧関係を位相検出に利用することで，遅延素子の段数削減を実現する．構成要素数の削減は，省面積効果だけでなく，段数が少なくなることで製造ばらつきによる下位ビット量子化誤差のばらつき低減が期待できる．また，クロック信号を遅延素子に入力した際に流れる貫通電流を抑制することが可能なため，回路規模を増大させることなく，位相検出精度を向上させ，量子化バラツキとノイズ発生を抑制することができる．次に，ラッチド

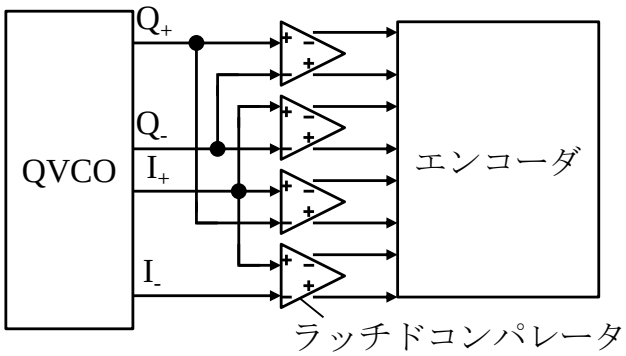

図 6.2: 差動直交信号を用いた時間量子化器

コンパレータの構成を図 6.3 に示す．ラッチドコンパレータでは，差動直交信号 Q_+, Q_-, I_+, I_- の 4 つの信号のうち 2 つを入力信号として持つ．各ラッチドコンパレータはホールド信号 “Hold” のタイミングで 2 つの入力信号の大小比較を行うと同時に，ラッチ動作を行う．そのため，ラッチドコンパレータは比較器動作とラッチ動作の両方の動作を兼ねる．表 6.1 における位相状態が “0” のタイミングでホールド信号を駆動した場合，ラッチドコンパレータの入力，Q_+ と Q_- の大小関係は $Q_+ > Q_-$ であるため，OUT_+ は “High” を，OUT_- は “Low” を出力する．また，同タイミングにおける他のラッチドコンパレータの入力，I_+ と Q_+ の大小関係は $I_+ > Q_+$ である．この二つのラッチドコンパレータの出力より，ホールド信号のタイミングが位相状態 “0” に対応すると判別できる．各ラッチドコンパレータも同様に，ホールド信号のタイミングで入力信号の大小結果を出力する．

このラッチドコンパレータの出力結果を，場合分けすることで，ホールド信号のタイミングと差動直交信号の位相状態の対応が決定する．8 位相状態を判別する場合，ラッチドコンパレータへの入力は図 6.2 のような 4 つのラッチドコンパレータを用いた位相検出器で構成され，その出力の組み合わせで判別が可能である．4 つの信号から 2 つを選択する組み合わせは，本来は ${}_4C_2 = 6$ 通り存在する．しかし，8 位相状態の判別をする際には，表 6.1 に示した，4 通りの組み合わせによって判別が可能なため，使用素子数の削減が可能である．一方で，配線が持つ容量や抵抗などの寄生成分が配線ごとにばらついた場合，判別のタイミングがずれ，分解能を低下する可能性が生じる．そのため，ラッチドコンパレータに入力される波形の数に差異が現れないよう，ダミー素子を配置する等の設計が重要である．

エンコーダ回路は，表 6.1 より，第 sec:chapter4 章で説明した ROM 方式を採用する．

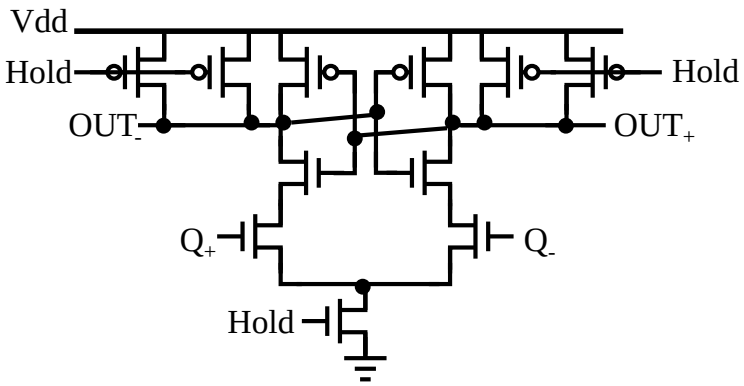

図 6.3: ラッチドコンパレータ

6.1.1　シミュレーション結果

クロック信号と差動直交信号から発生する電流が，電源線にどのような影響を与えるのかに関するシミュレーションを，0.18 μm CMOS プロセス，Cadence Spectre を用いて行った．クロック信号は 45 度ずつ位相を変化させた，4 位相クロック信号を用意し，差動直交信号は，サイン波とコサイン波および，それぞれの差動信号を用意した．それぞれの信号をインバータへと入力し，その消費電流の合計を比較することで評価を行った．入力した波形は，どちらも振幅 3.3 V，周波数 47 MHz である．過渡解析結果を図 6.4 に示す．クロック信号が入力されたインバータからは，矩形波の形で電流が変化し，スパイクノイ

ズも発生している．これは，インバータ内を流れる貫通電流によるものである．一方，差動直交信号を入力したインバータの消費電流は，周期的な変化を行うのみで，電流の急激な上昇，下降といったノイズ源になり得る波形は生じなかった．また，振幅も小さな波形であった．これは，差動の信号同士から発生する信号電流がそれぞれ打ち消しあうため，ノイズの発生を更に抑制することが出来たと考えられる．平均の消費電流は，クロック信号を用いた構成では，24.5 μA，差動直交信号を用いた構成では，19.91 μA であり，定常な電流が流れる差動直交信号を用いた構成の方が，小さな電流消費であることが確認できた．これは，定常で消費される電流と比較し，大きな電流がスパイクの形として，消費されていることが原因と考えられる．

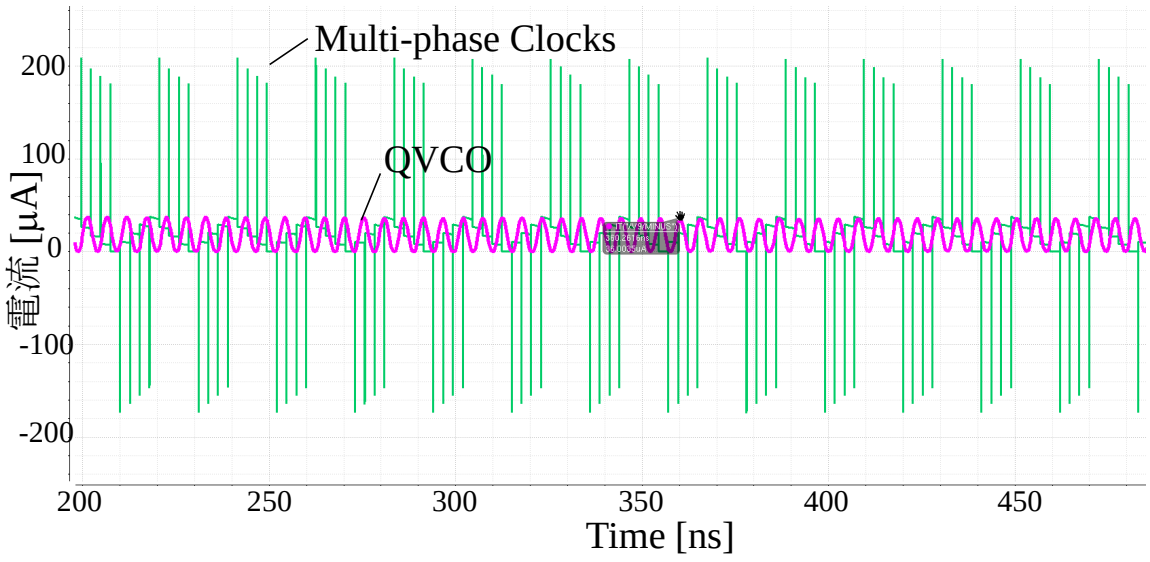

図 6.4: インバータが消費する電流の比較

6.2　差動直交信号を用いたシングルスロープ A/D 変換器

本節では，シングルスロープ A/D 変換器と時間量子化器のハイブリッド型 A/D 変換器について差動直交信号を用いた手法を検討する．図 6.5 に提案構成を示す．クロック信号を差動直交信号に置き換えた構成となる．差動直交信号の発振周波数を一定とする．Q_+, Q_-, I_+, I_- のうち 1 つの信号を基準クロックとしてカウンタへ供給し，A/D 変換器における上位ビットとする．時間量子化器は A/D 変換器における下位ビットとなる．シング

ルスロープ A/D 変換器において，比較器には，アナログ値およびランプ波が入力される．比較器出力である PWM 信号は，カウンタが計測する範囲を決定するものであり，同時に時間量子化器内におけるラッチドコンパレータのホールド信号となる．そのため，時間量子化器内の位相検出器は，PWM 信号の立ち下がりタイミングに合わせて位相状態の計測を行う．これは第 3 章で示したハイブリッド型 A/D 変換器と同じ動作である．

本方式による A/D 変換器では，クロック信号動作の場合と同様に，ディジタル CDS 構成が可能であり，固定パターンノイズの低減も行うことができる．

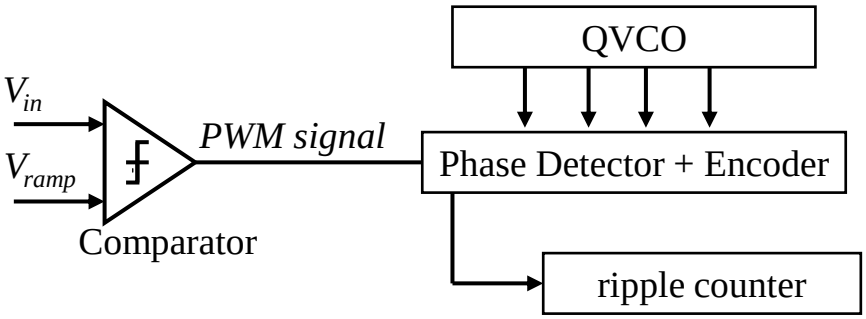

図 6.5: 差動直交信号を用いたシングルスロープ A/D 変換器

6.3　差動直交発振器を用いた A/D 変換器

本節では，差動直交発振器を用いたデルタシグマ A/D 変換器構成について検討する．図 6.6 に提案構成を示す．第 5 章で説明した，発振器を用いた構成に関して，発振器を差動直交発振器に置き換えた構成となる．電圧制御型差動直交発振器は，差動増幅器 2 段を組み合わせた構成（図 6.7）である [61]．本構成では，入力されるアナログ値により発振周波数が変化する．差動増幅器の各出力から差動直交信号 Q_+, Q_-, I_+, I_- がそれぞれ出力されるので，回路規模の削減が可能である．Q_+, Q_-, I_+, I_- のうち 1 つの信号を基準クロック信号としてカウンタへ供給し，A/D 変換器における上位ビットとする．上位ビットカウンタは入力されたクロック信号のサイクル数をカウントし，一定のサンプリング周期でカウント値を上位ビットメモリへと出力する．周波数が大きい場合，サンプリング周期内でのカウント値は増え，周波数が小さい場合，カウント値は少なくなることから，メモリに出力されたカウント値を処理し，ディジタル出力を得る．この時，上位ビットカウンタのサンプリングに用いるクロック信号を，位相検出器のホールド信号とする．そのため，

位相検出器は，サンプリング周期ごとに位相状態の計測を行う．そのため，本構成においても，デルタシグマ A/D 変換動作が行われている．

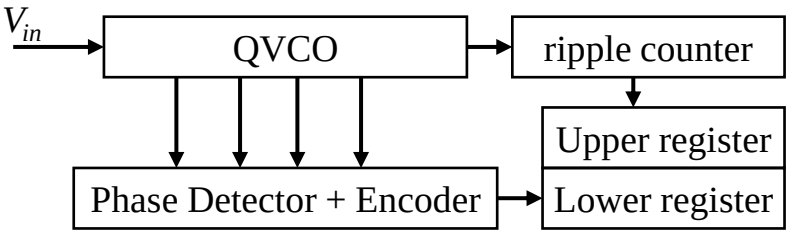

図 6.6: 差動直交発振器を用いた A/D 変換器

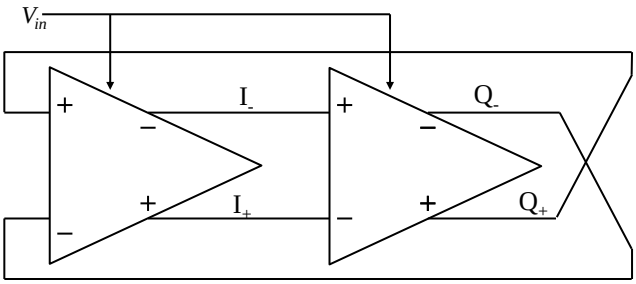

図 6.7: 差動直交発振器の構成

図 6.8 に，本提案構成のシミュレーション結果を示す．下位 3 ビットは差動直交発振器から，上位 5 ビットはカウンタから構成される，計 8 ビットの A/D 変換器の出力コードの遷移を示す．サンプリング周波数は 500 ns である．下位ビットと上位ビットとの境界でコードずれがなく，下位ビットから上位ビットへの引継ぎが過不足なく保たれていることが確認できる．

6.4　まとめ

本章では，時間分解能型 A/D 変換器にて用いるクロック信号を差動直交信号とすることで，回路規模を増大させることなく，ノイズを抑制した新規位相検出手法を提案した．本提案構成は，差動直交発振器，ラッチドコンパレータ，およびエンコーダから構成される．

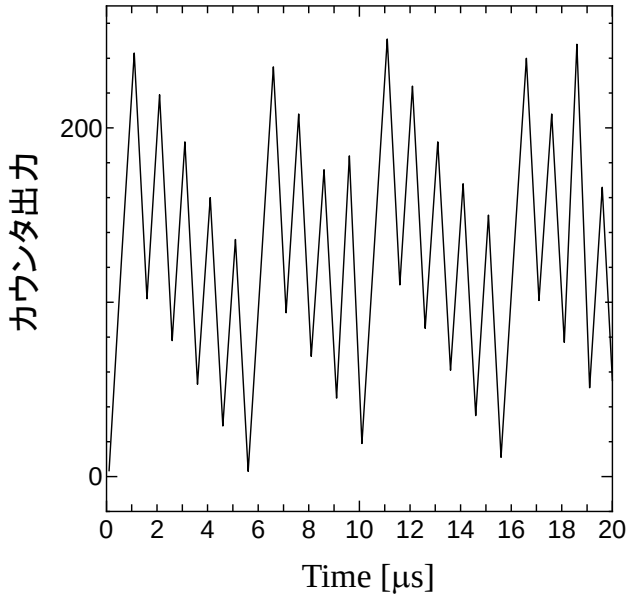

図 6.8: 差動直交発振器を用いた A/D 変換器の出力

サイン波およびコサイン波とそれぞれの差動信号から，4 つの信号間の大小関係に基づき 1 周期の位相状態を 8 分割する．各ラッチドコンパレータはホールド信号のタイミングで信号間の大小比較を行い，出力結果から位相状態を検出し，ディジタル値を取得する．また，上記のディジタル値を下位ビットし，差動直交信号のいずれかを基準とした上位ビット生成による時間分解能型 A/D 変換器を提案した．本構成により，遅延段数の削減を実現し，スパイクノイズの低減を実現し，かつ差動信号の利用により更なる低ノイズ化を実現した．本手法は，時間分解能型 A/D 変換器に利用することで，特に回路規模の増大や雑音発生の防止が期待される．

第7章　CMOSイメージセンサの設計・試作

本章では，これまでに提案した時間分解能型 A/D 変換器を用いた CMOS イメージセンサについて述べる．提案構成によるイメージセンサの回路設計を行い，試作・測定によりその動作を確認する．

7.1　ハイブリッド型 A/D 変換器による低電力イメージセンサ

イメージセンサの高解像度化や高速撮像化が進む中で，イメージセンサ用カラム A/D 変換器では変換速度だけでなく，消費電力の管理がより重要となる．本節では，3 章および 4 章で提案した，低電力ハイブリッド型 A/D 変換器を用いた構成を検討する．

図 7.1 にイメージセンサの構成を示す．行デコーダ（Row Decoder）は，アレイ状に配置された画素回路を 1 行ごとに順次選択する．選択された行に該当する画素回路は，列並列に構成されたそれぞれの A/D 変換器の入力信号となり，一斉に A/D 変換が行われる．A/D 変換により得られたディジタル値は，列デコーダ（Column Decoder）によって，順次信号処理部へと出力される．

7.1.1　カラム A/D 変換器

イメージセンサは列並列構成（2.1.2 項）を取るため，カラム A/D 変換器においては，画素回路の幅に合わせたレイアウトを行う必要がある．本構成では，4Tr 型画素回路を採用し，5 μm^2 で設計した（図 7.2）．そのため，カラム A/D 変換器は 5 μm 幅での設計を行う．A/D 変換器のレイアウトは必然的に縦長な構造となるため，時間量子化器のビット数は許容面積を考慮し 4 ビットに設定する．カウンタのビット数を 8 ビットとして計 12 ビットの A/D 変換器を設計した．図 7.3 にカラム A/D 変換器の構成を示す．シングルスロープ A/D 変換器と時間量子化器を組み合わせた構成に，さらに間欠動作を導入することで消費電力を削減する．間欠動作を行うためのオフセット遅延は，インバータを複数並べた遅延線路により生成する．

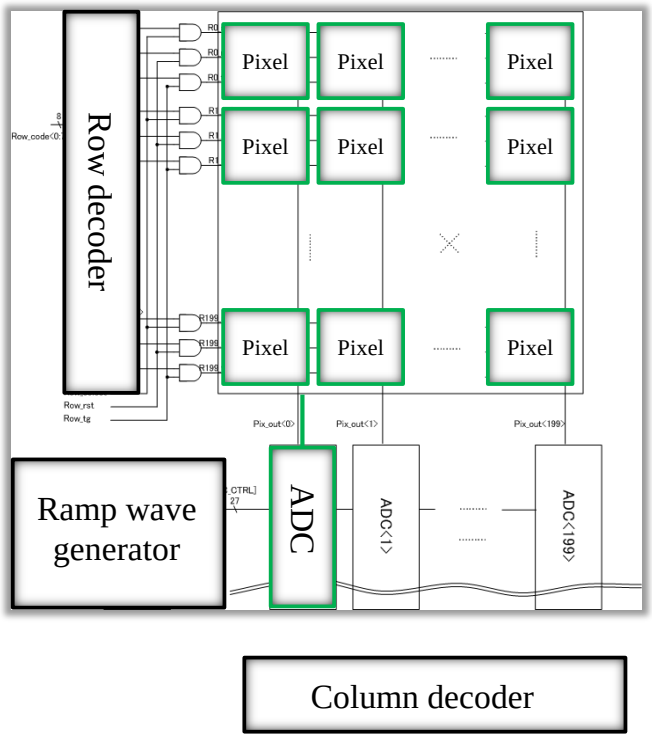

図 7.1: CMOS イメージセンサの列並列構成

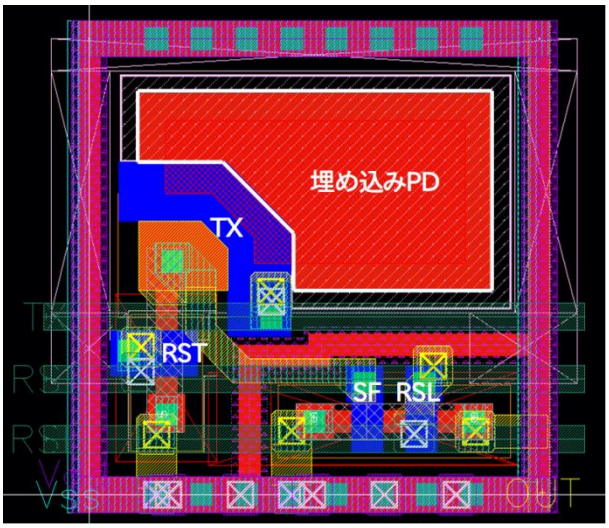

図 7.2: 画素回路のレイアウト図

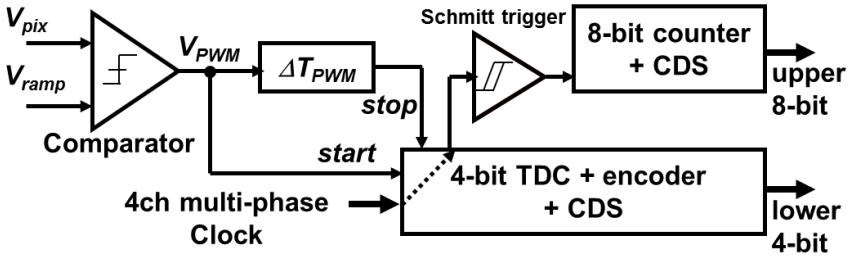

図 7.3: カラム A/D 変換器の構成

図 7.4 に比較器の構成を示す．画素回路からの信号，およびランプ波形が入力される比較器は，カップリング容量，フィードバック用のスイッチを持つ．比較器は pmos トランジスタ差動対による，シングルエンド差動増幅回路を用いて構成する．位相補償容量を持たない 1 段アンプの構成とした．カラム A/D 変換器のディジタル部分は，1.8 V 電源電圧で動作し，ラッチ回路および遅延線路により構成される時間量子化器とエンコーダ回路，シュミットトリガ，カウンタにより構成される．時間量子化器は 8 位相からバイナリで 4 ビット相当の計測を行う（図 7.5）．エンコーダ回路は，カウンタを用いた方式を採用した．

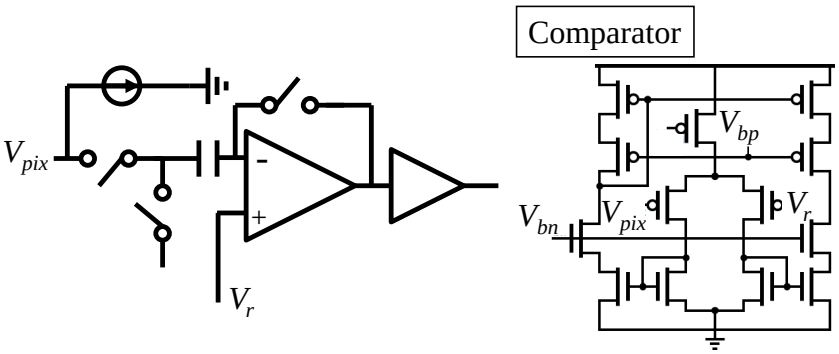

図 7.4: 比較器の構成

7.1.2 ランプ波形発生器

ランプ波形発生器は，A/D 変換器において線形性をの性能を決定する重要な回路である．高速・高分解能なシングルスロープ A/D 変換器の実現には A/D 変換器で求められる分解能よりも高線形性を持ったランプ波形発生器が求められる．また，イメージセンサに

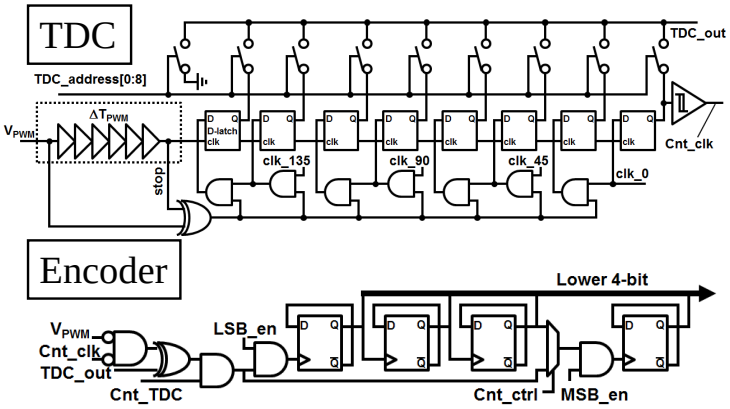

図 7.5: 時間量子化器およびエンコーダの構成

おいては，ランプ波形発生器を列並列構成の外部へ配置し各比較器へランプ波形を供給する構成が一般的である（図 7.1）．列並列構成に含まれないため，5 μm 幅設計というサイズ制約を受けない．しかし一方で，寄生抵抗・容量を持った長距離配線を介して，信号を全カラム A/D 変換器へ供給するため，十分な駆動力を確保した駆動アンプの設計が重要である．

ランプ波形発生器の構成としては，電流源と容量を用いた電荷積分型 [62, 63] および DAC を用いた方式が考えられる（図 7.6）．電荷積分型は，容量に充電される電圧をランプ波形として利用する構成であり，その動作は次式で表される [64].

$$V_{ramp} = V_{init} - \frac{I}{C}t \tag{7.1}$$

電荷積分型は連続時間で動作を行うため，非線形誤差の DNL に関しては高い線形性を実現可能である．しかし INL に関して，出力は総じて弓なりの形となることから劣化が大きくなる．イメージセンサにおいては，画素回路における INL の方が大きくなるため，ランプ波形における INL の劣化が問題になることは少ない．

一方，DAC を用いた手法は離散時間動作を行う．入力するディジタル値により，ランプ波形の初期電圧および波形の傾きを任意に変化させることが可能であるため，電荷積分型と比べ INL の点で優れている．また，任意に波形を変えることで，人間の刺客に近い特性を持つ対数変換型 [65, 66] イメージセンサ応用等，高ダイナミックレンジに即した信号出力も可能である．インターリーブ動作を用いた高速ランプ波形発生器 [67] では，時間量子化器に用いる複数位相クロック信号を活用することで高分解能化を実現している（図

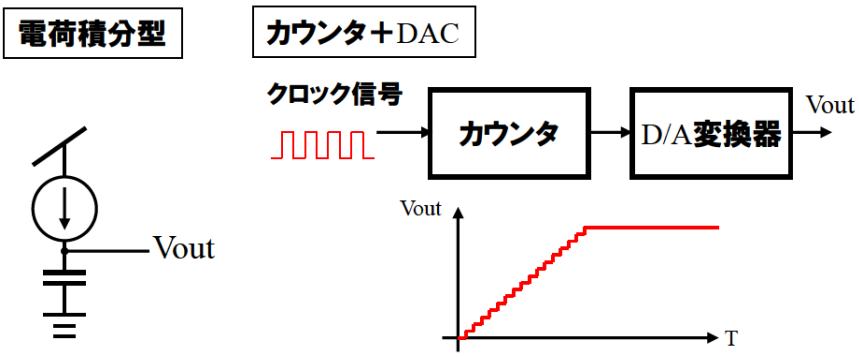

図 7.6: ランプ波形発生器の分類

7.7）.

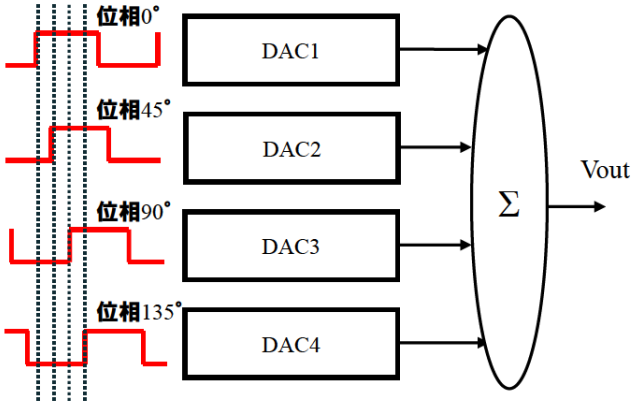

図 7.7: DAC によるランプ波形発生器のインターリーブ動作 [67]

DAC を用いた手法では出力波形が階段状になり，スパイクノイズも発生するため，連続動作をする電荷積分型と比較すると DNL が劣化しやすく，また高分解能における回路規模の増大が課題である．

イメージセンサにおいて DNL の性能が指すものは，入射光強度ごとの滑らかなディジタル値の変化であり，出力画像においてはグラデーションとして表現される．DNL に対して，INL は後段画像処理での補正が容易なため，本手法では DNL に優れた電荷積分型

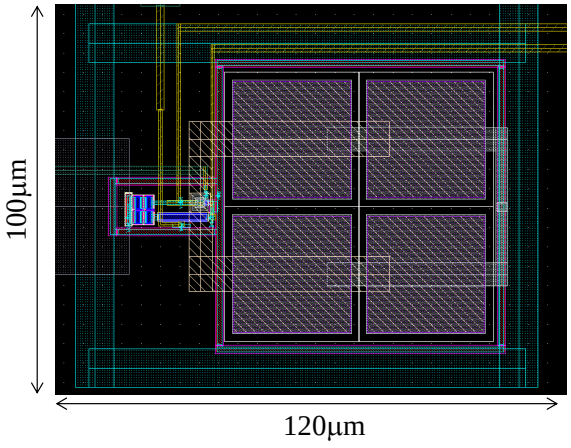

図 7.8: ランプ波形発生器のレイアウト図

を用いたランプ波形発生器を設計した．図 7.8 にランプ波形発生器のレイアウトを示す．

7.2　試作と測定結果

0.18-μm 1P4M CMOS Image Sensor（CIS）プロセスにより詩作を行った．試作した回路のチップ写真を図 7.9 に示す．画素回路は 5 μm 間隔で設計し，200 × 200 のアレイ構造とした．カラム A/D 変換器の面積は，5 μm × 1.1 mm である．比較器を含むアナログ部分の全長は 340 μm となり，ディジタル部分の全長は 760 μm となった（図 7.10）．

測定を行うため，試作したイメージセンサチップを搭載可能な，評価基板および測定モジュール（図 7.11）を作成し，測定により A/D 変換器，およびイメージセンサの動作評価を行った．イメージセンサおよび画像取得のタイミング制御として，FPGA ボードおよび FMC コネクタを用いた．使用したボードは TB-7K-325T-IMG，搭載 FPGA は Xilinx Kintex-7 である．

表 7.1 に性能諸元，および既発表であるカラム A/D 変換器との性能比較を示す．[68–70] カラム A/D 変換器に関して，クロック周波数 100MHz，アナログ部の電源電圧を 3.3 V，ディジタル部の電源電圧を 1.8 V として測定を行った．設計時は，200MHz クロック駆動 12 ビット A/D 変換器を想定していたため，100MHz 動作においては 11 ビット動作での評価を行っている．A/D 変換器 1 カラムあたりの消費電力は 108μW と算出した．時間量子化器部での間欠動作により，従来構成と比較し 57% の電力削減を実現した．図 7.12 に測定した A/D 変換器の非線形性を示す．DNL は+0.26/-0.23 LSB，INL は+7.5/-14.5 LSB

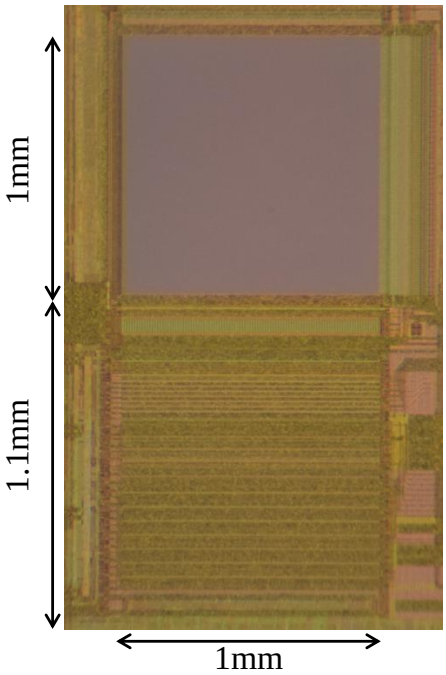

図 7.9: CMOS イメージセンサのチップ写真

であった．INL の非線形性は，電荷積分型で構成したランプ波形発生器によるものと考えられる．DNL による線形性は非常に良好な値となったため INL の補正も可能である．

次に，画像取得によるイメージセンサの評価を行った．図 7.11 より，評価基板上イメージセンサチップの直上にレンズが装着された構成となっている．使用したレンズは FUJINON 1:1.3/2.8 mm YF2.8A-2 である．イメージセンサ出力は，列デコーダよりロジックアナライザへ送られる．ロジックアナライザでは画素毎のデータを保持し，外部 PC にてデータを処理し，画像情報への変換を行った図 7.13．露光時間は 3 ms とした．本手法によるイメージセンサは，約 300 fps に相当する速度での動作が可能である．

本手法ではチップ外部の PC における処理で，画像同士の差分をとりディジタル CDS を実行した．そのため，イメージセンサを完全に遮光した状態（リセット状態）のデータをあらかじめ取得し，次に採光した状態（シグナル状態）にて撮像を行い，撮像時に出力された値との減算の処理を行った．撮像された画像に関して，画像内に見える縦に走るノイズは，列に対応した A/D 変換器固有のノイズであると考えられる．原因としては，電源線に生じたノイズまたは電圧降下の影響を大きく受けたことなどが挙げられる．レイアウトにおける，バイパスコンデンサ搭載による電源線の強化，および第 6 章で提案した，

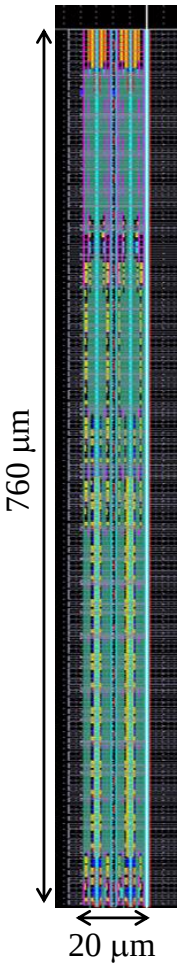

図 7.10: カラム A/D 変換器ディジタル部のレイアウト（4 カラム）

差動直交信号の導入により改善が見込まれる．画素毎のノイズは，画素回路において発生したランダムノイズであると考えられる．改善のためには画素回路における精度の最適化が必要であり，また，第 5 章で提案した，マルチサンプリングによる積算作用でもランダムノイズの低減が見込まれる．

7.3　まとめ

本章では，本研究にて提案した低電力カラム A/D 変換器を搭載した CMOS イメージセンサの設計を行い，試作・測定により動作確認および性能評価を行った．イメージセンサへの適用における最適化を考え，カラム A/D 変換器における比較器の構成，および参照

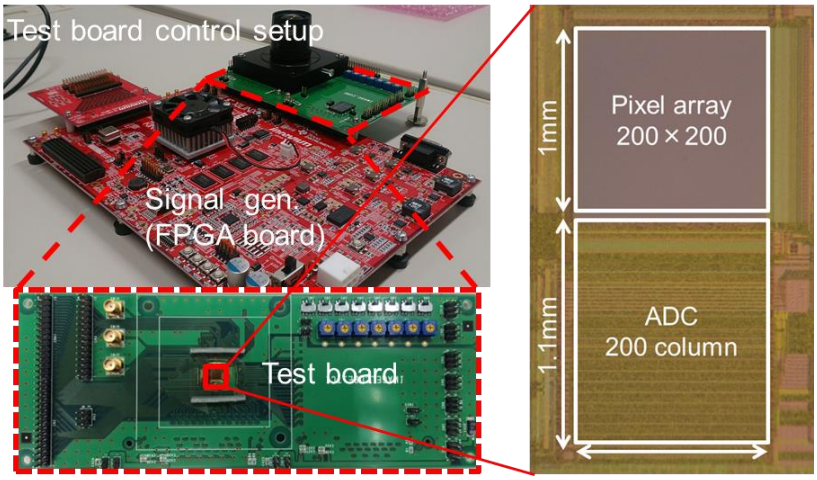

図 7.11: チップ評価モジュール

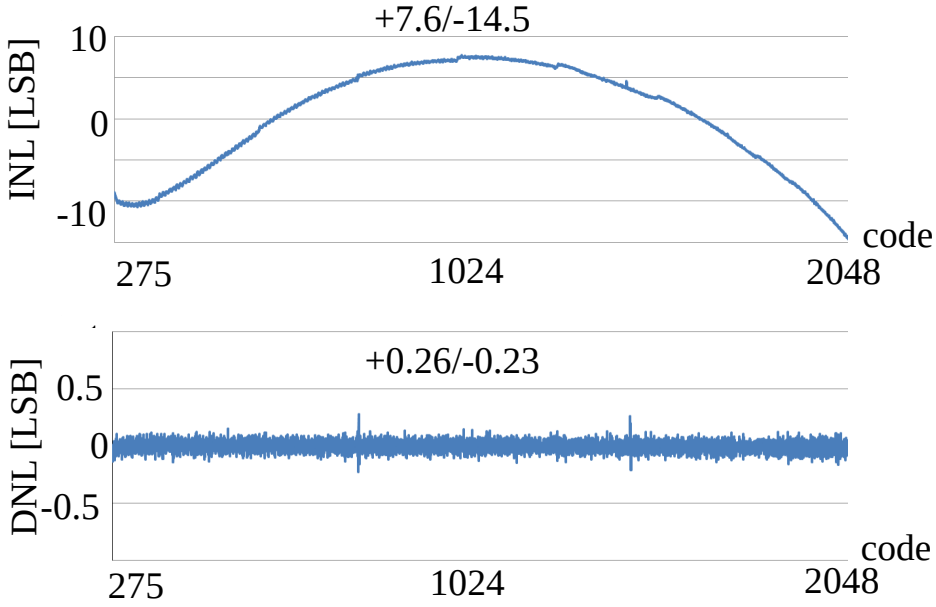

図 7.12: カラム A/D 変換器の非線形性

電圧であるランプ波形発生器の構成を提案した．次に，0.18-μm，CIS プロセスにおいて 200 × 200 画素，5μm × 1.1 mm のカラム A/D 変換器が列並列で配置されたイメージセンサを試作し，評価基板を用いた測定により画像の取得を確認した．間欠動作時間量子化器を持った，ハイブリッド型 A/D 変換器は 1 カラムあたり 108μW で動作する．カラム

表 7.1: 提案構成の性能諸元および他の A/D 変換器との比較

	This Work	[68]	[69]	[70]
プロセス	0.18 μm	0.25 μm	0.18 μm	0.18 μm
変換方式	Single-Slope + TDC	Multi Ramp Single-Slope	Two Step Single-Slope	Multi Step Single-Slope
画素ピッチ	5 μm	7.4 μm	15 μm	6.7 μm
ビット数	11（+1） ビット	11 ビット	12 ビット	12 ビット
サンプリングレート	200 kS/s	62.5 kS/s	27.8 kS/s	220 kS/s
DNL	+0.26 / -0.23	N/A	N/A	+0.4 / -0.4
INL	+7.6 / -14.5	+1.4/-1.0	N/A	+0.4 / -2.0
消費電力	71〜108 μW/col.	130 μW/col.	128 μW/col.	260 μW/col.

A/D 変換器の低消費電力化により，200 × 200 画素，300 fps のイメージセンサにおいて低消費電力動作を実現した．

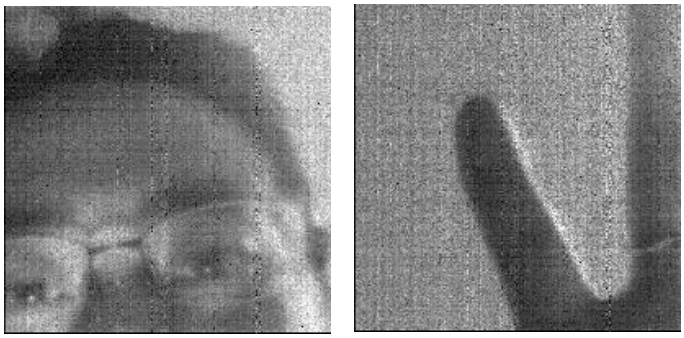

図 7.13: 試作チップによる撮像画像

第8章　結論

本論文では，高速撮像・低電力・高ダイナミックレンジを両立したCMOSイメージセンサを実現する上で重要となる，イメージセンサ用A/D変換器の高速化，低消費電力化および低ノイズ化を目標とし，シングルスロープA/D変換器または発振器を用いた時間分解能型A/D変換器に関する新規手法を提案，シミュレーションや試作回路評価による動作の検証，提案構成を搭載したCMOSイメージセンサ設計を行い，その有効性の検証を行った．

第1章では，CMOSイメージセンサおよびA/D変換器に関する社会的背景および学術的背景について述べ，本研究の目的を明らかにした．また，第2章では，研究対象であるイメージセンサに関して，その読み出し方式や基本要素回路構成を説明した．さらに，イメージセンサ用A/D変換器に関して，各方式のA/D変換器の基本的な構成および問題点について検討し，時間分解能型A/D変換器の構成と製造プロセス微細化が進む中での優位性について考察した．

第3章では，シングルスロープA/D変換器と時間量子化器とのハイブリッド構成に関して，その整合性を確保した上での高速化の実現し，高速・低消費電力動作両立に向けた，時間量子化器の間欠動作について新規手法を提案した．また，最適ビット数に関して考察を行い，間欠動作型時間量子化器によるハイブリッド型A/D変換器の試作，評価結果について述べた．第4章では，時間量子化器出力より得た取得コードをバイナリコードへと変換し，ディジタルCDS動作を行う構成について検討し，簡素な構成でかつ，単一のクロック周期で動作し，高速動作が可能なエンコーダを提案した．まず，エンコーダの構成として複数の手法を検討し，そのうえで構成がシンプルなROMエンコーダ構成を提案した．次に，ディジタルCDSを行うための構成に関して，補数を用いた手法によりCDS動作を行う手法を検討し，エンコーダおよび上位ビットカウンタで補数を出力する構成を提案した．エンコーダでCDSを行った際に生じた桁上がり信号を，上位ビットカウンタへと引き継ぐことで両構成間の整合性を確保する．

第5章では，ADCの低ノイズ化を目的とした，VCOを用いたデルタシグマADCの回路構成に関して説明し，またTADを用いたオールディジタル構成によるデルタシグマADC

の高次化を提案した．弛緩発振器を用いた構成によるデルタシグマ ADC 構成によって，入力電圧と周波数との間に高い線形性を持った ADC 構成を提案した．TAD を用いたデルタシグマ ADC の高次化に関して，TAD を初段の積分器とし，後段の積分器をアキュムレータとする構成を提案した．本来は初段に量子化が含まれるため，1 次ノイズシェーピング特性が支配的となる構成が，TAD 内の VCO 量子化器が持つ 1 次ノイズシェーピング特性により，高次化を実現した．ビヘイビア・モデルのシミュレーションにより動作確認を行い，2 次のデルタシグマ動作を確認した．また，第 6 章では，時間分解能型 A/D 変換器においてノイズ源ともなるクロック信号を，差動直交信号に置き換えることで回路規模の増大なく低ノイズ化を図った．サイン波およびコサイン波とそれぞれの差動信号から，4 つの信号間の大小関係に基づき 1 周期の位相状態を 8 分割する．各ラッチドコンパレータはホールド信号のタイミングで信号間の大小比較を行い，出力結果から位相状態を検出，ディジタル値を取得する．また，上記のディジタル値を下位ビットし，差動直交信号のいずれかを基準とした上位ビット生成による時間分解能型 A/D 変換器を提案した．本構成により，遅延段数の削減を実現し，スパイクノイズ抑制し，かつ差動信号の利用により低ノイズ化を実現した．

第 7 章では，低電力カラム A/D 変換器を搭載した CMOS イメージセンサの設計を行い，試作・測定により動作確認および性能評価を行った．イメージセンサへの適用における最適化を考え，カラム A/D 変換器における比較器の構成，および参照電圧であるランプ波形発生器の構成を提案した．次に，0.18-μm，CIS プロセスにおいて 200 $\times$ 200 画素，5μm $\times$ 1.1 mmA/D 変換器を列並列構成で持ったイメージセンサを試作し，評価基板を用いた測定により画像の取得を確認した．間欠動作時間量子化器を持ったハイブリッド型 A/D 変換器は 1 カラムあたり 108μW で動作する．カラム A/D 変換器の低消費電力化により，200 $\times$ 200 画素，300 fps のイメージセンサにおいて低消費電力動作を実現した．

集積回路，特にイメージセンサや A/D 変換器の分野では高集積化・高速化に焦点が当てられており，低電力化・低ノイズ化する研究は発展途上である．本研究では，今後更なるプロセス微細化が進む中で，センサの小型化，高速化，低消費電力化および低ノイズ化が期待される時間分解能型 A/D 変換器に関する回路構成について論じた．また，3 次元積層イメージセンサによってアプリケーションを含めた開発など画像に付加価値を与えるイメージセンサや，量子線等の可視光領域以外の波長帯域を検出する素子をアレイ化することで，人には見えない情報を可視化するイメージセンサ等の研究が進み，従来のカメラ搭載以外の様々なセンサ応用が検討されている．本研究が今後のイメージセンサに関する研究の発展に寄与しうると信じている．

参考文献

[1] T. Watabe, K. Kitamura, T. Sawamoto, T. Kosugi, T. Akahori, T. Iida, K. Isobe, T. Watanabe, H. Shimamoto, H. Ohtake, S. Aoyama, S. Kawahito and N. Egami: “A 33Mpixel 120fps CMOS image sensor using 12b column-parallel pipelined cyclic ADCs”, Digest of Technical Papers - IEEE International Solid-State Circuits Conference, **55**, 11, pp. 388–389 (2012).

[2] 太田 : “カプセル型内視鏡”, 映像情報メディア学会誌 : 映像情報メディア, **58**, 10, pp. 1379–1384 (2004).

[3] 笹川 : “カプセル内視鏡の現状と将来 (医用画像センシング,< 小特集 > 次世代医療を担う最新映像技術)”, 映像情報メディア学会誌 : 映像情報メディア, **62**, 4, pp. 475–478 (2008).

[4] “日経エレクトロニクス”, pp. 91–94, No. 1158, 日経 BP 社 (2015).

[5] “日経エレクトロニクス”, pp. 27–43, No. 1146, 日経 BP 社 (2014).

[6] M. Iwane, T. Matsuda, T. Sugaki, K. Tazoe, T. Okagawa, T. Ono and T. Watanabe: “52 Mega-pixel APS-H-size CMOS Image Sensor for Super High Resolution Image Capturing”, pp. 295–298 (2007).

[7] M. M. El-Desouki, O. Marinov, M. J. Deen and Q. Fang: “CMOS active-pixel sensor with in-situ memory for ultrahigh-speed imaging”, IEEE Sensors Journal, **11**, 6, pp. 1375–1379 (2011).

[8] Z. Zhou, B. Pain and E. R. Fossum: “CMOS active pixel sensor with on-chip successive approximation analog-to-digital converter”, IEEE Transactions on Electron Devices, **44**, 10, pp. 1759–1763 (1997).

[9] N. Teranishi, A. Kohono, Y. Ishihara, E. Oda and K. Arai: "No image lag photodiode structure in the interline CCD image sensor", 1982 International Electron Devices Meeting, Vol. 28, pp. 324–327 (1982).

[10] R. M. Guidash, T. H. Lee, P. P. K. Lee, D. H. Sackett, C. I. Drowley, M. S. Swenson, L. Arbaugh, R. Hollstein, F. Shapiro and S. Domer: "A 0.6 μm CMOS pinned photodiode color imager technology", International Electron Devices Meeting. IEDM Technical Digest, pp. 927–929 (1997).

[11] K. Yonemoto, H. Sumi, R. Suzuki and T. Ueno: "A CMOS image sensor with a simple FPN-reduction technology and a hole accumulated diode", 2000 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, pp. 102–103 (2000).

[12] T. Kondo, Y. Takemoto, K. Kobayashi, M. Tsukimura, N. Takazawa, H. Kato, S. Suzuki, J. Aoki, H. Saito, Y. Gomi, S. Matsuda and Y. Tadaki: "A 3D stacked CMOS image sensor with 16Mpixel global-shutter mode and 2Mpixel 10000fps mode using 4 million interconnections", 2015 Symposium on VLSI Circuits (VLSI Circuits), pp. C90–C91 (2015).

[13] S. Sukegawa, T. Umebayashi, T. Nakajima, H. Kawanobe, K. Koseki, I. Hirota, T. Haruta, M. Kasai, K. Fukumoto, T. Wakano, K. Inoue, H. Takahashi, T. Nagano, Y. Nitta, T. Hirayama and N. Fukushima: "A 1/4-inch 8Mpixel back-illuminated stacked CMOS image sensor", 2013 IEEE International Solid-State Circuits Conference (ISSCC), Vol. 56, pp. 484–485 (2013).

[14] C. C. M. Liu, M. M. Mhala, C. H. Chang, H. Tu, P. S. Chou, C. Chao and F. L. Hsueh: "6.8 A 1.5V 33Mpixel 3D-stacked CMOS image sensor with negative substrate bias", 2016 IEEE International Solid-State Circuits Conference (ISSCC), pp. 124–125 (2016).

[15] M. Ikebe, D. Uchida, Y. Take, M. Someya, S. Chikuda, K. Matsuyama, T. Asai, T. Kuroda and M. Motomura: "[Paper] 3D Stacked Imager featuring Inductive Coupling Channels for High Speed/Low-Noise Image Transfer", ITE Transactions on Media Technology and Applications, **4**, 2, pp. 142–148 (2016).

[16] “日経エレクトロニクス”, pp. 53–67, No. 1167, 日経 BP 社 (2016).

[17] テラヘルツテクノロジー動向調査委員会, 斗内：“テラヘルツ技術”, オーム社 (2006).

[18] K. Wakita, E. Sano, M. Ikebe, S. Arnold, T. Otsuji, Y. Takida and H. Minamide: “Design and fabrication of a terahertz imaging array in 180-nm CMOS process technology”, 2016 21st International Conference on Microwave, Radar and Wireless Communications (MIKON), pp. 1–4 (2016).

[19] K. Watanabe, M. Ikebe, Y. Fujita, Y. Arai and H. Hazama: “SOI pixel circuits with synchronized TMC for time-of-flight stigmatic imaging mass spectrometry”, International Workshop on SOI Pixel Detector (SOIPIX2015) (2015).

[20] 神立：“図解・カメラの歴史：ダゲールからデジカメの登場まで”, ブルーバックス, 講談社 (2012).

[21] 黒田：“イメージセンサの本質と基礎”, コロナ社 (2012).

[22] S. Kawahito: “Signal Processing Architectures for Low-Noise High-Resolution CMOS Image Sensors”, 2007 IEEE Custom Integrated Circuits Conference, pp. 695–702 (2007).

[23] 映像情報メディア学会, 相澤, 浜本：“CMOS イメージセンサ”, 映像情報メディア基幹技術シリーズ, コロナ社 (2012).

[24] P. Centen, S. Lehr, V. Neiss, S. Roth, J. Rotte, H. Schemmann, M. Schreiber, P. Vogel, B. K. Teng and K. Damstra: “A 2/3 inch CMOS Image Sensor for HDTV Applications with Multiple High-DR Modes and Flexible Scanning”, 2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, pp. 512–619 (2007).

[25] J. Aoki, Y. Takemoto, K. Kobayashi, N. Sakaguchi, M. Tsukimura, N. Takazawa, H. Kato, T. Kondo, H. Saito, Y. Gomi and Y. Tadaki: “A rolling-shutter distortion-free 3D stacked image sensor with -160dB parasitic light sensitivity in-pixel storage node”, 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, pp. 482–483 (2013).

[26] T. Toyama, K. Mishina, H. Tsuchiya, T. Ichikawa, H. Iwaki, Y. Gendai, H. Murakami, K. Takamiya, H. Shiroshita, Y. Muramatsu and T. Furusawa: "A 17.7Mpixel 120fps CMOS image sensor with 34.8Gb/s readout", Digest of Technical Papers - IEEE International Solid-State Circuits Conference, pp. 420–421 (2011).

[27] M. Furuta, Y. Nishikawa, T. Inoue and S. Kawahito: "A High-Speed, High-Sensitivity Digital CMOS Image Sensor With a Global Shutter and 12-bit Column-Parallel Cyclic A/D Converters", IEEE Journal of Solid-State Circuits, **42**, 4, pp. 766–774 (2007).

[28] J. H. Park, S. Aoyama, T. Watanabe, K. Isobe and S. Kawahito: "A high-speed low-noise CMOS image sensor with 13-b column-parallel single-ended cyclic ADCs", IEEE Transactions on Electron Devices, **56**, 11, pp. 2414–2422 (2009).

[29] J. Kim and S. Cho: "A time-based analog-to-digital converter using a multi-phase voltage controlled oscillator", 2006 IEEE International Symposium on Circuits and Systems, pp. 4 pp.–3937 (2006).

[30] B. J. Moon, D. Y. Jung, J. W. Chung, C. Y. Joung, J. S. Hong, S. J. Lee, Y. H. Shin and C. Yoo: "A Full-Digital Multi-Channel CMOS Capacitive Sensor", 2006 IEEE Asian Solid-State Circuits Conference, pp. 247–250 (2006).

[31] H. Pekau, A. Yousif and J. W. Haslett: "A CMOS integrated linear voltage-to-pulse-delay-time converter for time based analog-to-digital converters", 2006 IEEE International Symposium on Circuits and Systems, pp. 4 pp.–2376 (2006).

[32] K. Kim, M. Ikebe, J. Motohisa and E. Sano: "A 11b 5.1??W multi-slope ADC with a TDC using multi-phase clock signals", 2012 19th IEEE International Conference on Electronics, Circuits, and Systems, ICECS 2012, Vol. 3, pp. 512–515 (2012).

[33] 谷口："LSI 設計者のための CMOS アナログ回路入門", 半導体シリーズ, CQ 出版 (2005).

[34] B. Razavi, 黒田："アナログ CMOS 集積回路の設計", 丸善 (2003).

[35] STARC 教育推進室："アナログ RF CMOS 集積回路設計基礎編: ", 培風館 (2010).

[36] STARC 教育推進室："アナログ RF CMOS 集積回路設計応用編: ", 培風館 (2011).

[37] D. Uchida, M. Ikebe, J. Motohisa and E. Sano: "Low-Power Single-Slope Analog-to-Digital Converter with Intermittently Working Time-to-Digital Converter", Journal of Signal Processing, **19**, 6, pp. 219–226 (2015).

[38] S. Lim, J. Lee, D. Kim and G. Han: "A High-Speed CMOS Image Sensor With Column-Parallel Two-Step Single-Slope ADCs", IEEE Transactions on Electron Devices, **56**, 3, pp. 393–398 (2009).

[39] S. Naraghi, M. Courcy and M. Flynn: "A 9-bit, 14 μW and 0.06 mm^2 pulse position modulation ADC in 90 nm digital CMOS", IEEE Journal of Solid-State Circuits, **45**, 9, pp. 1870–1880 (2010).

[40] M. Shin, M. Ikebe, J. Motohisa and E. Sano: "Column parallel single-slope ADC with time to digital converter for CMOS imager", 2010 17th IEEE International Conference on Electronics, Circuits and Systems, pp. 863–866 (2010).

[41] K. Kim, M. Ikebe, J. Motohisa and E. Sano: "A 11b 5.1 μW multi-slope ADC with a TDC using multi-phase clock signals", 2012 19th IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), pp. 512–515 (2012).

[42] A. Alvandpour, P. Larsson-Edefors and C. Svensson: "Separation and extraction of short-circuit power consumption in digital CMOS VLSI circuits", Proceedings. 1998 International Symposium on Low Power Electronics and Design (IEEE Cat. No.98TH8379), pp. 245–249 (1998).

[43] A. Wiltgen, K. A. Escobar, A. I. Reis and R. P. Ribas: "Power consumption analysis in static CMOS gates", 2013 26th Symposium on Integrated Circuits and Systems Design (SBCCI), pp. 1–6 (2013).

[44] N. R. Mahapatra, S. V. Garimella and A. Tareen: "An empirical and analytical comparison of delay elements and a new delay element design", Proceedings IEEE Computer Society Workshop on VLSI 2000. System Design for a System-on-Chip Era, pp. 81–86 (2000).

[45] M. Keskin: "A Rail-to-Rail Delay Line for Time Analog-to-Digital Converters", 2006 49th IEEE International Midwest Symposium on Circuits and Systems, Vol. 1, pp. 461–464 (2006).

[46] H. Farkhani, M. Meymandi-Nejad and M. Sachdev: “A fully digital ADC using a new delay element with enhanced linearity”, 2008 IEEE International Symposium on Circuits and Systems, pp. 2406–2409 (2008).

[47] N. Verma and A. P. Chandrakasan: “A 25μW 100kS/s 12b ADC for wireless micro-sensor applications”, 2006 IEEE International Solid State Circuits Conference - Digest of Technical Papers, pp. 822–831 (2006).

[48] Y. Ye, L. Liu, F. Li, D. Li and Z. Wang: “An 8-bit 1MHz Successive Approximation Register (SAR) A/D with 7.98 ENOB”, 2011 IEEE International Conference on Anti-Counterfeiting, Security and Identification, pp. 139–142 (2011).

[49] B. V. Hieu, S. Choi, J. Seon, Y. Oh, C. Park, J. Park, H. Kim and T. Jeong: “A new approach to thermometer-to-binary encoder of flash ADCs - Bubble error detection circuit”, Midwest Symposium on Circuits and Systems, pp. 10–13 (2011).

[50] 越智：“イメージセンサの技術と実用化戦略：ソニー技術者たちの挑戦”, 東京電機大学出版局 (2013).

[51] 太田（編）：“CMOS イメージセンサの最新動向-高性能化、高機能化から応用展開まで-”, シーエムシー出版 (2007).

[52] Y. Lim, K. Koh, K. Kim, H. Yang, J. Kim, Y. Jeong, S. Lee, H. Lee, S. H. Lim, Y. Han, J. Kim, J. Yun, S. Ham and Y. T. Lee: “A 1.1e- temporal noise 1/3.2-inch 8Mpixel CMOS image sensor using pseudo-multiple sampling”, 2010 IEEE International Solid-State Circuits Conference - (ISSCC), pp. 396–397 (2010).

[53] 崎村, 宮田, 岩田, 内村：“VCO を用いたオーバーサンプリング ΔΣ-A/D 変換器”, 電子情報通信学会総合大会講演論文集, **1996**, 2, p. 202 (1996).

[54] 吉岡, 永田, 岩田：“VCO を用いた周波数-デジタル変換回路”, 電子情報通信学会技術研究報告. ICD, 集積回路, **97**, 230, pp. 9–15 (1997).

[55] 崎村, 永田, 岩田：“VCO を用いた広帯域 ΔΣAD 変換器”, 電子情報通信学会技術研究報告. ICD, 集積回路, **97**, 230, pp. 1–8 (1997).

[56] 羅, 池辺, 内田, 横山, 佐野, 木下：“電圧制御型 Ring-Delay Line を用いた 2 次デルタシグマ A/D 変換器 (シリコン材料・デバイス)”, 電子情報通信学会技術研究報告. 信学技報, **116**, 172, pp. 15–18 (2016).

[57] T. Watanabe and T. Terasawa: “All-digital A/D converter TAD with high-resolution and low-power for sensor/RF digitization”, Analog Integrated Circuits and Signal Processing, **77**, 3, pp. 449–457 (2013).

[58] T. Watanabe and T. Terasawa: “An all-digital ADC/TDC for sensor interface with TAD architecture in 0.18-μ m digital CMOS”, 2009 16th IEEE International Conference on Electronics, Circuits and Systems - (ICECS 2009), pp. 219–222 (2009).

[59] T. Watanabe, S. Yamauchi and T. Terasawa: “An all-digital PLL using frequency multiplying/dividing number with decimals in 0.18-μ m digital CMOS”, 2008 IEEE International Frequency Control Symposium, pp. 544–549 (2008).

[60] Y. Hou, T. Watanabe, M. Miyahara and A. Matsuzawa: “An All-Digital Reconfigurable Time-Domain ADC for Low-Voltage Sensor Interface in 65nm CMOS Technology”, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, **E98.A**, 2, pp. 466–475 (2015).

[61] S. Hara, K. Okada and A. Matsuzawa: “A 9.3MHz to 5.7GHz tunable LC-based VCO using a divide-by-N injection-locked frequency divider”, 2009 IEEE Asian Solid-State Circuits Conference, pp. 81–84 (2009).

[62] S. Balagopal and S. U. Ay: “An on-chip ramp generator for single-slope look ahead ramp (SSLAR) ADC”, 2009 52nd IEEE International Midwest Symposium on Circuits and Systems, pp. 373–376 (2009).

[63] W.-t. Lee, Y.-z. Liao, J.-c. Hsu, Y.-s. Hwang and J.-j. Chen: “A high precision ramp generator for low cost ADC test”, 2008 9th International Conference on Solid-State and Integrated-Circuit Technology, pp. 2103–2106 (2008).

[64] R. J. Baker: “CMOS : Circuit Design, Layout, and Simulation.”, Vol. 3rd ed of IEEE Press Series on Microelectronic Systems, Wiley-IEEE Press (2010).

[65] 杉野, 山根：“対数変換型 CMOS イメージセンサによる光沢評価”, 精密工学会学術講演会講演論文集, **2006**, pp. 713–714 (2006).

[66] 米本：“CCD/CMOS イメージ・センサの基礎と応用：原理, 構造, 動作方式, 諸特性からシステム概要まで”, CQ 出版 (2003).

[67] 内田, 池辺, 本久：“シングルスロープ A/D 変換器の高速化に向けたインターリーブ型ランプ波形発生器 (情報センシング)”, 映像情報メディア学会技術報告, **36**, 31, pp. 45–48 (2012).

[68] M. F. Snoeij, A. J. P. Theuwissen, K. A. A. Makinwa and J. H. Huijsing: “Multiple-Ramp Column-Parallel ADC Architectures for CMOS Image Sensors”, IEEE Journal of Solid-State Circuits, **42**, 12, pp. 2968–2977 (2007).

[69] T. Lyu, S. Yao, K. Nie and J. Xu: “A 12-Bit High-Speed Column-Parallel Two-Step Single-Slope Analog-to-Digital Converter (ADC) for CMOS Image Sensors”, Sensors, **14**, 11, pp. 21603–21625 (2014).

[70] T. M. Hassan, M. Strobel, H. Richter and J. N. Burghartz: “Variable-step 12-bit ADC based on counter ramp recycling architecture suitable for CMOS imagers with column-parallel readout”, Proceedings of the 2013 9th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 41–44 (2013).

謝辞

本研究は，北海道大学大学院情報科学研究科情報エレクトロニクス専攻において，池辺将之准教授のご指導の下に行われたものであり，論文執筆や学会発表など，終始懇切なる御指導を賜りましたことを心より厚く御礼申し上げます．

本研究を遂行するにあたり，有益な御助言と御指導そして多大な御協力を頂いた，北海道大学大学院情報科学研究科情報エレクトロニクス専攻の本村真人教授に謹んで感謝の意を表します．

本研究を遂行するにあたり，有意義な御助言と御指導を頂いた，北海道大学大学院情報科学研究科情報エレクトロニクス専攻の浅井哲也教授に深く感謝いたします．

本研究を遂行するにあたり，様々な御助言と御協力を頂いた，北海道大学大学院情報科学研究科情報エレクトロニクス専攻の佐野栄一教授に心より感謝いたします．

本論文の作成にあたり有益な御討論をして頂いた，北海道大学大学院情報科学研究科情報エレクトロニクス専攻の本久順一教授に謹んで感謝いたします．

本研究を遂行するにあたり，様々な御助言と御指導を頂いた，北海道大学大学院情報科学研究科情報エレクトロニクス専攻の教授，高前田伸也准教授，冨岡克広准教授に深く感謝いたします．

本研究を遂行するにあたり，様々な御協力を頂いた，羅ソクジン氏，横山紗由里氏，近藤亮氏，金基秀氏，小野寺彩氏，加藤直人氏，柳瀬祥吾氏，和田敏輝氏，染谷槙人氏，築田聡史氏，木下康大氏，謝侃氏，渡辺佳織氏をはじめとする研究室の皆様方に感謝いたします．この他にも御助言，御支援を頂きながら，ここにお名前を記すことが出来なかった多くの先生方，先輩・後輩方に感謝いたします．

最後に，研究活動に際して，終始精神的・経済的に支援して頂いた両親に心から感謝いたします．

研究業績

1. 学術論文

(1) D. Uchida, M. Ikebe, J. Motohisa, and E. Sano "Low-Power Single-Slope Analog-to-Digital Converter with Intermittently Working Time-to-Digital Converter", Journal of Signal Processing, Vol.19, NO.6, pp. 219-226, 2015

(2) D. Uchida, M. Ikebe, J. Motohisa, E. Sano, and A. Kondou "CMOS common-mode rejection filter with floating active transformer operation", Japanese Journal of Applied Physics, Vol.53, NO.4S, pp. 20-1-20-6, 2014

(3) M. Ikebe, D. Uchida, Y. Take, M. Someya, S. Chikuda, K. Matsuyama, T. Asai, T. Kuroda, and M. Motomura "3D Stacked Imager featuring Inductive Coupling Channels for High Speed/Low-Noise Image Transfer", ITE Transactions on Media Technology and Applications, Vol.4, NO.2, pp. 142-148, 2016

2. 国際会議

(1) D. Uchida, M. Ikebe, J. Motohisa and E. Sano, "Low Power Single-Slope ADC with Intermittent-Working Time to Digtal Converter", 2015 RISP International Workshop on Nonlinear Circuits, Communications and Signal Processing (NCSP ' 15), Kuala Lumpur, Malaysia, Mar. 2015

(2) D. Uchida, M. Ikebe, J. Motohisa and E. Sano, "A 12-bit, 5.5-μW Single-Slope ADC using Intermittent Working TDC with Multi-phase Clock Signals", 21st IEEE International Conference on Electronics Circuits and Systems (ICECS 2014), Marseille, France, Dec. 2014

(3) D. Uchida, M. Ikebe, J. Motohisa, E. Sano and A. Kondou, "CMOS common-mode filter with gyrator-C network", 2013 International Conference on Solid State Devices and Materials (SSDM 2013), Fukuoka, Japan, Sep. 2013

(4) D. Uchida, M. Ikebe, J. Motohisa and E. Sano, “An interleaved ramp-wave generator for high-speed single-slope ADC”, 2012 International Conference on Solid State Device and Materials (SSDM 2012), Kyoto, Japan, Sep. 2012

(5) M. Ikebe, T. Asai, M. Mori, T. Itou, D. Uchida, Y. Take and T. Kuroda, “An image sensor/processor 3D stacked module featuring ThruChip interfaces”, The 22nd Asia and South Pacific Design Automation Conference - University Design Contest, Tokyo, Japan, Jan. 2017

(6) M. Ikebe, D. Uchida, Y. Take, M. Someya, S. Chikuda, K. Matsuyama, T. Asai, T. Kuroda and M. Motomura, “Image Sensor/Digital Logic 3D Stacked Module featuring Inductive Coupling Channels for High Speed/Low-Noise Image Transfer”, 2015 Symposia on VLSI Technology and Circuits, Kyoto, Japan, Jun. 2015

3. 学会講演

(1) 内田 大輔, 本村 真人, “磁界結合を用いた高バンド幅・並列処理型 3 次元集積イメージセンサ”, STARC フォーラム 2015, 横浜, 2015 年 11 月

(2) 内田 大輔, 池辺 将之, 染谷 槙人, 簗田 聡史, 浅井 哲也, 本村 真人, “CMOS イメージセンサ用低電力間欠動作カラム TDC”, 電子情報通信学会 2015 年ソサイエティ大会, 東北大学, 2015 年 9 月

(3) 内田 大輔, 池辺 将之, 本久 順一, 佐野 栄一, “NAND 型遅延線路を用いた複数位相型 TDC の間欠動作”, 電子情報通信学会 2015 年総合大会, 立命館大学, 2015 年 3 月

(4) D. Uchida, M. Ikebe, M. Someya and J. Motohisa, “Low-power single-slope ADC with time to digital converter for CMOS image sensor”, SNU-HU 2013 Joint Symposium, Seoul, Korea, Dec. 2013

(5) 内田 大輔, 染谷 槙人, 池辺 将之, 本久 順一, 佐野 栄一, “複数位相型 TDC 付きシングルスロープ ADC の動作タイミングによる低電力化”, ICD/ITE-IST 研究会, 北海道, 2013 年 7 月

(6) 内田 大輔, 池辺 将之, 浅井 哲也, 本村 真人, 竹 康宏, 黒田 忠広, “複数位相型 TDC を用いた CMOS イメージセンサ用 Single-Slope ADC”, STARC シンポジウム 2013, 横浜, 2013 年 1 月

(7) 内田 大輔, 池辺 将之, 本久 順一, 佐野 栄一, 近藤 亮, “シングルスロープ A/D 変換器の高速化に向けたインターリーブ型ランプ波形発生器”, 情報センシング研究会, 山形大学, 2012 年 7 月

(8) 内田 大輔, 近藤 亮, 池辺 将之, 本久 順一, 佐野 栄一, “インターリーブ動作による高速ランプ波形発生器”, LSI とシステムのワークショップ 2012, 福岡, 2012 年 5 月

(9) 横山 紗由里, ナ ソクジン, 内田 大輔, 池辺 将之, 本村 真人, 浅井 哲也, “直交位相検出 TDC を用いたシングルスロープ ADC の回路構成検討”, 電子情報通信学会 ICD/CPSY 学生・若手研究会, 東京工業大学, 2016 年 12 月

(10) 羅 ソクジン, 池辺将之, 内田大輔, 横山紗由里, 佐野栄一, 木下康大, “電圧制御型 Ring-Delay Line を用いた 2 次デルタシグマ A/D 変換器”, ICD/SDM/ITE-IST 研究会, 大阪, 2016 年 8 月

(11) 渡辺佳織, 内田大輔, 池辺将之, 浅井哲也, 本村真人, “CMOS イメージャ用 Single-Slope ADC+TDC アーキテクチャの同期・整合性補償”, STARC シンポジウム 2015, 横浜, 2015 年 1 月

(12) 染谷槙人, 内田大輔, 池辺将之, 本久順一, 佐野栄一, “間欠動作 TDC を用いたシングルスロープ ADC 構成の検討”, ICD/ITE-IST 研究会, 出雲, 2014 年 7 月

(13) 渡辺 佳織, 内田 大輔, 染谷 槙人, 池辺 将之, 浅井 哲也, 本村 真人, “イメージセンサ用複数位相型 TDC に向けた CDS 機構,” LSI とシステムのワークショップ 2014, 福岡, 2014 年 5 月

(14) 染谷 槙人, 内田 大輔, 池辺 将之, 本久 順一, 浅井 哲也, 本村 真人, “CMOS イメージセンサ用シングルスロープ A/D 変換器の高速化及び低電力化”, LSI とシステムのワークショップ 2013, 福岡, 2013 年 5 月

(15) 金 基秀, 内田 大輔, 池辺 将之, 本久 順一, 佐野 栄一, “11bit 5.1μW 複数位相型 TDC 付きマルチスロープ ADC”, 電子情報通信学会 2013 年総合大会, 岐阜大学, 2013 年 3 月

4. 特許

(1) 内田 大輔, 池辺 将之. “ バイナリ値変換回路及びその方法、AD 変換器並びに固体撮像装置. ” 特開 2016-184893, 2016 年 10 月 20 日

(2) 内田 大輔, 池辺 将之. “ A/D（Analog/Digital）変換回路並びに A/D 変換方法 ” 特願 2016-2837, 2016 年 1 月 8 日