



HOKKAIDO UNIVERSITY

Title	次世代パワー半導体デバイスを用いた超高速モータ駆動用高周波PWMインバータの開発
Author(s)	石川, 光亮
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第14138号
Issue Date	2020-03-25
DOI	https://doi.org/10.14943/doctoral.k14138
Doc URL	https://hdl.handle.net/2115/78296
Type	doctoral thesis
File Information	Kohsuke_Ishikawa.pdf



北海道大学大学院情報科学研究科
[博士論文]

次世代パワー半導体デバイスを用いた

超高速モータ駆動用高周波 PWM インバータの開発

Development of a High-Frequency PWM Inverter Using Next-Generation
Power Semiconductor Devices for Ultra-High-Speed Motors

令和 2 年 3 月

主指導教員 小笠原 悟司 教授

提出者

専攻 システム情報科学専攻

学生番号 79175024

学生氏名 石川 光亮

概要

近年、モータの高出力密度化の観点から、高速回転化・多極化が進められている。これらの方策により、モータの基本波電流周波数が高くなるため、モータ駆動に要するインバータのスイッチング周波数を高周波化する必要がある。このとき、高速モータの低インダクタンス特性から、スイッチング周波数の向上により、モータ鉄損の抑制が期待できる。これにより、高周波スイッチング下において、モータ駆動システムのシステム効率の改善が期待できる。しかし、従来のモータ駆動システムでは、モータの鉄損抑制に対して、インバータのスイッチング損失が多く、システム効率の低下を招く。

モータを駆動するインバータでは、従来、Si（ケイ素）のデバイスが使用されていたが、Siとしての材料の性能限界を迎えようとしている。そこで、近年では半導体製造技術の向上に伴って、SiC（炭化ケイ素）やGaN（窒化ガリウム）などの次世代パワー半導体デバイスが注目されている。これらのデバイスは、Siデバイスと比較して高速動作、低損失、高温動作可能であることが知られており、高周波・高効率・小型な電力変換器を実現することが可能である。しかし、電力変換器に存在する寄生成分によって、パワーデバイスのスイッチング特性が悪化し、動作速度の低下や高いサージ電圧が発生する。そのため、高周波駆動時にはスイッチング損失が支配的であるため、高効率化においてはその対策が必須である。これまで、部品レイアウトや主回路構造の工夫により対策がなされてきた。しかし、SiCやGaNなどの高速動作デバイスにおいては対策が十分でなく、その性能を十分に引き出すことが出来ていない。

本論文では、まず高周波スイッチング時のインバータ損失を低減するために、インバータの寄生成分の低減を図る。そこで、スイッチング特性に特に影響を与える配線インダクタンスを低減する主回路構造について検討し、主回路の配線インダクタンスをパワーデバイス内部のインダクタンス以下にまで低減した。しかし、配線インダクタンス低減のために適用した多層積層構造によって、主回路に浮遊容量が形成され、スイッチング特性の改善効果が少ないことが問題となった。次に配線インダクタンスを低減しつつ、浮遊容量を低減する主回路構造を新たに提案し、実機検証にて本構造が浮遊容量低減に有効で、広い動作範囲にわたってスイッチング損失を低減可能であることを示す。最後に、寄生成分を低減した主回路を採用することで、高周波スイッチング下でのインバータ損失を低減し、モータ鉄損抑制効果と併せて、モータ駆動システムのシステム効率が向上することを示す。

キーワード：次世代パワー半導体デバイス，寄生成分，配線インダクタンス，浮遊容量，高周波スイッチング，主回路設計，厚銅基板，多層基板，超高速モータ，システム効率

Abstract

In recently, motors applying high-speed operation and multi pole structures are attracted for high-power density. High-frequency switching operation of an inverter is required to drive these motors because of high-frequency fundamental current of motors. Then, higher switching frequency contribute to suppress iron loss of high-speed motors because of that's low inductance characteristic. Therefore, improving the system efficiency of motor drive system is expected under the high-frequency switching of the inverter. However, in conventional motor drive system, higher switching frequency causes decreasing the system efficiency due to increasing the inverter switching loss.

In the inverters which drive the motors, Silicon (Si) power devices have been used widely. Next-generation power semiconductor devices, such as those based on silicon carbide (SiC) and gallium nitride (GaN), have been actively researched and developed, recently. These power devices are expected to contribute to the miniaturization and high performance of power converters, because they have excellent features that enable high-speed switching, low on-resistance, and high-temperature operation. However, stray components in power converters makes switching characteristics of power devices worse. These stray components cause high surge voltage and decreasing the switching speed of power devices. In a high frequency Pulse width modulation (PWM) inverter, the switching loss is dominant. Thus, reduction of the stray components is required to improve the inverter efficiency. PCB layouts and main circuit structures have been considered to reduce stray components. Nevertheless, in the next-generation power devices, the main circuit has to be design more carefully than before because of high-speed operation of these power devices.

In this thesis, first, reducing stray components in the inverter are performed to reduce the switching loss. Some of main circuit for high-frequency inverter are considered to reduce stray inductances which affect switching characteristics strongly, and the proposed structure can reduce the stray inductance in main circuit less than an inductance in a power device. However, the effect of reducing the switching loss is not enough due to stray capacitances which is formed in the main circuit. Second, we propose main circuit structure which achieves both reduction of stray capacitances and reduction of stray inductances. From experiment, proposed structure is effective to reduce stray capacitances, and a designed inverter can reduce the switching loss at wide operation area. Finally, the inverter which achieves reduction of both stray components by using proposed main circuit structure can reduce the switching loss under high-frequency switching operation. Furthermore, the inverter achieves improving the system efficiency by suppressing motor iron loss on 100,000 rpm motor drive system at the switching frequency above 40 kHz.

Keywords : Next-generation power semiconductor devices, stray components, stray inductance, stray capacitance, high-frequency switching, main circuit design, thick copper boards, multilayer boards, ultra-high-speed motor, system efficiency

目次

1 章 序論	1
1.1 背景	1
1.2 目的	2
2 章 パワー半導体デバイスの現状と実装における問題点	3
2.1 パワーエレクトロニクス分野におけるデバイスの分類	3
2.2 次世代パワー半導体デバイス実装上の問題点	9
2.2.1 パワーデバイスのスイッチング動作	9
2.2.2 回路上に存在する寄生成分	12
2.2.3 高周波駆動・高速動作に伴う高周波ノイズの発生	14
2.3 2章のまとめ	15
3 章 配線インダクタンス低減に着目した主回路設計法	16
3.1 配線インダクタンスがスイッチング特性に与える影響	16
3.1.1 配線インダクタンスに関する研究事例	16
3.1.2 主回路上に存在する配線インダクタンス	17
3.2 配線インダクタンスに着目した主回路構造	18
3.2.1 従来の配線インダクタンス低減に関する検討	18
3.2.2 厚銅基板を用いた中・大容量用途主回路構造	19
3.2.3 多層構造を用いた小容量用途主回路構造	41
3.3 3章のまとめ	47
4 章 浮遊容量低減に着目した主回路設計法	48
4.1 浮遊容量がスイッチング特性に与える影響	48
4.1.1 主回路上に存在する浮遊容量	48
4.1.2 PCB 上で構成される浮遊容量	50
4.2 浮遊容量低減に着目した主回路構造	53
4.2.1 PCB Model 3 の浮遊容量	53
4.2.2 設計コンセプト	57
4.2.3 最少層数で構成可能な構造	57
4.2.4 配線インダクタンス低減と両立する構造	63
4.3 実験結果	68
4.3.1 スwitchング特性の測定	69
4.3.2 効率特性	71
4.4 4章のまとめ	73
5 章 システム効率に着目したモータ駆動用インバータの設計法	74
5.1 モータ駆動システムにおける損失	74

5.1.1	モータ駆動システムの構成	74
5.1.2	インバータ損失	76
5.1.3	モータ損失	82
5.2	システム効率に着目したインバータ設計法の検討	83
5.2.1	対象とするモータ駆動システム	83
5.2.2	先行研究事例	85
5.2.3	寄生成分を低減したインバータの適用	86
5.2.4	モータ運転点を考慮したインバータ設計	89
5.3	5章のまとめ	92
6章	結論と今後の展望	93
6.1	結論	93
6.1.1	主回路の寄生成分低減に関する検討	93
6.1.2	超高速モータ駆動システムのシステム効率に関する検討	94
6.2	今後の展望	94
	参考文献	95
	著者が発表した論文	103
	謝辞	105

1 章 序論

1.1 背景

近年、エネルギー需要の高まりから省エネルギー化が推進されている。そのキーテクノロジーとしてパワーエレクトロニクスがある。パワーエレクトロニクスは、家電製品から産業機器まで広く利用されており、その代表例として可変速ドライブシステムがある。従来、直流モータは、効率が低く、機械的接触を有することから保守・点検が必要である問題があった。これに対して、交流モータは高効率であるが、回転数が電源周波数によって決まるため、商用電源を用いると可変速運転が困難である。そこで、直流から任意の電圧・周波数の交流に変換するインバータを使用することで、交流モータの可変速運転が可能となり、高効率で保守・点検の簡便な可変速ドライブシステムが実現可能となった^{[1][2]}。

パワーエレクトロニクス技術は、パワー半導体デバイスのオン・オフ動作によって実現されている。ゆえに、1957年SCRの開発を基にパワー半導体デバイスの発展とともに技術革新が行われてきた^[3]。従来は、Si（ケイ素）のデバイスが使用されていたが、Siとしての材料の性能限界を迎えようとしている。そこで、近年では半導体製造技術の向上に伴って、SiC（炭化ケイ素）やGaN（窒化ガリウム）などの次世代パワー半導体デバイスが注目されている^{[4]-[9]}。これらのデバイスは、Siデバイスと比較して高速動作、低損失、高温動作可能であることが知られている。そのため、電力変換器の高周波化による制御性・応答性の向上やフィルタの小型化が期待できる。加えて、低損失・高温動作可能なことから、冷却系の体積を削減できる。以上のことから、次世代パワー半導体デバイスを用いることで、高周波・高効率・小型な電力変換器を実現することが可能である^{[10]-[15]}。

省エネルギー・省スペースの観点から、モータの高出力密度化が求められており、高速回転化・多極化が進められている^{[16]-[19]}。これらの方策により、モータの基本波電流周波数が高くなるため、モータ駆動に要するインバータのスイッチング周波数を高周波化する必要がある。しかし、インバータのDCリンク電圧の観点から、モータの誘起電圧を抑制する必要がある。上述の理由から、モータ巻線のターン数を少なくする必要がある。高速モータや低電圧・大電流モータではインダクタンスが低い傾向にある。そのため、インバータのスイッチングによる電流リップルが大きく、モータ鉄損や騒音が増加する。そこで、近年では次世代パワー半導体デバイスの適用によって、スイッチング周波数を上昇させることで、電流リップル・モータ鉄損の抑制に期待が寄せられている^[20]。

一方で、電力変換器に存在する寄生成分によって、パワーデバイスのスイッチング特性が悪化し、動作速度の低下や高いサージ電圧が発生する^{[21]-[32]}。そのため、高周波駆動時にはスイッチング損失が支配的であるため、インバータの高効率化においてはその対策が必須である。これまで、部品レイアウトや主回路構造の工夫により対策がなされてきた^{[33]-[43]}。しかし、SiCやGaNなどの高速動作デバイスにおいてはその高速動作特性から、寄生成分

による影響が顕著であり、これまで以上の寄生成分の低減が求められている。対策として、パターン間の相互結合を利用したインダクタンスの低減法^{[44],[45]}、プリント回路基板 (PCB) やパワーデバイスのパッケージ内部に対策部品を内蔵する手法等が検討されている^{[46]-[48]}。

1.2 目的

本研究の目的は、100,000 rpm 超高速モータ駆動システムにおいて、次世代パワー半導体デバイスを用いて、インバータの高周波スイッチングにより、モータ鉄損を抑制し、システム効率の向上を目指す。100,000 rpm・2 極機における電流基本周波数は 1.7 kHz であり、電流制御性を考慮して、40 kHz 以上でのスイッチングが求められる。しかし、従来の 20 kHz 程度よりも高い 40 kHz でのスイッチング下においては、スイッチング損失が支配的であり、寄生成分の低減が高効率化のために必須である。まず、高周波スイッチング時のインバータ損失を抑制するために、寄生成分を低減する主回路構造について検討する。次に、各種寄生成分の低減がスイッチング特性に与える影響について検討する。最後に、寄生成分の低減と併せて、動作点に適したデバイスの選定を行うことで、モータ運転点においてインバータ効率の最大化を図り、システム効率の向上が可能であるか検討する。

まず、2 章ではパワーエレクトロニクス分野において用いられているパワー半導体デバイスの現状について説明する。そして、高周波領域において優れた特性を有する次世代パワー半導体デバイスの実装上における問題を説明する。

3 章では、スイッチング特性に悪影響を与えることが知られている配線インダクタンスを低減するための主回路形状について検討する。そして、インバータ主回路設計指針を導出し、配線インダクタンス低減に適した主回路構造を提案する。さらに、異なる電力帯における主回路形状の制約を考慮した、配線インダクタンスの低減手法について検討する。実機検証にて配線インダクタンスの低減により、スイッチング損失の低減が可能であることを示す。

4 章では、これまであまり議論されていない浮遊容量がインバータに与える影響について検討する。浮遊容量が形成される要因について検討し、浮遊容量を低減する主回路構造を提案する。このとき、設計仕様や設計コストを考慮し、それぞれに適した主回路構造を提案する。そして、実機検証にて浮遊容量低減により、広い動作点においてスイッチング損失を低減可能であることを示す。

5 章では、インバータの高周波スイッチングによるモータ鉄損抑制によって、システム効率の向上が可能な検討する。従来では、モータ鉄損抑制よりもインバータのスイッチング損失増加が大きく、システム効率が低下する。そこで、3 章・4 章の寄生成分低減によって次世代パワー半導体デバイスの性能を十分に引き出し、システム効率の向上を目指す。

本論文で検討した配線インダクタンス・浮遊容量の 2 つの寄生成分を低減することで、インバータのスイッチング特性を改善し、高周波駆動時のインバータ損失を抑制した。その結果、40 kHz 以上の高周波スイッチング下においても、モータ駆動システムのシステム効率の向上を達成した。

2章 パワー半導体デバイスの現状と実装における問題点

本章では、パワーエレクトロニクス分野において用いられているパワー半導体デバイスについて、その現状と実装における問題点について説明する。

2.1 パワーエレクトロニクス分野におけるデバイスの分類

これまで電力変換器には Si（珪素）デバイスが広く用いられていた。しかし、Si デバイスは長年の研究に伴って、材料特性による性能の限界を迎えつつある。近年、半導体製造技術の向上に伴って、ワイドバンドギャップを持つ SiC（炭化珪素）や GaN（窒化ガリウム）などの次世代半導体デバイスが研究・開発されている。これらの次世代半導体デバイスは、Si デバイスと比較して同体積において、低抵抗で動作速度が速く、また高い熱伝導率を有している。表 2.2 に半導体デバイスの比較^[49]を示す。SiC と GaN は Si と比較して、パワーデバイスとしての性能を表すバリガ性能指数（BFOM）が非常に高く、電力変換器の大幅な性能向上が期待できる。しかし、高周波においては支配的な損失の傾向が変化することから、高周波におけるバリガ指数（BHFFOM）が重要となる^[4]。性能面だけでなく、動作周波数の高周波化に伴って、制御性の向上やノイズ低減フィルタの小型化にも期待が向けられている。

パワーデバイスは、特性や製造技術の兼ね合いから容量や動作周波数ですみ分けされる。図 2.1 に予想される半導体デバイスのすみ分けを示す。従来では、低周波・大容量用途で Si-IGBT、高周波・小容量では Si-MOSFET が使用されてきた。SiC デバイスは、電子が少数キャリアであり、Si よりも電子移動度が低いが高速度動作可能である。また、熱伝導率が高いため、高温動作が可能であり、175°C以上での動作が可能である。よって高周波・大容量用途または高温環境用途においてメリットがあり、鉄道・自動車・航空機等のアプリケーションでの利用が期待されている^{[50],[51]}。GaN デバイスは、SiC と同様に電子が少数キャリアであり、更に移動度が高く、SiC 以上の高速度動作が可能である。しかし、SiC と比べると熱伝導率が低いため大容量には適していない。このことから、GaN デバイスは、高周波・低容量においてメリットがある。以上から、SiC デバイスは Si-IGBT、GaN は Si-MOSFET の代替となることが予想される。しかし、SiC や GaN は研究・開発段階であり、製造上生じる格子欠陥がまだ多く歩留まりが悪いことから高価である。また、市場に流通している種類に限りがある。さらに、SiC や GaN の実装における解決すべき問題点が多く、その性能を十分に引き出すことが出来ていない。上記の理由から、鉄道や小型充電器等の一部の用途を除いて、Si デバイスが現在でも広く用いられている。

表 2.1 半導体デバイスの材料特性^[46]

Parameter	Si	4H-SiC	GaN
Band gap E_g [eV]	1.1	3.3	3.4
Breakdown electric field E_c [MV/cm]	0.3	2.8	~ 3.5
Electron mobility μ_e [cm ² /V·s]	1500	1000	1200
Thermal conductivity λ [W/cm·K]	1.5	4.9	2.0
Baliga figure of merit BFOM ($= \epsilon \mu E_g^3$) vs Si	1	500	~ 900
Baliga high-frequency figure of merit BHFM vs Si	1	65	~ 100

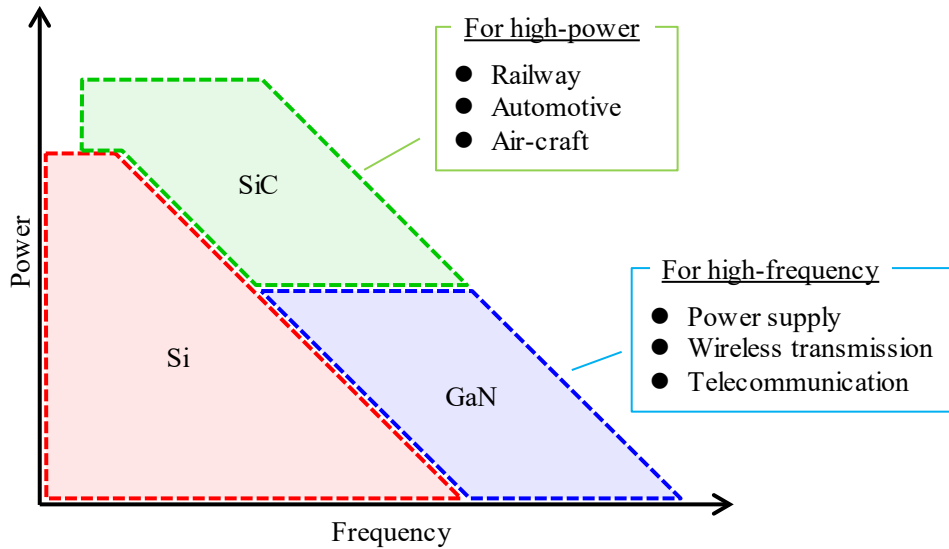


図 2.1 パワーデバイスのすみ分け

パワーエレクトロニクス分野で使用される代表的なパワーデバイスは、表 2.2 に示すように Si-IGBT・Si-MOSFET・SiC-MOSFET・SiC-JFET・GaN-HEMT・GaN-EPT などが挙げられる。従来広く用いられてきた Si-IGBT は、高耐圧においても導通損失を低減可能であり、高圧・大電力用途において利用されてきた。しかし、スイッチング動作速度が遅く、低周波で利用されている。Si-MOSFET は、Si-IGBT と比べて高速動作が可能である。しかし、高耐圧化した際にオン抵抗が大きくなるため、600 V 程度までの電圧帯で使用されている。また、近年 SJ（スーパージャンクション：Super Junction）-MOSFET が開発され、600 V 耐圧においても低オン抵抗を実現したが、電流容量を大きく出来ない問題がある。そのため、小・中容量、中周波で広く利用されている。これらの Si デバイスは、SiC や GaN と比較すると、価格が 1/5 から 1/10 倍であり、現在でも様々なアプリケーションにおいて使用されている。

第2章 パワー半導体デバイスの現状と実装における問題点

SiC-MOSFET は, Si-MOSFET と比較して材料の性能から, 同体積においてオン抵抗を 1/10 程度に低減でき, 導通損失を低減可能である。また, バンドギャップが広いため, 高耐压化が可能であり, 高圧・大容量用途で利用可能である。小田急電鉄には, 2014 年から SiC-MOSFET と SiC-SBD (ショットキーバリアダイオード: Schottky Barrier Diode) を組合せたフル SiC 構成のインバータが搭載されている^[52]。SiC-JFET (接合型 FET: Junction FET) は, SiC-MOSFET と比較して導通損失を低減可能である。しかし, ノーマリオン特性から制御電源喪失時の短絡動作への対策や特別な保護回路を必要とすることから, 信頼性が低くあまり普及していない。

GaN-HEMT (高電子移動度トランジスタ: High Electron Mobility Transistor) は, 電子移動度が高いため, 高周波利得が高く, 高速動作・低オン抵抗を実現可能である。しかし, 自身の高電界特性から高耐压化に問題がある。また, SiC-JFET と同様にノーマリオン特性を有している。近年, GaN-HEMT と低耐压 Si-MOSFET をカスコード接続した構造を有した GaN-EPT が開発されている^[53]。GaN-HEMT と Si-MOSFET の両方を同時に導通するため, 導通損失が増加する傾向にあるが, 低耐压 Si-MOSFET の使用により GaN-HEMT の高速動作特性を損なわない。また, ゲート駆動特性は Si-MOSFET に依存するため, GaN デバイスにおいて問題となっていたゲート閾値電圧が低い点・ノーマリオン特性を解決できる。

表 2.2 パワーエレクトロニクス分野で使用される代表的なパワーデバイス

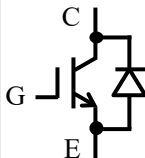
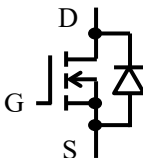
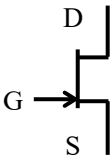
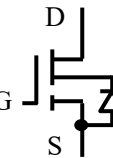
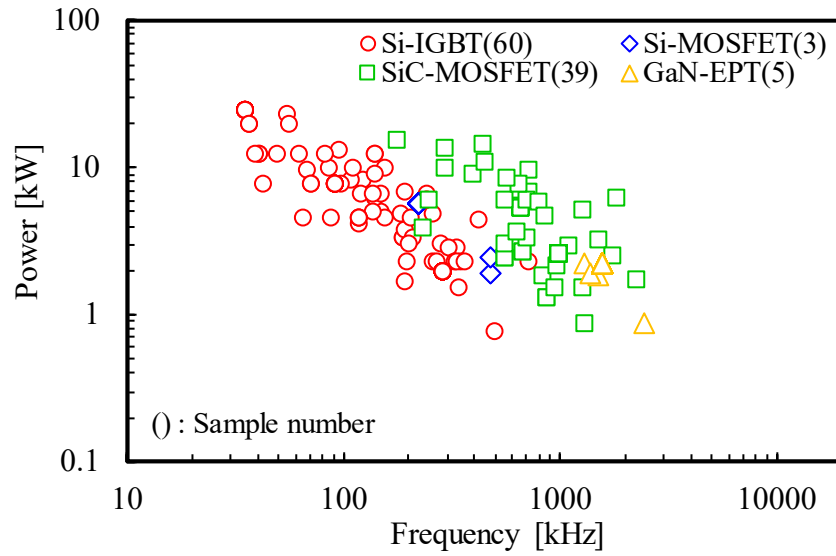
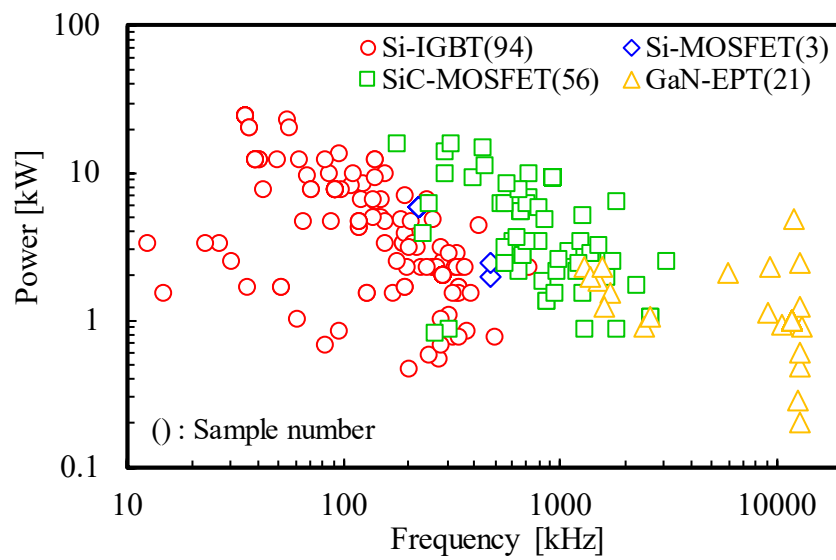
Material	Si		SiC		GaN	
Device structure	IGBT	MOSFET		JFET	HEMT	EPT
Circuit symbol						
Power	High	Low	High		Middle	
Operation speed	Slow	Middle	Fast			
Switch	Normally-off			Normally-on		Normally-off

図 2.2 に市販デバイスを用いてハーフブリッジインバータを設計した場合の動作可能領域を示している。動作点は最大動作可能周波数，最大出力点を表している。AC200 V もしくは AC400 V 系の産業用途を想定して，600 V から 1200 V 耐圧，定格電流 5 A 以上のデバイスを選定した。このとき，デバイスのパッケージによって特性が異なるため，図 2.2(a)に大電力用途で用いられるディスクリート TO-247 に統一した場合の動作可能領域を示す。出力電力はサージ電圧および連続動作可能電流を加味して，定格電圧の 1/2 倍と定格電流 1/2 倍時において，デューティ比を 0.5 として算出した。また，損失はデータシート記載値の条件と動作条件から線形近似にて導出した。さらに，無限大の放熱器に放熱した場合を想定しており，実際の動作においては発熱の観点から，出力電力・駆動周波数が制限される。図 2.2(a)から，Si-IGBT, SiC-MOSFET, GaN-EPT の順に高周波で駆動可能であることが確認できる。これは表 2.1 の BHFM と同様の傾向にあり，材料の性能と一致している。また，Si-IGBT と SiC-MOSFET が一部の動作領域では重複しており，旧世代の SiC-MOSFET の性能に最新世代の Si-IGBT が追い付いていることが分かる。近年では，数百 kHz でスイッチング動作可能な Si-IGBT も開発されている。しかし，表 2.1 の材料性能において，Si と SiC の BHFM で 65 倍もの性能指数差があるが，図 2.3 においては数倍程度の差しか見られない。また，SiC-MOSFET と GaN-EPT においてほとんど性能差が見られない。図 2.2(b)に同じく 600 V から 1200 V 耐圧で，様々なデバイスパッケージの市販デバイスを使用した場合のハーフブリッジインバータの動作可能領域を示す。10 MHz 以上で駆動可能な GaN-EPT が存在し，Si は 100 kHz，SiC は 1 MHz，GaN は 10 MHz と駆動可能周波数がそれぞれ 10 倍程度異なることが分かる。また，10 MHz 上で駆動可能な GaN-EPT のデバイスパッケージはダイである。そのため，図 2.2(a)・2.2(b)から，TO-247 パッケージでは SiC や GaN などの次世代パワー半導体デバイスは，その高速動作特性を十分に発揮できていないと考えられる。



(a)TO-247



(b)Various device packages

図 2.2 市販デバイスを用いて設計したハーフブリッジインバータの動作領域

また、図 2.3(a)・2.3(b)に A 社製 SiC-MOSFET および B 社製 SiC-MOSFET の世代別オン抵抗－寄生入力容量特性をそれぞれ示す。各社とも世代が進むにつれて、オン抵抗と入力容量が低減されている。また、オン抵抗と入力容量の積で表される BHFM が向上していることが分かる。さらに図 2.4 に示すオン抵抗と寄生出力容量の特性から、同オン抵抗において低寄生出力容量を達成できることから、より高速動作可能であることが分かる。以上の結果から、SiC・GaN デバイスの性能を引き出すために、デバイスの製造技術や電力変換器への実装技術により一層注力する必要がある。

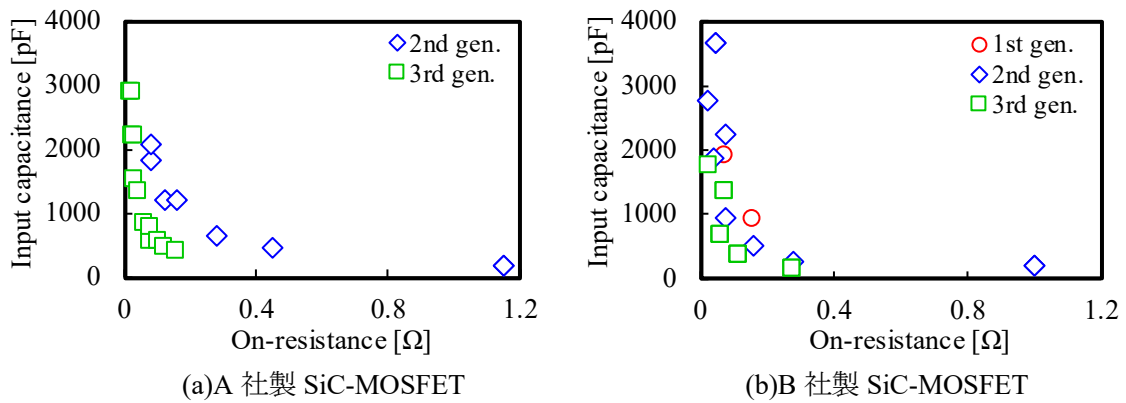


図 2.3 各社デバイスの世代別オン抵抗－寄生入力容量特性

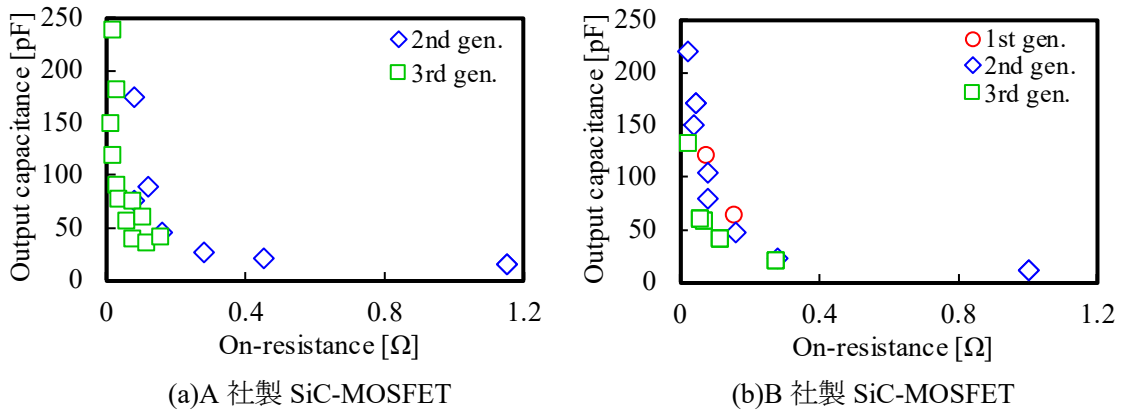


図 2.4 各社デバイスの世代別オン抵抗－寄生出力容量特性

2.2 次世代パワー半導体デバイス実装上の問題点

2.2.1 パワーデバイスのスイッチング動作

パワーデバイスのスイッチング動作は、理想的には図 2.5(a)のように動作時間が無いことが望ましい。しかし、パワーデバイスの寄生容量によって、電圧・電流の応答速度が制限され、図 2.5(b)のように動作時間を要する。このとき、電流 i と電圧 v の積で損失が発生するため、スイッチング過渡期においても損失が発生する。この損失をスイッチング損失という。

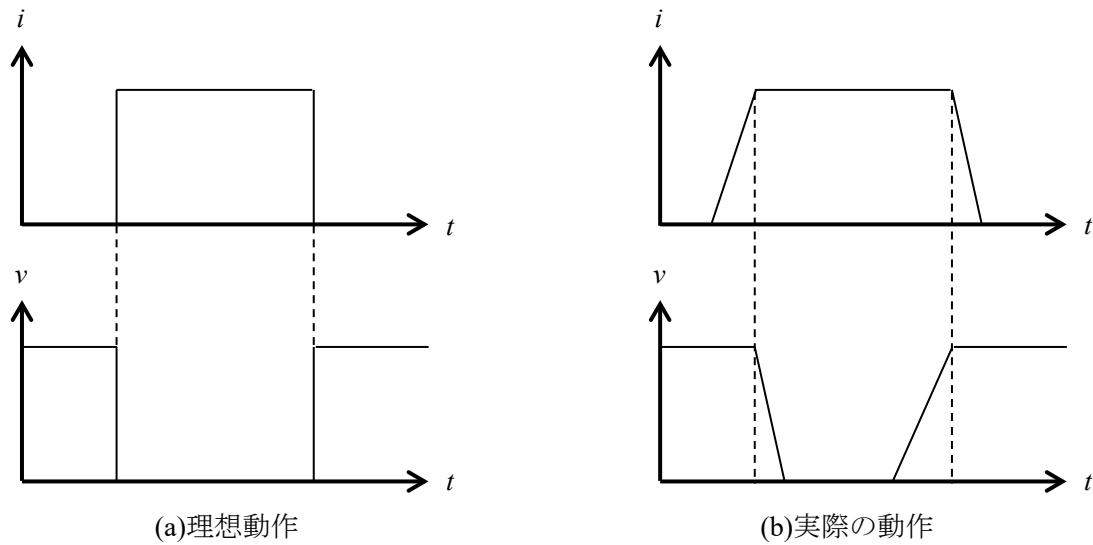
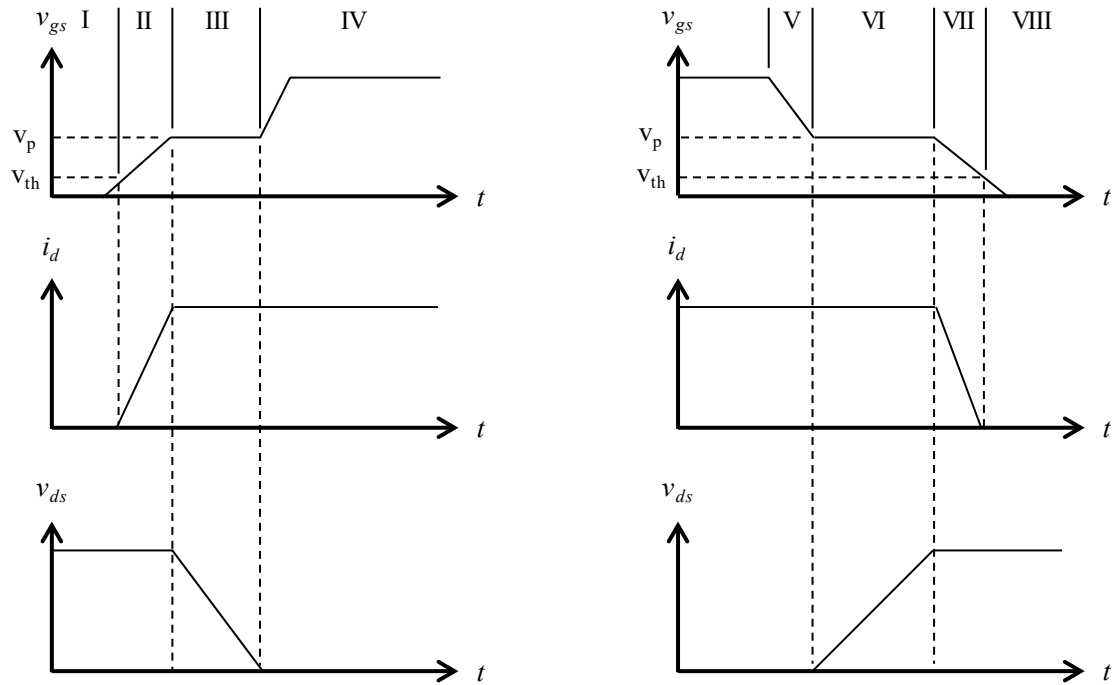


図 2.5 パワーデバイスのスイッチング動作

図 2.6 にスイッチング時の動作モードと寄生容量の充放電動作について示す。まず、デバイスがオフ状態からオン状態に移るターンオン期間について説明する。期間 I では、入力容量の充電によりゲートソース間電圧 v_{gs} が上昇するが、ゲート閾値電圧 V_{th} よりも小さいため、デバイスはオフの状態である。期間 II では、ゲートソース間電圧がゲート閾値電圧に達し、ゲートソース間電圧に比例したドレイン電流 i_d が流れる。ドレインソース間電圧 v_{ds} はデバイスがまだ完全にオン状態となっていないため、主回路電圧を保つ。期間 III では、ドレイン電流が負荷電流で一定となり、ドレインソース間電圧が徐々に低下し始める。このとき、ドレインソース間電圧の電位変動に応じて、ゲートドレイン間容量に電流が流れる。期間 IV では、再度入力容量が充電され、ゲートソース間電圧が所定の電圧に達すると完全にデバイスがオン状態となる。次に、デバイスがオン状態からオフ状態に移るターンオフ期間について説明する。期間 V では、ドレイン電流がデバイスを通電する電圧までゲートソース間電圧が低下する。期間 VI では、ドレインソース間電圧が徐々に低下し始め、ゲートドレイン間容量に電流が流れる。期間 VII では、ドレイン電流がゲートソース間電圧に比例して減少する。期間 VIII では、ゲートソース間電圧

がゲート閾値電圧に達し、ドレイン電流が零となる。その後、ゲートソース間電圧が零となるまで放電する。



(a)ターンオン波形

(b)ターンオフ波形

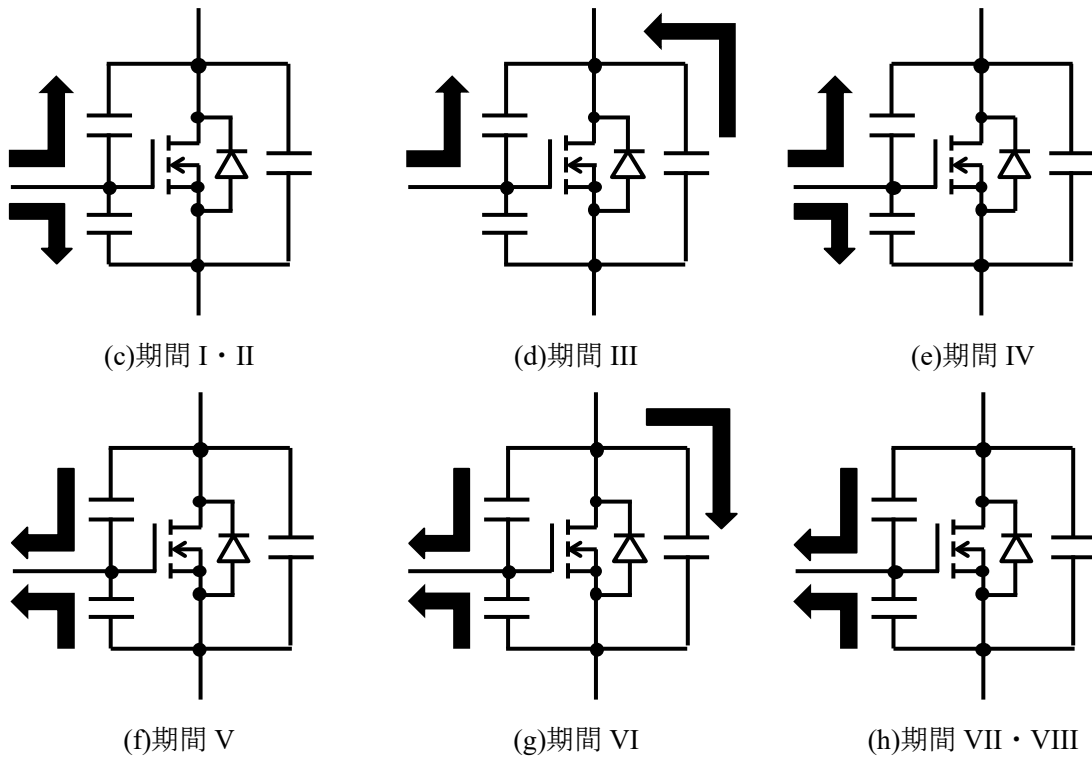


図 2.6 デバイスの充放電動作とスイッチング波形

第2章 パワー半導体デバイスの現状と実装における問題点

パワーデバイスの性能を評価するパラメータとして、スイッチング遷移時間が挙げられる。スイッチング遷移時間の定義は、各社デバイスメーカー毎に異なる。本論文では、図 2.7 に示すスイッチング波形から評価する手法を用い、ドレイン－ソース間電圧の 10% から 90% の間でのスイッチング遷移時間に着目し、次章以降での評価を実施する。

SiC・GaN デバイスでは、このスイッチング遷移時間が数 ns から数十 ns と非常に速い。そのため、SiC や GaN などの次世代パワー半導体デバイスはその高速動作特性から、実装段階において様々な問題が生じる。以下にその例を挙げる。

- 寄生成分によるスイッチング特性の悪化
- 高速動作・高周波スイッチングによる電磁ノイズの増加
- 高速動作可能なゲート駆動回路、高速応答可能な保護回路の設計が必要

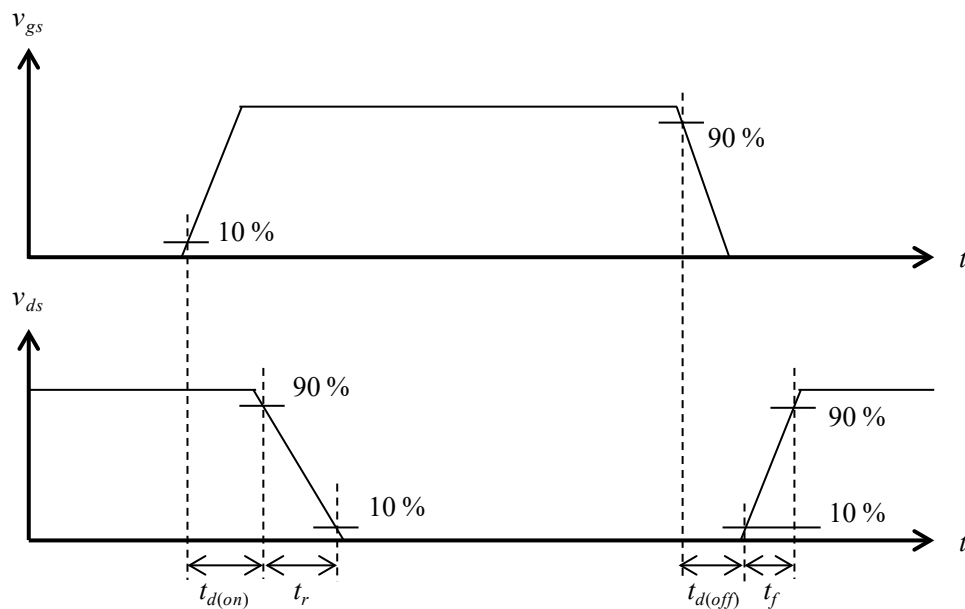


図 2.7 スwitchング特性の評価

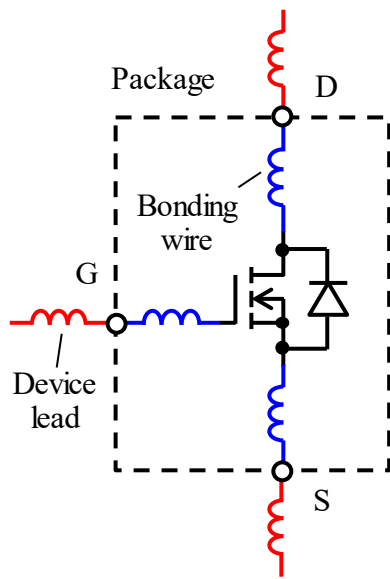
2.2.2 回路上に存在する寄生成分

あらゆる素子には、回路上には表現されない寄生成分が存在している。これらの寄生成分は、不要な抵抗やインダクタンス、キャパシタンスを構成し、製作した回路において本来求めている特性が得られないことがある。電力変換器において、性能に大きな影響を与える寄生成分には配線インダクタンスと浮遊容量の2つがある。

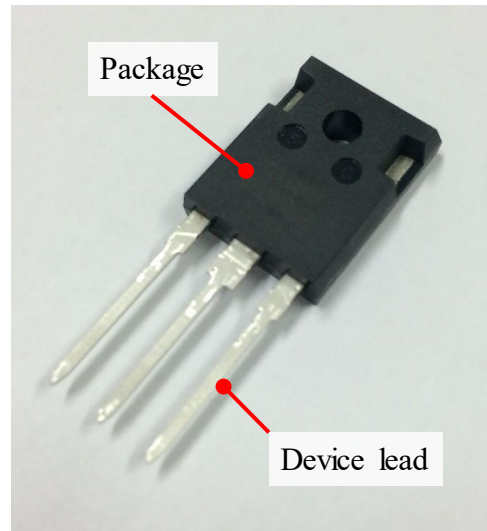
配線インダクタンスは、電線などの配線や部品リード中に存在するインダクタンス成分である。図 2.8 にパワーデバイスにおける寄生成分の例を示す。パワーデバイスにおける配線インダクタンスは、主にパッケージ外部に露出しているデバイスリードおよびパッケージ内部の電極間の接続に用いられるボンディングワイヤから構成されている。文献[22]・[54]では、パワーデバイスの定格およびパッケージによって、配線インダクタンスが異なることが示されており、定格電力の小さい小型パッケージや表面実装型のパッケージでは配線インダクタンスが小さい傾向にある。配線インダクタンス L_s は、デバイススイッチング時の電流変化 di/dt によって、(2.1)式で表わされるサージ電圧 v_s を発生する。

$$v_s = L_s \frac{di}{dt} \quad (2.1)$$

このサージ電圧は、ゲート電圧上昇によるデバイスの破壊・ゲート駆動回路の故障や出力電圧の上昇によるデバイスの破壊・主回路の故障につながる恐れがある。そのため、電力変換器の電圧定格はサージ電圧を考慮して、設計する必要がある。サージ電圧が高いほど電圧利用率が低下する。特に SiC や GaN などの高速動作デバイスでは、Si デバイスよりも電流変化 di/dt が急峻なため、図 2.9 に示すように非常に高いサージ電圧が発生する。(2.1)式から、サージ電圧を抑制するためには配線インダクタンス L_s を小さくする、もしくは、電流変化 di/dt を遅くする必要がある。しかし、電流変化を遅くすることは、スイッチング遷移時間を長くすることにつながり、スイッチング損失が増加する^[11]。そのため、配線インダクタンス L_s の低減が有効な手段であり、SiC や GaN を用いた電力変換器では、これまで以上の配線インダクタンスの低減が求められている。また、インダクタンスの慣性によって、電流波形の立上り・立下り速度が低下する。そのため、SiC や GaN などの高速動作デバイスでは、配線インダクタンスの影響によって、動作速度が制限を受け、デバイス本来の性能を発揮できない可能性がある。これは、図 2.2 のパッケージによる動作可能周波数の関係からも明らかであり、パッケージ内部の配線インダクタンスが増加することで、デバイスのスイッチング速度が低下し、スイッチング損失が増加するためである。デバイスの評価時には、各社メーカ毎に評価基板を用いており、デバイス内部の寄生成分だけでなく、評価基板上に存在する寄生成分の影響も受ける。次章以降にて、これらの寄生成分について詳細に説明する。

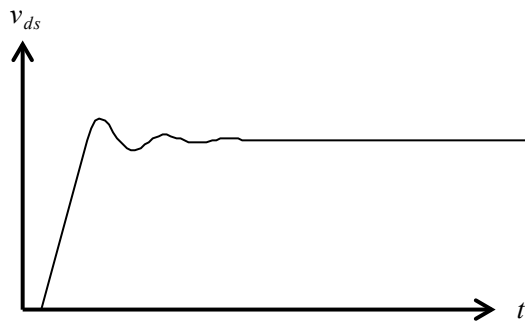


(a)等価回路

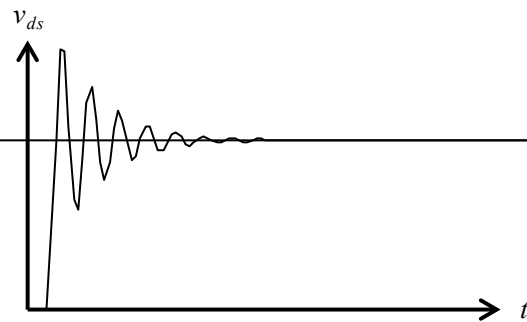


(b)パッケージ外観

図 2.8 パワーデバイスにおける配線インダクタンス



(a)Si デバイス使用時



(b)SiC・GaN デバイス使用時

図 2.9 スイッチング動作速度とサージ電圧波形の関係

2.2.3 高周波駆動・高速動作に伴う高周波ノイズの発生

パワーデバイスのスイッチング動作に伴って、電力変換器から高周波ノイズが生じる^[55]。図 2.10 にスイッチング動作時間を考慮した電力変換器の電圧波形を示す。このとき、 T_{sw} はスイッチング周期、 t_s は立上り・立下り時のスイッチング遷移時間、 D はデューティ比、 V は電圧振幅である。図 2.10 の電圧波形を次式からフーリエ級数展開すると、

$$f(t) = a_0 + \sum_{n=1}^{\infty} \left(a_n \cos \frac{2n\pi}{T_{sw}} t + b_n \sin \frac{2n\pi}{T_{sw}} t \right) \quad (2.2)$$

b_n は偶関数であるため零である。また、周波数特性について検討するため、 a_0 は省略する。このとき、文献[56]から a_n は次式のように求まる。

$$a_n = \frac{4}{n\pi} \sin(nD\pi) \frac{\sin(nt_s\pi)}{nt_s\pi} \quad (2.3)$$

このとき、電圧振幅 $V=600$ V、デューティ比 $D=0.5$ とする。Si-IGBT を想定したスイッチング周波数 10 kHz、スイッチング遷移時間 100 ns、SiC-MOSFET を想定したスイッチング周波数 100 kHz、スイッチング遷移時間 10 ns 時の周波数スペクトルを図 2.11 に示す。(2.3) 式と図 2.11 から、スイッチング周波数が 10 倍高くなることで、-20 dB/dec の傾きで電圧振幅が減衰する折れ点が高周波にシフトする。また、スイッチング遷移時間が 10 倍速くなることで、-40 dB/dec の傾きで電圧振幅が減衰する折れ点も高周波にシフトする。代表的な Si-IGBT と SiC-MOSFET を想定した場合には、数 MHz 以下では 20 dB、数十 MHz 以上の帯域では 40 dB も SiC-MOSFET を使用した際の電圧振幅が高い。以上の結果から、高周波駆動・高速動作に伴って高周波ノイズが増加することが明らかである。そのため、SiC や GaN の使用に際して、EMI/EMC の観点において、その対策が求められている^[58]。

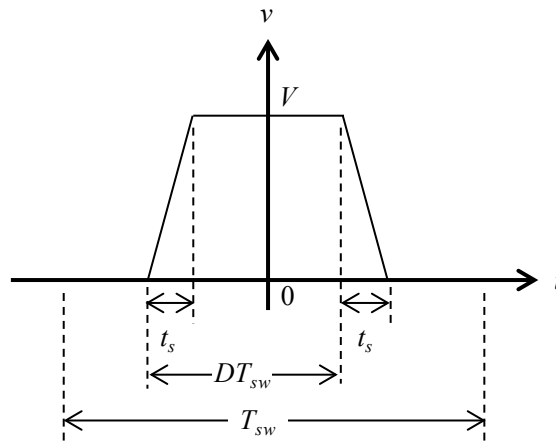


図 2.10 スwitchング動作時間を有する電圧波形

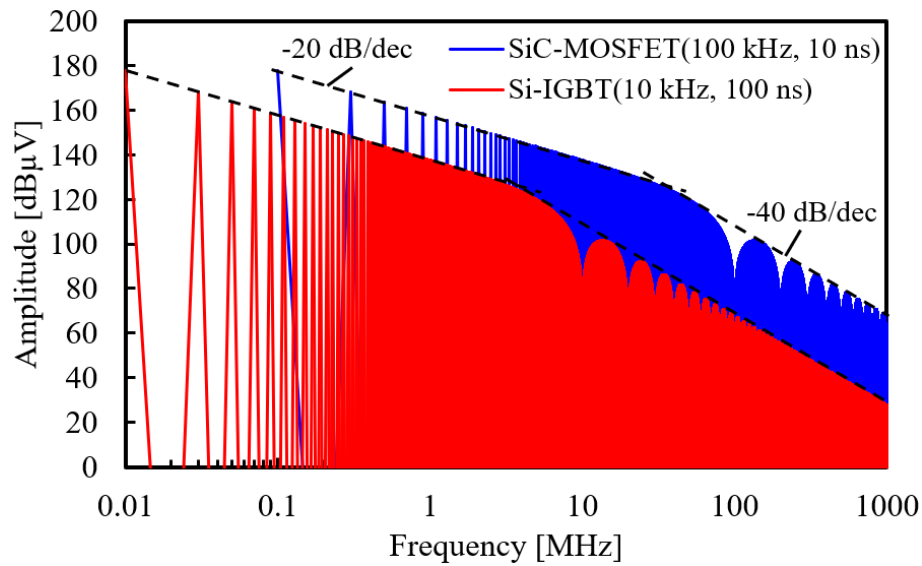


図 2.11 各スイッチングデバイスを想定した場合の周波数スペクトル

2.3 2章のまとめ

本章では、パワーエレクトロニクス分野に用いられるパワーデバイスの現状と動向について説明した。市販デバイスにおいてハーフブリッジインバータを設計し、デバイス性能を評価することで、市場調査を実施した。その結果、次世代パワー半導体デバイスの適用によって、従来の Si デバイスと比較して、大電力・高周波な電力変換器が実現可能であることを示した。しかし、パッケージ形状や評価基板の影響から、SiC・GaN デバイスの性能を十分に引き出せておらず、デバイス製造技術や電力変換器での実装技術の発展が必要不可欠であることを示した。

3 章 配線インダクタンス低減に着目した主回路設計法

前章では、電力変換器の寄生成分がスイッチング特性に与える影響について説明した。本章では、寄生成分の一つである配線インダクタンスについて、配線インダクタンスを低減可能な主回路構造・形状について検討する。また、異なる電力帯の主回路に対して、それぞれ設計指針を導出し、実機試験にて配線インダクタンスを低減可能であることを示す。

3.1 配線インダクタンスがスイッチング特性に与える影響

3.1.1 配線インダクタンスに関する研究事例

電力変換器のスイッチング特性に影響を与える寄生成分として、配線インダクタンスが挙げられる。配線インダクタンスは、スイッチング動作に起因する急峻な電流変化を緩やかにするため、スイッチング損失の増加を引き起こす^{[21]-[24]}。そのため、高周波スイッチング時に高効率を達成するためには、配線インダクタンスの低減が必須である。また、電流変化に応じてサージ電圧が発生^{[25]-[27]}し、最悪の場合には機器の故障につながる。SiC や GaN などの高速動作特性を有するデバイスにおいては、その影響がより顕著^[11]であり、配線インダクタンスをこれまで以上に低減する実装技術が求められている。インバータにおいては、DC リンクとパワーデバイスが作る転流経路のインダクタンス（ループインダクタンス）がスイッチング特性に大きな影響を与えている。

配線インダクタンスの低減に着目した主回路の設計では、電力変換器の電流経路を踏まえた専門知識を有する技術者が求められる。そのため、主回路設計における設計指針を明らかにする必要がある。そこで、主回路の配線インダクタンスを低減するために様々な検討がなされている^{[33]-[45],[59]-[61]}。主回路にラミネートバスバーや PCB を採用することが効果的であり、文献[33]-[36]ではループインダクタンスを低減するために、電流経路を考慮した部品配置について検討している。また、文献[37]-[43]では主回路の層構成や主回路形状について検討している。配線インダクタンスを低減する具体的な主回路構造については、次節以降で説明する。パワーデバイス内部にも寄生成分は存在しており、スイッチング特性に様々な影響を与える^[59]。そのため、主回路配線だけでなく、パワーデバイス内部の配線インダクタンスを低減する検討がなされている^{[44],[45],[60]}。さらに、主回路とゲート駆動回路で共通となるソースインダクタンスによる相互作用についても検討されている^{[45],[61]}。

3.1.2 主回路上に存在する配線インダクタンス

ハーフブリッジインバータの主回路上に存在する配線インダクタンスを図 3.1 に示す。説明の便宜上から、配線インダクタンス以外の寄生成分は省略している。ここで、電源とインバータ入力間の電力ケーブルによる配線インダクタンスを L_{i1} , L_{i2} , 主回路パターンによる配線インダクタンスを L_{p1} , L_{p2} , L_{p3} , L_{p4} , MOSFET のドレイン端子のインダクタンスを L_{d1} , L_{d2} , ソース端子のインダクタンスを L_{s1} , L_{s2} , ゲート端子のインダクタンスを L_{g1} , L_{g2} としている。

配線インダクタンスは、パワー半導体デバイスのパッケージ内に存在する端子インダクタンスとインバータ主回路に存在するインダクタンスに分類される。インバータの実装技術により低減可能な配線インダクタンスは、電力ケーブルによる配線インダクタンス L_{i1} , L_{i2} と主回路パターンによる配線インダクタンス L_{p1} , L_{p2} , L_{p3} , L_{p4} である。電力ケーブルによる配線インダクタンスについては、インバータ直近に図 3.1 で示した C_{dc} のように平滑コンデンサやスナバコンデンサを配置することにより、その影響を低減する手法が一般的である。このとき、DC リンクコンデンサとデバイスの作る転流経路が支配的となり、DC リンクコンデンサ内部の等価直列インダクタンス L_{dc} (ESL) もループインダクタンスに含まれる。本論文においては、主回路パターンによる配線インダクタンスの低減について検討を行う。

デバイスの端子インダクタンスは、デバイスのパッケージングに大きく依存する^{[22],[54]}。特に、ソースとドレインの端子インダクタンスはDC リンクとスイッチングデバイスの作る転流経路に存在するので、スイッチング特性に大きく影響する。しかし、インバータの実装段階において、デバイスの端子インダクタンスを変更することはできないため、本検討では対象としない。

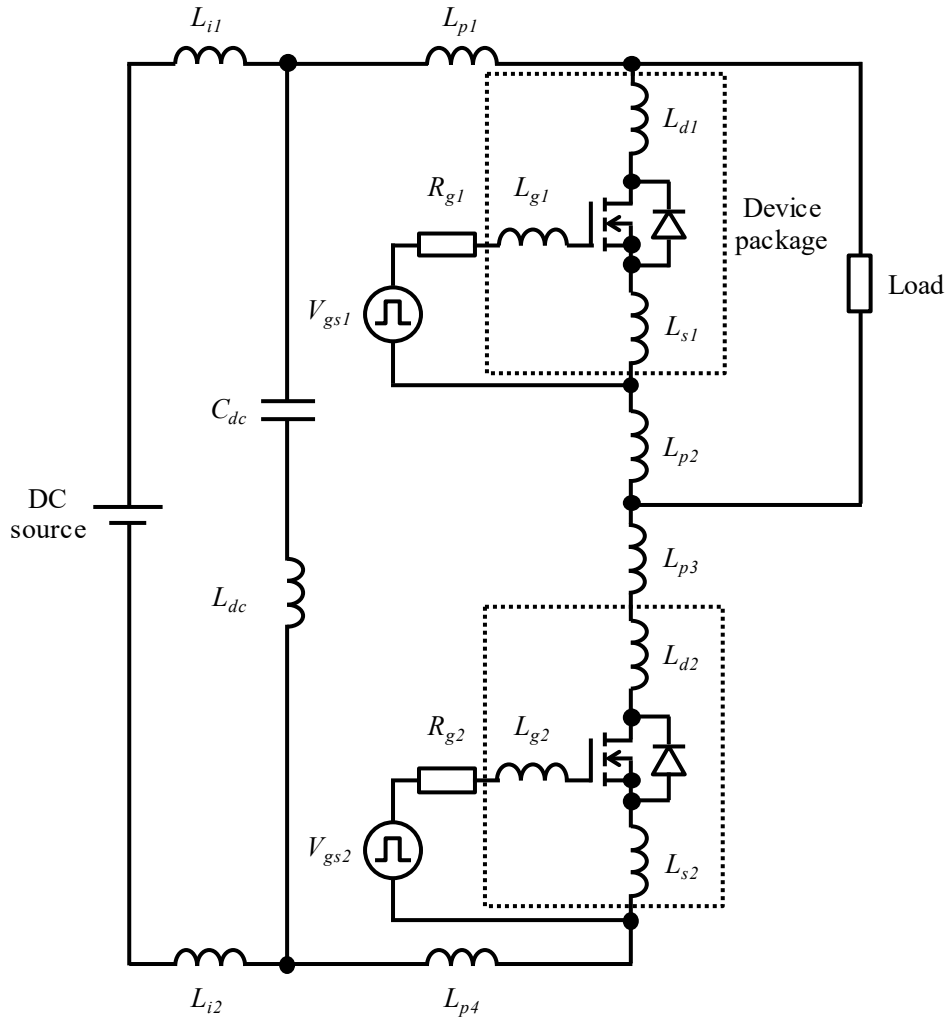


図 3.1 配線インダクタンスを考慮したハーフブリッジインバータ

3.2 配線インダクタンスに着目した主回路構造

3.2.1 従来の配線インダクタンス低減に関する検討

従来、電力変換器の主回路にはバスバーやプリント回路基板（PCB）が広く用いられてきた。PCB の主回路配線パターンを検討した際、図 3.2(a)の平行配線構造と図 3.2(b)の積層配線構造が考えられる。積層構造は、上下の導体の作る磁界を相互に打ち消し合うことから、相互インダクタンスを効果的に利用することが可能である。そのため、導体と絶縁体を積層して構成されるラミネートバスバーを採用することで、低インダクタンスな主回路を実現できることが報告されている。PCB におけるパターンの積層配置は、ラミネートバスバーと基本原理は同様であるが、導体厚および絶縁体厚を比較すると、より薄い扁平な形状においても適用可能である点が優れている。

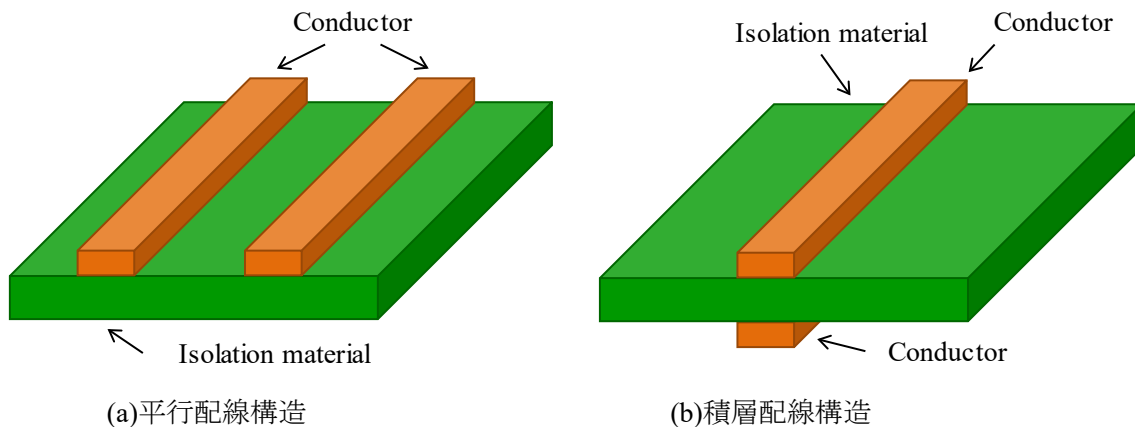


図 3.2 主回路の配線構造

積層構造の主回路において、導体長、導体幅および導体間距離がインダクタンスに与える影響について検討されている[40],[41]。主回路の経路を短くするために、短い導体長が有利である。また、広い面積で上下導体の磁界を打ち消すために、広い導体幅が有利である。さらに、上下導体の間隔が近いほど、磁界の打消し効果が得られることから、短い導体間距離が有利である。文献[39]では、サージ電圧を規定値以下に抑制する主回路の設計法について検討している。設計段階において、主回路の配線インダクタンスを知ることは重要であり、インダクタンスを算出する方法については数多く報告されている[61],[62]。文献[62]では、導体を複数の細線に分割し、幾何学的平均距離 (G.M.D) を用いて 2 導体間の磁界をマクスウェル方程式から導出し、表皮効果および近接効果の影響を加味したインダクタンスの算出を実施している。

これに対して、導体厚について検討した例は少なく、文献[42]では導体厚が薄いほど、低インダクタンス化に有利であることが示されている。しかし、表皮効果や近接効果による影響、大電力用途に想定される比較的厚い導体について検討している文献はない。

3.2.2 厚銅基板を用いた中・大容量用途主回路構造

A. 設計指針の導出

本項では数十 kVA 以上の中・大容量のインバータを想定した際の配線インダクタンスを低減する主回路構造について検討する。電流容量が大きいため、主回路には厚銅基板を採用する。前項で説明したように、厚い導体について表皮効果や近接効果を加味した主回路形状の検討はされていない。そこで、厚銅基板を用いた際に配線インダクタンス低減に有効な形状を検討する。しかし、パターン形状はいろいろな制約条件により細かく変化するため厳密な最適化を行うことは困難である。そこで、単純化した配線パターンの形状を変化させて配線インダクタンスを三次元有限要素法 (3D-FEM) により計算し、パターンの設計指針を導出することとする。実際のパターン設計においては導体の電流密度、絶縁耐力、沿面距離な

どを考慮して詳細設計する必要がある。図 3.3 に単純化した配線パターンの解析モデルを示す。配線インダクタンスは、解析モデルの受端側で上下二つの導体を短絡し、送端側から見たインダクタンスとして有限要素解析ソフトウェア JMAG を用いた、三次元磁界解析から導出している。解析周波数は 0.1 Hz, 100 kHz, 1 MHz とし、表皮効果と近接効果も考慮している。ここでは、導体長 l 、導体幅 w 、導体間距離 d 、導体厚 t の各パラメータを変化させた場合の配線インダクタンスについて検討を行う。表 3.1 に解析条件を示す。このとき、導体に銅を使用し、電気抵抗率を $1.673 \times 10^{-8} \Omega \cdot \text{m}$ としている。また、絶縁材は FR-4 を想定し、比誘電率 4.7、電気抵抗率 $5.0 \times 10^{12} \Omega \cdot \text{m}$ としている。

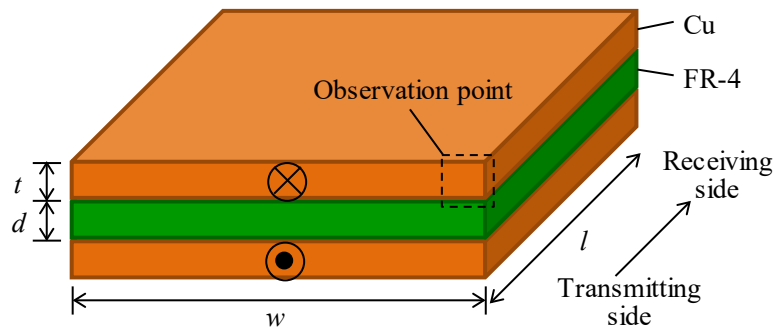


図 3.3 単純化した積層配線構造モデル

表 3.1 インダクタンス解析条件

Parameter	Symbol	Value
Frequency	f	0.1 Hz, 100 kHz, 1 MHz
Conductor length	l	30 mm
Conductor width	w	30 mm
Distance between conductors	d	0.1 - 0.5 mm
Conductor thickness	t	0.1 - 0.5 mm

図 3.4(a)・3.4(b)に導体長 l 、導体幅 w をそれぞれ変化させた場合の解析結果を示す。導体厚が 300 μm と厚い場合においても文献(3.17)と同様に、導体長が短く、導体幅が広いほどインダクタンスの低減に効果があることが分かる。また、周波数が高くなるほど、表皮効果・近接効果の影響により導体に鎖交する磁束が減少するため、インダクタンスが低下することが確認できる。図 3.4(c)に、導体間距離 d を変化させた場合の解析結果を示す。1 MHz までの周波数において、インダクタンスは導体間距離にほぼ比例して増加している。このため、導体間距離は絶縁要件の許す範囲で可能な限り薄くした方が効果的であることがわかる。これは、文献(3.17)-(3.19)でも同様の結果が得られているが、大電力・高周波用途で想定される厚い導体と薄い絶縁層を有する主回路形状においても、これまでの文献と同様の結果が

得られることが明らかである。図 3.4(d)に、導体厚 t を変化させた場合の解析結果を示す。導体厚が厚くなるほど、インダクタンスが増加する傾向にある。しかし、100 kHz では 400 μm 、1 MHz では 200 μm 以降において、インダクタンスがほぼ一定値となっている。これは近接効果によって、図 3.5(a)のように上下導体の対向面に電流が集中するためと考えられる。このとき、導体厚と理論表皮厚が同程度の場合、図 3.5(b)のように導体内部にはまだ電流の一部が流れている。つまり、厚銅基板のように導体厚が理論表皮厚 δ よりも十分に大きい場合において、この傾向が見られると考えられる。真空中の透磁率 μ_0 、比透磁率 μ_r 、電気伝導率 σ 、動作周波数 f とすると、 δ は以下の式から求められる。

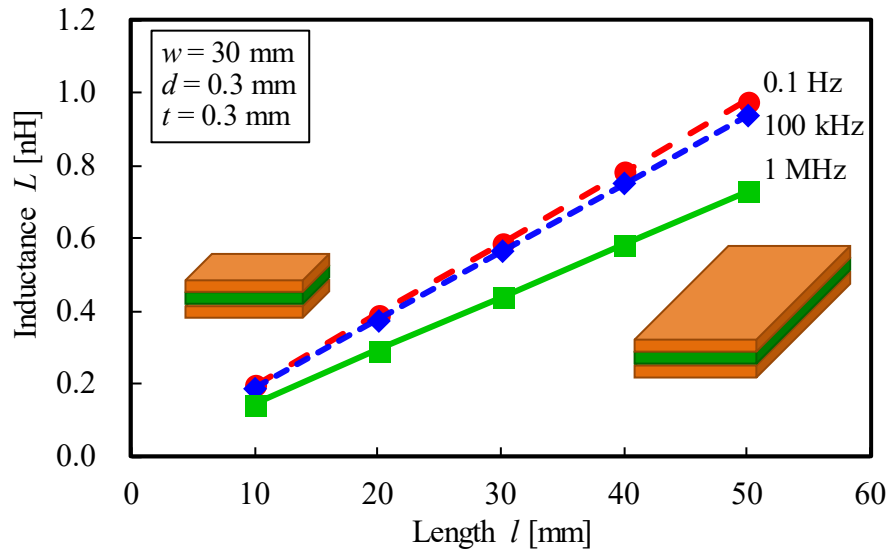
$$\delta = \sqrt{\frac{1}{\pi f \sigma \mu_0 \mu_r}} \quad (3.1)$$

これまで、導体厚が薄いほど低インダクタンス化に有利であることが示されている^[42]が、厚い導体を有する積層構造においては、理論表皮厚と導体厚の関係が配線インダクタンスにおいて重要であることが明らかである。また図 4.4(d)の解析結果から、100 kHz・1 MHz 時の理論表皮厚がそれぞれ 206 μm 、65 μm であることから、導体厚が理論表皮厚のおよそ 2 倍以上においてインダクタンスが一定になると考えられる。つまり、数十 MHz から数百 MHz にも達するパワー半導体デバイス的高速スイッチング動作周波数帯においては、10 μm 以上の導体厚以降では配線インダクタンスに影響しない。そのため、導体厚は最小パターン幅の場合における低周波の電流密度から決定すれば良いと考えられる。つまり、次世代パワー半導体デバイスを適用した厚銅基板においては、低インダクタンスかつ大電力密度な主回路を設計できる。

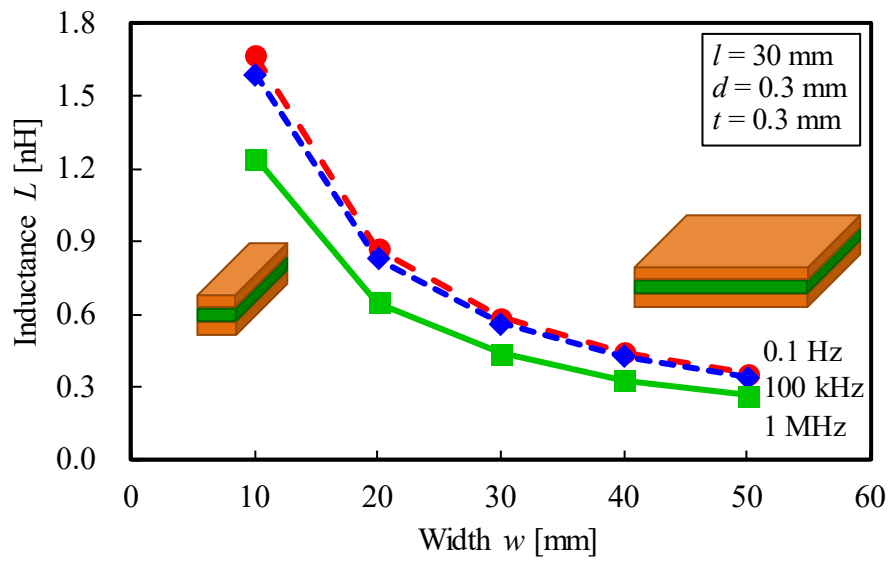
以上の解析結果に基づいて、インバータ主回路基板のパターンは、以下の設計指針を適用して設計することにした。

- 導体長はできる限り短くする
- 導体幅を広くするためにベタパターンとする
- 導体間距離は絶縁耐力の許す限り薄くする
- 導体厚は最小パターン幅と低周波時の最大電流密度から決定する

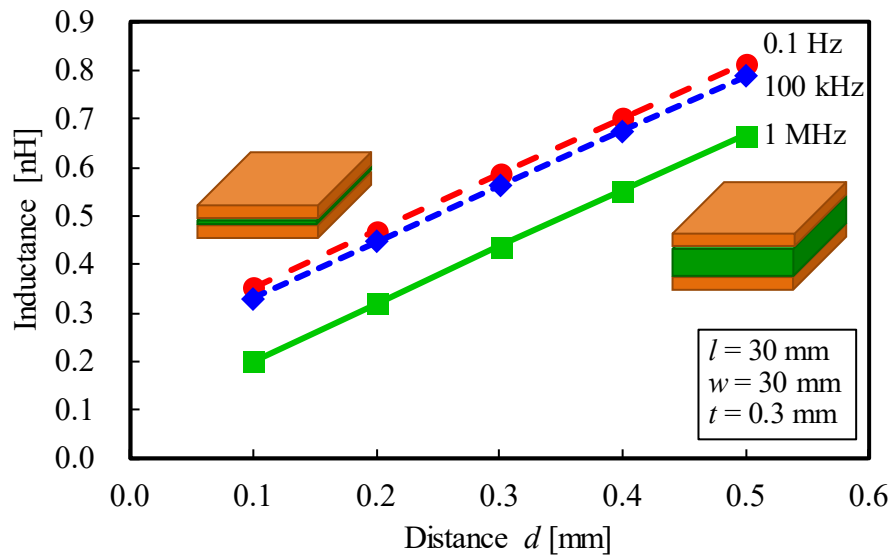
導出した設計指針を基に、ゲート駆動回路を含めた詳細なインバータ主回路設計を実施する。



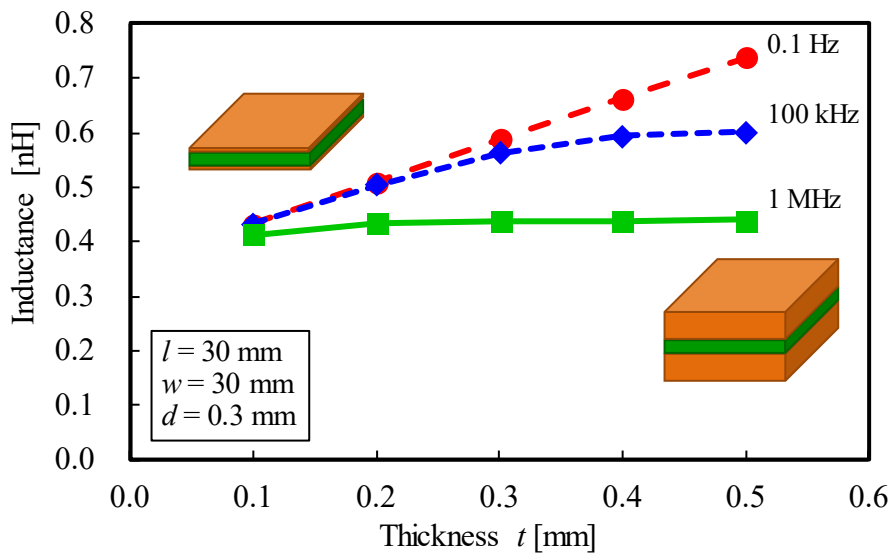
(a) 導体長変化



(b) 導体幅変化



(c)導体間距離変化



(d)導体厚変化

図 3.4 各パラメータを変化させた場合のインダクタンス

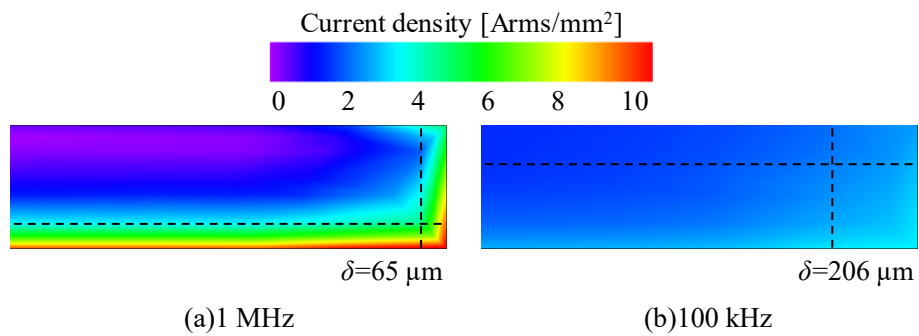


図 3.5 観測点での電流密度分布図 ($l=30$ mm, $w=30$ mm, $d=0.3$ mm, $t=0.3$ mm)

B. インバータ基板の一体化

インバータの構成要素を分類すると、エネルギーの授受を行う主回路、パワーデバイスの駆動を行うドライブ回路、インバータの電圧・電流を検出するセンサ回路、ゲート信号を制御する制御回路から構成される。これらの回路は個別に設計・製造され、コネクタを介してケーブルで接続される場合が多い。パワーデバイスとゲート駆動回路間のケーブルインダクタンス(図 3.1 中の L_{g1} , L_{g2}) は、パワーデバイスのスイッチング特性を悪化させるため、パワーデバイスとゲート駆動回路は直近に配置することが望ましい。また、インバータ装置の小型化やノイズによる誤動作防止のためには、主回路以外のゲート回路、センサ回路、制御回路などを一枚の制御基板に集積することが望ましい。そのため、主回路と制御回路基板を一枚の PCB で設計することが好ましいが、製造上の理由から異なる銅箔厚にて上下非対称な PCB を製造できない。

そこで、主回路基板とゲート駆動回路、検出回路、制御回路を集積した制御回路基板を重ねた図 3.6 の構造を提案する。パワーデバイスは主回路基板の下側に配置され、さらにその下側にヒートシンクを配置して冷却する。パワーデバイスのリード端子は主回路基板と制御基板の両方を貫通させ、制御基板上のゲート駆動回路をリード端子の周辺に配置することにより、デバイス・ゲート駆動回路間の配線インダクタンスを最小化している。

一方、主回路基板と制御基板を重ね合わせることは、主回路・制御回路間の静電結合を増加させ、主回路内の電位変動が制御回路内に影響を与え、誤動作の原因となることが懸念される。これを防止するために、主回路基板の最上層にシールド層を設け、主回路基板から制御基板へのノイズの伝搬を遮断している。

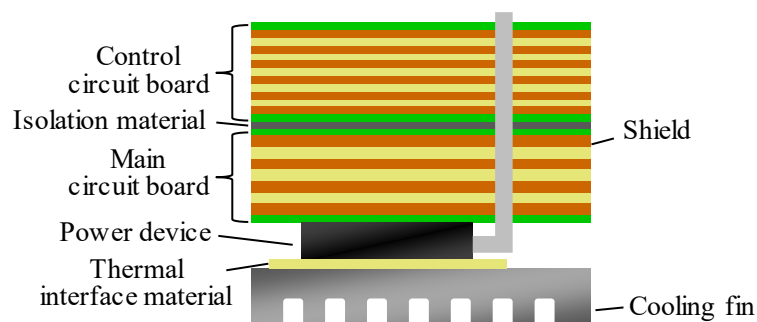


図 3.6 主回路基板・制御回路基板一体構造

設計指針と図 3.6 の提案構造を用いて、主回路基板 (Model 1) を試作した。図 3.7 に Model 1 の PCB を用いて製作したインバータの外観を示す。製作した主回路基板の配線インダクタンスを評価するために、インピーダンスアナライザ(Keysight 製 : E4990A)を用いて、10 kHz から 120 MHz の周波数において、インピーダンス特性を測定した。DC リンクとスイッチングデバイスの作るループのインダクタンスを測定するために、図 3.8 に示すようにハイサイドとローサイドのデバイスのドレイン・ソース間端子を短絡している。測定誤差を低減す

第3章 配線インダクタンス低減に着目した主回路設計法

るために主回路基板の DC リンクとインピーダンスアナライザの測定端子とは、銅テープを用いて最短距離で接続した。このとき、測定に要した銅テープおよび導線のインピーダンスを含んでいるが、短距離でありパターン面とほぼ同等に扱えるように配置しているため、その影響は十分小さいと考えられる。

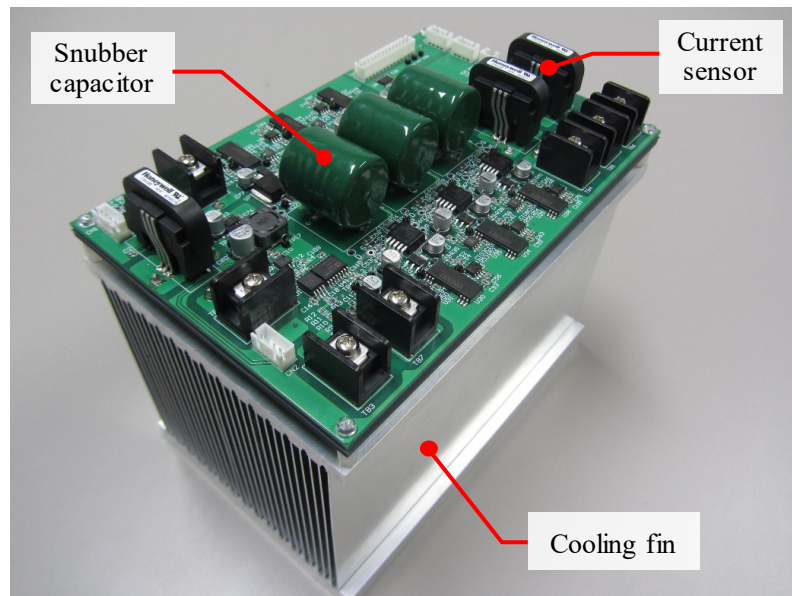


図 3.7 主回路基板・制御回路基板一体構造を用いたインバータ

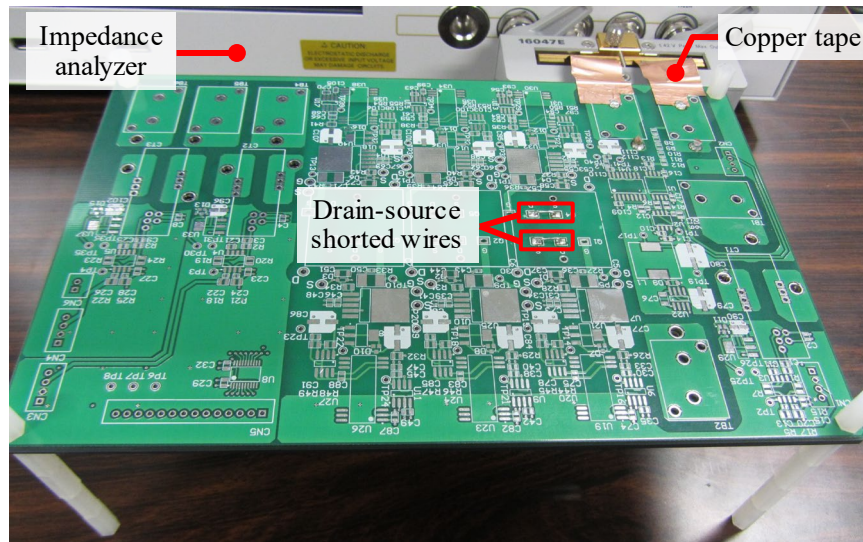
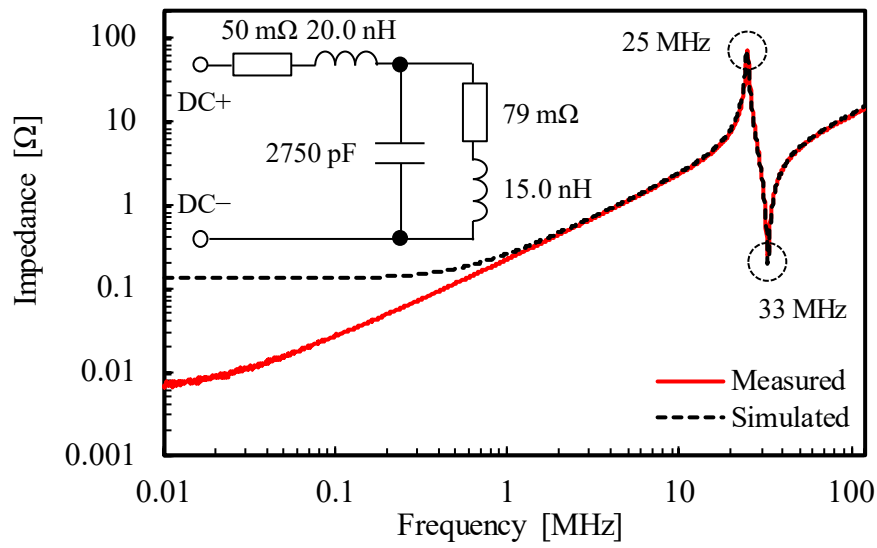


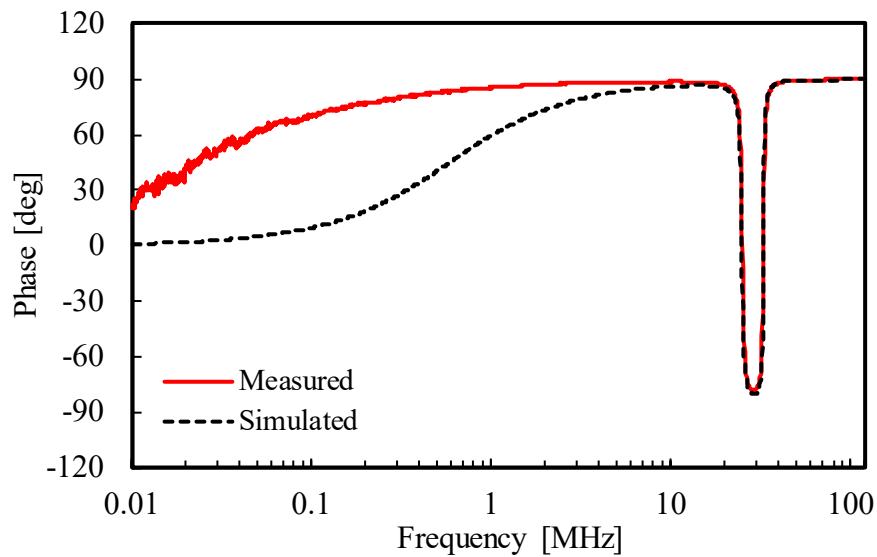
図 3.8 周波数特性測定外観

主回路基板のみのインピーダンス特性を測定するために、周辺素子を実装せずにインピーダンス特性を測定した。図 3.9 に測定した周波数特性を示す。測定したインピーダンス特性を用いて、25 MHz の反共振および 33 MHz での共振点でのインピーダンスが整合するように、集中定数回路として扱った際の等価回路を図 3.9(a)に併記する。このとき、等価回路の置き方は図 3.10 に示すように LCL 構成および CLC 構成のいずれかの回路として扱うことが可能である。本稿では、図 3.10(a)の LCL 構成で表現する。図 3.9(a)の等価回路から、主回路基板は 20 nH と 15 nH の配線インダクタンスと 2750 pF の導体間容量、ダンピングとして機能する 50 mΩ と 79 mΩ の抵抗から構成される。すなわち、Model 1 の PCB 中には 35 nH の配線インダクタンスが存在している。25 MHz において 2750 pF と 15 nH の並列共振による反共振点が存在し、33 MHz において、20 nH と 2750 pF の直列共振による共振点が生じている。それ以上の周波数領域については、2750 pF の並列容量のインピーダンスが十分小さくなり、20 nH のインダクタンスのインピーダンス特性となる。

図 3.9(a)・(b)の破線に等価回路から計算した周波数特性を示す。等価回路中の抵抗値については、共振点と反共振点の特性が測定結果と一致するように決定しているため、数 MHz 以上の周波数領域において両者は良く一致している。しかし、それ以下の周波数領域では差異が生じている。これは、実際の抵抗が表皮効果によって周波数の上昇に伴って増加するのに対して、等価回路では一定値として取り扱っているため、低周波領域で 50 mΩ と 79 mΩ の和の抵抗となっているためである。このことから、共振・反共振周波数付近の抵抗は、低周波数領域の抵抗値の数十倍となっていることがわかる。



(a)インピーダンス特性



(b)位相特性

図 3.9 測定した Model 1 の周波数特性

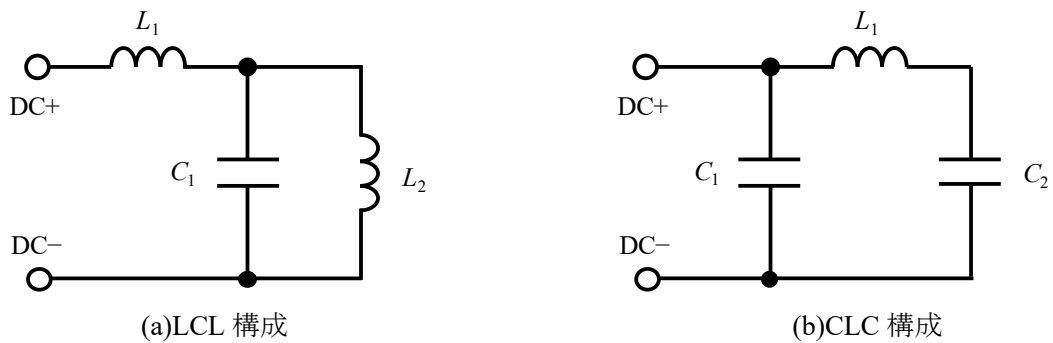


図 3.10 等価回路の置き方

C. モジュール化による基板面積の低減

制御回路基板と主回路基板を貼り合せて配置しているため、制御基板には片面にしか部品を実装できない。そのため、ドライブ回路、センサ回路、制御回路を実装すると制御基板の面積が増加し、結果としてその下に重ねた主回路基板も大きくなるという問題があった。また、制御基板には、電流センサやフィルムコンデンサのような背高の部品を含むため、基板の上面に多くのデッドスペースを有していた。

このデッドスペースを有効活用するため、1枚のメインボードに機能毎にモジュール化した図 3.11 に示すサブ基板を垂直に配置する構造を提案する。各モジュール基板の高さは、制御基板上に実装する部品の中で最も背高の部品にそろえることでスペース効率を最大化することが可能である。これにより、制御基板と主回路基板の面積を小さくすることが可能になり、インバータの体積も縮小できる。モジュール構造を採用して試作した制御基板は、部品をすべて制御基板上面に配置して試作した制御基板に対して、基板面積および主回路の配線パターン長を縮小できる。設計指針に基づいてモジュール化基板を採用した主回路基板 (Model 2) を製作した。このとき、Model 1 の PCB と同じ層構成にて設計した。図 3.12 に Model 2 の PCB を用いて製作したインバータの外観を示す。

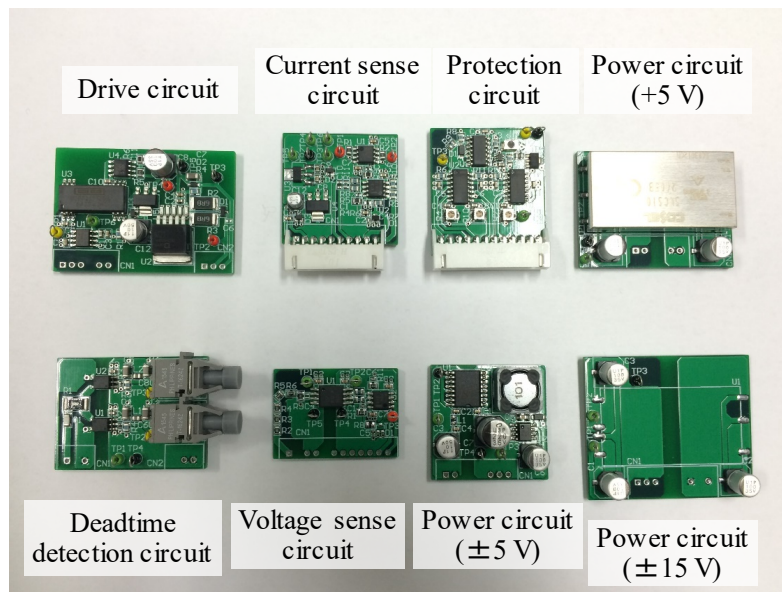


図 3.11 モジュール化した各種基板

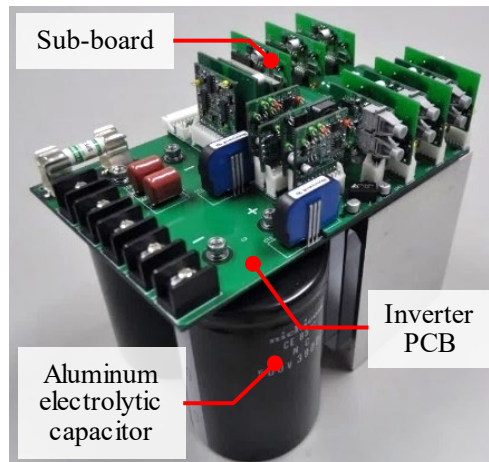


図 3.12 モジュール化基板を用いたインバータ

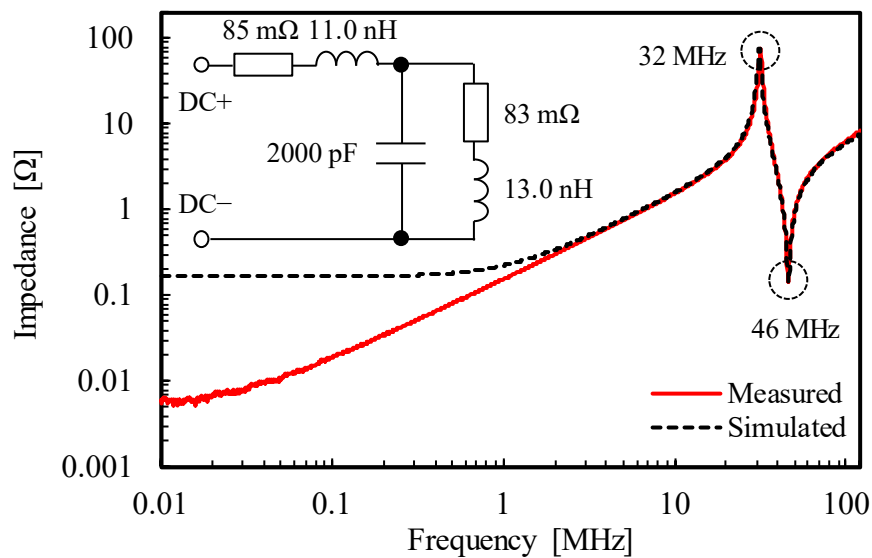
Model 2 の PCB の配線インダクタンスを評価するために、Model 1 と同様の方法で周波数特性を測定した。図 3.13 に測定した Model 2 の周波数特性を示す。インピーダンス特性および位相特性が高周波で良好に一致していることが分かる。低周波での差異については、Model 1 と同様である。図 3.13(a)に示す等価回路から、Model 2 の PCB 中の配線インダクタンスは 24 nH で、Model 1 の 35 nH からおよそ 30%配線インダクタンスを低減できている。これには、モジュール基板の採用による配線長の短縮が寄与している。

Model 2 インバータの使用デバイスである SCH2080KE のゲート端子を開放して、ドレインソース間にて測定したインピーダンス特性および等価回路を図 3.14(a)に示す。このとき、デバイスの端子はインバータ実装時と同様のリード長において測定を行った。測定したインピーダンス特性から、等価回路は単純な RLC 直列回路として表現できることが分かる。その結果、使用するデバイスは、ドレインソース間に 18 nH 程度の配線インダクタンスを有していることが分かる。このときの直列容量 3700 pF は、電圧依存特性を有しているため、実スイッチング動作時の容量とは異なる。試作した主回路基板の全配線インダクタンスは 11 nH と 13 nH の和の 24 nH 程度であり、デバイス内部のインダクタンスと同等程度まで低減できている。

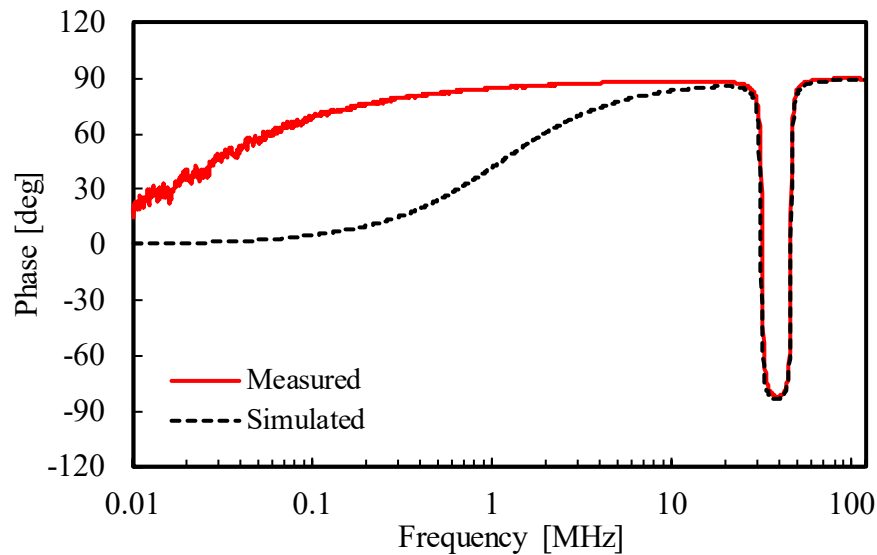
次に、主回路のループインダクタンス低減のためにスナバコンデンサ 1.0 μ F をデバイス直近に実装した主回路基板について検討する。図 3.14(b)にスナバコンデンサとして使用するフィルムコンデンサの測定したインピーダンス特性および等価回路を示す。このとき、スナバコンデンサのリード長はインバータ実装時と同様とした。図 3.14(b)から、スナバコンデンサの等価直列インダクタンス (ESL) が 18 nH であることが確認できる。また、図 3.15(a)の実線と図 3.15(b)に、スナバコンデンサを実装した主回路基板のインピーダンス特性と、測定結果から導出した等価回路をそれぞれ示す。この等価回路の左側部分は図 3.13(a)の等価回路を基に作成されており、1.2 nH がスナバコンデンサとデバイスを接続しているパターンの配線インダクタンス、12.5 nH が上下デバイスの接続パターンの配線インダクタンス

を表している。図 3.15(a)の破線に、等価回路から計算したインピーダンスの周波数特性も併せて示す。Model 1 と同様に、表皮効果により低周波領域で差が生じているが、実験結果と良く一致している。

このとき、スナバコンデンサとして自己共振周波数が数 MHz 程度である、フィルムコンデンサを使用しているが、文献[64]より高周波特性が優れている積層セラミックコンデンサを使用しなくても、十分なサージ電圧抑制効果が得られることが報告されている。



(a)インピーダンス特性



(b)位相特性

図 3.13 測定した Model 2 の周波数特性

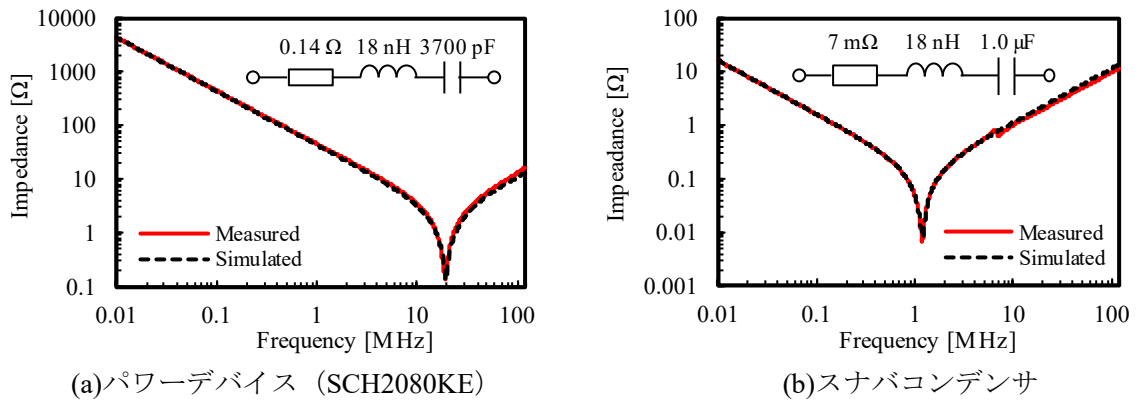
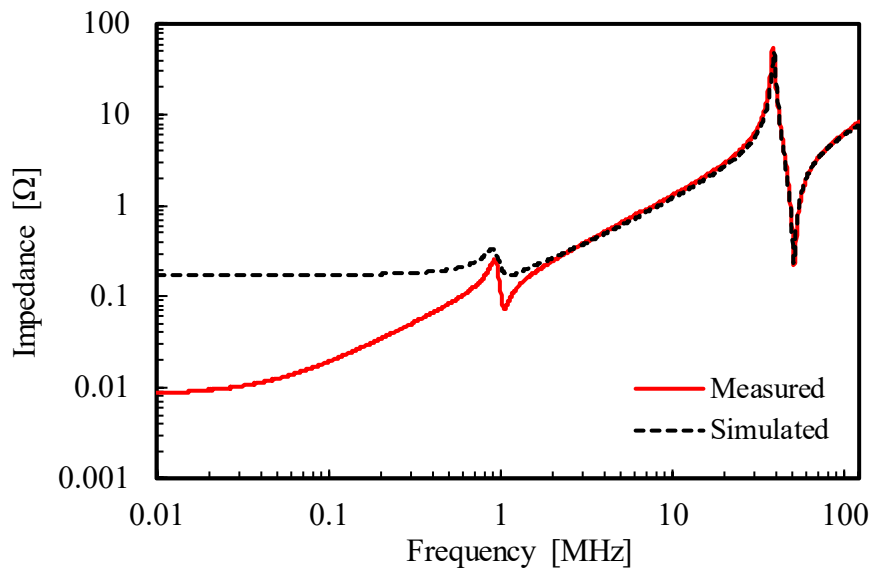


図 3.14 各部品のインピーダンス特性と回路パラメータ



(a) インピーダンス特性

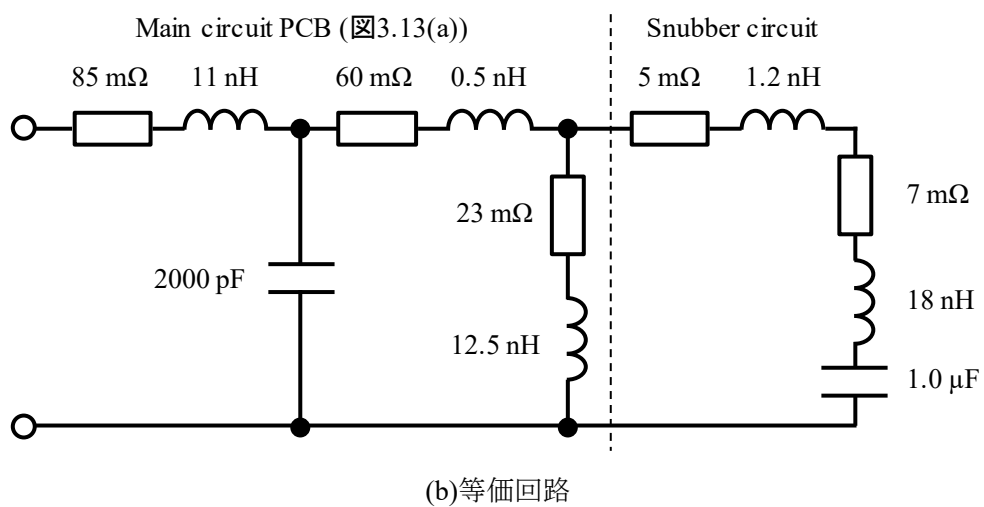


図 3.15 スナバコンデンサを接続した場合の Model 2 の PCB

D. 設計指針に基づいた実パターン設計

導出した設計指針に基づいて、主回路基板の層構成を決定する。DC リンクとスイッチングデバイスの作るループのインダクタンスを低減するために、DC リンク正負極はそれぞれ隣接した独立の層に配置し、ベタパターンとすることで導体幅を確保する。また、PCB は製造上の理由から、偶数層で製作され、DC リンク正負極層に加えて、交流出力層が必要であるため4層基板以上での設計となる。このとき、多層基板の採用とDC リンク正負極を隣り合わせて配置することにより、導体間距離を短縮する。さらに、DC リンク正負極層と交流出力層に加えて、余剰な1層をシールド層として有効活用し、主回路最上層に配置している。図3.16に設計したPCBのDC リンク正負極のパターンの展開図を示す。DC リンク正極（図中にDC+と表記）パターンの一部が切断されているが、これは保護ヒューズを取り付けるために設けている。このとき、部品とパターン間の絶縁耐圧を確保するためのパターンギャップを除いて、すべてベタパターンとして配置している。

次に、電圧・電流要件からPCBパターンの導体幅・導体厚および導体間距離を決定する。使用するデバイスの仕様から、インバータ定格を10 kVA・AC400 V相当とすると、交流出力層の定格電流は14.5 Armsとなる。許容電流密度を3 A_{rms}/mm²とすると、銅箔厚300 μm設計時には、最小パターン幅は16.1 mmとなるため、最小パターン幅は余裕を持って20 mmとして設計した。このとき、より銅箔厚を薄く設計しても良いが、最小パターン幅が必要以上に広くなり、基板面積の拡大につながる。以上より、主回路基板は、4層300 μmの厚銅多層基板によって設計した。表3.2にインバータの仕様を、表3.3にModel 2の層構成およびパラメータを示す。厚銅多層基板の層構成は、4層構成となっており、上からシールド層、DC リンク正極層、同負極層、交流出力層としている。前述のように、DC リンク正負極層が隣接した層に配置されており、その導体間距離は0.4 mmで、300 μm厚において最も薄くなる構成を選択している。

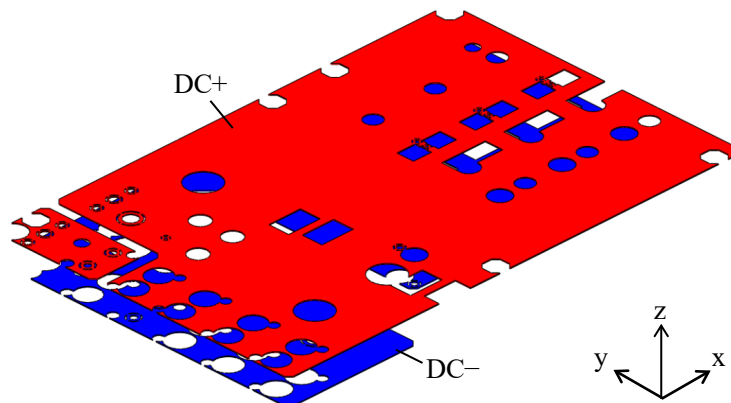


図3.16 Model 2のDC リンク正負極のPCBパターン

表 3.2 Model 2 インバータの設計仕様

Parameter	Value
Phase number	Three-phase
Rated output capacity	10 kVA
Rated output voltage	400 Vrms
Rated output current	14.5 Arms
Size	200 mm × 130 mm × 180 mm

表 3.3 Model 1・Model 2 の PCB 層構成

Layer	Thickness	Material	Note
Top	0.3 mm	Copper	Shield
Prepreg	0.4 mm	FR-4	
Inner 1	0.3 mm	Copper	DC+
Core	0.4 mm	FR-4	
Inner 2	0.3 mm	Copper	DC-
Prepreg	0.4 mm	FR-4	
Bottom	0.3 mm	Copper	AC

E. 実験結果

Model 2 では配線インダクタンスをパワーデバイス内部と同等程度まで低減することができた。Model 2 のインバータを用いて、スイッチング特性およびインバータ損失・効率を評価する。表 3.4 に試験条件を、図 3.17 に試験回路構成を示す。配線インダクタンスによるスイッチング特性への影響を示すために、高速動作可能な SiC-MOSFET (Rohm 製: SCH2080KE, SiC-SBD 内臓) を採用する。1 デバイスのスイッチング特性のみに重点を置くために、ハイサイドデバイス S_1 は常にオフとし、ローサイドデバイス S_2 をスイッチングするチョッパ試験を採用した。スイッチング特性はオシロスコープ (Lecroy 製: HDO8058) を用いて 2.5 GS/s のサンプリングレートで測定した。

より正確なスイッチング波形の測定のために、プローブのグランドリードは、可能な限り短いことが好ましい^{[65],[66]}。このため、実験で使用した受動プローブ PP018 (500 MHz) と HVP120 (400 MHz) は、付属のグランドリードを取り外し、短いスズメッキ線を共通電位部に巻き付けて製作した専用のアダプタ (図 3.18(a)) を介してデバイス直近の測定点 (図 3.18(b)) に接続した。

表 3.4 Model 2 の負荷試験条件

Parameter	Symbol	Value
DC-link voltage	V_{dc}	564 V
Load resistance	R_l	24 - 120 Ω
Load inductance	L_l	15 mH
Gate-source voltage	V_{gs}	+18.2 V / -3.3 V
External gate resistance	$R_{g(ext)}$	3.3 Ω
Switching frequency	f_{sw}	100 kHz
Duty ratio	D	0.5

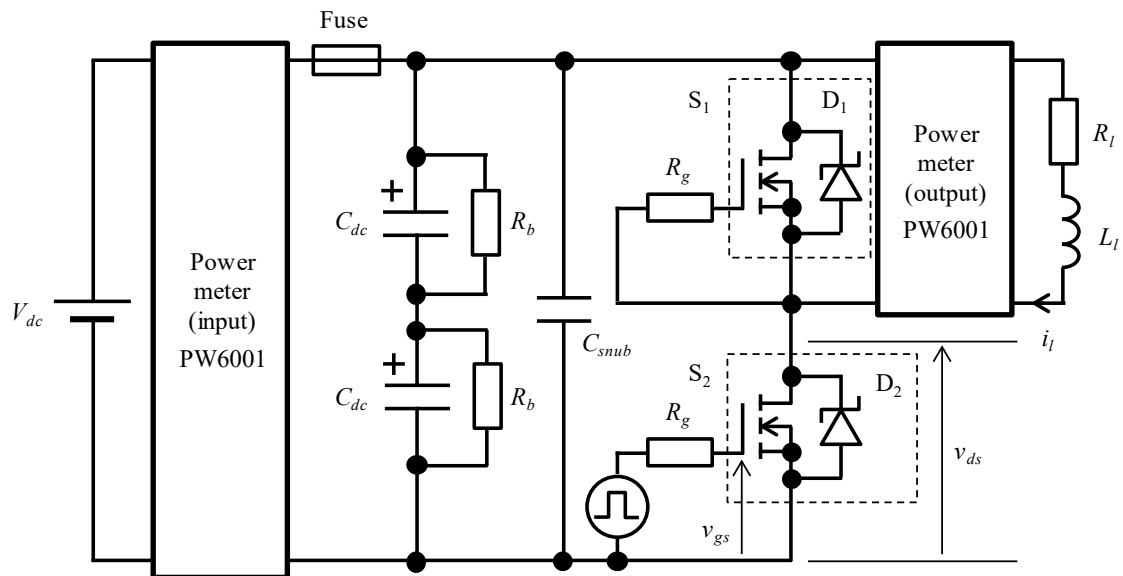
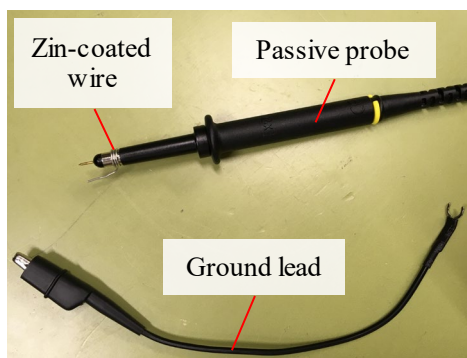
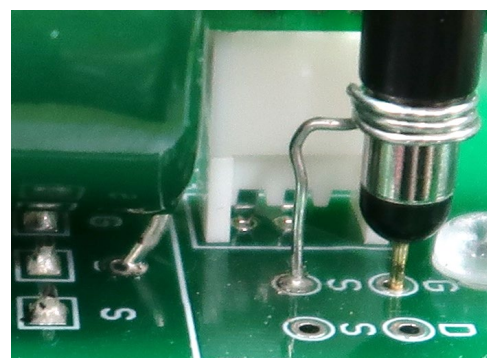


図 3.17 試験回路構成



(a)プローブの構成

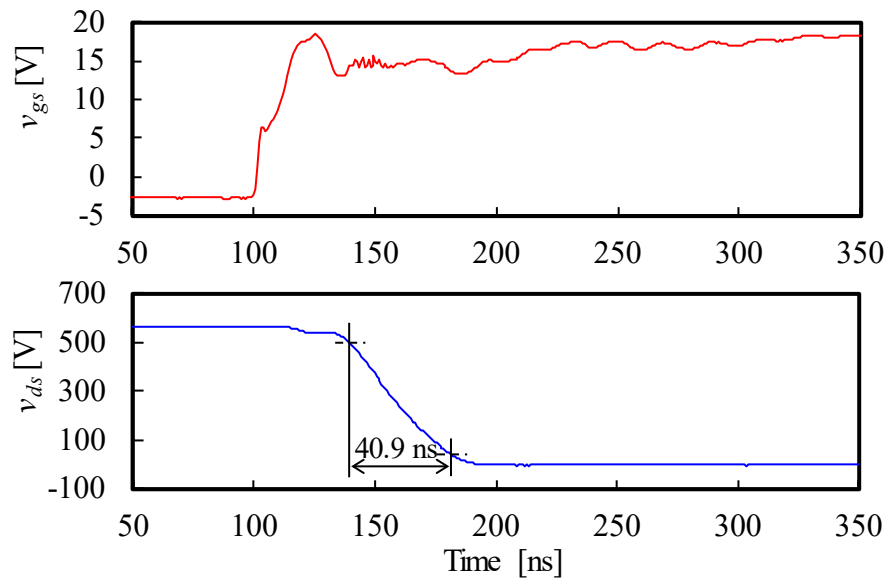


(b)測定点

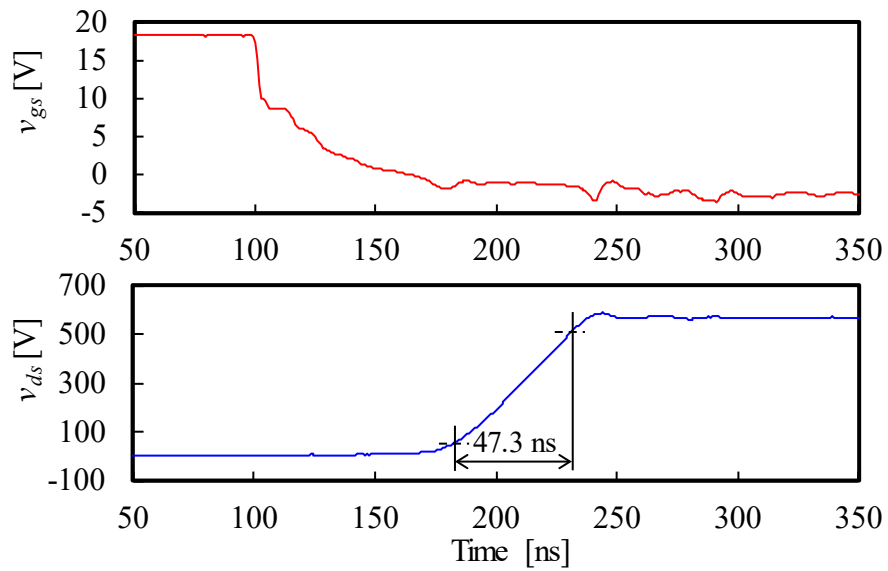
図 3.18 専用のグラウンドリードを使用したプロービング方法

第3章 配線インダクタンス低減に着目した主回路設計法

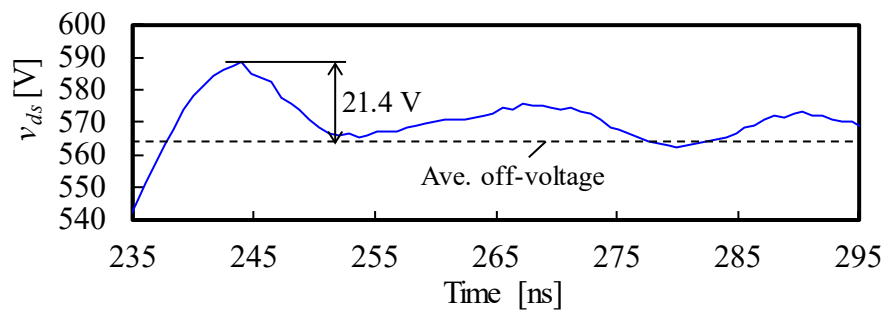
図 3.19(a)と図 3.19(b)にターンオンとターンオフ時のスイッチング波形を、図 3.19(c)にターンオフサージ部の拡大波形をそれぞれ示す。立上り時間 47.3 ns，立下り時間 40.9 ns の高速スイッチングにもかかわらず，最大サージ電圧は 21.4 V と DC リンク電圧の 4 %に相当する。これは，主回路基板の低インダクタンス化がサージ電圧の低下に貢献していることを示している。



(a)ターンオン特性



(b)ターンオフ特性



(c)ターンオフサージ部拡大

図 3.19 測定した Model 2 のスイッチング波形

試作したインバータは、レグに並列にスナバコンデンサを接続している。このとき、ターンオフ時のスイッチングに起因する高周波電流がスナバコンデンサのみを流れると仮定すると、等価回路は図 3.20 のように考えることができる。等価回路から、高周波電流の流れる経路におけるループインダクタンス L_{loop} は次式のように推定することができる。

$$L_{loop} = L_p + 2(L_d + L_s) + L_{snub} \quad (3.2)$$

このとき、 L_p は PCB パターンの配線インダクタンス、 L_d はデバイスのドレインインダクタンス、 L_s はデバイスのソースインダクタンス、 L_{snub} はスナバコンデンサの ESL をそれぞれ示している。これらの、パラメータはそれぞれインピーダンスアナライザを用いて測定（図 3.15 と図 3.16）し、図 3.20 中に記載しているとおりである。(3.2)式から、ループインダクタンスは 68 nH であると推定される。

図 3.20 の等価回路において、デバイス出力容量 C_{oss} よりも十分に大きいスナバコンデンサの容量 C_{snub} を有している場合、合成容量は C_{oss} と C_{snub} の直列接続として求められるため、等価的にデバイス出力容量と見なすことができる。よって、リングング周波数 f_r は以下のように推定することができる。

$$f_r = \frac{1}{2\pi\sqrt{L_{loop}C_{oss}}} \quad (3.3)$$

図 3.21 に示すターンオフ時におけるドレイン－ソース間電圧のスイッチング半周期における周波数解析から、ターンオフサージのリングング周波数は 41.8 MHz であることが確認できる。また、データシート^[67]の出力容量－D-S 間電圧特性から、使用したデバイスの D-S 間電圧 564 V における出力容量は 190 pF であることが分かる。よって(3.3)式から、ループインダクタンスが 76 nH と推定することができる。さらに、(2.3)式から図 3.19(b)のスイッチング遷移時間が 47.3 ns なので、6.7 MHz 以降では-40 dB の傾きで電圧スペクトルが減衰する。図 3.21 から同様の結果が得られている。

(3.2)式・(3.3)式から、推定したインダクタンスはそれぞれ 68 nH と 76 nH でおおよそ一致する。このことから、ターンオフ時のサージ電圧で生じているリングングは、デバイスの出力容量とスナバコンデンサを巡回するループインダクタンスとの共振現象であると推測できる。

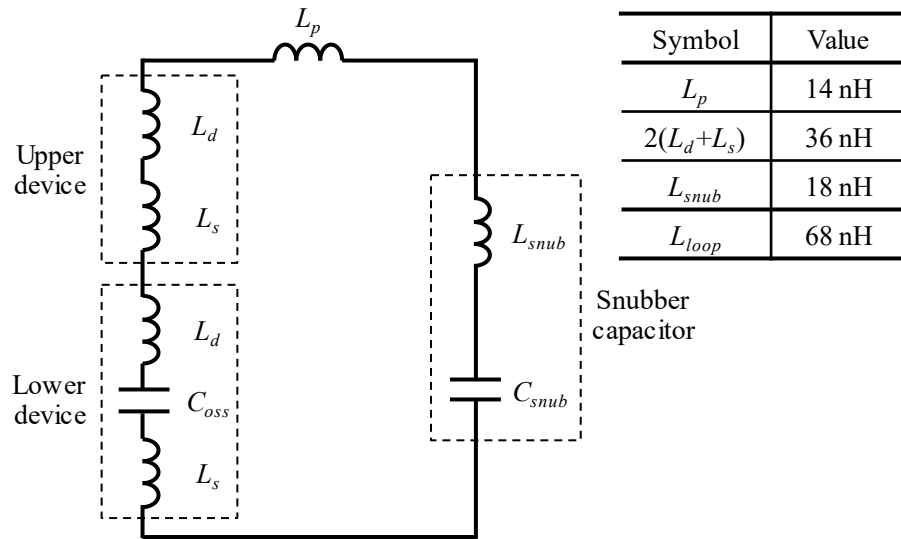


図 3.20 転流経路の等価回路と各部の配線インダクタンス

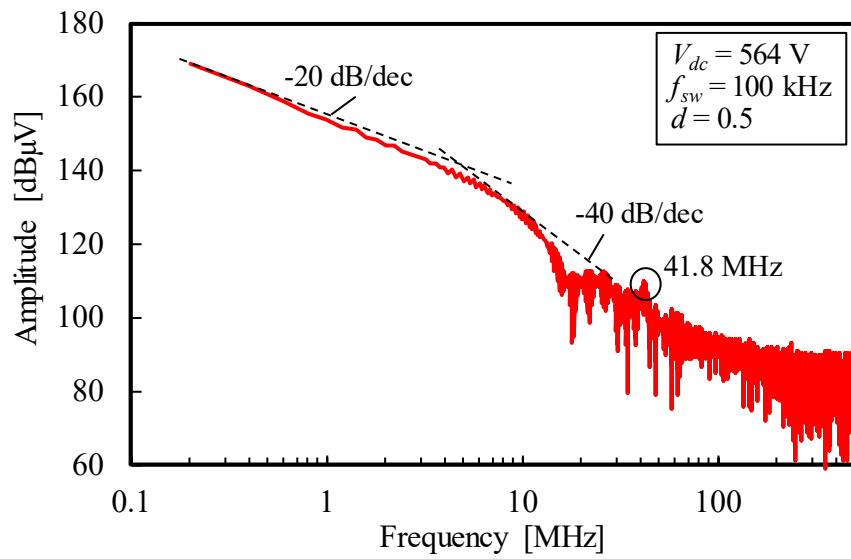


図 3.21 ターンオフ半周期でのドレイン-ソース間電圧の周波数スペクトル解析結果

インバータの損失 P_{loss} は、大きく導通損失とスイッチング損失 P_{sw} に分けることができる。本インバータでは、図 3.17 に示すように電圧バランス用の抵抗 R_b と保護ヒューズを外部に接続しており、これらの周辺回路で発生する損失 P_{other} を考慮すると、 P_{loss} は次式のように示される。

$$P_{loop} = P_{c(FET)} + P_{c(FWD)} + P_{sw} + P_{other} \quad (3.4)$$

このとき、 $P_{c(FET)}$ は MOSFET における導通損失、 $P_{c(FWD)}$ は MOSFET に並列接続されている還流ダイオード(FWD)における導通損失を示している。

一般にスイッチング損失を評価する場合には、デバイスのドレイン電流およびドレイン-ソース間電圧を測定する必要がある。ドレイン電流を測定するには、外部にシャント抵抗や電流プローブをクランプするための配線などを必要とし、配線インダクタンスが増加することで、スイッチング損失も増加する。そのため、本稿ではドレイン電流の測定は行わないこととする。また、次世代半導体デバイスを使用した際にはスイッチング速度が高速であるため、プローブの周波数帯域やスキュー調整などを考慮する必要がある。以上の理由から、本稿では全損失を求め、導通損失と周辺回路による損失との差からスイッチング損失を評価した。

MOSFET の導通損失 $P_{c(FET)}$ は、オン抵抗に起因するジュール損により生じるため、次式のように表される。

$$P_{c(FET)} = \frac{1}{T} \int_0^{DT} R_{ds(on)}(i_d) i_d^2 dt \quad (3.5)$$

このとき、 T は出力周波数の周期、 D はデューティ比、 $R_{ds(on)}$ は MOSFET のドレイン-ソース間のオン抵抗、 i_d はドレイン電流を示す。また、FWD の導通損失 $P_{c(FWD)}$ は順方向電圧降下に起因するため、以下のように示される。

$$P_{c(FWD)} = \frac{1}{T} \int_0^{(1-D)T} v_f(i_f) i_f dt \quad (3.6)$$

このとき、 v_f は FWD の順方向電圧降下、 i_f は FWD の順電流を示す。

誘導性負荷を接続したハーフブリッジインバータ動作では、ターンオン時は負荷電流がデバイス S_2 を流れ、ターンオフ時には負荷電流はダイオード D_1 を介して循環する。本実験における条件では、スイッチング周波数が 100 kHz と高く、負荷インダクタンスが 15 mH と大きいいため、ターンオン・ターンオフの両タイミングにおいて負荷電流の変動がほとんど見られない。そのため、(3.5)式、(3.6)式におけるドレイン電流および FWD の順電流を負荷電流 I_l の一定値として扱うことができる。よって、(3.5)式・(3.6)式は以下のように変形することができる。

$$P_{c(FET)} = D R_{ds(on)}(I_l) I_l^2 \quad (3.7)$$

$$P_{c(FWD)} = (1 - D) v_f(I_l) I_l \quad (3.8)$$

このとき、オン抵抗および順方向電圧降下は、データシートから各電流値における値を採用

した。

周辺回路で生じる損失は、DC リンクコンデンサ C_{dc} に並列接続されたバランス抵抗 R_b と DC リンクに直列に接続された保護ヒューズ内部抵抗のジュール損である。それぞれの抵抗値はデータシート定格値から 200 k Ω , 45 m Ω であり、試験時の電圧・電流から各損失を算出することができる。よって、上記損失と(3.4)式および(3.7)-(3.8)式からスイッチング損失を推定することが可能となる。

図 3.21 に出力電力と効率の関係および各損失の内訳を示す。このとき、スイッチング周波数を 100 kHz とし、負荷抵抗を変化させて測定を行った。測定結果は図 3.17 の回路において、パワーメータ（HIOKI, PW6001：周波数帯域 2 MHz）と専用の電流センサボックス（PW9100：周波数帯域 3.5 MHz）を用いて入力電力と出力電力の関係から求めた。各損失は、パワーメータで測定した入力電圧・入力電流・出力電流を用いて、(3.4)式、(3.7)-(3.8)式から算出した。インバータ主回路効率は、定格電流の 80 %に相当する

11.8 A_{rms} 時において 97.6 %を達成した。ただし、測定結果には、DC リンクコンデンサのバランス抵抗と保護ヒューズによる損失が含まれている。図 3.21 から、3.3 kW において導通損失とスイッチング損失は、それぞれ 13 W および 67 W であり、100 kHz 駆動においてはスイッチング損失が支配的であることが分かる。

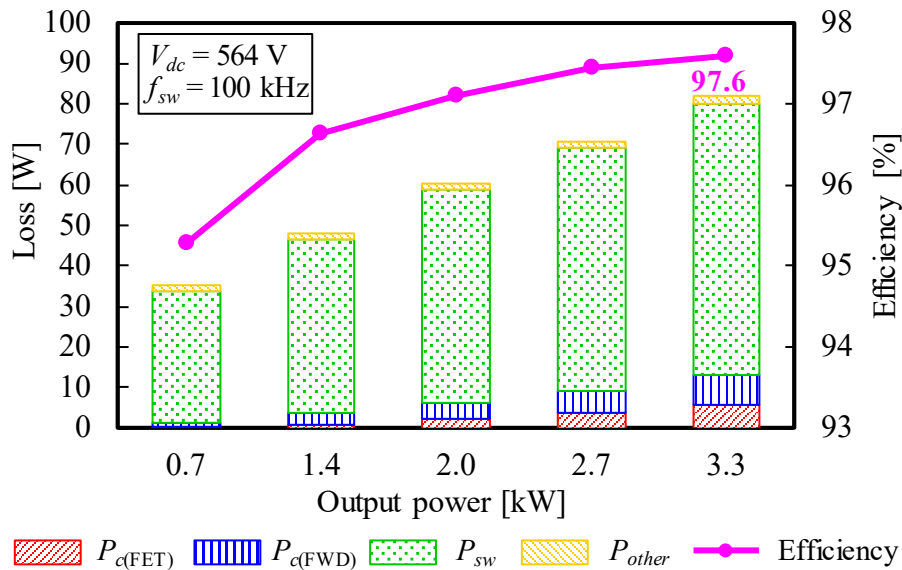


図 3.21 測定した Model 2 インバータの負荷特性

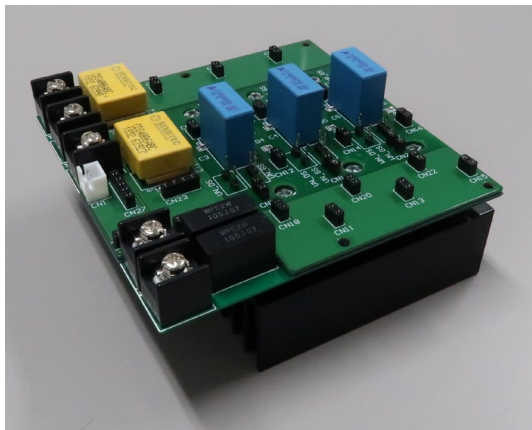
3.2.3 多層構造を用いた小容量用途主回路構造

A. 設計コンセプト

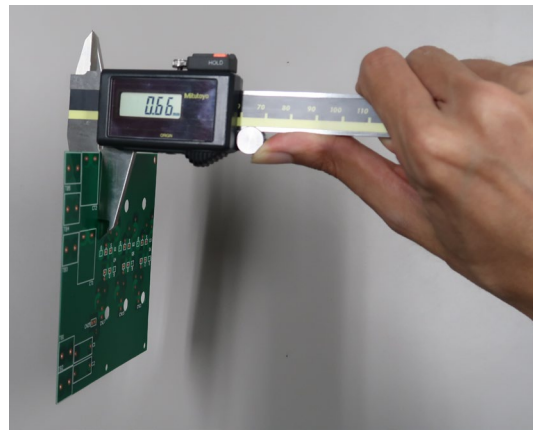
本項では、数 kVA 以下の小容量用途のインバータを想定した際の配線インダクタンスを低減する主回路構造について検討する。電流定格が小さいデバイスでは、スイッチング遷移時間が短く、配線インダクタンスの影響をより強く受ける。そのため、これまで以上に配線インダクタンスを低減する必要がある。前項では、配線インダクタンスを低減するための主回路設計指針を導出した。そこで、配線インダクタンスを低減するために、導体間距離の短縮が効果的であることが明らかになった。しかし、主回路に使用した厚銅基板の導体間距離は 0.4 mm であり、製造上の都合からこれ以上短くすることが困難である。本検討では、小容量用途を想定しており、電流容量が小さいため標準銅箔厚である 35 μm の PCB を採用する。銅箔厚 35 μm 厚の PCB では、層間距離に自由度があり、製造メーカ・製造工場によって数種類の構成から選択可能である。

前項で導出した設計指針に加えて、導体間距離を短くするために①板厚の薄膜化、②多層構造の採用を施す。まず、板厚を薄くすることにより、銅箔厚が一定であるため、導体間距離が短くなる。次に、多層構造の採用は、銅箔厚 35 μm の PCB では層数を増加させても板厚があまり増加しない。そのため、多層基板では導体間距離が短くなる傾向にある。以上の理由から、前項で導出した設計指針を基に、板厚 0.6 mm、4 層多層基板を採用した主回路 (Model 3) を製作した。このとき、板厚は試験環境下で耐えうるだけの機械的強度を確保する必要がある。また、前項同様に主回路・制御回路一体構造とモジュール基板を採用する。このとき、主回路基板を銅箔厚 35 μm にて設計しているため、主回路基板と制御回路基板を一枚の PCB にて設計することが可能である。本論文では、各 PCB での設計を統一するために別基板にて設計している。

Model 3 の基板寸法は 100 mm 角であり、導体間距離が最も薄くなる構成を選択している。図 3.22(a)に Model 3 の PCB を用いたインバータの外観を、図 3.22(b)に製作した Model 3 の板厚測定の外観を示す。図 3.22(b)から、実機の板厚が 0.66 mm であり、0.6 mm の設計仕様よりも少し厚い。これは、設計仕様の板厚がレジスト・シルク等の表面処理による厚みを含んでいないため、レジスト厚 15~35 μm を考慮すると、およそ設計仕様通りに製造できている。



(a)インバータ外観



(b)板厚の測定

図 3.22 製作した Model 3 の PCB

Model 3 の層構成および PCB パターンを図 3.23(a)・3.23(b)にそれぞれ示す。図 3.23(a)から、Model 2 の PCB と同様に DC リンク正負極パターンを隣接した層にベタパターンとして配置していることが分かる。このとき、DC リンク正負極間の導体間距離は 0.2 mm であり、図 3.23(b)から広い面積で対向していることが確認できる。

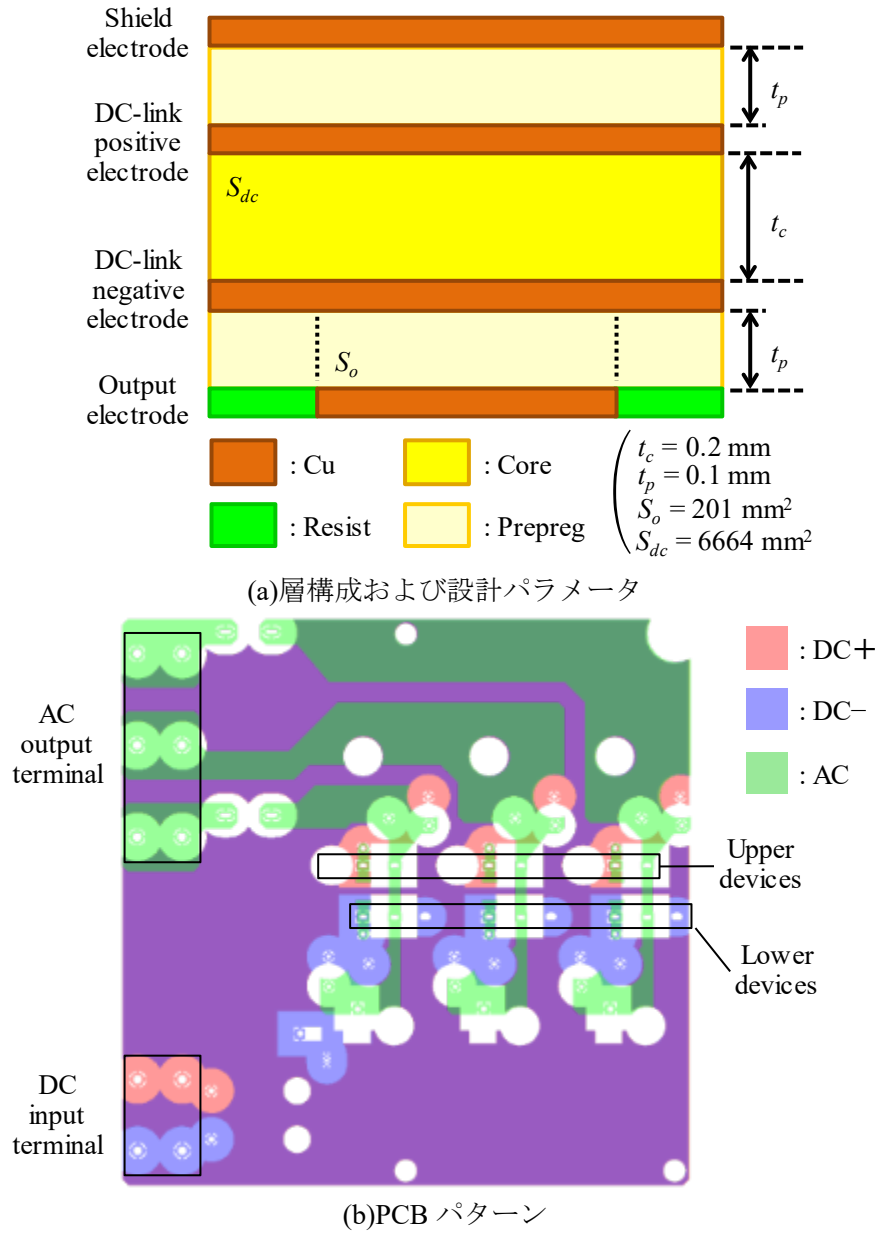
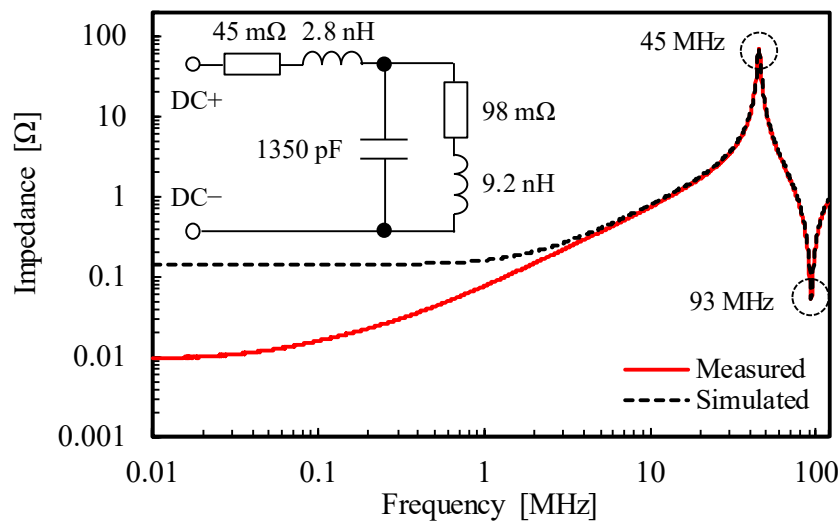


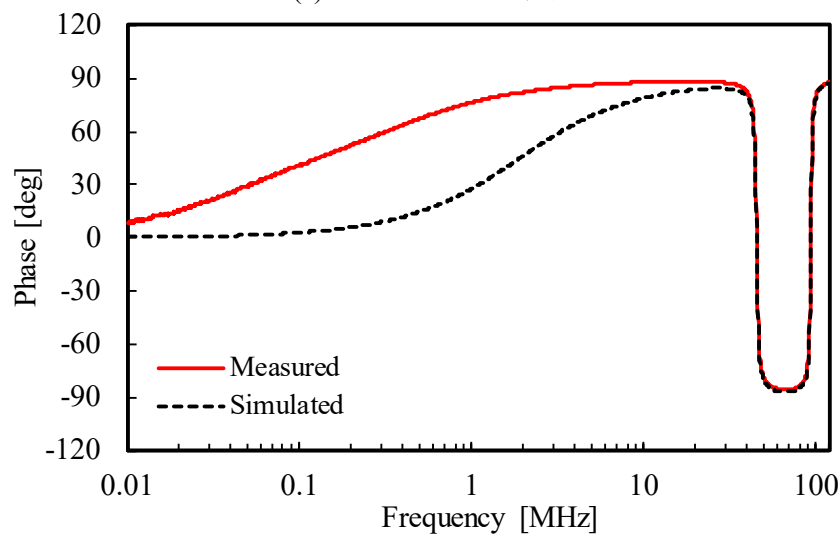
図 3.23 Model 3 の構造

B. 配線インダクタンスの測定

Model 2 の PCB の配線インダクタンスを評価するために、Model 1 と同様の方法で周波数特性を測定した。図 3.24 に測定した Model 3 の周波数特性を示す。インピーダンス特性および位相特性が高周波で良好に一致していることが分かる。また、共振点・反共振点が高周波側にシフトしており、寄生成分の低減が期待できる。図 3.24(a)の等価回路から、Model 3 の PCB 中の配線インダクタンスは 2.8 nH と 9.2 nH の和である 12.0 nH であり、Model 2 の 24.0 nH の半分である。このことから、本設計コンセプトが配線インダクタンスの低減に効果的であるといえる。また、浮遊容量が 2000 pF から 1350 pF に減少しているが、これは基板面積が Model 2 の $200\text{ mm} \times 130\text{ mm}$ から Model 3 で 100 mm 角に縮小していることが要因である。



(a)インピーダンス特性



(b)位相特性

図 3.24 測定した Model 3 の周波数特性

C. スイッチング特性の測定

配線インダクタンスを Model 2 のおよそ半分に低減できたので、スイッチング速度の向上が期待できる。オシロスコープ（Tektronix, MSO58：周波数帯域 500 MHz）と光絶縁プローブ（TIVH08：周波数帯域 800 MHz）を用いて、ドレインソース間のスイッチング波形を測定する。このとき、試験回路構成は図 3.17 からヒューズを除いた構成となっている。図 3.25 にスイッチング波形の測定外観を示す。デバイス直近に光絶縁プローブ推奨の測定ピンを用意し、高周波ノイズによる測定への影響を受けないように注意した。図 3.26 に測定した Model 3 のスイッチング波形を示す。図 3.19 と図 3.26 を比較すると、ターンオン時間が 40.9 ns から 36.2 ns とおよそ 10%短くなっている。すなわち、配線インダクタンスの低減によって、スイッチング速度が向上している。このとき、ターンオフ期間においては負荷電流によるスイッチング速度への影響は小さい。一方で、ターンオフ時間は 47.3 ns から 87.7 ns と長くなっているが、これは負荷電流が寄生出力容量の充電時間に大きく影響を与えるためである。

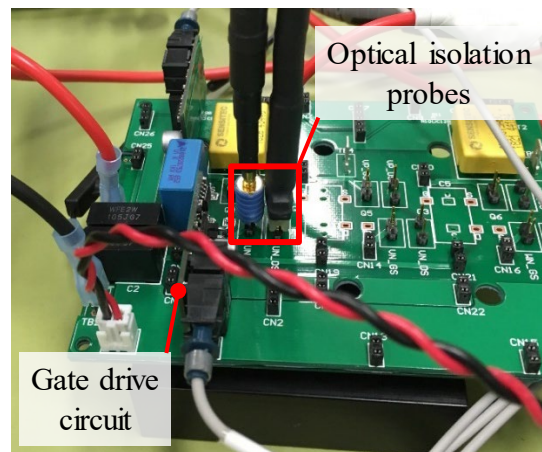
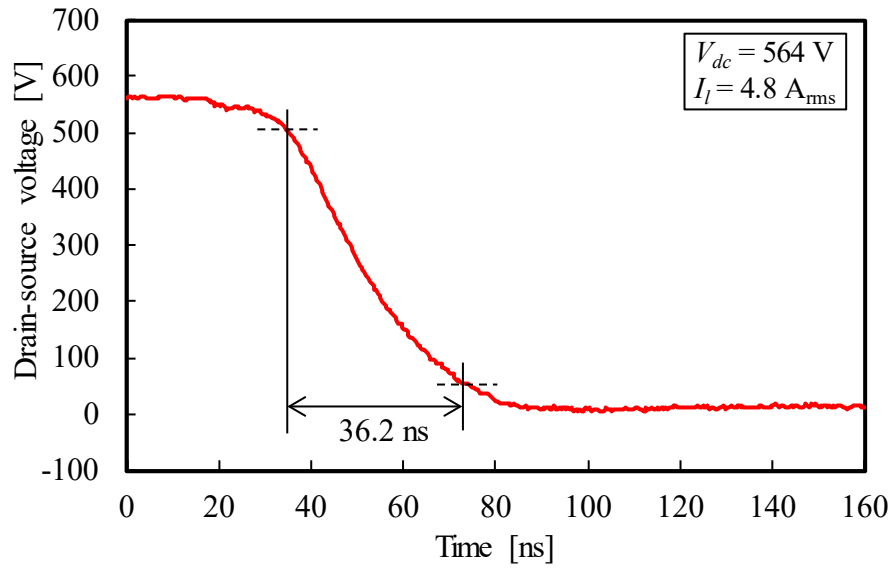
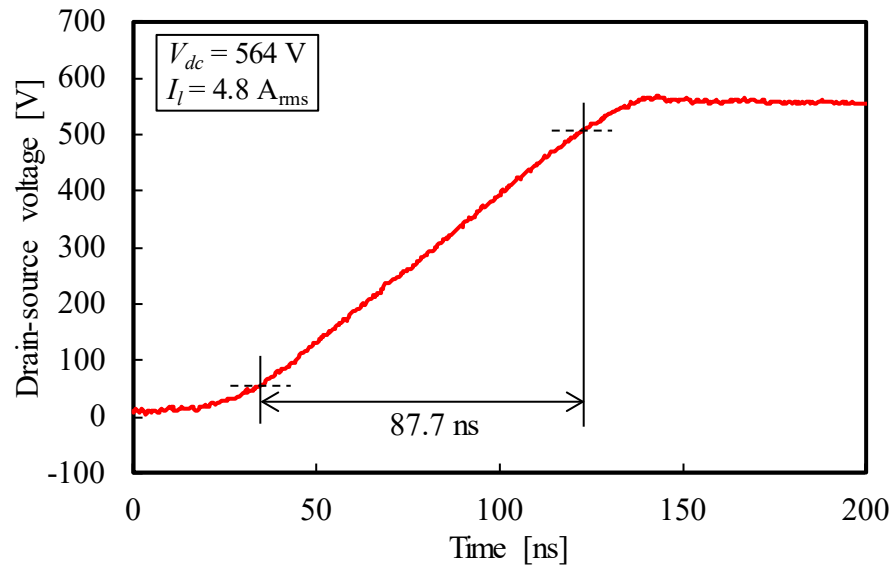


図 3.25 Model 3 のスイッチング波形測定外観



(a)ターンオン特性



(b)ターンオフ特性

図 3.26 測定した Model 3 のスイッチング波形

図 3.27 に Model 2 と Model 3 のスイッチング損失の比較を示す。このとき、スイッチング損失はパワーメータで測定した損失と(3.4), (3.7)-(3.8)式を用いて算出した。配線インダクタンスを低減した Model 3 では、スイッチング損失を 4%以上低減可能である。これは、スイッチング速度の向上からも明らかである。

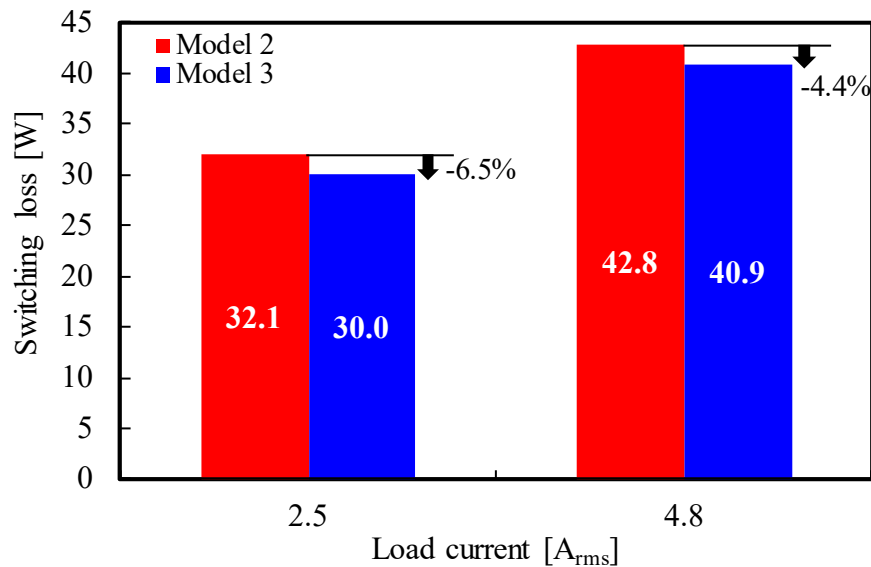


図 3.27 Model 2 と Model 3 のスイッチング損失の比較 (564V, 100 kHz, 15 mH)

3.3 3章のまとめ

電力変換器のスイッチング特性に影響を与える配線インダクタンスについて、インバータ主回路の形状・構造について各電力帯ごとに検討した。まず、3D-FEM 解析を用いて、配線インダクタンスを低減可能な形状を探索し、次世代パワー半導体の動作周波数帯では、導体厚がインダクタンスに影響を与えないことを明らかにした。その結果、厚銅基板にて設計することで、低インダクタンスかつ大電力密度な主回路を実現できることを示した。また、標準銅箔厚における設計自由度の高さを活かし、積層構造と板厚の薄膜化を施すことで、デバイス内部のリードインダクタンスよりも小さい 12 nH まで配線インダクタンスを低減可能であることを示した。実機検証から、両モデルともに低インダクタンスな主回路を達成したが、24 nH から 12 nH まで配線インダクタンスを低減することで、スイッチング速度を 10%改善でき、スイッチング損失を 4%向上可能であることを示した。

4章 浮遊容量低減に着目した主回路設計法

前章では、電力変換器において広く議論されている配線インダクタンスについて、出力容量に応じた設計法について検討した。電力変換器のスイッチング特性に影響を与える寄生成分について、配線インダクタンスだけでなく、寄生容量や浮遊容量が検討されている。これらの寄生容量は、パワーデバイスの充放電動作に影響を与えるため、配線インダクタンスと同様にスイッチング特性に影響を与える。本章では、まず電力変換器の主回路に存在する寄生容量について、発生要因と近年の研究動向を説明する。次に、スイッチング損失に大きな影響を与えるインバータの DC 入力端子と AC 出力端子間の浮遊容量がスイッチング特性に与える影響について回路解析を交えて説明する。さらに、浮遊容量を低減する PCB 構造について検討し、その設計指針を導出する。最後に、製作した実機にて提案構造が浮遊容量を低減可能であり、スイッチング損失を低減可能であることを明らかにする。

4.1 浮遊容量がスイッチング特性に与える影響

4.1.1 主回路上に存在する浮遊容量

ハーフブリッジインバータの主回路上に存在する寄生容量を図 4.1 に示す。説明の便宜上から、図中の配線インダクタンスは省略している。また、スイッチング特性に影響を与える寄生容量についてのみ記載している。このとき、バスバーや PCB などの主回路パターンで形成される浮遊容量を赤線で、パワーデバイス内部に形成される寄生容量を青線で、冷却器とパワーデバイス間に形成される浮遊容量を緑線で示す。

パワーデバイス内部の各端子間の寄生容量 $C_{gd,p}$, $C_{gs,p}$, $C_{ds,p}$ は、デバイスの構造に依存して異なり、デバイスの性能指数に関わる重要なパラメータである。また、この寄生容量は電圧依存特性を有し、電圧非印加時と定格電圧印加時において、その容量が 1/10 倍にも変化する。これらの特性は、多くの場合データシートに記載されており、文献[59]では電圧依存特性を考慮したデバイスのモデリングを実施することで、スイッチング特性や EMI が解析と実機にて良好に一致することが報告されている。

冷却器とパワーデバイス間の浮遊容量 C_{d-h} は、デバイスで発生した熱を冷却器に放熱する際に用いられる放熱材または絶縁材によって形成される。このとき形成される浮遊容量は、平行平板電極の静電容量と同様に以下の式から求められる。

$$C_{d-h} = \epsilon_0 \epsilon_r \frac{S}{d} \quad (4.1)$$

このとき、 ϵ_0 は真空の誘電率、 ϵ_r は使用する材料の比誘電率、 S は試料の接触面積、 d は試料の厚みである。文献[28]では、 C_{d-h} によって、スイッチング遷移時間が長くなり、スイッチング損失が増加することが、文献[68]では C_{d-h} を介して接地線に流れるノイズが増加することが報告されている。この対策として、使用する材料の比誘電率の調整や冷却器の分割な

どが提案されている[28],[68],[69]。

主回路パターン上に形成される浮遊容量は、DC リンク正負極間浮遊容量 C_{p-n} 、デバイス各端子間浮遊容量 C_{gd_s} 、 C_{gs_s} 、 C_{ds_s} などが挙げられる。文献[70]では、 C_{p-n} を FEM 解析にて形状探索し、(4.1)式と同様の結果が得られている。また、文献[31]では評価基板の C_{gd_s} 、 C_{gs_s} 、 C_{ds_s} を考慮することで、スイッチング遷移時間やサージ電圧が解析と実験にて良好に一致することが報告されている。本稿では、この主回路パターン上に形成される浮遊容量について議論する。

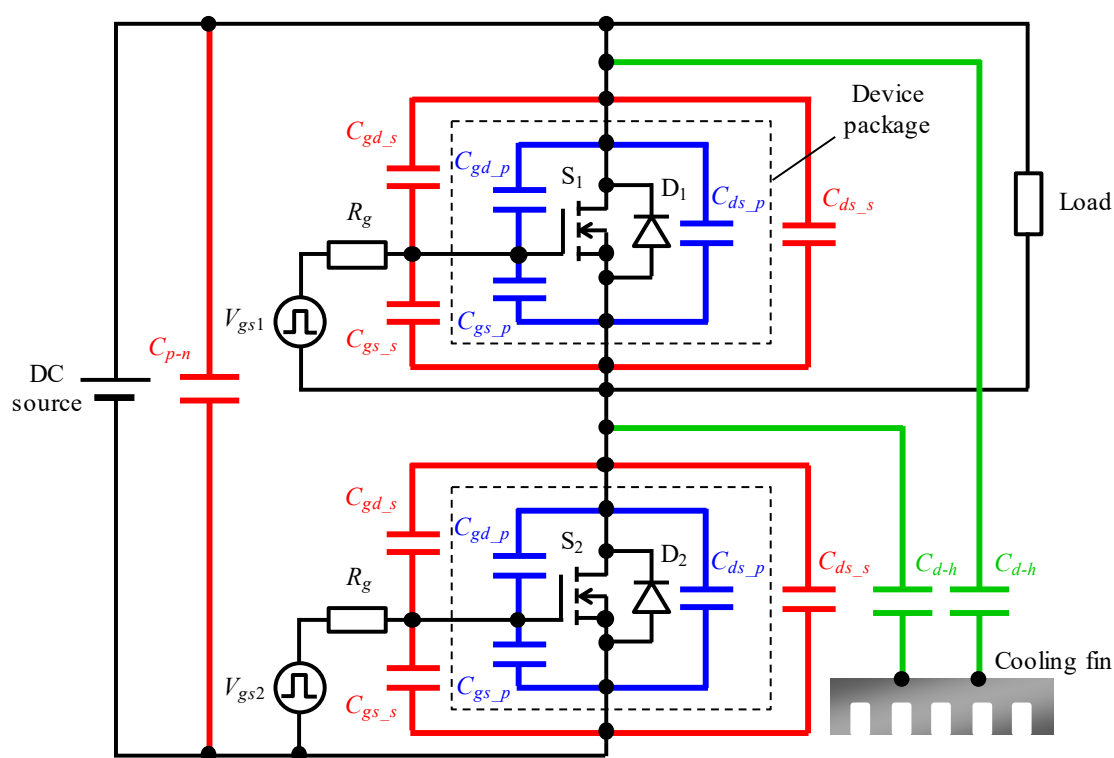


図 4.1 寄生容量を考慮したハーフブリッジインバータ

4.1.2 PCB上で構成される浮遊容量

3章にて、多層構造と薄板厚化によって低インダクタンス化を実現した Model 3 の PCB は、配線インダクタンスが Model 2 の PCB の 24 nH から 12 nH に半分まで低減することができた。これにより、ターンオン動作時にスイッチング速度をおよそ 10 %向上することができた。しかしながら、配線インダクタンスの低減効果に対して、スイッチング速度の向上が小さい。また、そのスイッチング遷移時間は、負荷条件を考慮しても、データシート^[67]記載値よりも遅く、配線インダクタンス以外の問題を有すると考えられる。ここで、Model 3 の構造の特徴は、①4 層構造により、各電極をベタパターンとして配置、②薄板厚化 (0.6 mm) と 4 層構造の採用により、各端子間の導体間距離が短い、点が挙げられる。以上の点から、図 4.2(a)に示すように、交流出力極パターン直下に DC リンク正負極パターンを配置しており、図 4.2(b)のように PCB の主回路パターン上に比較的大容量な浮遊容量が形成される恐れがある。これらの浮遊容量を主回路上に置き換えると、図 4.2(c)のように表現することができ、DC リンク正負極間の浮遊容量 C_{p-n} および、DC リンク正負極と交流出力極間の浮遊容量 $C_{o-p} \cdot C_{o-n}$ が形成されている。このとき、 C_{p-n} は DC リンクに並列に接続されているため、平滑コンデンサまたはスナバコンデンサとして機能する。また、この浮遊容量は、配線インダクタンス測定時に並列接続されている浮遊容量に相当する。文献[29],[30]では、DC リンクに接続するスナバコンデンサやラミネートバスバーの DC リンク正負極間の絶縁材を変更することで、サージ電圧やリングング周波数が変化することが報告されている。これらの文献から、DC リンク正負極間の浮遊容量がスナバコンデンサとして機能していることが明らかである。また、文献[71],[72]では、この浮遊容量を意図的に形成し、ノイズ対策部品や共振回路部品として利用されている。一方で、 $C_{o-p} \cdot C_{o-n}$ は、パワーデバイスと並列に接続されており、スイッチング特性に影響を与えることが予想される。

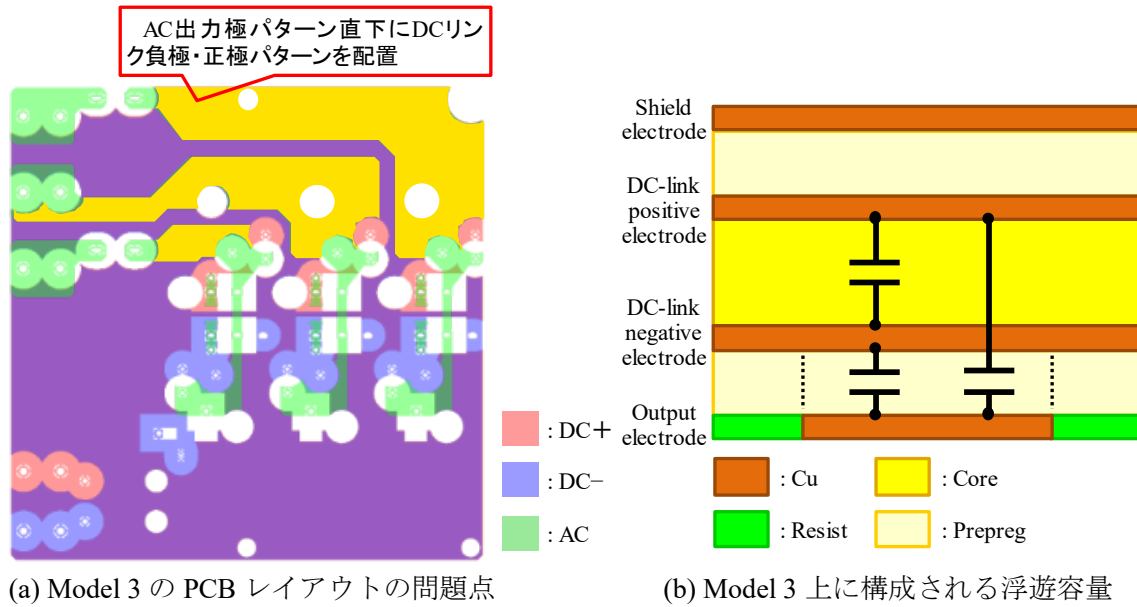
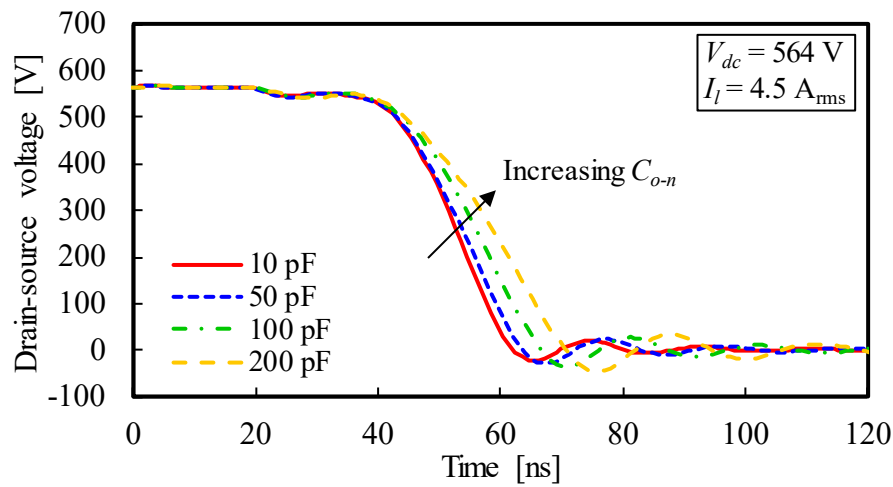


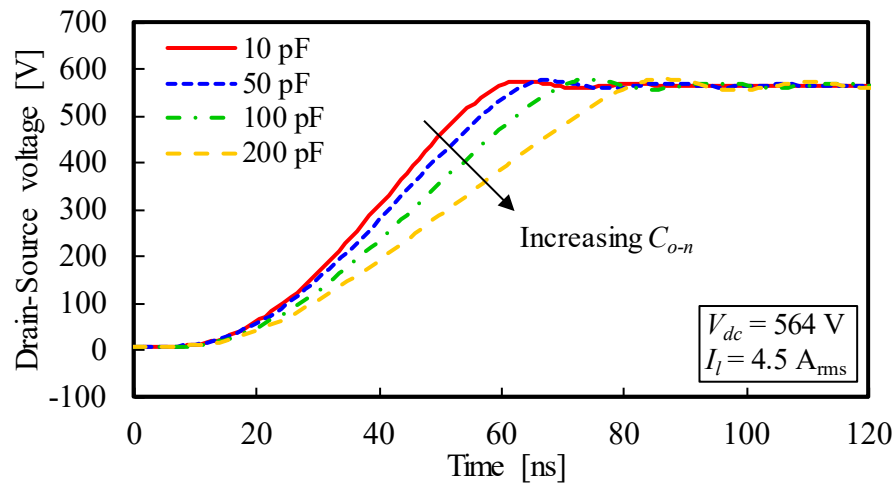
図 4.2 Model 3 の PCB 上に構成される浮遊容量

$C_{o-p} \cdot C_{o-n}$ がスイッチング特性に与える影響を評価するために、回路シミュレーションを実施する。図 4.3(a)・4.3(b)にターンオン・ターンオフ時のローサイドデバイスのドレイン・ソース間電圧のシミュレーション結果をそれぞれ示す。このとき、 C_{o-n} がスイッチング特性に与える影響に着目するために、 $C_{p-n} \cdot C_{o-p}$ は零とし、負荷は電流源とする。また、主回路接続時の配線インダクタンスを想定して、ドレインならびにソース端子にそれぞれ 20 nH を接続している。ハイサイドデバイスは常にオフとし、ローサイドデバイスをスイッチングする条件で、LTSpice を用いてシミュレーションを実施した。デバイスには、メーカー提供の Spice モデルを使用しており、デバイスの各寄生容量の電圧依存性が考慮されている。

図4.3より、ターンオン・ターンオフ時ともに C_{o-n} が増加すると、スイッチング遷移時間が長くなっていることが確認できる。10 pF から 50 pF まで変化させた際のスイッチング遷移時間はほとんど変化しておらず、100 pF 以上から急激にスイッチング速度が低下する。100 pF 時のスイッチング速度は、10 pF 時からおよそ 1.2 倍程度遅くなっている。これは、デバイスの寄生出力容量が、解析電圧 564 V 時において 180 pF であり^(4,8)、 C_{o-n} と寄生出力容量の和からなる合成容量が増加するためである。つまり、出力極に生じる浮遊容量をデバイス寄生出力容量よりも十分に小さくする必要がある。また、 C_{o-p} を変化させた場合についても C_{o-n} を変化させた場合と同様の結果が得られる。



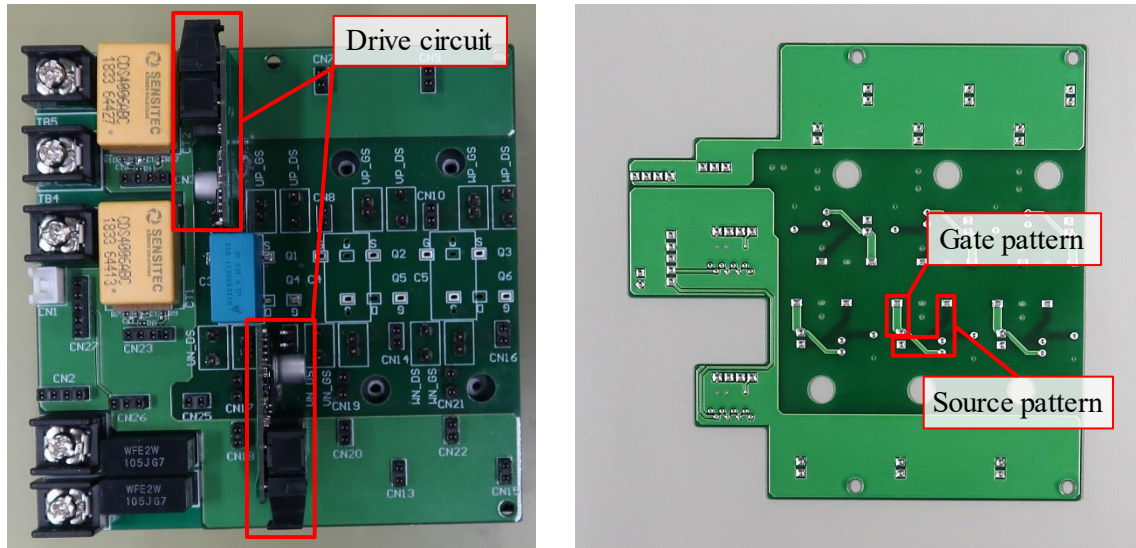
(a) ターンオン期間



(b) ターンオフ期間

図 4.3 C_{o-n} を変化させた時の D-S 間電圧の回路シミュレーション結果

本検討において、図 4.1 の C_{gd_s} や C_{gs_s} の影響を考慮していないが、Model 3 の構造では浮遊容量がほとんど形成されないと考えられる。図 4.4 に Model 3 の実装状況とドライブ回路との接続パターンを示す。図 4.4(a) から、主回路基板とドライブ回路基板が垂直に接続されており、双方の基板間でのパターン間容量が形成されないため C_{gd_s} が無いと考えられる。また、図 4.4(b) から、制御回路基板の 5 層目にソースパターン、6 層目にゲートパターンを配置しており、1.8 mm の細いパターン幅で配線されている。制御回路基板の直下には、絶縁シート（厚さ 0.3 mm、比誘電率 4.7）を介して、主回路基板が配置されているが、その細いパターン幅から面積が小さく、3D-FEM 解析からも 1 pF 以下の容量しか形成されないことが確認されている。上記の理由から、本検討においては、 $C_{o-p} \cdot C_{o-n}$ についてのみ検討する。



(a)主回路基板とドライブ回路基板の配置 (b)制御回路基板上のゲート・ソースパターン

図 4.4 Model 3 の実装およびドライブ回路基板との接続パターン

4.2 浮遊容量低減に着目した主回路構造

4.2.1 PCB Model 3 の浮遊容量

前章にて設計した PCB Model 3 の浮遊容量を確かめるために、インピーダンス測定および 3D-FEM 解析を実施する。まず製作した Model 3 の浮遊容量を測定するために、インピーダンスアナライザを用いて、周波数特性を測定する。寄生成分測定回路の構成は図 4.5 に示すとおりで、これまでの配線インダクタンスの測定では、ハイサイド・ローサイドデバイス端子の D-S 間を短絡して測定を行っていた。浮遊容量の測定では D-S 間を開放し、二端子間の周波数特性について 3 通り測定することで、各部の浮遊容量を推定する。このとき、残りの一端子は開放する。図 4.6(a)・4.6(b)に測定した周波数特性のインピーダンス特性と位相

特性をそれぞれ示す。図 4.6 のインピーダンス特性と位相特性から、50 MHz 付近まで良好な静電容量であることが分かる。そのため、50 MHz 以下の領域では図 4.5 のインダクタンスのインダクタンスはほとんど影響を与えない。つまり、図 4.5 のインダクタンスは無視することができ、浮遊容量の直並列回路として考えられる。このとき、各端子間から測定した浮遊容量 C_1 、 C_2 、 C_3 について、以下の連立方程式が成り立つ。

$$\begin{cases} C_1 = C_{o-n} + \frac{C_{p-n} \cdot C_{o-p}}{C_{p-n} + C_{o-p}} \\ C_2 = C_{o-p} + \frac{C_{p-n} \cdot C_{o-n}}{C_{p-n} + C_{o-n}} \\ C_3 = C_{p-n} + \frac{C_{o-p} \cdot C_{o-n}}{C_{o-p} + C_{o-n}} \end{cases} \quad (4.2)$$

厳密には、FR-4 材は周波数依存性を有しており、高周波になるにしたがって比誘電率が低下することが知られている。本測定では、1 MHz 時の比誘電率がデータシート^(4.10)に記載されているため、1 MHz 時のインピーダンスおよび位相を用いて浮遊容量を推定する。(4.2)式の連立方程式を解くと、 $C_{o-n} \cdot C_{o-p} \cdot C_{p-n}$ はそれぞれ以下の式から求まる。

$$\begin{cases} C_{o-n} = \frac{2C_1C_2C_3(C_2C_3 - C_1C_2 - C_1C_3)}{C_1^2C_2^2 + C_1^2C_3^2 + C_2^2C_3^2 - 2C_1C_2C_3(C_1 + C_2 + C_3)} \\ C_{o-p} = \frac{2C_1C_2C_3(C_1C_3 - C_1C_2 - C_2C_3)}{C_1^2C_2^2 + C_1^2C_3^2 + C_2^2C_3^2 - 2C_1C_2C_3(C_1 + C_2 + C_3)} \\ C_{p-n} = \frac{2C_1C_2C_3(C_1C_2 - C_1C_3 - C_2C_3)}{C_1^2C_2^2 + C_1^2C_3^2 + C_2^2C_3^2 - 2C_1C_2C_3(C_1 + C_2 + C_3)} \end{cases} \quad (4.3)$$

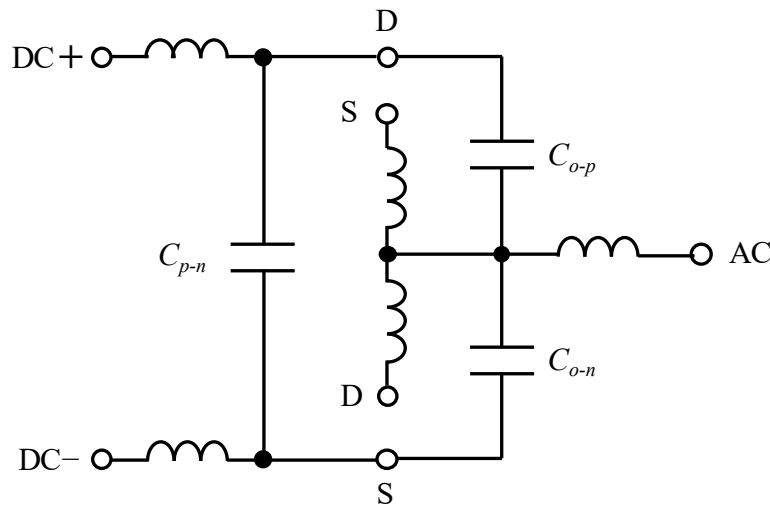
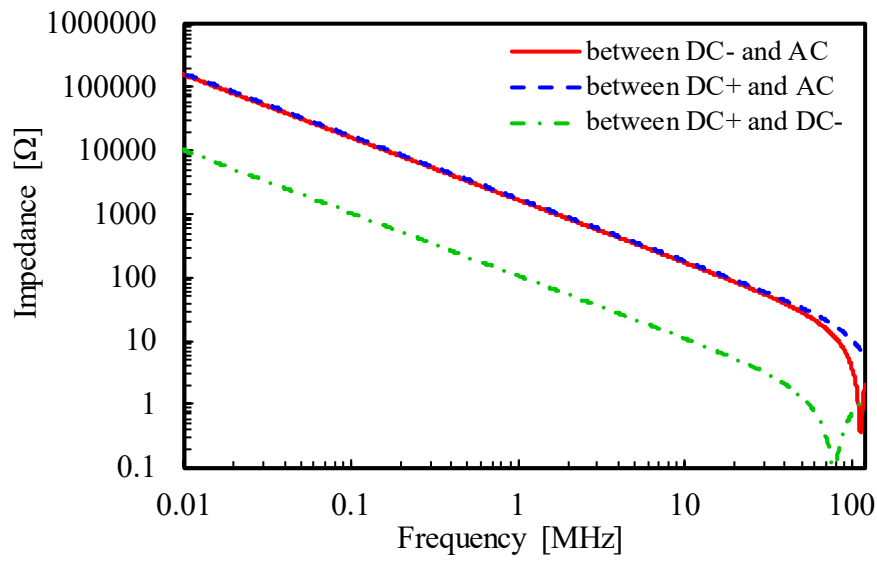
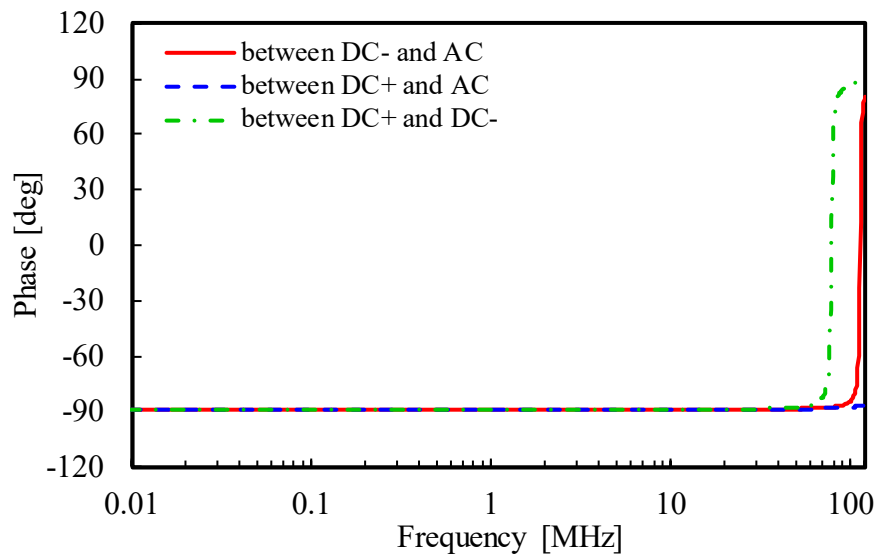


図 4.5 寄生成分測定回路の構成



(a) インピーダンス特性



(b) 位相特性

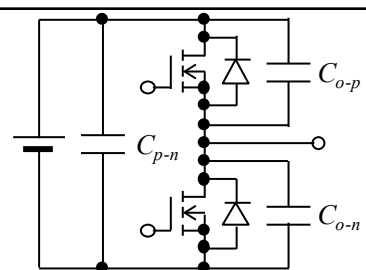
図 4.6 Model 3 の周波数特性の測定結果

次に 3D-FEM 解析には 3 章の配線インダクタンス算出と同様に JMAG を使用する。Model 3 のコア材およびプリプレグ材に使用されている FR-4 の比誘電率は、製造メーカーのデータシートから 4.7 である。レジスト材の比誘電率については、データシートが入手できなかったが、一般に 3.0～4.0 程度である。本解析では、コア材・プリプレグ材・レジストの比誘電率を 4.7 とする。図 4.2 の回路において、デバイス S_2 のオン・オフ状態に応じて、交流出力端子の電位が変動するため、解析上は交流出力端子の電位を変化させた。浮遊容量 C は、FEM 解析から得られた表面電荷 Q と各端子間の電位差 ΔV から以下の式にて求められる。

$$C = \frac{Q}{\Delta V} \quad (4.4)$$

我々は広い共通面積と薄い絶縁距離から平行平板電極のように浮遊容量が形成されていると推測している。そこで、Model 3 の設計パラメータを用いて(4.1)式から、平行平板電極として扱った場合の浮遊容量を算出する。表 4.1 に周波数特性測定結果、3D-FEM 解析結果および(4.1)式から導出した各部の浮遊容量を示す。表 4.1 から、いずれの方法も C_{p-n} と C_{o-n} の誤差が実測結果から 10%以内であり、良好に一致している。DC リンク負極と交流出力極間におよそ 100 pF の浮遊容量が存在することが明らかである。(4.1)式で導出した浮遊容量が小さいが、これは平行平板電極と仮定し電束のフリンジングを考慮していないためである^[73]。また、 C_{o-p} について各検討方法で差が見られる。これは、測定している浮遊容量が非常に小さいためである。さらに、Model 3 の層構成が最下層から、交流出力極、DC リンク負極、DC リンク正極と配置されており、交流出力極と DC リンク正極間に DC リンク負極が配置されており、静電シールドとして機能していると考えられる^[74]。そのため、層構成の影響を加味していない(4.1)式でその差が大きい。しかしながら、導体間に他導体が挿入されていない状況においては、導体形状に依らず平行平板電極として浮遊容量を近似的に求めることが可能であるといえる。以上のことから、3D-FEM 解析もしくは(4.1)式から浮遊容量を推定する方法が設計段階において有効である。

表 4.1 Model 3 の浮遊容量の解析・測定結果

Symbol	Value (pF)			Circuit topology
	Experimental	3D-FEM	Eq. (4.1)	
C_{p-n}	1477.4	1417.9	1386.6	
C_{o-n}	90.4	93.1	83.6	
C_{o-p}	4.3	9.4	17.8	

4.2.2 設計コンセプト

前項から、主回路の浮遊容量が平行平板電極と同様の原理で生じていることが確認できた。そのため、(4.1)式から分かるように、①共通面積を狭くする、②導体間距離を広くすることが有効であると考えられる。しかし、図 3.4(c)から導体間距離を広くすることは、配線インダクタンスを増加させるため、スイッチング特性が悪化するので好ましくない。つまり、導体間距離に関して、配線インダクタンスと浮遊容量はトレードオフの関係にある。そこで、本稿では導体間の共通面積を削減することを設計コンセプトとして、交流出力極に形成される浮遊容量を低減する方法について検討する。

4.2.3 最少層数で構成可能な構造

共通面積が広い要因として、Model 3 を図 3.2(b)の積層配線構造で設計していることが挙げられる。そこで、本検討では配線インダクタンスを低減するために、DC リンク正負極間は積層配線構造で、交流出力極と DC リンク正負極間は図 3.2(a)の平行配線構造となる PCB の構造を提案する。図 4.7(a)・4.7(b)に提案する Model 4 の層構成と PCB パターンをそれぞれ示す。併せて、Model 4 の設計パラメータを図 4.7(a)に記載する。このとき、導体間の距離であるパターンギャップを g_p とする。本構造では、DC リンク正負極は積層配線構造とするため、ベタパターンで独立した層に配置する。交流出力極と DC リンク正負極間は、平行配線構造とするため DC リンク正負極の一部をくり抜いて、交流出力極を配置する。このとき、図 4.7(a)から分かるように、上下の交流出力極はスルーホールもしくはビアで接続することで、交流出力極端子の許容電流を確保することが可能である。また、PCB の最少層数は 2 層であり、両面基板にて設計することが可能となり、PCB の製造に要するコストを 4 層基板に対して 1/2 以下に抑えることが可能となる。図 4.7(b)から、交流出力極の直下に DC リンク正負極が配置されていないことが分かる。しかし、本構造においても浮遊容量は存在し、図 4.8(a)・4.8(b)に Model 3 と Model 4 の構造における浮遊容量をそれぞれ示す。前述のように本構造では、交流出力極直下に DC リンク正負極が配置されていないので、図 4.8(a)のように広い面で浮遊容量は形成されない。しかし、図 4.8(b)に示す経路で浮遊容量が形成される。このとき、積層配線構造と同様に平行平板電極として仮定すると、(4.1)式において、導体間距離 d はパターンギャップ g_p に相当する。 g_p は絶縁耐圧から決定され、本設計における 1000 V 耐圧を満足するために 3.05 mm 設ける必要がある。また、銅箔厚が 35 μm と非常に薄いため、交流出力極と DC リンク正負極間の共通面積 S_o が狭いことが、図 4.7(a)の設計パラメータからも分かる。上記の理由から、本構造において交流出力極に形成される浮遊容量が非常に小さいことが予測される。

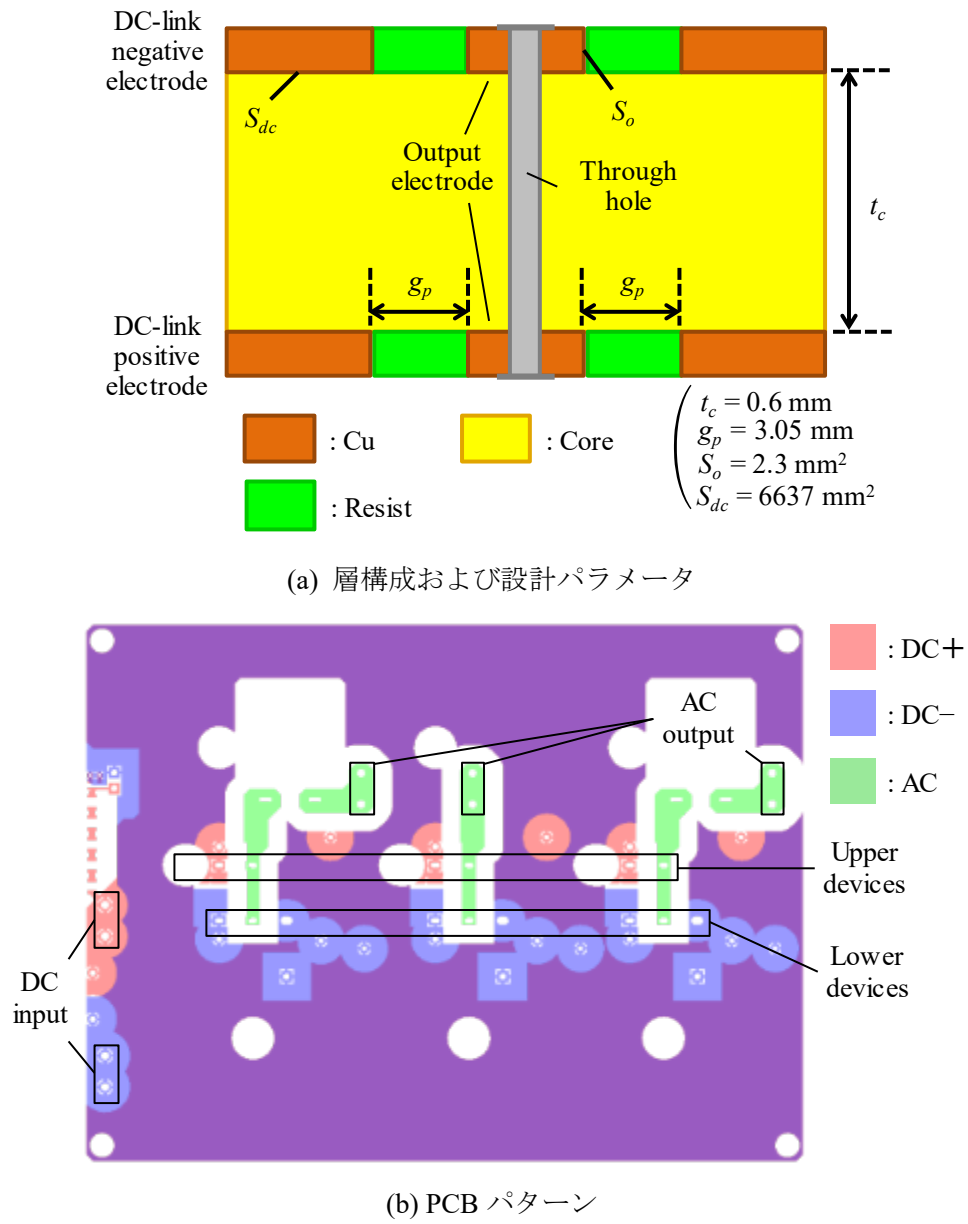


図 4.7 Model 4 の構造

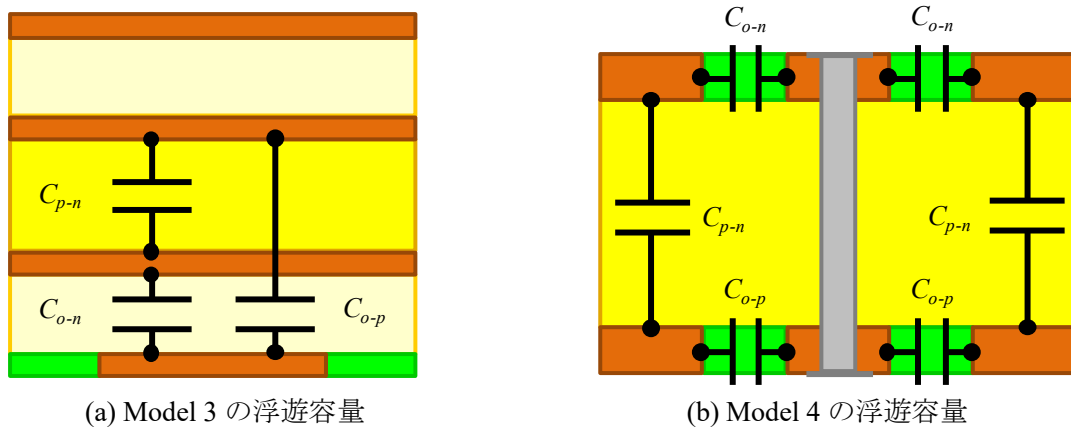


図 4.8 各 PCB 構造における浮遊容量

以上を踏まえて、本構造における PCB 設計指針は以下のように定める。

- DC リンク正負極パターンと同層に絶縁耐圧を満足する g_p を設けて、交流出力極パターンを配置する
- 上下の交流出力極パターン間は、スルーホールまたはビアを介して接続し、導体幅は許容電流密度を満足する限り細くする
- 板厚は想定される環境下において、耐えうるだけの機械的強度を有する最薄の構成を選択する

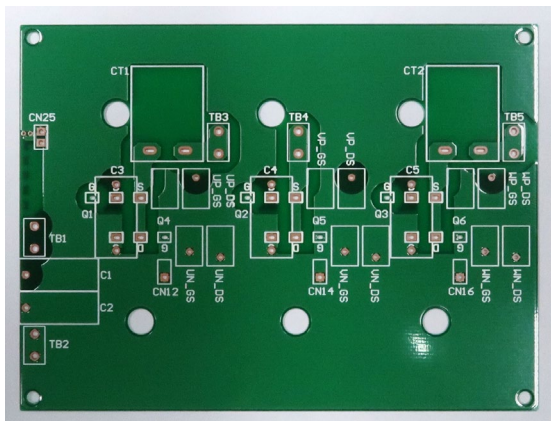
上記設計指針の板厚については、4 層基板に対して 2 層基板では基板中に存在する銅の割合が減少するため、機械的強度が低下する。そのため、本設計においては Model 3 の 0.6 mm に対して、0.8 mm の厚さで設計した。

前述の設計指針に基づいて設計した PCB の浮遊容量を 4.3.1 項と同様の方法で 3D-FEM 解析にて求めた。表 4.2 に Model 4 の浮遊容量の 3D-FEM 解析結果を示す。3D-FEM 解析結果から、Model 4 では Model 3 で 93.1 pF であった C_{o-n} を 0.3 pF まで大幅に低減できている。最新世代（第 3 世代）の SiC-MOSFET デバイスの中でも、低容量なデバイスの寄生出力容量は 10 pF 程度であり、Model 4 の 0.3 pF は現状の高速デバイスにおいてもスイッチング特性に影響を与えないと考えられる。

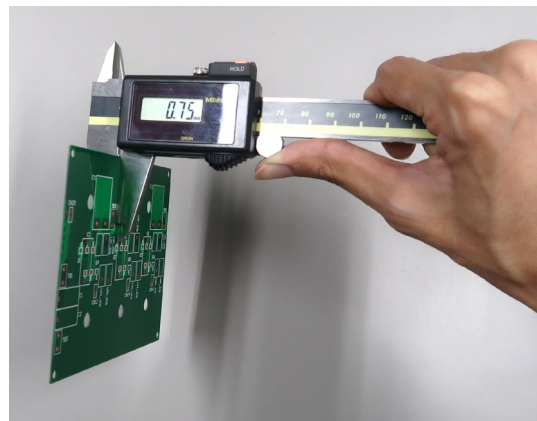
表 4.2 Model 3 および Model 4 の浮遊容量の 3D-FEM 解析結果

Symbol	Value [pF]		Circuit topology
	Model 3	Model 4	
C_{p-n}	1417.9	460	
C_{o-n}	93.1	0.3	
C_{o-p}	9.4	0.3	

3D-FEM 解析結果から、Model 4 では浮遊容量を効果的に低減できていることが確認できたので、実機を製作しその寄生成分を評価する。製作した Model 4 の基板を図 4.9 に示す。図 4.9(a)から分かるように、Model 4 もこれまで同様に三相インバータとして設計しており、一相分のみ評価する。また、図 4.9(b)から PCB の板厚が設計通り 0.75 mm であり、シルク・レジストの厚みを考慮すると、0.8 mm の設計仕様と一致する。



(a)Model 4 の外観

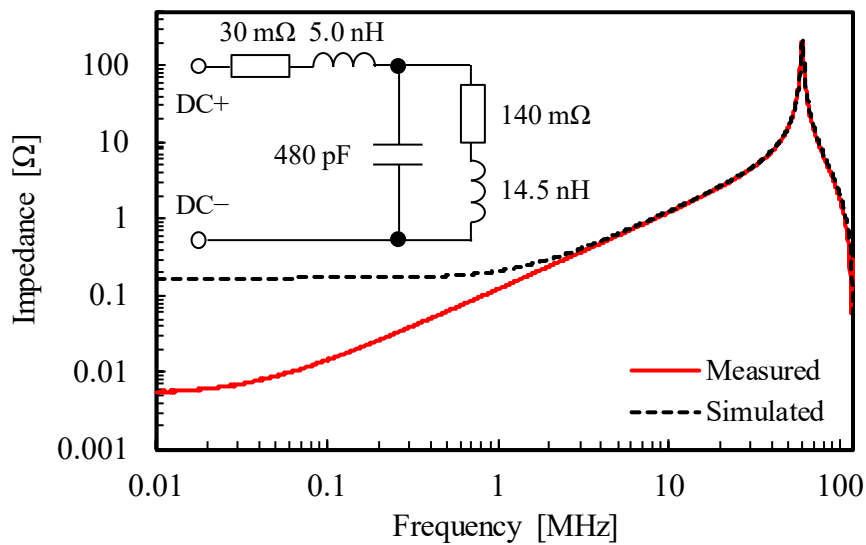


(b)板厚の測定

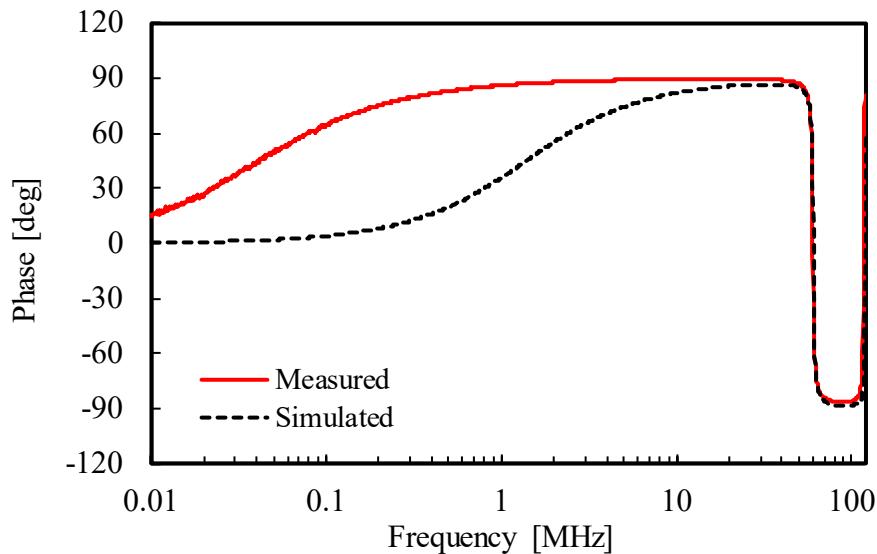
図 4.9 製作した Model 4

3.3 節および 4.3.1 項と同様の方法で、Model 4 の配線インダクタンスと浮遊容量をインピーダンスアナライザを用いて導出する。図 4.10(a)・4.10(b)にドレインソース間端子短絡時の周波数特性を、図 4.11(a)・4.11(b)にドレインソース間端子開放時の周波数特性をそれぞれ示す。図 4.10(a)の測定結果（実線）と共振・反共振点でのインピーダンスが整合するように、回路シミュレーションのパラメータを選定した解析結果（破線）および回路条件を併せて図中に記載する。測定結果から、高周波でのインピーダンス特性および位相特性が良好に一致している。また、Model 4 における DC リンクの配線インダクタンスは 19.5 nH であることが分かる。次に、図 4.11(a)・4.11(b)の周波数特性から、(4.3)式を用いて各部の浮遊容量

を求める。測定した周波数特性から導出した Model 4 の寄生成分を表 4.3 にまとめて示す。また、表 4.3 に Model 3 の寄生成分の測定結果を併記する。Model 4 では交流出力極の浮遊容量を大幅に低減できていることが実験結果からも明らかである。しかし、Model 3 に対して、配線インダクタンスが 5 nH 増加し、およそ 1.5 倍となっている。これは、Model 4 の板厚 0.6 mm に対して、Model 3 の DC リンク正負極間距離 0.2 mm であることが原因である。つまり、導体間距離が長くなったことで配線インダクタンスの増加を招いている。加えて、Model 4 では DC リンク正負極パターンの一部をくり抜いて交流出力極を配置しているため、DC リンク正負極パターンの共通面積が減少していることも原因として挙げられる。

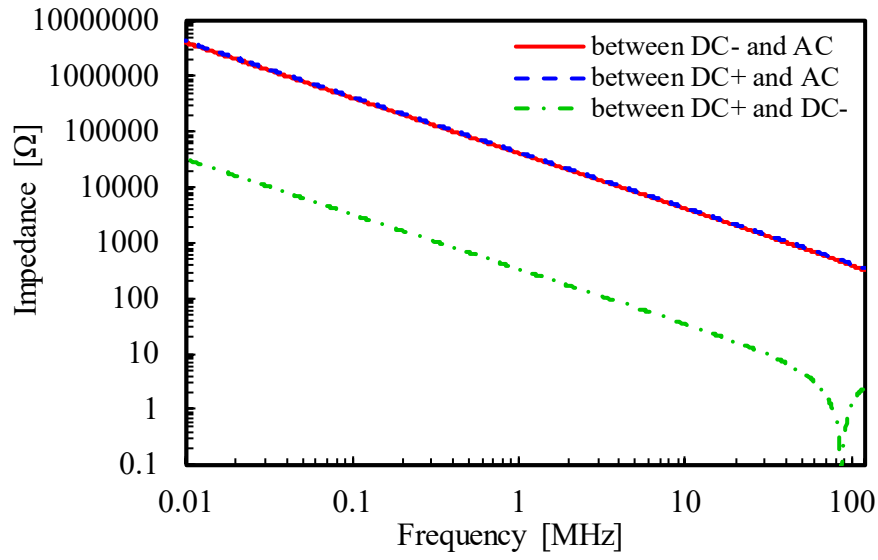


(a)インピーダンス特性

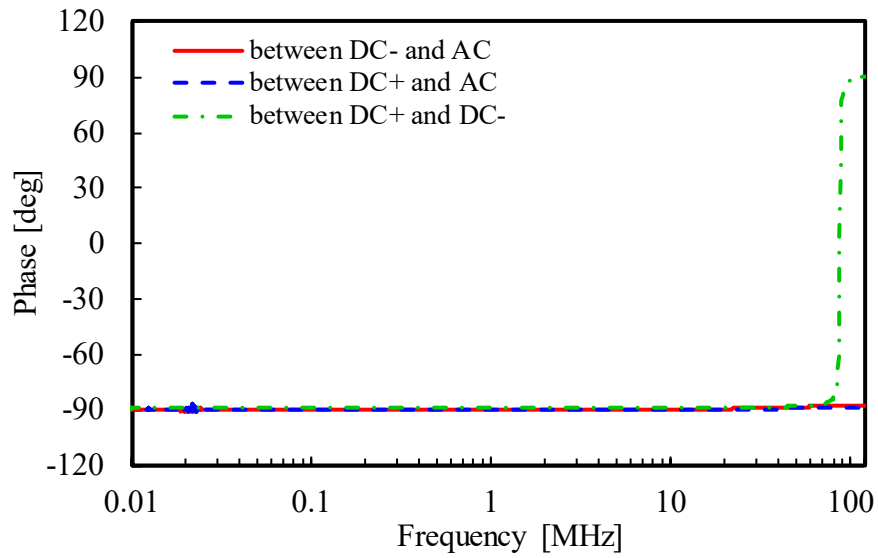


(b)位相特性

図 4.10 Model 4 の周波数特性（ドレイン－ソース間端子短絡）



(a)インピーダンス特性



(b)位相特性

図 4.11 Model 4 の周波数特性（ドレインソース間端子開放）

表 4.3 Model 3 と Model 4 の寄生成分の比較

Parameter	Value	
	Model 3	Model 4
Total stray inductance [nH]	12.0	19.5
Stray capacitance C_{p-n} [pF]	1350	474
Stray capacitance C_{o-n} [pF]	90.4	1.9

4.2.4 配線インダクタンス低減と両立する構造

前項において、積層配線構造と平行配線構造を併用した PCB 構造について検討したが、配線インダクタンスが増加するという問題が生じた。この問題点を解決すべく、Model 3 と同じ 4 層構成において、出力極直下の DC リンク正負極パターンを除外した Model 5 を提案する。図 4.12(a)・4.12(b)に Model 5 の層構成と PCB パターンをそれぞれ示す。併せて、Model 5 の設計パラメータを図 4.12(a)に記載する。本構造では、PCB の配線構造でなく、交流出力極との共通面積が存在する点に着目し、その対策を実施した。交流出力極直下に DC リンク正負極パターンが配置されていないことが図 4.12 から分かる。4.3.2 項の浮遊容量解析と (4.1)式の関係から、交流出力極に浮遊容量がほとんど無いことが予測される。本構造における PCB 設計指針は以下のように定める。

- 層構成および各設計値は Model 3 の PCB 設計と同様
- 交流出力極直下の DC リンク正負極パターンを除外

本構造においては、DC リンク正負極パターンの導体間距離は変化させていないので、配線インダクタンスの増加が無いと予想される。

前述の設計指針に基づいて設計した PCB の浮遊容量を 4.3.1 項と同様の方法で 3D-FEM 解析にて求めた。表 4.4 に Model 5 の浮遊容量の 3D-FEM 解析結果を示す。3D-FEM 解析結果から、Model 5 では Model 3 で 93.1 pF であった C_{o-n} を 7.3 pF まで大幅に低減できている。一方で Model 4 より浮遊容量が増加しているが、これは電束のフリンジングによる影響と推測され、交流出力極直下のパターンだけでなく、さらにその周囲の DC リンク正負極パターンを取り除くことで低減可能であると考えられる。

表 4.4 各モデルの浮遊容量の 3D-FEM 解析結果

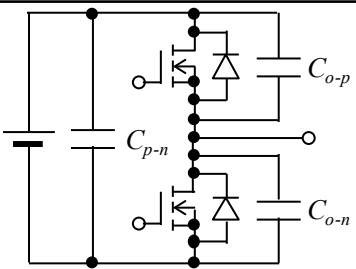
Symbol	Value [pF]			Circuit topology
	Model 3	Model 4	Model 5	
C_{p-n}	1417.9	460	998.8	
C_{o-n}	93.1	0.3	7.3	
C_{o-p}	9.4	0.3	12.0	



図 4.12 Model 5 の構造

3D-FEM 解析結果から、Model 5 でも浮遊容量を効果的に低減できていることが確認できたので、実機を製作しその寄生成分を評価する。製作した Model 5 の基板を図 4.13 に示す。図 4.13(a)から分かるように、Model 5 もこれまで同様に三相インバータとして設計しており、一相分のみ評価する。また、図 4.13(b)から PCB の板厚が設計仕様通り 0.60 mm にて製造できていることが確認できる。

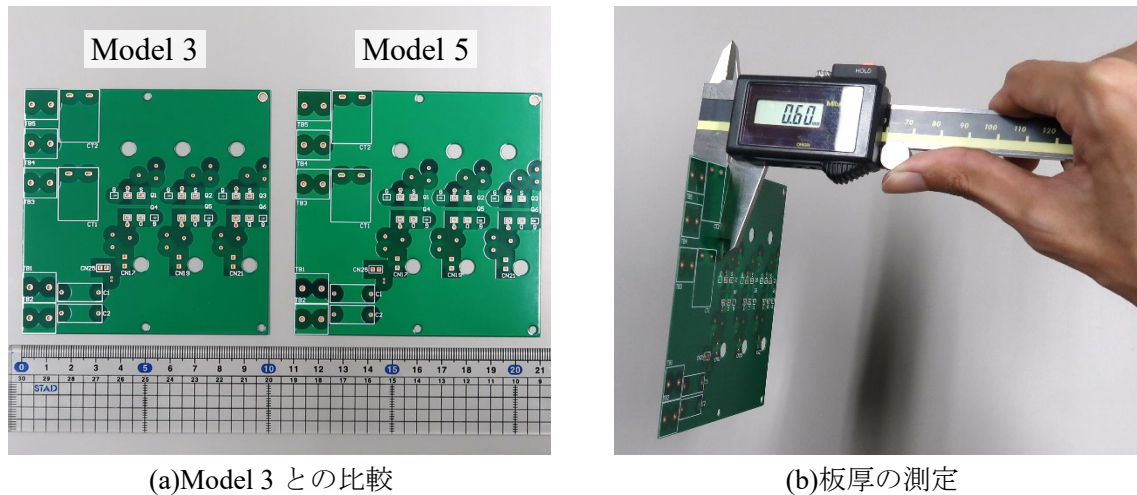
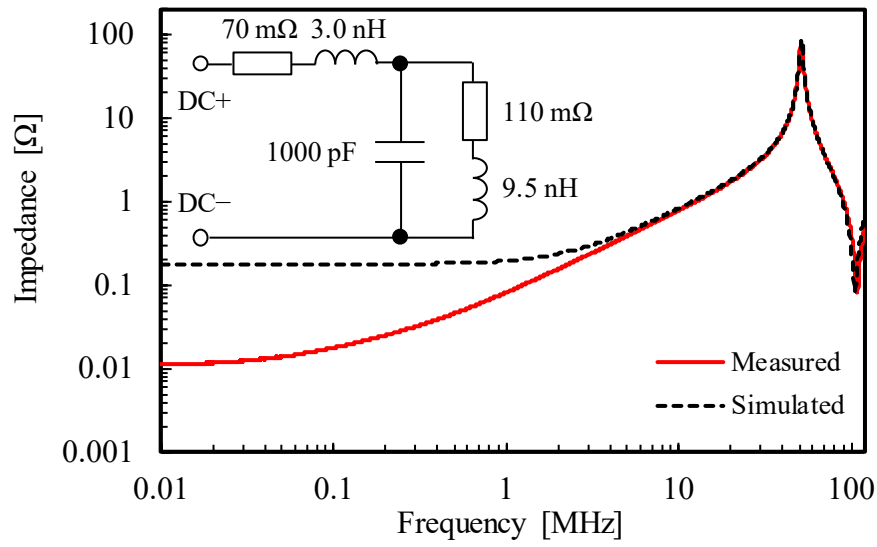
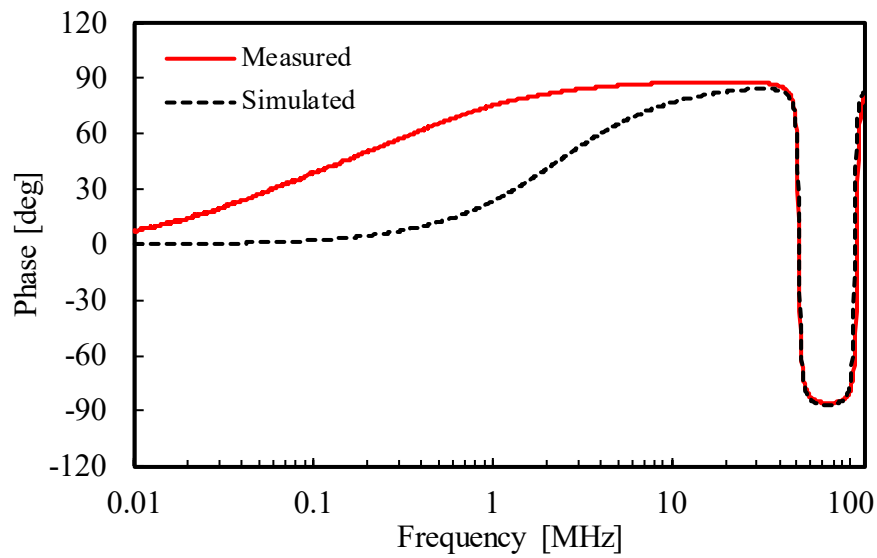


図 4.13 製作した Model 5

3.3 節および 4.3.1 項と同様の方法で、Model 5 の配線インダクタンスと浮遊容量をインピーダンスアナライザを用いて導出する。図 4.14(a)・4.14(b)にドレインソース間端子短絡時の周波数特性を、図 4.15(a)・4.15(b)にドレインソース間端子開放時の周波数特性をそれぞれ示す。図 4.14(a)の測定結果（実線）と共振・反共振点でのインピーダンスが整合するように、回路シミュレーションのパラメータを選定した解析結果（破線）および回路条件を併せて図中に記載する。測定結果から、高周波でのインピーダンス特性および位相特性が良好に一致している。また、Model 5 における DC リンクの配線インダクタンスは 3.0 nH と 9.5 nH の和である 12.5 nH であることが分かる。次に、図 4.15(a)・4.15(b)の周波数特性から、(4.3) 式を用いて各部の浮遊容量を求める。測定した周波数特性から導出した Model 5 の寄生成分を表 4.5 にまとめて示す。また、表 4.5 に Model 3 と Model 4 の寄生成分の測定結果を併記する。Model 5 では交流出力極の浮遊容量を 95 pF から 9.5 pF まで大幅に低減できていることが実験結果からも明らかである。しかし、3D-FEM 解析と同様に Model 4 よりも浮遊容量が増加している。これについては、4.2.2 項の検討において、交流出力極の浮遊容量をデバイスの寄生出力容量よりも十分に小さくすることが重要であることを示しており、使用している SiC-MOSFET の寄生出力容量が定格電圧 564 V 時において 180 pF であるため、十分に小さく問題とならない。

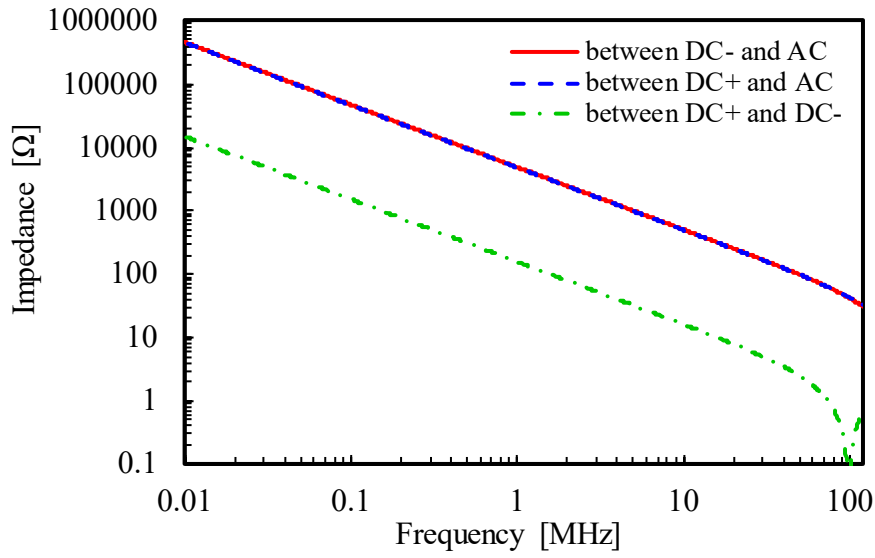


(a)インピーダンス特性

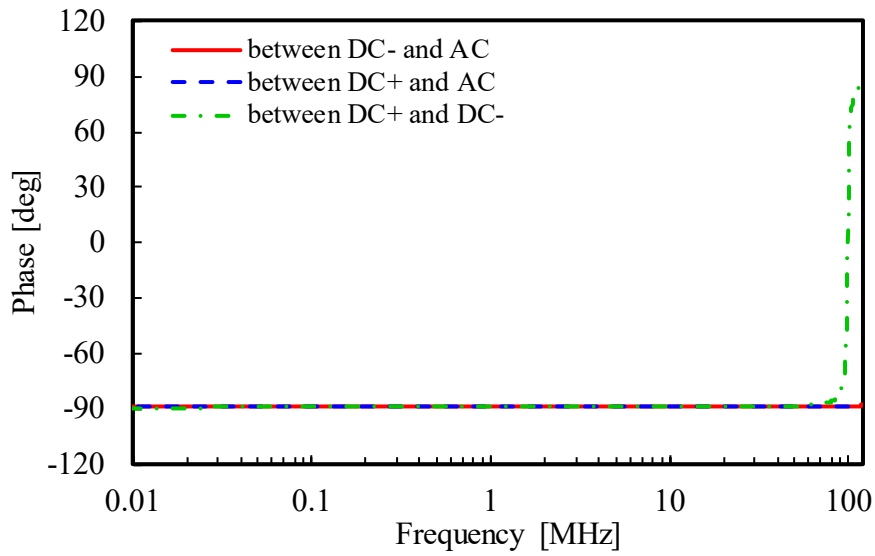


(b)位相特性

図 4.14 Model 5 の周波数特性（ドレイン－ソース間端子短絡）



(a)インピーダンス特性



(b)位相特性

図 4.15 Model 5 の周波数特性（ドレインソース間端子開放）

表 4.5 各 PCB の寄生成分の比較

Parameter	Value		
	Model 3	Model 4	Model 5
Total stray inductance [nH]	12.0	19.5	12.5
Stray capacitance C_{p-n} [pF]	1350	474	1010
Stray capacitance C_{o-n} [pF]	90.4	1.9	9.5

4.3 実験結果

前節において、設計した各 PCB が浮遊容量を低減できていることを周波数特性測定から確認した。寄生出力容量が比較的小さい SiC-MOSFET を使用することで、スイッチング特性への影響を顕著にする。試験条件および試験回路構成は表 4.6・図 4.16 にそれぞれ示す。図 4.16 に示すようにハーフブリッジインバータ構成において、ハイサイドを常にオフ、ローサイドをスイッチングするチョッパ試験法を採用する。

本測定では、オシロスコープ（Tektronix, HDO58：周波数帯域 500 MHz）、と光絶縁プローブ（TIVH08：周波数帯域 800 MHz）を用いて、スイッチング波形を測定する。また、パワーメータ（HIOKI, PW6001：周波数帯域 2 MHz）と専用の電流センサボックス（PW9100：周波数帯域 3.5 MHz）を用いて、インバータ効率を測定する。

表 4.6 試験条件

Parameter	Symbol	Value
DC-link voltage	V_{dc}	564 V
Load resistance	R_l	60 - 240 Ω
Load inductance	L_l	15 mH
Gate-Source voltage	V_{gs}	+19.5 V / -2.0 V
External gate resistance	$R_{g(ext)}$	3.3 Ω
Switching frequency	f_{sw}	100 kHz
Duty ratio	d	0.5

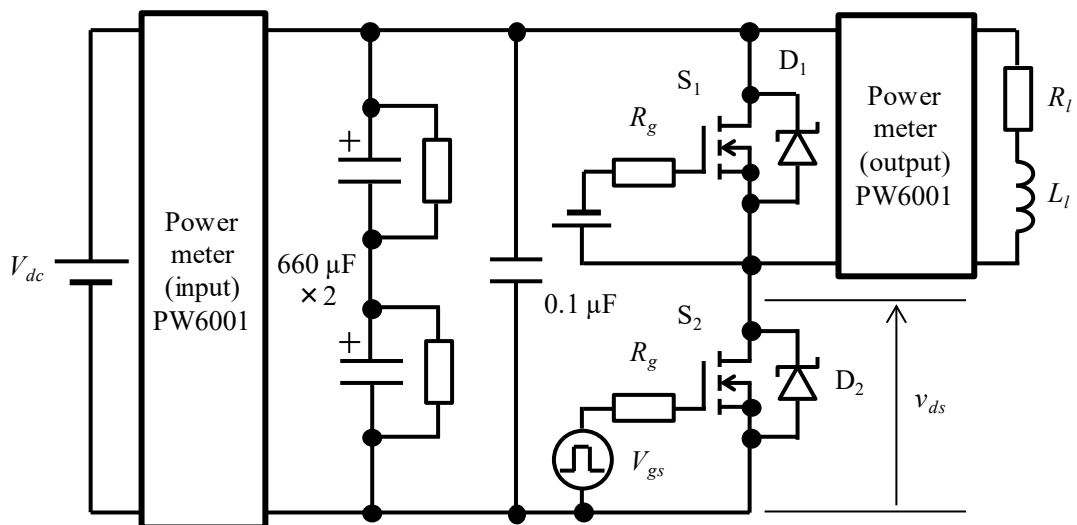
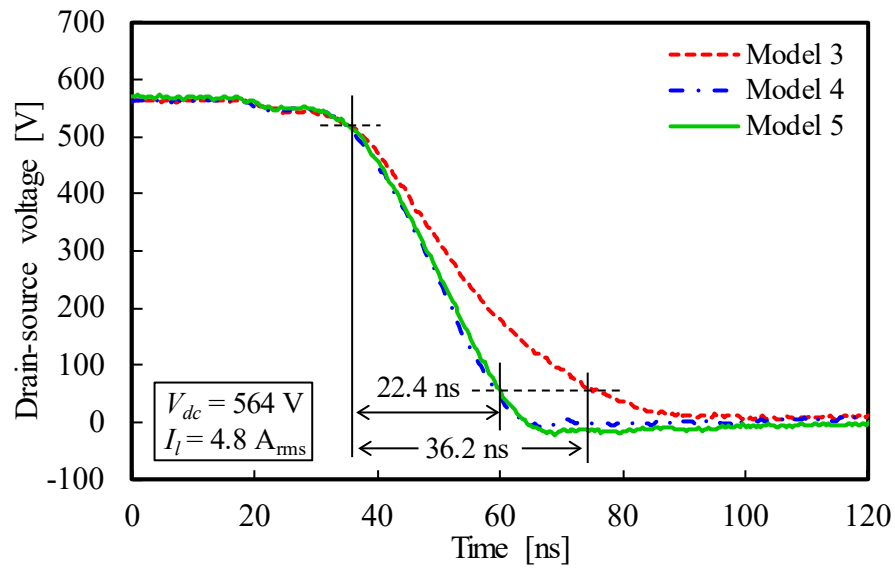


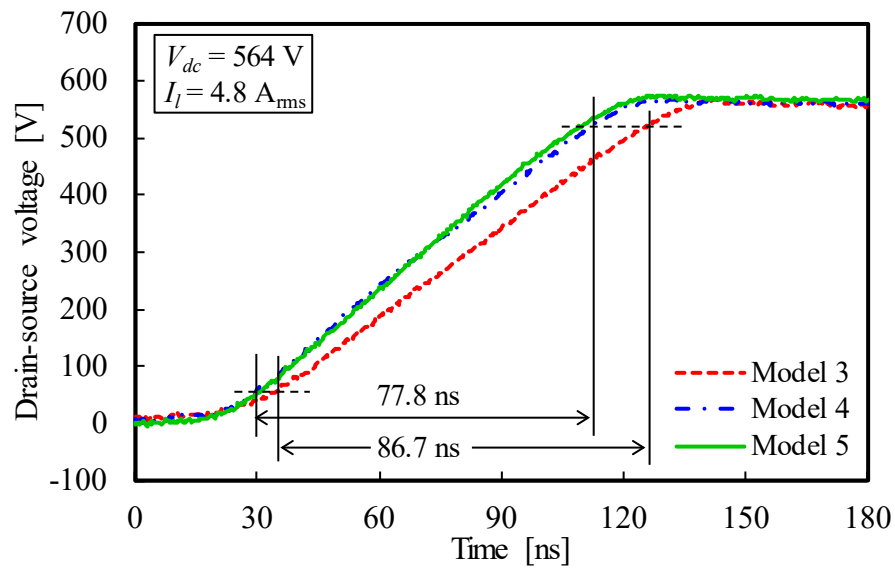
図 4.16 試験回路構成

4.3.1 スイッチング特性の測定

交流出力極の浮遊容量が、スイッチング速度に与える影響を実験的に評価するために、ローサイドデバイスのドレイン・ソース間電圧をオシロスコープを用いて観測する。図4.17(a), 4.17(b)に実測したターンオン・ターンオフ時のドレイン・ソース間電圧波形をそれぞれ示す。回路シミュレーション結果と同様に、交流出力極に浮遊容量を有する Model 3 のインバータでは、スイッチング速度の低下が確認できる。ドレイン・ソース間電圧の立上り時間は、Model 3 と Model 4 でそれぞれ 86.7 ns と 77.8 ns である。同様に、立下り時間は 36.2 ns と 22.4 ns である。以上の結果から、交流出力極に比較的大きい浮遊容量を有する Model 3 では、スイッチング速度が立上り動作時で 10%、立下り動作時で 38%低下していることが確認できる。また、配線インダクタンスの大きい Model 4 の方が、Model 3 よりもスイッチング速度が速いことから、ドレイン・ソース間電圧に関して、配線インダクタンスよりも浮遊容量による影響が大きいことが分かる。さらに、サージ電圧の最大値は、3.6 V および 5.4 V と両 PCB においてほとんど変化しておらず、低サージ電圧であることが確認できる。このとき、ドレイン・ソース間電圧 564 V におけるデバイス寄生出力容量は、データシートから 180 pF である。3D-FEM 解析結果および周波数特性測定結果から、出力極の浮遊容量が 100 pF 程度であると推定されるので、デバイス寄生出力容量に匹敵する浮遊容量は、ドレイン・ソース間電圧の遷移時間を遅くし、スイッチング特性に大きく影響を与えることが分かる。また、Model 4 と Model 5 においては、双方とも浮遊容量をデバイスの寄生出力容量から十分に小さく出来ていることから、スイッチング速度にほとんど差異が見られない。



(a)ターンオン特性



(b)ターンオフ特性

図 4.17 測定した各モデルのスイッチング特性

4.3.2 効率特性

スイッチング速度の低下が、インバータ効率に与える影響を評価するために、パワーメータを用いて主回路効率を測定する。このとき、スイッチング速度の低下による効率への影響を顕著にするために、スイッチング周波数は 100 kHz とする。図 4.18 に、負荷を変化させた時の両 PCB におけるスイッチング損失を示す。導通損失は、3 章と同様にデータシートのオン抵抗ならびに順方向電圧降下、および測定した負荷電流実効値から算出する。このとき、負荷インダクタンスが 15 mH と十分に大きく、スイッチング期間において負荷電流の変動は起こらないものと仮定する。スイッチング損失は、パワーメータで測定した、入力側と出力側の電力の差から全損失を算出し、さらに導通損失を差し引いて算出する。

図 4.18 から、Model 4 を用いたインバータでは、スイッチング損失を低減できていることが確認できる。特に、負荷電流が小さい領域においては、スイッチング損失の差が大きいことが分かる。これは、出力容量の充電時間が負荷電流に大きく依存しており、小さい負荷電流のために長い充電時間が、出力極の浮遊容量によって、さらに長くなっているためである。一方で、負荷電流が増加すると、スイッチング損失の差が小さくなっていることが確認できる。これは、表 4.5 から Model 4 の配線インダクタンスが、Model 3 よりも 1.5 倍程度大きく、配線インダクタンスの増加による電流変化速度の低下がスイッチング損失を増加させていると推測される。

図 4.19 に Model 4 の Model 3 に対する DC リンク電圧と負荷電流に関するスイッチング損失の変化率マップを示す。特にパワーデバイスの寄生出力容量には電圧依存性があるため、DC リンク電圧に関する特性は重要である。図 4.19 から、ほとんどの測定点において Model 4 ではスイッチング損失を低減できていることが分かる。以上の結果から、浮遊容量の低減によってスイッチング損失を低減可能であるが、電力変換器の動作点によって、支配的となる寄生成分が異なるため、寄生成分と負荷特性を考慮した主回路設計が重要である。

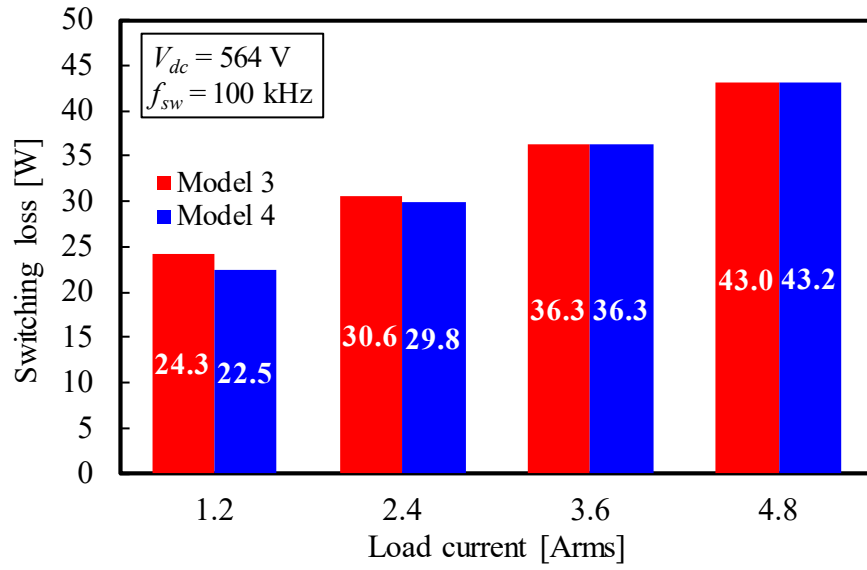


図 4.18 測定した各 PCB の負荷電流－スイッチング損失特性

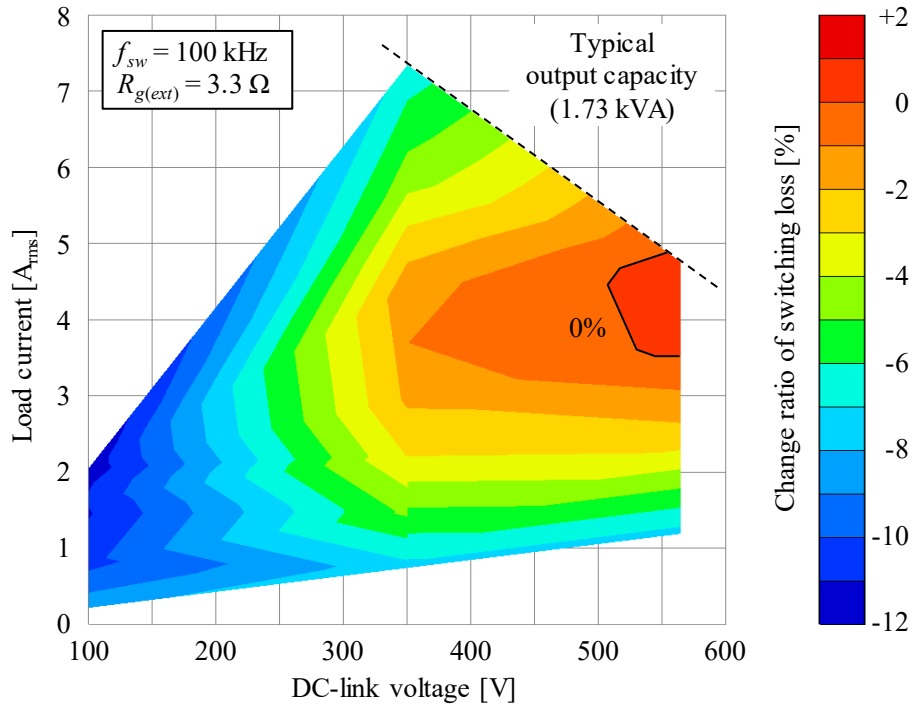


図 4.19 Model 4 の Model 3 に対するスイッチング損失差マップ

4.4 4章のまとめ

主回路配線によって生じる浮遊容量について、コスト・性能の観点から、浮遊容量を低減可能な主回路構造について検討を実施した。まず、インバータの交流出力極の浮遊容量が、ドレインソース間電圧のスイッチング遷移時間を長くすることを回路解析から明らかにした。そして、これまでの主回路設計指針において、浮遊容量を形成する要因を検討し、新たに浮遊容量を低減するための主回路構造を提案し、その設計指針を導出した。また、3D-FEM 解析および周波数特性測定から本構造が浮遊容量低減に有効であることを示した。実機検証にて、交流出力極の浮遊容量低減がドレインソース間電圧のスイッチング速度向上に寄与し、広い動作点に渡ってスイッチング損失を低減できることを確認した。

5 章 システム効率に着目したモータ駆動用インバータの設計法

3 章・4 章で、高周波インバータにおいて支配的となるスイッチング損失を低減するための主回路設計法について述べた。本章では、SiC や GaN などの次世代パワー半導体デバイス普及のために、超高速モータ駆動用のインバータへの応用について検討する。一般的なモータでは、モータインダクタンスが大きいいため、20 kHz 程度までのスイッチングが適用される。一方で、超高速モータでは回転速度が速いため、電流基本波周波数が高く、高周波インバータが求められる。さらに、モータインダクタンスが小さいため、鉄損抑制効果が大きく、従来の 20 kHz 以上の高周波スイッチングにおいて、モータ鉄損抑制効果から、システム効率の向上が見込まれる。そこで、100,000 rpm 超高速モータを対象とした、モータ駆動システムのシステム効率の向上を目指す。まず、前章までで検討した寄生成分の低減によって、スイッチング損失を低減可能であり、モータ駆動システムのシステム効率を改善できることを示す。次に、モータ運転点とインバータ最大効率点が異なることに着目し、インバータ効率点の調整法について検討する。最後に、100,000 rpm 超高速モータの駆動システムにおいて、インバータのスイッチング損失を低減したことで、相対的にモータ鉄損効果が大きく得られ、従来の 20 kHz よりも高い 40 kHz 以上での高周波スイッチング下においても、システム効率を向上できることを示す。

5.1 モータ駆動システムにおける損失

5.1.1 モータ駆動システムの構成

図 5.1 に一般的なモータ駆動システムの構成を示す。三相整流器と三相 PWM インバータ、そしてインバータを制御するコントロールユニットから構成されている。商用電源からの交流電力を直流電力に変換し、平滑コンデンサで電圧変動分を吸収する。直流電力を三相 PWM インバータによって、試験モータを駆動する交流電力に変換する。このとき、試験モータの角度信号 θ および三相電流信号 $i_u \cdot i_w$ をフィードバックして、試験モータを適切な回転速度あるいは負荷トルクにて運転させる。このとき、PWM インバータは図 5.1 の相電圧 v_u のような時間に応じてデューティ比が変化する電圧波形を出力する。その結果、インバータ出力電圧とモータ誘起電圧から、相電流 i_u には基本波周波数の成分に加えて、スイッチング動作に伴う高周波リプルが重畳する。この高調波リプルは、モータの騒音・振動の増加に加えて、モータ鉄損の増加を引き起こす。このとき、インバータのスイッチング周波数を高くすることで、スイッチングリプル成分を低減でき、より正弦波に近い出力電流波形を得ることができる。

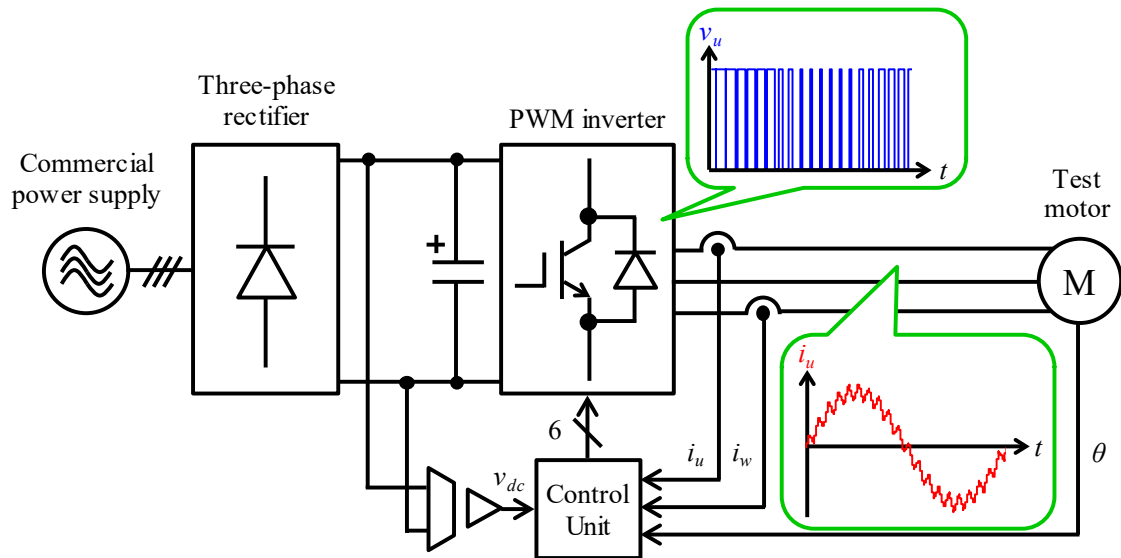


図 5.1 一般的なモータ駆動システムの構成

図 5.1 のシステムにおいて、三相整流器・平滑コンデンサ・三相 PWM インバータ・試験モータにおいて損失が発生する。インバータは直流/交流変換器である点、自動車駆動用途などではバッテリー給電のため整流回路が不要である点を考慮して、三相整流器の損失は検討しない。また、平滑コンデンサでの損失は、インバータおよびモータでの損失と比較すると小さいため、本検討では三相 PWM インバータと試験モータの損失についてのみ検討する。

5.1.2 インバータ損失

電力変換器の損失は、総じてパワーデバイスの動作によって生じ、インバータにおいてもその限りである。図 5.2 にインバータにおける損失の内訳を示す。まず、デバイスが完全にオンもしくはオフの状態である定常状態においては、導通損失が生じる。デバイスがオン状態の場合、IGBT ではオン電圧降下、MOSFET ではオン抵抗に依存してオン損失が生じる。オフ状態の一部の期間には、還流ダイオード (FWD) を流れ、ダイオードの静特性に応じた順方向電圧降下により損失が発生する。厳密には、デバイスのオフ状態時に漏れ電流によってオフ損失が発生するが、オン損失と比較すると非常に小さいため無視する。次に、2 章において説明したが、スイッチング動作の過渡期間に生じるスイッチング損失がある。これは、デバイスのオンからオフに切り替わる期間にターンオン損失、オフからオンに切り替わる期間にターンオフ損失が生じる。また、FWD で還流していた電流が途切れ、転流する期間においては FWD で逆回復損失が発生する。電力変換器の損失は、スイッチング動作に伴う各部の電圧・電流波形を理解し、各動作期間に生じる損失を推定することで求めることが可能である。本項では、三相インバータの PWM 駆動時における損失の推定法について説明する。

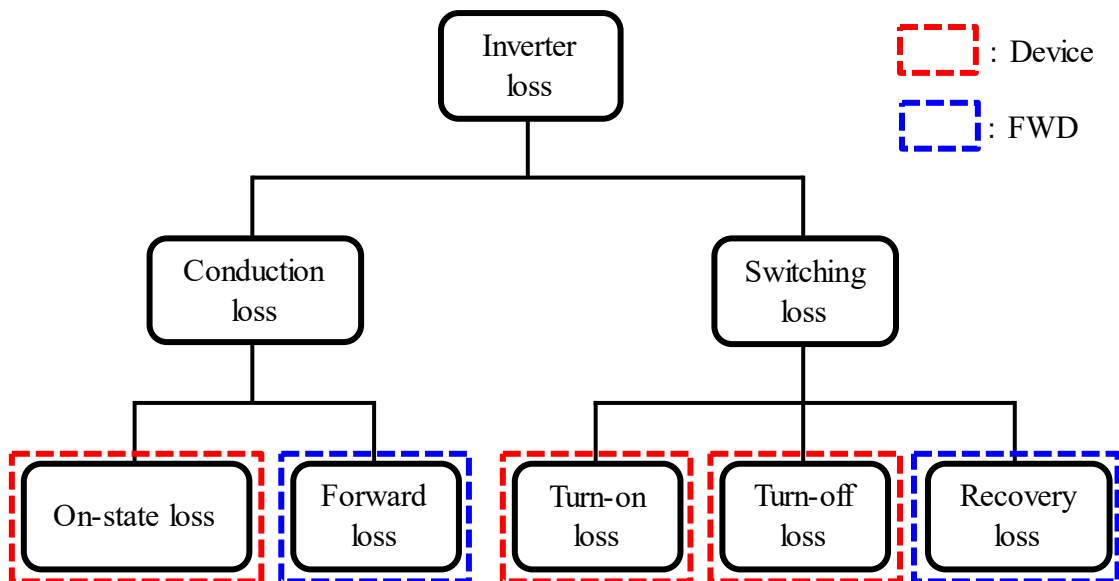


図 5.2 インバータの損失内訳

A. 導通損失の推定

三相インバータの損失を推定するにあたって、インバータの制御方式は三角波比較 PWM 変調方式とし、相電流波形および変調信号が正弦波状であると仮定する。このとき、デューティ比 D は、文献[75]より以下のように表すことができる。

$$D = \frac{1}{2} \{1 + m \sin(\theta + \alpha)\} - \frac{t_d}{T_{sw}} \quad (5.1)$$

このとき、 m は変調率、 θ は位相角、 α は電圧と電流の位相差、 t_d はデッドタイム、 T_{sw} はスイッチング周期である。図 5.3 に三相インバータの構成を、図 5.4 に三相インバータ各部の波形を示す。図 5.4(a) から、三相インバータの PWM 変調時においては、 D が時々刻々と変化していることが分かる。また、図 5.4(b) からデバイスに流れるドレイン電流は相電流を D に応じて切り取った波形となっている。つまり、導通時にはドレイン電流は相電流と等しい。これらの波形から、MOSFET の瞬時導通損失 $p_{c(FET)}$ はオン抵抗 $R_{ds(on)}$ に起因して発生しており、(5.2) 式のように示される。また、FWD の瞬時導通損失 $p_{c(FWD)}$ はダイオードの順方向電圧降下 v_f に起因して発生しており、(5.3) 式のように示される。

$$p_{c(FET)} = D \cdot R_{ds(on)} \cdot i_d^2 \quad (5.2)$$

$$p_{c(FWD)} = (1 - D) \cdot v_f \cdot i_d \quad (5.3)$$

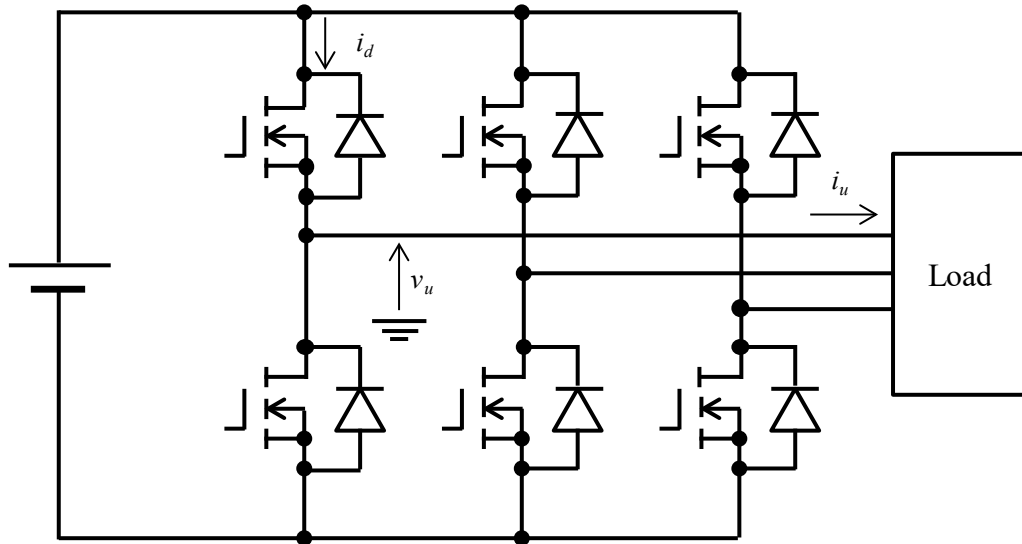
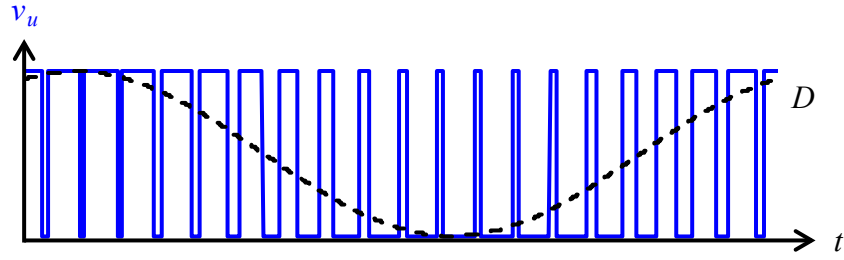
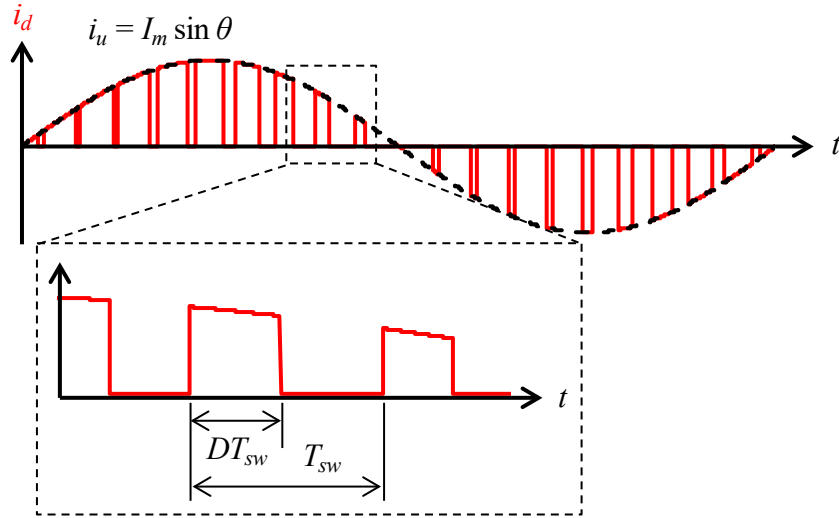


図 5.3 三相インバータの構成



(a)相電圧波形とデューティ波形



(b)ドレイン電流波形と相電流波形

図 5.4 三相インバータの各部波形概形

このとき、 $R_{ds(on)}$ および v_f は i_d に応じて変化するドレイン電流依存特性を有している。これらの特性は、データシートに記載されており、多項式近似を用いて以下のように示めされる。

$$R_{ds(on)} = a_3 i_d + a_2 i_d + a_1 i_d + a_0 \quad (5.4)$$

$$v_f = b_3 i_d + b_2 i_d + b_1 i_d + b_0 \quad (5.5)$$

MOSFET の導通損失 $P_{c(FET)}$ と FWD の導通損失 $P_{c(FWD)}$ は、各瞬時損失の平均電力に相当するので、

$$P_{c(FET)} = \frac{1}{2\pi} \int_0^\pi p_{c(FET)} d\theta \quad (5.6)$$

このとき、一周期中において実際に導通している期間は半周期なので、積分区間は 0 から π までとなる。(5.1)・(5.2)・(5.4)・(5.6)式から、 $P_{c(FET)}$ は負荷電流振幅 I_m を用いて以下のように置き換えられる。

$$P_{c(FET)} = \left\{ \frac{4}{15\pi} \left(1 - \frac{t_d}{T_{sw}} \right) + \frac{5m}{64} \cos \varphi \right\} a_3 I_m^5 + \left\{ \frac{3}{32} \left(1 - \frac{t_d}{T_{sw}} \right) + \frac{4m}{15} \cos \varphi \right\} a_2 I_m^4 \\ + \left\{ \frac{1}{3\pi} \left(1 - \frac{t_d}{T_{sw}} \right) + \frac{3m}{32} \cos \varphi \right\} a_1 I_m^3 + \left\{ \frac{1}{8} \left(1 - \frac{t_d}{T_{sw}} \right) + \frac{m}{3\pi} \cos \varphi \right\} a_0 I_m^2 \quad (5.7)$$

同様に(5.1)・(5.3)・(5.5)式から FWD も置き換えると,

$$P_{c(FWD)} = \left\{ \frac{3}{32} \left(1 + \frac{t_d}{T_{sw}} \right) - \frac{4m}{15\pi} \cos \varphi \right\} b_3 I_m^4 + \left\{ \frac{1}{3\pi} \left(1 + \frac{t_d}{T_{sw}} \right) - \frac{3m}{32} \cos \varphi \right\} b_2 I_m^3 \\ + \left\{ \frac{1}{8} \left(1 + \frac{t_d}{T_{sw}} \right) - \frac{m}{3\pi} \cos \varphi \right\} b_1 I_m^2 + \left\{ \frac{1}{2\pi} \left(1 + \frac{t_d}{T_{sw}} \right) - \frac{m}{8} \cos \varphi \right\} b_0 I_m \quad (5.8)$$

これまで、MOSFET について計算を実施したが(5.2)式を IGBT の飽和電圧 $V_{ce(sat)}$, コレクタ電流 i_c に関する以下の式に置換すると, IGBT の導通損失を推定することが可能である。

$$p_{c(IGBT)} = D \cdot V_{ce(sat)} \cdot i_c \quad (5.9)$$

1 デバイスの一周期中での導通損失 P_c は, 図 5.3 に示すように,

$$P_c = P_{c(FET)} + P_{c(FWD)} \quad (5.10)$$

このとき負荷力率が悪く, デッドタイムが長いほどデバイスを通電する期間が短くなり, FWD を通電する期間が長くなる。(5.7)・(5.8)式からも, $\cos \varphi$ が小さく, t_d が大きいほど MOSFET での導通損失が低下し, FWD での導通損失が増加することが明らかである。そのため, デバイスと FWD の静特性に応じて, 導通損失が最小となり得る動作点が存在する。

また, オン抵抗はドレイン電流依存特性だけでなく, 温度依存特性も有しており, 双方を考慮した損失推定は複雑である^[76]。

B. スイッチング損失の推定

スイッチング損失を推定する方法として, 以下の方法が代表的である。

- 過渡回路方程式を解き, 各部の電圧・電流を求める
- 実機にてデバイスのドレイン電流とドレインソース間電圧の波形を観測する
- データシートの特性曲線から求める

過渡回路方程式を解く方法では, 回路上の寄生成分を考慮した際に回路方程式を解くことは容易でない。また, 実機にてデバイスのドレイン電流とドレインソース間電圧波形を観測する方法では, 事前に損失を推定できない点, 高速動作を観測するためのプロービング技術が求められる点が問題となる。さらに, 三相インバータにおいては, 一周期中において負荷電流が変化するため, 一周期分の波形を要し, 各期間のスイッチングタイミングのスイッチングエネルギーを計算する必要がある。つまり, 計算に要するデータ量および演算の手間膨大となる。そこで, 本稿では簡易的に推定する方法として, データシートの特性曲線からスイッチング損失を求める。

データシートには, 各メーカーの評価基板にて測定されたスイッチングエネルギー $E_{(data)}$ が

記載されている。併せて、スイッチングエネルギーの特性曲線が記載されており、負荷電流・印加電圧・ゲート抵抗・接合部温度などによって変化する。まず、データシートから値を読み取り、多項式近似を用いて任意の電圧・電流条件におけるスイッチングエネルギーを算出する。しかし、電圧と電流を同時に変化させた場合の特性曲線はデータシート上に記載されていないため、電圧と電流の傾向が負荷条件に依らず変化しないと仮定し、電圧係数 k_v と電流係数 k_i を用いて、スイッチングエネルギー E_{sw} を推定する。

$$k_v = \frac{c_3 v_{ds}^3 + c_2 v_{ds}^2 + c_1 v_{ds} + c_0}{E_{(data)}} \quad (5.11)$$

$$k_i = \frac{d_3 i_d^3 + d_2 i_d^2 + d_1 i_d + d_0}{E_{(data)}} \quad (5.12)$$

$$E_{sw} = k_v \cdot k_i \cdot E_{(data)} \quad (5.13)$$

このとき、各係数は運転点での DC リンク電圧および負荷電流振幅時から算出する。また、ターンオン時のスイッチングエネルギー E_{on} とターンオフ時のスイッチングエネルギー E_{off} は個別に記載されているため、(5.11)・(5.12)式を用いて、それぞれの各係数を求める必要がある。また、三相インバータでは負荷電流が正弦波状に変化することから、一周期における平均値を求める必要がある。このとき、スイッチングエネルギーが負荷電流と比例関係にあると仮定すると、1 デバイスの一周期中でのスイッチング損失 P_{sw} はスイッチング周波数 f_{sw} を用いて、以下のように求められる。

$$P_{sw} = \frac{1}{\pi} (E_{on} + E_{off}) f_{sw} \quad (5.14)$$

このとき、図 5.5 に示す三相 PWM インバータのスイッチング動作に基づいて、各電流極性時に、片アームのデバイスでのみスイッチング損失が生じる。そのため、(5.14)式において、正弦波の半周期平均値として $1/\pi$ を係数として乗じている。また、(5.14)式は最大電流振幅時のスイッチングエネルギーから算出できる。厳密には、負荷電流に応じて、スイッチングエネルギーが線形に変化しないため、各電流時におけるスイッチングエネルギーを時間領域において求め、1 周期中で平均する必要がある。

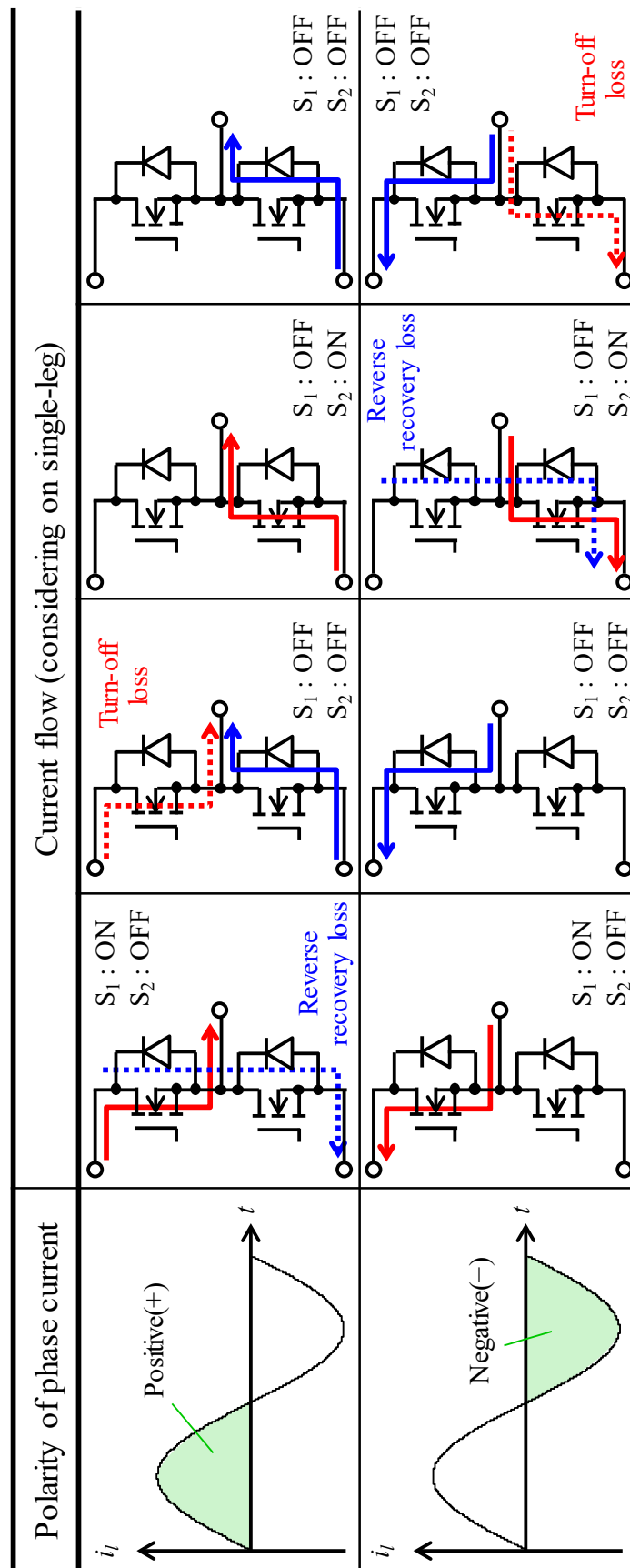
C. インバータ効率の推定

これまで、導通損失とスイッチング損失を推定したが、三相インバータ全体での損失 $P_{loss(inv)}$ は図 5.3 から分かるように、デバイスを 6 つ使用しているので、

$$P_{loss(inv)} = 6(P_c + P_{sw}) \quad (5.15)$$

三相インバータの出力電力を $P_{o(inv)}$ 、インバータ効率 η_{inv} とすると、以下の関係が成り立つ。

$$\eta_{inv} = \frac{P_{o(inv)}}{P_{o(inv)} + P_{loss(inv)}} \times 100 \quad (5.16)$$



※簡単のため、Turn-on lossについては記載を省略

図 5.5 PWM 駆動時の一相中におけるスイッチング動作

5.1.3 モータ損失

図 5.6 にモータの損失内訳を示す。モータの損失は、巻線で発生する銅損と磁性体で発生する鉄損、機械的摩擦で生じる機械損に分類される。銅損 P_{copp} は巻線抵抗 R_a と負荷電流実効値 I_a を用いて、次式で示される。

$$P_{copp} = 3R_a I_a^2 \quad (5.17)$$

鉄損 P_{iron} は、B-H 特性のヒステリシス特性から発生するヒステリシス損 P_h と磁性体に磁束が鎖交することで発生する渦電流損 P_e に分類される。

$$P_{iron} = P_h + P_e = k_h B_m f + \sigma_e (B_m f)^2 \quad (5.18)$$

ここで、 B_m は磁束密度、 f は動作周波数、 k_h はヒステリシス係数、 σ_e は電気伝導率である。(5.18)式から、鉄損は磁束密度と周波数に影響を受ける。そのため、高速回転モータでは、高周波での電流リップルによる磁束密度の変化により、鉄損の増加が懸念される。また、鉄損は定式化して求めることが困難で、リラクタンスネットワーク解析 (RNA) や FEM 解析を用いて、解析的に求める手法が広く採用されている。モータ損失 $P_{loss(mot)}$ は、機械損 P_m を用いて次式で表される。

$$P_{loss(mot)} = P_{copp} + P_{iron} + P_m \quad (5.19)$$

モータの軸出力を $P_{o(mot)}$ とすると、モータ効率 η_{mot} は以下の式で表される。

$$\eta_{mot} = \frac{P_{o(mot)}}{P_{o(mot)} + P_{loss(mot)}} \times 100 \quad (5.20)$$

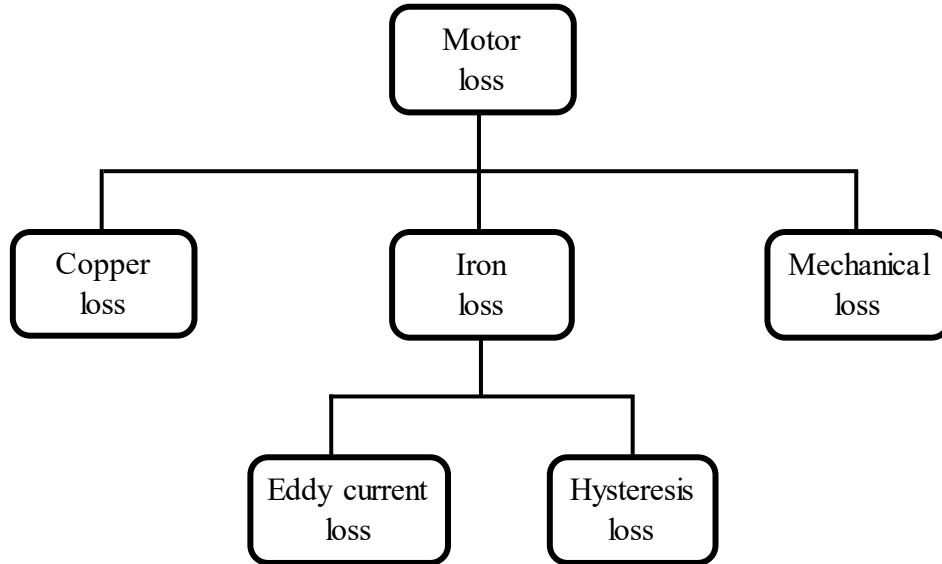


図 5.6 モータの損失内訳

5.2 システム効率に着目したインバータ設計法の検討

5.2.1 対象とするモータ駆動システム

一般的なモータ駆動システムでは、電流制御性およびシステム効率・電磁ノイズの観点から、20 kHz 以下のスイッチング周波数にて駆動される。まず、電流制御性においては、スイッチング周波数はモータ電流の基本波周波数の 10 倍以上に設定するのが一般的である。次に、電磁ノイズにおいては、図 2.11 に示す電圧スペクトルから、20 kHz 以上の高周波スイッチングは、AM 帯域に影響を与えることが懸念される。最後に、システム効率においては、5.1.1 項で説明したように、モータ駆動システムにおいて、インバータのスイッチング周波数を高くすることは、電流リプルを低減し、モータ鉄損の抑制に効果的である。一方で、図 5.7(a)に示すように、スイッチング周波数の高周波化は、インバータのスイッチング損失を増加させるため、インバータ効率を低下させる。このとき、スイッチング周波数が 20 kHz 以下であるため、Si-IGBT が利用され、スイッチング損失が支配的となる。また、モータのインダクタンスが数 mH 以上と大きく、スイッチング周波数の上昇に伴う電流リプルの低減効果が小さい。そのため、20 kHz 以下のスイッチング周波数において最大システム効率を得られ、20 kHz 以上のスイッチング周波数ではモータ鉄損にほとんど変化がなく、インバータのスイッチング損失増加によるシステム効率低下を招く。さらに、高周波スイッチング時には電磁ノイズやモータ軸電圧による劣化が問題とされている。上記の理由から、多くのアプリケーションでは、人間の可聴域等も考慮してスイッチング周波数は 20 kHz までとし、これ以上のスイッチング周波数での利用はほとんど事例が無い。

近年、モータの高出力密度化の観点から、高速回転化・多極化が進められている。高速回転モータはインバータ DC リンク電圧の制約から、モータ誘起電圧を低減するために、巻線ターン数を少なくする。その結果、インダクタンスが小さい傾向にあり、スイッチング電流リプルが大きい。一方で、20 kHz 以上の高周波スイッチングにおいても、電流リプルを低減することが出来るため、モータ鉄損抑制効果が期待できる。すなわち、図 5.7(b)に示す損失の関係から、20 kHz 以上の高周波スイッチング下においてもシステム効率の向上が期待できる。そこで、本稿では下記の理由から高速回転モータ駆動システムへの高周波インバータの適用を検討する。

- 電流基本波周波数が高く、電流制御性の観点から高いスイッチング周波数が求められる
- 低インダクタンス特性から、電流リプルが大きく高周波スイッチングによるモータ鉄損抑制効果が期待できる
- 電流リプルによる騒音・振動を低減するために高いスイッチング周波数が求められる

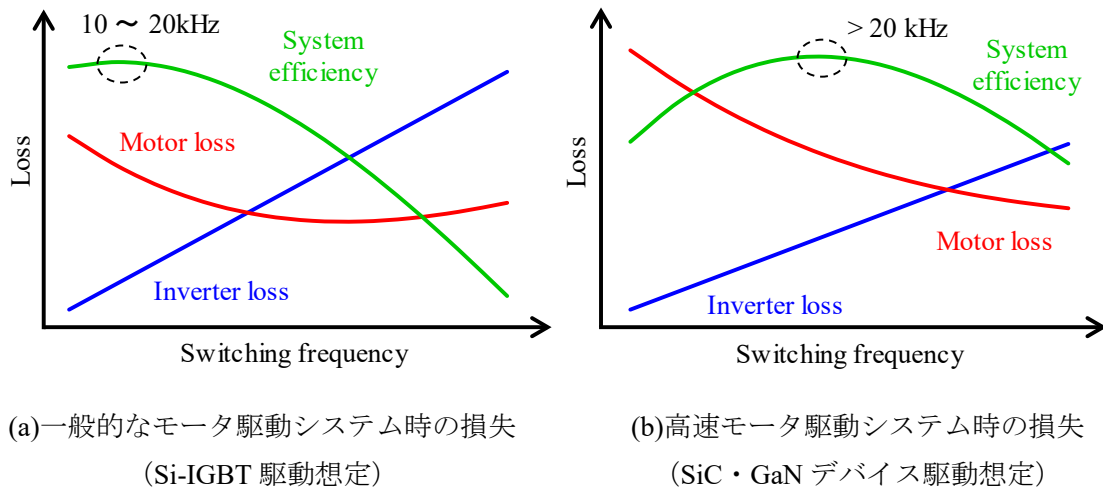


図 5.7 各部の損失とシステム効率の関係

本論文では、20 kHz 以上の高周波でスイッチングを行うため、次世代パワー半導体デバイスの適用を検討する。その際、システム効率をより向上させるために、インバータのスイッチング損失を低減する必要がある。以上を踏まえて、図 5.7 の各損失の関係を基に、①インバータ寄生成分の低減によるスイッチング損失の低減、②モータ運転点におけるインバータ効率の最大化の観点からシステム効率の向上について検討する。前者では、前章までで検討した寄生成分の低減によって、スイッチング損失を低減可能であり、システム効率の向上に有効であることを検証する。後者では、インバータのスイッチング損失と導通損失の関係およびスイッチング損失の負荷依存性を考慮し、インバータの最大効率点とモータ運転点を一致させ、システム効率を向上させるインバータ設計法について検証する。

5.2.2 先行研究事例

インバータのスイッチング動作による電流リップルがモータ鉄損に影響を与えることが広く知られている。PWM インバータのスイッチング周期がモータ鉄損およびトルクリプルに影響を与える^[77]。また、インバータ変調方式によって、高周波電流のスペクトルが変化し、モータ鉄損や振動に影響を与える^{[78],[79]}。さらに、モータ誘起電圧とインバータ DC リンク電圧によって変化する、変調率によってもモータ鉄損に影響を与える^[80]。これらのインバータのスイッチングによるモータ駆動への影響について、磁界一制御・回路連成解析を用いた解析手法が検討されており、実測値に近いトルク・モータ損失が得られることが報告されている^{[80],[81]}。

インバータのスイッチング動作によるモータ効率だけでなく、インバータ効率を加味した駆動システム全体の効率を考慮する必要がある。文献[82]では、モータ鉄損をインバータのスイッチング周波数を考慮して、解析的に導出し、インバータのスイッチング損失と併せて、システム効率の最大化を図っている。また、文献[83]では、次世代パワー半導体デバイスの適用により、モータ入力前段に接続される正弦波化フィルタによる損失も考慮した駆動システムのシステム効率について検討している。しかし、ほとんどの文献では市販インバータを用いた場合の限られた試験条件についてのみ検討されており、インバータの詳細な損失特性については言及されていない。また、モータ特性に応じたインバータの設計についても同様に検討されていない。そのため、モータとインバータの双方の特性を鑑みたシステム設計が今後求められると推測される。

これまでに 100,000 rpm 超高速ベアリングレスモータ (BelM) において、40 kHz から 120 kHz までの高周波スイッチング条件下でモータ鉄損を抑制可能であることが報告されている^[84]。図 5.8 に文献[84]中に記載されたモータ効率・インバータ効率とスイッチング周波数の関係を示す。実機試験にて、SiC-MOSFET インバータが用いられており、40 kHz から 80 kHz へのスイッチング周波数の上昇によるスイッチング損失の増加が少ないため、80 kHz においてシステム効率が最大となっていることが確認できる。しかし、120 kHz スwitchング時にはモータ鉄損抑制よりもスイッチング損失の増加が大きく、システム効率が低下している。以上のことから、従来の 20 kHz よりも高い 40 kHz 以上の高周波スイッチング下においても、システム効率が改善可能であることが明らかである。文献中において使用しているインバータは、寄生成分の低減を積極的に実施しておらず、スイッチング損失が大きい。また、モータ仕様の電圧・電流条件において、インバータ効率が最大となるように設計されておらず、40 kHz における効率が 96.5%と低い。システム効率 η_{sys} が以下の式から求められるため、最大システム効率の向上にインバータ効率の向上が必要不可欠である。

$$\eta_{sys} = \eta_{mot} \times \eta_{inv} \quad (5.21)$$

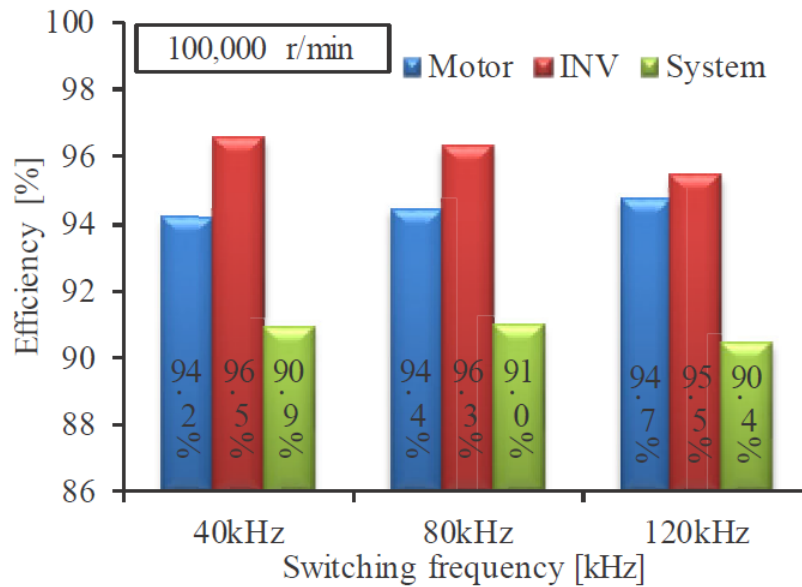


図 5.8 スイッチング周波数を変化させた場合のモータ効率・インバータ効率()

5.2.3 寄生成分を低減したインバータの適用

前項から、40 kHz 以上の高周波スイッチング時において、インバータ効率が低いことが問題であった。この問題点を踏まえて、モータ仕様を表 1 のように再設計した。SiC-MOSFET がより高い電圧領域において高効率を達成できることから、電機子巻線のターン数を 3 倍にし、DC リンク電圧を 465 V まで高めている。

これまで、3 章・4 章にて寄生成分を低減することでスイッチング損失の低減を達成した。そこで、4 章にて設計・製作した Model 4 の PCB を用いた三相インバータを使用することで、システム効率の向上を目指す。図 5.9 に三相インバータの試験回路構成を、表 5.1 にその試験条件を示す。このとき、使用するパワーデバイス文献[84]と同じ SCH2080KE を用いる。図 5.9 中に記載していないが、DC リンク平滑コンデンサとスナバコンデンサがパワーメータの入力側後段に接続されている。また、効率の測定に使用したパワーメータは文献[84]と同一の WT1800E（横河電機製：16 bit, 2 MB/S）を使用した。直流電源で DC リンク電圧を、負荷抵抗器で負荷電流を調整することで、負荷特性を測定した。

表 5.1 モータ仕様

Parameter	Value
Rated speed	100,000 rpm
Rated output power	1.7 kW
Rated DC-link voltage	465 V
Rated output current	3.83 Arms
Power factor	0.70

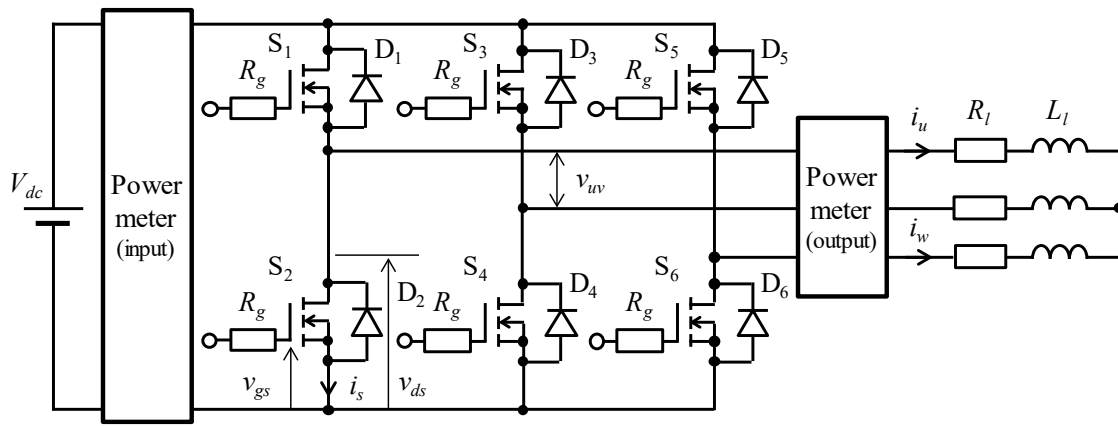


図 5.9 三相インバータ試験回路構成

表 5.2 三相インバータ試験条件

Parameter	Symbol	Value
DC-link voltage	V_{dc}	71 - 564 V
Gate-source voltage	V_{GS}	+19.5 V / -2.0 V
Gate resistance	R_g	3.3 Ω
Load inductance	L_l	15 mH
Output frequency	f_o	50 Hz
Switching frequency	f_{sw}	40 kHz - 120 kHz
Deadtime	t_d	300 ns
Modulation factor	m	1.0

図 5.10 に測定したインバータの 100 kHz スイッチング時の効率マップを示す。効率マップから、インバータ最大効率は 98.1% であるがモータ定格電圧 465 V よりも低い 282 V で最大効率となっている。モータ仕様時のインバータ効率は 96.8% である。図 5.10 にモータ仕様時においてスイッチング周波数を変化させた場合のインバータ効率およびシステム効率を示す。このとき、モータ効率は文献[84]時の値を用い、個別の測定結果を基にシステム効率を推定した。図 5.8 と図 5.11 の比較から、全スイッチング周波数においてインバータ効率を向上できていることが確認できる。また、40 kHz 時においては 2.1% もインバータ効率が高いため、システム効率が 40 kHz 時に最大となり、最大システム効率を 1.9% 向上できている。図 5.8 と図 5.11 のインバータ効率は同一のパワーデバイスを使用しており、主回路の寄生成分の低減により、インバータ効率を大幅に改善できていることが分かる。

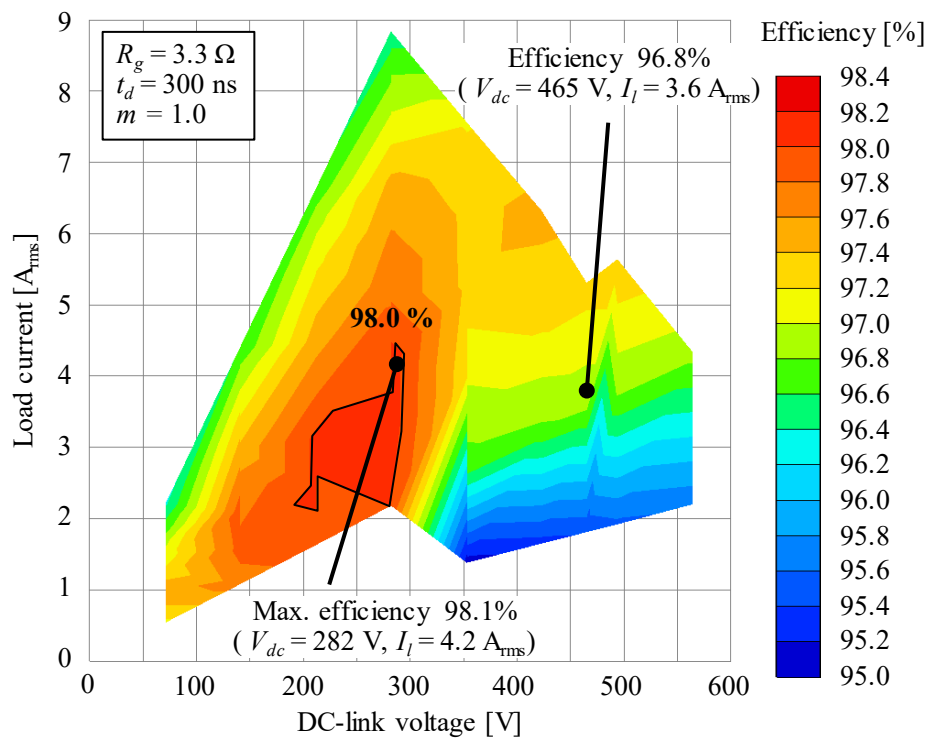


図 5.10 測定したインバータ効率マップ (Model 4 : SCH2080KE, 100 kHz)

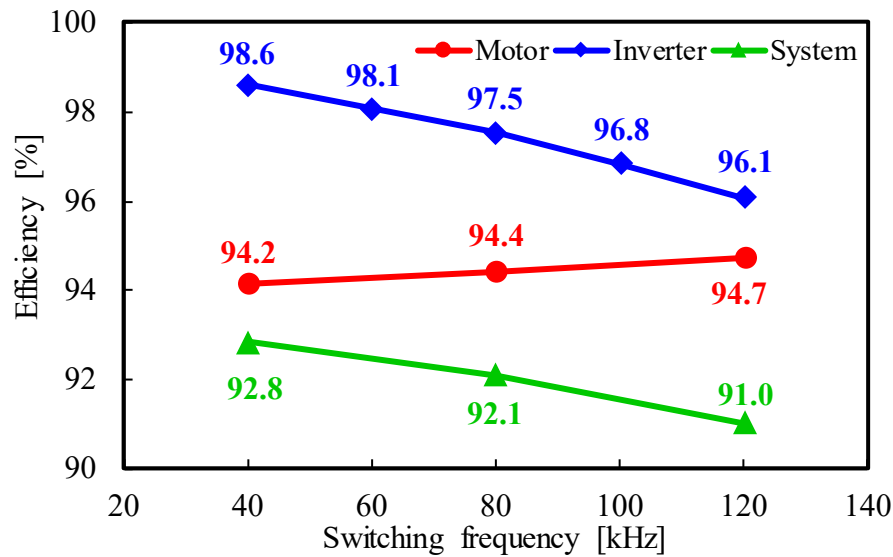


図 5.11 スイッチング周波数を変化させた場合のインバータ効率・システム効率
(Model 4, SCH2080KE, 465 V, 1.7 kW)

5.2.4 モータ運転点を考慮したインバータ設計

図 5.10 および図 5.11 から、寄生成分を低減した Model 4 の PCB を使用することでインバータ効率を改善できることが確認できた。しかし、インバータ最大効率点とモータ運転点が異なり、更なる効率改善の余地がある。これまで使用した SiC-MOSFET の電流定格は 40 A であり、電流定格が大きいデバイスはオン抵抗が小さく、重負荷領域で損失が少ない傾向にある。その一方で、スイッチング損失が大きく、高周波領域で損失が増加する傾向にある。上記の理由から、モータ運転点においてインバータ最大効率を得るために、電流定格の小さいデバイスの採用を検討する。表 5.3 にパワーデバイス選定時のインバータとモータの電気的条件を示す。パワーデバイスは市販品 SiC-MOSFET の中から選定し、DC リンク電圧 465 V およびドレイン電流振幅 5.42 A_p の条件から、1200 V 耐圧・7A 以上の定格を有する 4 種類を選定した^{[85]~[88]}。各損失は、(5.7)・(5.8)・(5.14)・(5.15)式を用いて推定し、(5.16)式からインバータ効率を求める。SCT2450KL は、SCH2080KE に対して導通損失が増加するが、スイッチング損失が小さい。しかし、導通損失の増加量が多く効率が低下することが予想される。ある SCT3160KL・C2M0280120D は、電流定格の低下による導通損失の増加がみられるが、スイッチング損失が 1/2 倍以下に減少しているため、インバータ効率の向上が見込まれる。そのため、デバイスの導通損失とスイッチング損失の比が重要であることが分かる。両デバイスの全損失は 100 kHz スイッチング時に同等であるが、SCT3160KL ではスイッチング損失が多く、C2M0280120D では導通損失が多い。すなわち 100 kHz 以下のスイッチングでは SCT3160KL、100 kHz 以上のスイッチングでは C2M0280120D の使用が望ましい。図 5.8 と図 5.11 の傾向から、40 kHz から 80 kHz の間でシステム効率が最大となると予想され

る。そこで、本検討では SCT3160KL を採用する。

表 5.3 パワーデバイス選定時の電氣的条件

Parameter		Value	Unit
Inverter	Drain-source voltage	465	V
	Drain current	5.42	A _p
	Modulation factor	1.0	-
	Switching frequency	100	kHz
	Deadtime	300	ns
Motor	Rated speed	100,000	rpm
	Rated output power	1.7	kW
	Rated output current	3.83	A _{rms}
	Power factor	0.70	-

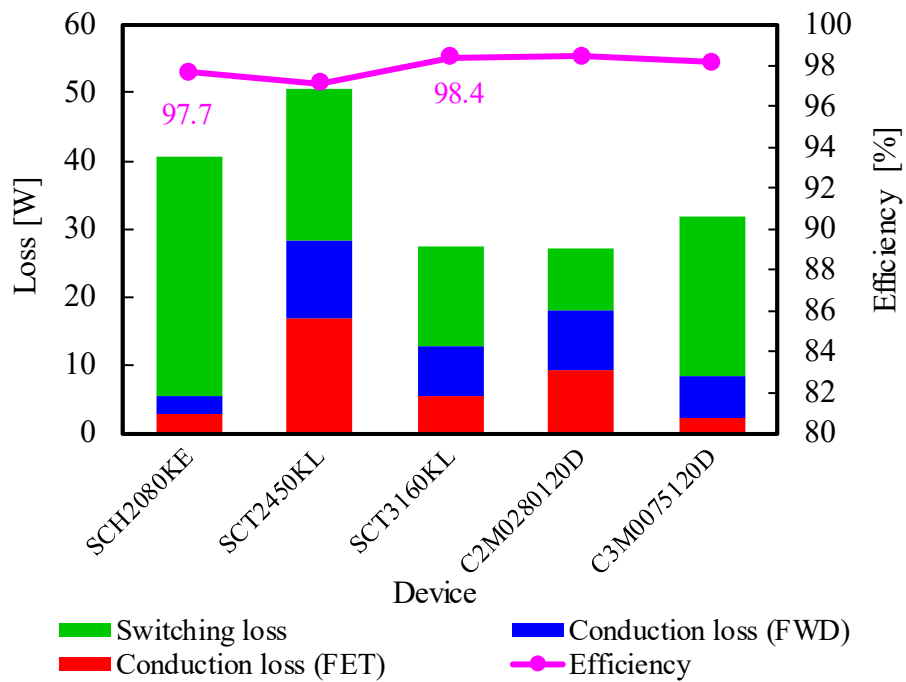


図 5.12 選定したパワーデバイスの損失内訳および効率

Model 4 の PCB を用いて、パワーデバイスを SCH2080KE から SCT3160KL に変更し、三相インバータの効率を測定する。測定回路は図 5.9，試験条件は表 5.2 とする。図 5.13 に測定したインバータの 100 kHz 時の効率マップを示す。インバータ最大効率は 98.1%から 98.3%に改善している。また、モータ仕様時の効率は 98.1%で、1.7 kW の定格出力線においておよそ最大効率となっている。すなわち、モータ運転時に最大効率が得られると予想される。図 5.14 にモータ仕様時においてスイッチング周波数を変化させた場合のインバータ効率およびシステム効率を示す。図 5.11 と図 5.14 の比較から、全スイッチング周波数においてインバータ効率を向上できていることが確認できる。スイッチング損失が支配的となる 120 kHz では 1.4%もインバータ効率が改善している。スイッチング損失の低減に伴い、80 kHz においてシステム最大効率 93.0%が得られた。以上の結果から、高周波スイッチングによるモータ鉄損抑制によって、システム効率の改善が可能であることが確認できる。また、図 5.8 と比較し、最大システム効率を 91.0%から 93.0%に 2.0%改善可能であると推測される。小電流定格デバイス的高速動作特性において、寄生成分の影響がより顕著であるため、前章までの寄生成分の低減により、デバイス性能を十分に引き出すことができたといえる。

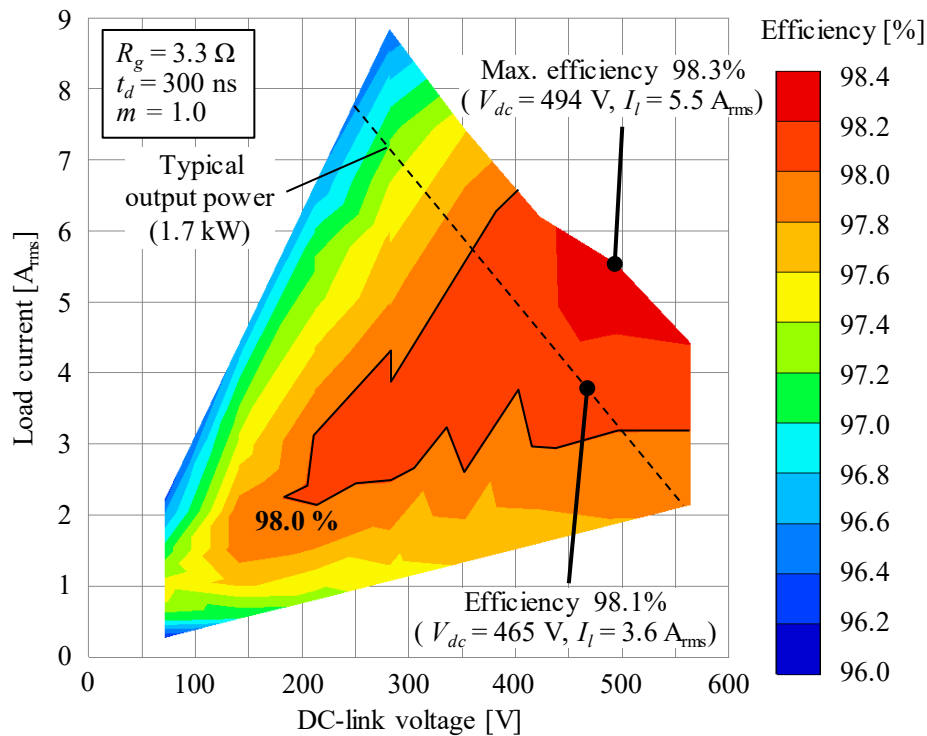


図 5.13 測定したインバータ効率マップ (Model 4 : SCT3160KL, 100 kHz)

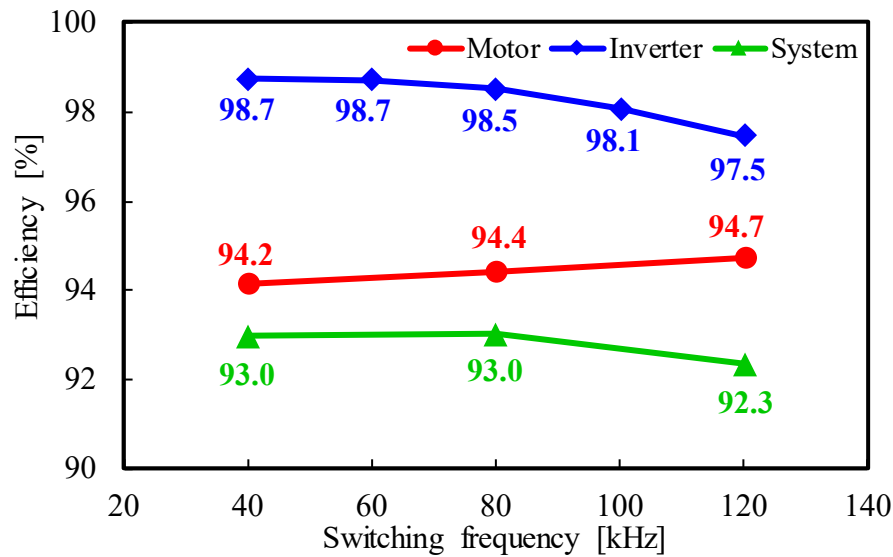


図 5.14 スイッチング周波数を変化させた場合のインバータ効率・システム効率
(Model 4 : SCT3160KL, 465 V, 1.7 kW)

5.3 5章のまとめ

本章では、SiC や GaN などの次世代パワー半導体デバイス普及のために、超高速モータ駆動用のインバータへの応用を検討した。高速回転モータの低インダクタンス特性から、高周波スイッチングによるモータ鉄損抑制効果が期待でき、モータ駆動システムのシステム効率向上に着目した。前章までで検討した寄生成分を低減した主回路を適用することで、同デバイスを使用している製品インバータよりも高効率を達成できることを確認した。また、システム効率を向上させるために、モータ運転点でインバータ最大効率が得られるように、デバイス選定を実施した。その結果、100 kHz までのスイッチング周波数で 98% 以上のインバータ効率を達成し、80 kHz において最大システム効率を得ることが可能であることを示した。以上の結果から、100,000 rpm 超高速回転モータにおいて、インバータの高周波スイッチングがモータ鉄損の抑制に効果的であり、システム効率を改善可能であることを明らかにした。さらに、モータとインバータの双方の特性を考慮したモータ駆動システム設計の必要性を示した。

6章 結論と今後の展望

6.1 結論

本論文は、超高速モータ駆動システムにおける次世代パワー半導体デバイスを適用した高周波スイッチングがシステム効率改善に効果的であることを示した。そして、最大システム効率を向上させるために、インバータ主回路の寄生成分の低減およびモータ運転点を考慮したインバータ設計を実施した。まず、異なる電力帯毎に配線インダクタンスを低減する主回路構造を提案し、3D-FEM 解析と併せてその設計指針を導出した。次に、インバータのスイッチング特性に影響を与える浮遊容量を特定し、コスト・性能の観点からその浮遊容量を低減する主回路構造を提案した。最後に、両寄生成分の低減と併せて、モータ運転点においてインバータ最大効率となるパワーデバイスの選定を実施し、システム効率を改善するインバータ設計法について検討した。そして、以上の提案する主回路構造およびインバータ設計法の有効性を実機検証にて示した。

6.1.1 主回路の寄生成分低減に関する検討

従来の主回路設計においては、銅箔厚が薄いほど配線インダクタンスを低減できるとされていた。しかし、厚い導体において表皮効果や近接効果などの高周波特性を考慮した検討がなされていない。そこで、導体厚に対する高周波特性について 3D-FEM 解析を用いてインダクタンスの関係について検討した。その結果、次世代パワー半導体の動作周波数帯である数十～百 MHz 程度の周波数においては、配線インダクタンスがほとんど変化しないことを明らかにした。また、制御回路基板を機能毎にモジュール化して設計した主回路 (Model 2) が、インバータ体積の削減だけでなく、配線長短縮による配線インダクタンスの低減にも効果的であることを実機検証にて示した。さらに、標準銅箔厚の PCB を用いた設計 (Model 3) において、配線インダクタンスを低減するために、多層構造と板厚の薄膜化を施し、配線インダクタンスをパワーデバイス内部のリードインダクタンス以下である 12 nH まで低減可能であることを示した。

配線インダクタンスのために実施した多層構造と板厚の薄膜化によって、100 pF 程度の比較的大きい浮遊容量が形成され、スイッチング速度を低下させることを回路シミュレーションから明らかにした。また、浮遊容量を低減するために出力極と対向する DC リンク正負極パターンを削減することが効果的であることに着目し、コストを削減する最少層数で設計可能な構造 (Model 4) および性能重視の配線インダクタンスと浮遊容量を同時に低減する多層構造 (Model 5) を提案した。両構造において、浮遊容量をパワーデバイスの寄生出力容量よりも十分に小さい 10 pF 以下にまで低減可能であることを示した。さらに、Model 3 と Model 4 の比較から、広い動作点においてスイッチング損失を低減でき、軽負荷領域では最大で 12% スwitching 損失を低減した。

6.1.2 超高速モータ駆動システムのシステム効率に関する検討

超高速モータの低インダクタンス特性から、従来の 20 kHz 以上の高周波スイッチングにおいても、モータ鉄損抑制効果が十分に得られることに着眼し、SiC デバイスを適用した高周波インバータによるモータ駆動システムについて検討した。3 章・4 章での寄生成分低減がインバータスイッチング損失の抑制に効果的であり、先行研究からインバータ効率を 2.1%改善した。また、モータ運転点においてインバータ効率が最大となるように、パワーデバイスを選定することで、80 kHz においてシステム最大効率を達成した。さらに、先行研究よりもシステム最大効率を 2.0%改善し、93.0%非常に高いシステム効率を達成できることを示した。その結果、高周波スイッチングが高い電流基本波周波数を駆動するだけでなく、システム効率向上にも有効であることを実機検証にて明らかにした。

6.2 今後の展望

3 章・4 章において、配線インダクタンスおよび浮遊容量を低減する主回路構造を検討し、実機検証にてその有効性を示した。図 4.19 から、寄生成分と電力変換器の負荷特性の関係が重要であることが明らかである。そこで、今後は動作点に応じて低減すべき寄生成分を明らかにし、その設計指針を示す必要がある。

5 章において文献[84]のモータ効率を基に、インバータ単体にて測定したインバータ効率からシステム効率を算出した。しかし、実際のモータ駆動システムにおいては、モータとインバータそしてインバータを制御する制御系の影響が密接に関わる。そのため、個別に測定した各効率からシステム効率を推定せず、組合せた実機試験を実施する必要がある。また、スイッチング周波数に対するモータ鉄損の関係について検討を実施したが、デッドタイムによる電流歪みによっても、モータ鉄損が増加する恐れがある。

本検討において、システム効率が最大となるスイッチング周波数を試験的に確認した。しかし、製品開発においては、各スイッチング周波数に対するインバータ損失とモータ損失を評価し、システム効率が最大となる動作点を設計段階において推定する必要がある。

参考文献

- [1] 鳥羽 章夫・望月 昌人・小林 雄之・藤田 光悦：「汎用インバータの特異点—今までとこれから」，平成 30 年電気学会産業応用部門大会講演論文集, vol. 3, no. 3-S11-2, pp. 53-58, 2018.
- [2] 赤木 泰文：「21 世紀のパワーエレクトロニクス技術の展望と期待」，電気学会誌, no. 1, vol. 121, pp. 46-50, 2001.
- [3] 金 東海：「パワースイッチング工学[改訂版]—パワーエレクトロニクスの中核理論—」，初版 1 刷, 2014.
- [4] B. J. Baliga, “Power semiconductor device figure of merit for high-frequency applications,” IEEE Electron Device Letters, no. 10, vol. 10, pp. 455-457, 1989.
- [5] 山口 浩：「次世代パワーエレクトロニクスの研究動向」，電気学会論文誌 B, no. 3, vol. 132, pp. 209-212, 2012.
- [6] 柳原 学・上田哲三：「高周波化に向けた GaN 系パワーデバイスの開発」，電気学会誌, no. 2, vol. 139, pp. 80-83, 2019.
- [7] J. Millán, P. Godignon, X. Perpiñà, A. Pérez-Tomás, and J. Rebollo, “A Survey of Wide Bandgap Power Semiconductor Devices,” IEEE Transactions on Power Electronics, no. 5, vol. 29, pp. 2155-2163, 2014.
- [8] X. She, A. Q. Huang, Ó Lucía, and B. Ozpineci, “Review of Silicon Carbide Power Devices and Their Applications,” IEEE Transactions on Industrial Electronics, no. 10, vol. 64, pp. 8193-8205, 2017.
- [9] P. Parikh, Y. Wu, L. Shen, R. Barr, S. Chowdhury, J. Gritters, S. Yea, P. Smith, L. McCarthy, R. Birkhahn, M. Moore, J. McKay, H. Clement, U. Mishra, R. Lal, P. Zuk, T. Hosoda, K. Shono, K. Imanishi, and Y. Asai, “GaN Power Commercialization with Highest Quality-Highest Reliability 650V HEMTs-Requirements, Successes and Challenges,” 2018 IEEE International Electron Devices Meeting (IEDM), 4-pages, 2018.
- [10] D. Bortis, D. Neumayr, and J. W. Kolar, “ η p-Pareto optimization and comparative evaluation of inverter concepts considered for the GOOGLE Little Box Challenge,” 2016 IEEE 17th Workshop on Control and Modeling for Power Electronics (COMPEL), 11-pages, 2016.
- [11] N. Oswald, P. Anthony, N. McNeill, and B. H. Stark, “An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations,” IEEE Transactions on Power Electronics, no. 5, vol. 29, pp. 2393-2407, 2014.
- [12] J. Wang, C. Yao, H. Li, E. Bauer, K. A. Potty, and B. He, “How to change the landscape of power electronics with wide bandgap power devices,” 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia), pp. 151-156, 2017.

- [13] A. Nawawi, C. F. Tong, S. Yin, A. Sakanova, Y. Liu, Y. Liu, M. Kai, K. Y. See, K. Tseng, R. Simanjorang, C. J. Gajanayake, A. K. Gupta, "Design and Demonstration of High Power Density Inverter for Aircraft Applications," *IEEE Transactions on Industry Applications*, no. 2, vol. 53, pp. 1168-1176, 2017.
- [14] J. Fabre, P. Ladoux, and M. Piton, "Characterization and Implementation of Dual-SiC MOSFET Modules for Future Use in Traction Converters," *IEEE Transactions on Power Electronics*, no. 8, vol. 30, pp. 4079-4090, 2015.
- [15] J. Biela, M. Schweizer, S. Waffler, and J. W. Kolar, "SiC versus Si—Evaluation of Potentials for Performance Improvement of Inverter and DC–DC Converter Systems by SiC Power Semiconductors," *IEEE Transactions on Industrial Electronics*, no. 7, vol. 58, pp. 2872-2882, 2011.
- [16] 水谷 良治 : 「ハイブリッド自動車用モータの技術変遷」 , 電気学会誌, no. 5, vol. 138, pp. 288-291, 2018.
- [17] A. Binder, and T. Schneider, "High-speed inverter-fed AC drives," 2007 International Aegean Conference on Electrical Machines and Power Electronics, 8-pages, 2007.
- [18] K. Kawanishi, K. Matsuo, T. Mizuno, K. Yamada, T. Okitsu, and K. Matsuse, "Development and Performance of High-Speed SPM Synchronous Machine," 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), pp. 169-176.
- [19] H. Lin, H. Guo, and H. Qian, "Design of High-Performance Permanent Magnet Synchronous Motor for Electric Aircraft Propulsion," 2018 21st International Conference on Electrical Machines and Systems (ICEMS), pp. 174-179.
- [20] A. K. Morya, M. C. Gardner, B. Anvari, L. Liu, A. G. Yepes, J. Doval-Gandoy, and H. A. Toliyat, "Wide Bandgap Devices in AC Electric Drives: Opportunities and Challenges," *IEEE Transactions on Transportation Electrification*, no. 1, vol. 5, pp. 3-20, 2019.
- [21] Z. Chen, D. Boroyevich, and R. Burgos, "Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics," The 2010 International Power Electronics Conference (ECCE ASIA), pp. 164-169, 2010.
- [22] L. Zhang, S. Guo, X. Li, Y. Lei, W. Yu, and A. Q. Huang, "Integrated SiC MOSFET module with ultra low parasitic inductance for noise free ultra high speed switching," 2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA), pp. 224-229, 2015.
- [23] J. Wang, H. S. Chung, and R. T. Li, "Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance," *IEEE Transactions on Power Electronics*, no. 1, vol. 28, pp. 573-590, 2013.
- [24] K. Wada, and M. Ando, "Switching Loss Analysis of SiC-MOSFET based on Stray Inductance Scaling," 2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia), pp. 1919-1924, 2018.

- [25] G. Engelmann, A. Sewergin, M. Neubert, and R. W. De Doncker, "Design Challenges of SiC Devices for Low- and Medium-Voltage DC-DC Converters," *IEEE Journal of Industry Applications*, no. 3, vol. 8, pp. 505-511, 2019.
- [26] J. Noppakunkajorn, D. Han, B. Sarlioglu, "Analysis of High-Speed PCB With SiC Devices by Investigating Turn-Off Overvoltage and Interconnection Inductance Influence," *IEEE Transactions on Transportation Electrification*, no. 2, vol. 1, pp. 118-125, 2015.
- [27] Y. Xiao, H. Shah, T. P. Chow, R. J. Gutmann, "Analytical modeling and experimental evaluation of interconnect parasitic inductance on MOSFET switching characteristics," *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition (APEC 04)*, pp. 516-521, 2004.
- [28] I. Josifović, J. Popović-Gerber, and J. A. Ferreira, "Improving SiC JFET Switching Behavior Under Influence of Circuit Parasitics," *IEEE Transactions on Power Electronics*, no. 8, vol. 27, pp. 3843-3854, 2012.
- [29] B. Yang, Q. Ge, L. Zhao, Z. Zhou, and D. Cui, "Influence of parasitic elements of busbar on the turn-off voltage oscillation of SiC MOSFET half-bridge module," *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, pp. 4939-4943, 2017.
- [30] 日野 晃裕・和田 圭二:「配線間キャパシタンスを考慮したラミネートバスバー設計手法とその実験検証」, 平成 25 年電気学会産業応用部門大会講演論文集, pp. 345-346, 2013.
- [31] T. Yanagi, H. Sakairi, H. Otake, N. Kuroda, S. Kitagawa, N. Hashimoto, R. Takeda, and K. Nakahara, "Circuit simulation of a silicon-carbide MOSFET considering the effect of the parasitic elements on circuit boards by using S-parameters," *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 2875-2878, 2018.
- [32] G. Engelmann, S. Quabeck, J. Gottschlich, and R. W. De Doncker, "Experimental and simulative investigations on stray capacitances and stray inductances of power modules," *2017 19th European Conference on Power Electronics and Applications (EPE17 ECCE Europe)*, 10 -pages, 2017.
- [33] L. Popova, T. Musikka, R. Juntunen, M. Lohtander, P. Silventoinen, O. Pyrhönen, and J. Pyrhönen, "Modelling of low inductive busbars for medium voltage three-level NPC inverter," *2012 IEEE Power Electronics and Machines in Wind Applications*, 7-pages, 2012.
- [34] D. Reusch, and J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter," *IEEE Transactions on Power Electronics*, no. 4, vol. 29, pp. 2008-2015, 2014.
- [35] M. C. Caponet, F. Profumo, R. W. De Doncker, and A. Tenconi, "Low stray inductance bus bar design and construction for good EMC performance in power electronic circuits," *IEEE Transactions on Power Electronics*, no. 2, vol. 17, pp. 225-231, 2002.
- [36] L. D. Stevanovic, R. A. Beaupre, E. C. Delgado, and A. V. Gowda, "Low inductance power module with blade connector," *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1603-1609, 2010.

- [37] C. Chen, X. Pei, Y. Chen, and Y. Kang, "Investigation, Evaluation, and Optimization of Stray Inductance in Laminated Busbar," *IEEE Transactions on Power Electronics*, no. 7, vol. 29, pp. 3679-3693, 2014.
- [38] J. Guichon, J. Aime, J. Schanen, C. Martin, J. Roudet, E. Clavel, M. Arpilliere, R. Pasterczyk, and Y. L. Floch, "Busbar Design: How to Spare Nanohenries ?," *Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting*, vol. 4, pp.1865-1869, 2006.
- [39] 安東 正登・和田圭二:「構造的制約と電氣的制約を考慮したラミネートバスバー設計」, *電気学会論文誌D*, no. 4, vol. 134, pp. 447-453, 2014.
- [40] 提橋郁人・日下 佳祐・折川 幸司・伊東 淳一・門馬 彰夫:「プリント基板上の DC バス構造による寄生インダクタンスの差異の考察」, *電子デバイス・半導体電力変換合同研究会資料*, SPC-13-108, pp. 63-68, 2013.
- [41] K. Wada, M. Ando, and A. Hino, "Design of DC-side wiring structure for high-speed switching operation using SiC power devices," *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 584-590, 2013.
- [42] J. Wang, Y. Shaolin, X. Zhang, "Effect of key physical structures on the laminated bus bar inductance," *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, pp. 3689-3694, 2016.
- [43] K. Ishikawa, S. Ogasawara, M. Takemoto, and K. Orikawa, "Development of an SiC High-Frequency PWM Inverter Using a Thick Multilayer PCB to Minimize Stray Inductance," *2018 International Power Electronics Conference (IPEC-Niigata 2018 -ECCE Asia)*, pp. 2725-2731, 2018.
- [44] 緒形 航・和田 圭二:「サージ電圧抑制とスイッチング損失の低減を目的とした相互誘導を利用したゲート駆動回路実装」, *電気学会論文誌D*, no. 2, vol. 138, pp. 135-140, 2018.
- [45] 中津 欣也・宮崎 英樹・齋藤 隆一・大貫 仁:「パワーモジュールのインダクタンス成分を低減する配線実装技術」, *エレクトロニクス実装学会誌*, no. 4, vol. 18, pp. 270-278, 2015.
- [46] 和田 圭二・平尾 高志:「インバータ回路用セラミックキャパシタ内蔵バスバー」, *電気学会論文誌D*, no. 8, vol. 139, pp. 765-766, 2019.
- [47] S. Kaneko, Y. Takahashi, T. Sudo, A. Kanno, A. Sugimoto, and F. Kuwako, "A study on broadband switching noise reduction by embedding high-density thin-film capacitor in a laminate package," *2008 Electrical Design of Advanced Packaging and Systems Symposium*, pp. 73-76, 2008.

- [48] 福永 崇平・舟木 剛：「多層基板を用いた低寄生インダクタンス SiC ハーフブリッジモジュールのスイッチング特性に関する一検討：モジュール内蔵スナバコンデンサ容量の最適設計に関する実験的検討」，電気学会電子デバイス・半導体電力変換合同研究会資料，EDD-17-60/SPC-17-159，pp. 47-52，2017.
- [49] <https://www.jst.go.jp/lcs/pdf/fy2016-pp-08.pdf>，” GaN 系半導体デバイスの技術開発課題とその新しい応用の展望”，国立研究開発法人科学技術振興機構低炭素社会戦略センター，2018.
- [50] H. Beiranvand, E. Rokrok, and M. Liserre, “Comparative Study of Heatsink Volume and Weight Optimization in SST DAB cells Employing GaN, SiC-MOSFET and Si-IGBT Switches,” 2019 10th International Power Electronics, Drive Systems and Technologies Conference (PEDSTC), pp. 297-302, 2019.
- [51] F. Hilpert, K. Brinkfeldt, and S. Arenz, “Modular integration of a 1200 v SiC inverter in a commercial vehicle wheel-hub drivetrain,” 2014 4th International Electric Drives Production Conference (EDPC), 8-pages, 2014.
- [52] <https://www.nedo.go.jp/hyoukabu/articles/201706sic/index.html>，”次世代の電力社会を担う「SiC パワー半導体」が、鉄道車両用インバーターで実用化”，NEDO，2017.
- [53] T. Kikkawa, T. Hosoda, K. Imanishi, K. Shono, K. Itabashi, T. Ogino, Y. Miyazaki, A. Mochizuki, K. Kiuchi, M. Kanamura, M. Kamiyama, S. Akiyama, S. Kawasaki, T. Maeda, Y. Asai, Y. Wu, K. Smith, J. Gritters, P. Smith, S. Chowdhury, D. Dunn, M. Aguilera, B. Swenson, R. Birkhahn, L. McCarthy, L. Shen, J. McKay, H. Clement, J. Honea, S. Yea, D. Thor, R. Lal, U. Mishra, and P. Parikh, “600 V JEDEC-qualified highly reliable GaN HEMTs on Si substrates,” 2014 IEEE International Electron Devices Meeting, 4-pages, 2014.
- [54] K. Aikawa, T. Shiida, R. Matsumoto, K. Umetani, and E. Hiraki, “Measurement of the common source inductance of typical switching device packages,” 2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia), pp. 1172-1177, 2017.
- [55] 井渕 貴章・舟木 剛：「SiC 素子を用いた DC-DC コンバータにおけるスイッチングノイズ発生源モデルに関する一考察」，電気学会電磁環境研究会資料，2017.
- [56] S. Ogasawara, T. Igarashi, H. Funato, and M. Hara, “Optimization of switching transient waveform to reduce EMI noise in a selective frequency band,” 2009 IEEE Energy Conversion Congress and Exposition, pp. 1679-1684, 2009.
- [57] N. Oswald, B. H. Stark, D. Holliday, C. Hargis, and B. Drury, “Analysis of Shaped Pulse Transitions in Power Electronic Switching Waveforms for Reduced EMI Generation,” IEEE Transactions on Industry Applications, no. 5, vol. 47, pp. 2154-2165, 2011.
- [58] D. Han, S. Li, Y. Wu, W. Choi, and B. Sarlioglu, “Comparative Analysis on Conducted CM EMI Emission of Motor Drives: WBG Versus Si Devices,” IEEE Transactions on Industrial Electronics, no. 10, vol. 64, pp. 8353-8363, 2017.

- [59] Y. Mukunoki, Y. Nakamura, K. Konno, T. Horiguchi, Y. Nakayama, A. Nishizawa, M. Kuzumoto, and H. Akagi, "Modeling of a Silicon-Carbide MOSFET With Focus on Internal Stray Capacitances and Inductances, and Its Verification," *IEEE Transactions on Industry Applications*, no. 3, vol. 54, pp. 2588-2597, 2018.
- [60] C. Chen, F. Luo, and Y. Kang, "A review of SiC power module packaging: Layout, material system and integration," *CPSS Transactions on Power Electronics and Applications*, no. 3, vol. 2, pp. 170-186, 2017.
- [61] H. Iida, K. Hasegawa, and I. Omura, "Mutual inductance influence to switching speed and TDR measurements for separating self- and mutual inductances in the package," 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD), pp. 503-506, 2019.
- [62] C. L. Holloway and E. F. Kuester, "DC Internal Inductance for a Conductor of Rectangular Cross Section," *IEEE Transactions on Electromagnetic Compatibility*, no. 2, vol. 51, pp. 338-344, 2009.
- [63] 坪井 克剛・辻 峰男・山田 英二:「ブスバーインダクタンスの簡易計算法とインバータ DC リンクの寄生共振の解析」, 電気学会論文誌 D, no. 11, vol. 117, pp. 1364-1374, 1997.
- [64] 石川 光亮・小笠原 悟司・竹本 真紹・折川 幸司:「SiC-MOSFET インバータのサージ電圧抑制ーすなバコンデンサの検討ー」, 平成 30 年電気学会産業応用部門大会講演論文集, vol. 1, no. 1-10, pp. 39-42, 2018.
- [65] Z. Zhang, B. Guo, F. Wang, L. M. Tolbert, B. J. Blalock, Z. Liang, and P. Ning, "Methodology for switching characterization evaluation of wide band-gap devices in a phase-leg configuration," 2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014, pp. 2534-2541, 2014.
- [66] 長浜 竜・高木 茂行:「高速 SiC/GaN スイッチング回路のプロベリング方式の比較」, 令和元年電気学会産業応用部門大会講演論文集, vol. 1, no. 1-59, pp. 264-267.
- [67] Rohm Semiconductor: "SCH2080KE N-channel SiC power MOSFET co-packaged with SiC-SBD", SCH2080KE datasheet (2012) [Revised June 2017].
- [68] X. Gong and J. A. Ferreira, "Investigation of Conducted EMI in SiC JFET Inverters Using Separated Heat Sinks," *IEEE Transactions on Industrial Electronics*, no. 1, vol. 61, pp. 115-125, 2014.
- [69] 松嶋 徹・黒柳 貴夫・久門 尚史・和田 修己:「コモンモードノイズ低減のための降圧コンバータ近傍に存在する寄生容量の位置調整」, 第 31 回エレクトロニクス実装学会春季講演論文集, no. 8A5-2, vol. 31, pp. 320-321,
- [70] M. Khan, P. Magne, B. Bilgin, S. Wirasingha, A. Emadi, "Laminated busbar design criteria in power converters for electrified powertrain applications," 2014 IEEE Transportation Electrification Conference and Expo (ITEC), 6-pages, 2014.

- [71] T. De Oliveira, S. Mandray, J. M. Guichon, J. L. Schanen, and P. Adrian, “Reduction of conducted EMC using busbar stray elements,” 2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition, pp. 2028-2033, 2009.
- [72] J. A. Ferreira, E. Waffenschmidt, J. Strydom, and J. D. van Wyk, “Embedded capacitance in the PCB of switchmode converters,” 2002 IEEE 33rd Annual IEEE Power Electronics Specialists Conference. Proceedings, vol. 1, pp. 119-123, 2002.
- [73] A. Hardock, D. Dahl, H. Brüns, and C. Schuster, “Efficient calculation of external fringing capacitances for physics-based PCB modeling,” 2015 IEEE 19th Workshop on Signal and Power Integrity (SPI), 4-pages, 2015.
- [74] H. Chen, C. Chen, and Y. Ren, “Modeling and Characterization of Incomplete Shielding Effect of GND on Common-Mode EMI of a Power Converter,” IEEE Transactions on Electromagnetic Compatibility, no. 3, vol. 53, pp. 676-683, 2011.
- [75] F. Casanellas, “Losses in PWM inverters using IGBTs,” IEE Proceedings - Electric Power Applications, no. 5, vol. 141, pp. 235-239, 1994.
- [76] J. W. Kolar, H. Ertl, and F. C. Zach, “How to include the dependency of the RDS(on) of power MOSFETs on the instantaneous value of the drain current into the calculation of the conduction losses of high-frequency three-phase PWM inverters,” IEEE Transactions on Industrial Electronics, no. 3, vol. 45, pp. 369-375, 1998.
- [77] 安村 昂平・井上 征則・森本 茂雄・真田 雅之：「FPGA を用いた超高速 PMSM 駆動システムによる効率向上とトルクリプル低減効果」，電気学会論文誌C, no. 1, vol. 139, pp. 106-112, 2019.
- [78] M. Miyamasu and K. Akatsu, “Efficiency Comparison between Brushless DC Motor and Brushless AC Motor Considering Driving Method and Machine Design,” IEEE Journal of Industry Applications, no. 1, vol. 2, pp. 79-86, 2013.
- [79] 高畑 良一・湧井 真一・宮田 健治・野間 啓二・妹尾 正治：「インバータの変調方式が永久磁石同期モータの特性に及ぼす影響」，電気学会論文誌D, no. 12, vol. 134, pp. 997-1005, 2014.
- [80] K. Akatsu and R. D. Lorenz, “Comparing Coupled Analysis With Experimental Results for an Interior PM Machine,” IEEE Transactions on Industry Applications, no. 1, vol. 45, pp. 178-185, 2009.
- [81] 成田 一行・山田 隆・坂下 善行・赤津 観：「永久磁石同期機の磁界一制御/回路連成解析技術と損失評価」，電気学会論文誌D, no. 11, vol. 131, pp. 1309-1315, 2011.
- [82] 小倉 工・伊東 淳一：「インバータによる永久磁石電動機駆動時の総合損失評価」，電気学会電力系統技術研究会資料, PE-11-008/PSE-11-025/SPC-11-062, pp. 7-12, 2011.

- [83] K. Shirabe, M. M. Swamy, J. Kang, M. Hisatsune, Y. Wu, D. Kebort, and J. Honea, "Efficiency Comparison Between Si-IGBT-Based Drive and GaN-Based Drive," IEEE Transactions on Industry Applications, no. 1, vol. 50, pp. 566-572, 2014.
- [84] Y. Fu, M. Takemoto, S. Ogasawara, and K. Orikawa, "Investigation of Efficiency Enhancement of an Ultra-High-Speed Bearingless Motor at 100,000 r/min by High Switching Frequency Using SiC-MOSFET," 2018 IEEE Energy Conversion Congress and Exposition (ECCE), pp. 2306-2313, 2018.
- [85] Rohm Semiconductor: "SCT2450KE N-channel SiC power MOSFET", SCT2450KE datasheet (2013) [Revised July 2017].
- [86] Rohm Semiconductor: "SCT3160KL N-channel SiC power MOSFET", SCT3160KL datasheet (2016) [Revised August 2017].
- [87] Cree: "C2M0280120D Silicon Carbide Power MOSFET C2M™ MOSFET Technology N-channel Enhancement Mode", C2M0280120D datasheet (2015).
- [88] Cree: "C3M0075120D Silicon Carbide Power MOSFET C3M™ MOSFET Technology N-channel Enhancement Mode", C3M0075120D datasheet (2019).
- [89] Infineon: "CoolMOS™ Detailed MOSFET Behavioral Analysis Using Parameters Extracted from Models", Application Note (2014).

著者が発表した論文

学術論文誌

- (1) 石川 光亮, 小笠原 悟司, 竹本 真紹, 折川 幸司: 「低インダクタンスを実現する厚銅多層基板を用いた SiC-MOSFET インバータの主回路設計」, 電気学会論文誌 D.(Vol. 140, No. 2 掲載決定)

国際会議（査読付き）

- (1) K. Ishikawa, S. Ogasawara, M. Takemoto, K. Orikawa: 「Development of an SiC High-Frequency PWM Inverter Using a Thick Multilayer PCB to Minimize Stray Inductance」, Proc. of Int. Conf. on Power Electronics (IPEC2018), Niigata, Japan, May pp. 2725-2731 (2018)
- (2) K. Ishikawa, S. Ogasawara, M. Takemoto, K. Orikawa: 「Reduction of Stray Capacitance in an Inverter Main Circuit Using Multilayer Printed Circuit Boards」, Proc. of Int. Future Energy Electronics Conf. (IFEEC2019), Singapore, November pp. 531-537 (2019)

研究発表

- (1) 石川 光亮, 小笠原 悟司, 竹本 真紹, 折川 幸司: 「厚銅多層基板を用いた SiC-MOSFET インバータの開発」, 平成 28 年電気学会産業応用部門大会講演論文集 vol. 1, No. 1-12, pp. 35-36 (2016)
- (2) 石川 光亮, 小笠原 悟司, 竹本 真紹, 折川 幸司: 「厚銅多層基板を用いた SiC-MOSFET 三相インバータの特性評価」, 平成 29 年電気学会全国大会講演論文集 vol. 4, No. 4-100, pp. 168-169 (2017)
- (3) 石川 光亮, 小笠原 悟司, 竹本 真紹, 折川 幸司: 「厚銅多層基板を用いた SiC-MOSFET 高周波インバータの開発」, 平成 29 年電子デバイス・半導体電力変換合同研究会資料, EDD-17-61/SPC-17-160, pp. 53-58 (2017)
- (4) 石川 光亮, 小笠原 悟司, 竹本 真紹, 折川 幸司: 「SiC-MOSFET インバータのサージ電圧抑制-スナバコンデンサの検討-」, 平成 30 年電気学会産業応用部門大会講演論文集 vol. 1, No. 1-10, pp. 39-42 (2018)

- (5) 石川 光亮, 小笠原 悟司, 竹本 真紹, 折川 幸司:「多層プリント回路基板を用いたインバータ主回路の浮遊容量低減に関する検討」, 令和元年電気学会産業応用部門大会講演論文集 vol. 1, No. 1-78, pp. 330-335 (2019)

謝辞

本研究に携わるにあたって、指導教員である小笠原悟司 教授には、専門分野における適切な助言だけでなく、論文執筆や学会発表に至るまで、日々、ご指導ご鞭撻を賜りました。心より厚く御礼申し上げます。

竹本真紹 准教授には、研究室ゼミにおける助言・アドバイスを賜り、研究の助力とさせていただきます。また、理論的な議論だけでなく、実機検証による経験の機会を多数設けていただき、より理解を深めることができました。厚く御礼申し上げます。

折川幸司 助教には、ゼミを通してご指導ご鞭撻を賜りました。また、設計における技術的な助言や率直なご意見をいただきました。厚く御礼申し上げます。

常日頃より、研究室生活におきまして多大なご支援をいただきました村上久恵 秘書にも深く感謝申し上げます。

北海道大学大学院情報科学研究科電気エネルギー変換研究室の皆様には、日頃の研究室生活におきまして、実験の協力や意見交換など多大なご支援をいただきました。ここに深く感謝申し上げます。

最後に、お世話になりました皆様に感謝の意を表すとともに、本論文の締めくくりとさせていただきます。