



Title	Al2O3/GaN界面の制御とMOSゲート高電子移動度トランジスタへの応用
Author(s)	金木, 奨太
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第14586号
Issue Date	2021-03-25
DOI	<a href="https://doi.org/10.14943/doctoral.k14586">https://doi.org/10.14943/doctoral.k14586</a>
Doc URL	<a href="https://hdl.handle.net/2115/81293">https://hdl.handle.net/2115/81293</a>
Type	doctoral thesis
File Information	Shota_Kaneki.pdf



博士論文  
Doctoral Dissertation

**Al<sub>2</sub>O<sub>3</sub>/GaN 界面の制御と MOS ゲート  
高電子移動度トランジスタへの応用**  
**(Interface Control of Al<sub>2</sub>O<sub>3</sub>/GaN Structures for MOS-gate High  
Electron Mobility Transistors)**

金木 奨太  
Shota Kaneki

北海道大学大学院 情報科学研究科  
Graduates School of Information Science and Technology  
Hokkaido University





北海道大学  
HOKKAIDO UNIVERSITY

©2021 Shota Kaneki



---

# 謝辞

まず初めに、指導教員として6年間の長きに渡って温かい御指導を頂いた橋詰保教授に大変深く感謝致します。本学における研究活動のなかで、研究内容や実験結果についての議論や学会発表・論文執筆の指導など、大変多くの時間を費やして頂きました。本研究室での得難い経験や、教授から頂いた指導や言葉は今後の研究生活の助けになると確信しております。

ADグループゼミにて、同じく多大かつ適切な御意見、御指導を頂いた量子知能デバイス研究室 葛西誠也教授、佐藤威友准教授、並びに機能通信センシング研究室 赤澤正道准教授に心より感謝いたします。研究に際して、多くのご助力を頂きました量子集積エレクトロニクス研究センターの元量子マルチメディア研究室教授 佐野栄一様、集積電子デバイス研究室 本久順一教授、富岡克広准教授、機能通信センシング研究室 池辺将之教授、先進ナノ電子材料研究室 原真二郎准教授に心より感謝いたします。

また、在学期間中に橋詰研の一員として実験のサポートや実験結果の議論など様々な支援を頂きました、谷田部然治 熊本大学准教授、Dr. Maciej Matys、西口賢弥様、大平城二様、問谷翔太様、安藤祐次様、及木達矢様、佐々木翔太様、越智亮太様、森下優平様、新井琢朗様、畑中大空様に感謝申し上げます。

そして日ごろより研究において様々な協力を頂いた量子集積エレクトロニクス研究センターの大学院諸兄、学部4年の皆様、また技官並びに事務員の皆様にも心から感謝いたします。

最後になりますが、私の学位取得に際し、長きにわたって手厚い支援をしていただきました両親に心から感謝いたします。



---

# 目次

## 第1章

序論	1
1.1. 本研究の背景	1
1.1.1. 電力変換システム	1
1.1.2. 無線通信システム	3
1.2. 窒化物半導体の利点	6
1.2.1. 電力変換システムへの応用	6
1.2.2. 無線通信システムへの応用	8
1.3. GaN ベーストランジスタとその課題	9
1.3.1. 縦型 MOSFET	9
1.3.2. 高電子移動度トランジスタ(HEMT)	10
1.3.3. GaN ベーストランジスタのゲート絶縁膜	12
1.4. 本研究の目的	13
1.5. 本論文の構成	14

## 第2章

窒化物半導体の基礎物性とヘテロ接合	19
2.1. 窒化物半導体の基礎物性	19
2.1.1. 窒化物半導体の結晶構造	19
2.1.2. 窒化物半導体の物理パラメータ	21
2.2. 窒化物半導体の結晶成長技術	22
2.2.1. MOCVD 法	22
2.2.2. HVPE 法	23
2.3. AlGaIn/GaN ヘテロ接合	24
2.3.1. 窒化物半導体の混晶とヘテロ接合	24
2.3.2. 窒化物半導体の分極効果	25
2.3.3. 窒化物半導体ヘテロ接合に生じる二次元電子ガス	26

## 第3章

### 金属－絶縁体－半導体構造の基礎 ————— 31

3.1.はじめに	31
3.2.半導体表面および界面の電子捕獲準位	31
3.2.1. 表面および界面準位の起源	31
3.2.2. Shockley-Read-Hall 統計	33
3.3.MIS 構造の理想 C-V 特性	36
3.4.MOS 構造の界面準位	43
3.4.1. ワイドギャップ半導体における界面準位	43
3.4.2. 界面準位が C-V 特性へ及ぼす影響	45
3.5.界面準位密度の評価手法	48
3.5.1. 高周波(Terman)法	48
3.5.2. コンダクタンス法	49

## 第4章

### Post-metallization-annealing による $\text{Al}_2\text{O}_3/\text{GaN}$ 構造の界面制御 —55

4.1 はじめに	55
4.2 デバイス構造と作製プロセス	56
4.3 結果と考察	57
4.3.1 $\text{Al}_2\text{O}_3/\text{GaN}$ 構造のアドミッタンス特性評価	57
4.3.2 TEM による $\text{Al}_2\text{O}_3/\text{GaN}$ 界面評価	59
4.3.3 $\text{Al}_2\text{O}_3/\text{GaN}$ 構造の安定性評価	61
4.4 まとめ	64

## 第5章

### 無極性面 GaN 上 MOS 構造における界面特性の評価 ————— 71

5.1.はじめに	71
5.2.デバイス構造と作製プロセス	72
5.3.結果と考察	74
5.3.1. 室温における m 面 GaN MOS 構造のアドミッタンス特性	74
5.3.2. m 面 GaN MOS 構造の高温 C-V 特性	80
5.3.3. m 面 GaN MOS 構造の高温 J-V 特性	83
5.4.まとめ	84

## 第6章

### SiC および GaN 基板上に作製した $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$ HEMT の評価 —89

6.1.はじめに	89
6.2.デバイス構造と作製プロセス	90
6.3.SiC 基板上 MOS HEMT の電気的特性	92
6.3.1. SiC 基板上 MOS HEMT の DC 特性	92
6.3.2. SiC 基板上 MOS HEMT の C-V 特性	94
6.4.GaN 基板上 MOS HEMT の電気的特性	100
6.4.1. GaN 基板上 MOS HEMT の DC 特性	100
6.4.2. GaN 基板上 MOS HEMT の C-V 特性	102
6.4.3. GaN 基板上 MOS HEMT の動作安定性	103
6.5.まとめ	105

## 第7章

まとめ	111
-----	-----

研究業績	115
------	-----



# 第1章

---

## 序論

### 1.1. 本研究の背景

#### 1.1.1. 電力変換システム

電力エネルギーは生成された1次エネルギーの約40%を占め(図1-1)、さらに図1-2に示すように1次エネルギーの相当部分は電気エネルギーに変換され、電子・電気機器、動力、照明、熱などに利用されている。このエネルギー変換にはインバーターと総称される電力変換システムが利用され、ほぼすべてのエネルギーの流通・消費に深く関わっている。このため、インバーターの変換損失を低減することは、地球温暖化防止のために非常に重要である。

前述したように、インバーターはあらゆる分野において電力の変換素子及び、電力制御として用いられている。このため、インバーターの変換効率を高めることにより、劇的な省エネルギー効果が期待できるが、現状のSiデバイスを用いたパワーデバイスによるインバーターでは、これ以上の変換効率の向上は望めない。現在のインバーター素子には主にSiの電界効果トランジスタ(MOSFET)や絶縁ゲートバイポーラトラ

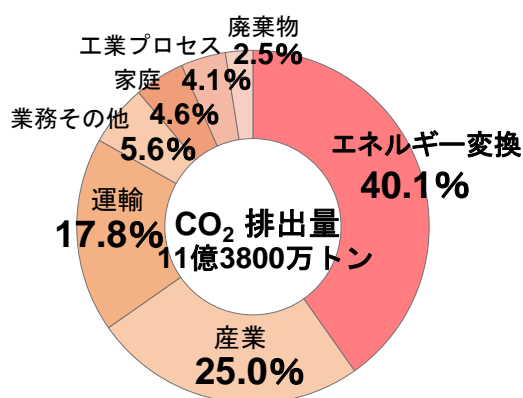


図 1-1 日本における二酸化炭素排出量の分野別割合

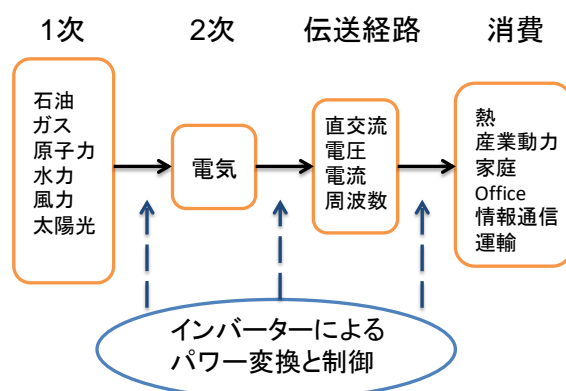


図 1-2 電気エネルギーの生産から消費までの流れ

ンジスタ(IGBT)などのパワーデバイスが使われている。Si を用いたパワーデバイスはオン状態の電流経路に存在する抵抗(オン抵抗)による導通損失と、オン、オフ状態の切り替え時に発生するスイッチング損失のため、インバーター変換効率は 90%程度であり、約 10%もの電力損失が発生している。

日本の年間発電量は約 1 兆 kWh に上り、ハイブリッドカーや電気自動車の普及やデータセンタの大規模化に伴い、この値がさらに大きくなることは確実である。例えば、低損失なインバーターの開発により 5%の効率改善がされた場合、家庭用電力だけでも 100 億 kWh の電力削減が期待できる。これは火力発電所の 2~3 基分に相当する。また、インバーターを組み込んだ製品の普及率は世界的に見ると決して高いとは言えず、エアコンで 51.8%、冷蔵庫で 18.1%、洗濯機で 18.6%と言われている(2016年度統計)。低損失のインバーターが家電製品に組み込まれれば、全世界のエネルギー消費を劇的に押さえることができる。

低損失化にはオン抵抗の低減とスイッチングの高速化が必要だが、Si ではその材料物性の限界と自己発熱のため、これ以上の効率向上は不可能であると言われている。Siに替わるインバーター用半導体としては GaN を代表とする窒化物半導体や SiC などのワイドバンドギャップ半導体が有望である。GaN および SiC は、従来の Si や GaAs のような物理的な制限をうけることが無く、また、環境の面からも GaAs のような有害物質を含んでいないなど、基板に用いる材料やドーパントも含め、すべて安全性の高い材料で構成することができる。つまり、プロセスも含めた環境負荷の小さい材料システムといえる。

### 1.1.2. 無線通信システム

近年、スマートフォンなどのモバイル端末の爆発的な普及によって、移動体通信への通信量が急増している。内閣府の発表によると、2019年から2020年にかけての1年間で移動体通信のトラフィックは1.3倍に増加しており、後述する第5世代無線通信システムのサービス開始も相まって図1-3に示すように今後も爆発的に増加していくと思われる。そのため、従来利用されてきたLTEやLTE-Advancedといった第4世代移動通信技術ではトラフィックがひっ迫してしまうことが予想される。また、IoT(Internet of Things)やM2M(Machine to Machine)などの普及が進み、将来的にあらゆるモノが相互通信を行うことが予想され、すでに産業のオートメーション化などでM2M通信が行われているが、今後、図1-4に示すように交通機関や教育、一般生活などさまざまな分野への普及が見込まれるため、インターネット上へ接続されるデバイス数が膨大となることが予想される。さらに、IoTやM2Mは医療や災害などの分野への応用も考慮する必要があり、これらの分野では非常に高い信頼性や、超低遅延での通信が要求される。

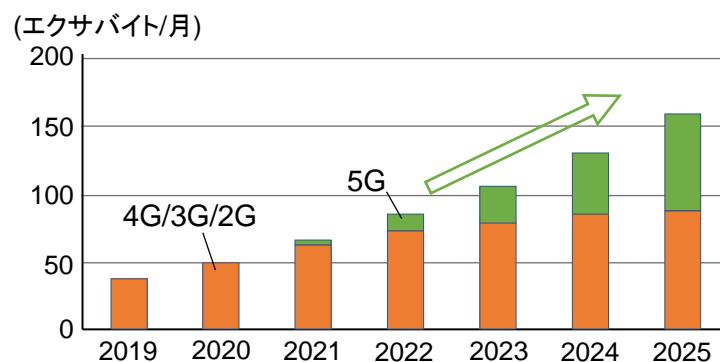


図1-3 日本における無線通信トラフィックの予測

2020年に第5世代移動通信(5G)の実用化に至っているが、以上の高速・大容量通信、超大量端末接続、超低遅延・超高信頼性の3つの要件をすべて満たすような移動体通信技術は提供されていない。特に、5Gでは高速・大容量通信を担う高周波デバイスがいまだに商用化には至っておらず、5G環境に耐えうる新たな高周波デバイスの開発が求められている。5Gの要求条件を図1-5に示す。従来の規格であるLTE-Advancedとの比較となっており、ピークデータ速度、モビリティ性能、容量、セ

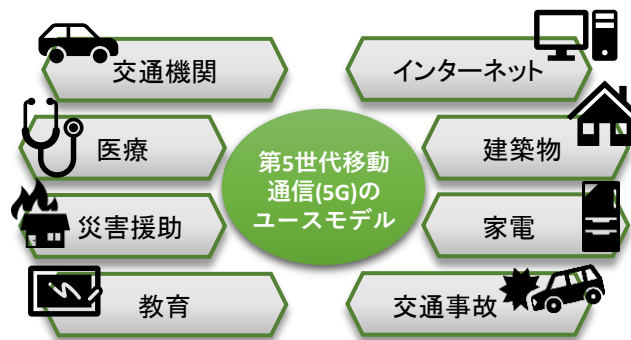


図 1-4 第 5 世代無線通信システムのユースモデル

ル当たりのデバイス数、遅延時間、省電力性能の 6 項目について要件が存在している。ピークデータ速度は 10Gbps と LTE-Advanced の 10 倍もの要求があり、これは光ファイバー通信に匹敵するデータ速度である。すでに一部動画提供サイトでは 4K 動画の配信が行われており、スマートフォンをはじめとした携帯端末上でも 4K や 8K といった高解像度の動画サービスを快適に視聴することが求められているため、移動体通信ながら 10Gbps という非常に大容量な通信が求められる。この伝送速度を達成するには数百 MHz 以上の周波数帯域幅が必要とされているが、これまでの移動体通信向けに利用されてきた周波数帯では、多くの無線システムですでに利用されており、これらの周波数帯での追加周波数割り当ては世界的に困難な状況となっている。そこで 5G では、これまで移動体通信に用いられていなかった準ミリ波からミリ波までを考慮した高周波数帯の利用が検討されている。また、ピークデータ速度の増加に伴い、1bit 当たりの消費電力を低減する必要も出てくる。さらに、近年のウェアラブル端末の発展などにより一人あたりが持ち運ぶ通信端末が増加傾向にあり、また、IoT などの発展により単位面積あたりに存在する通信端末の数は爆発的に増加するため、LTE-Advanced の 1000 倍以上の通信端末が同一面積に存在することを想定する必要がある。また、医療分野や災害救援への応用を考慮すると遅延時間は End-to-End 通信で 1ms 以下に抑える必要があり、これも大きな課題となる。単位面積あたりの通信端末数が増加することに伴い、通信基地局 1 セルあたりの収容デバイス数を増加する必要があるが、5G では端末－基地局間通信に 4G で利用されているプラチナバンド(800MHz)よりも高い周波数帯を利用するためアンテナが小型となり、1 素子あたりの面積が小さくなるため収容デバイス数の問題については大きな問題とはならない。それだけでなく、この

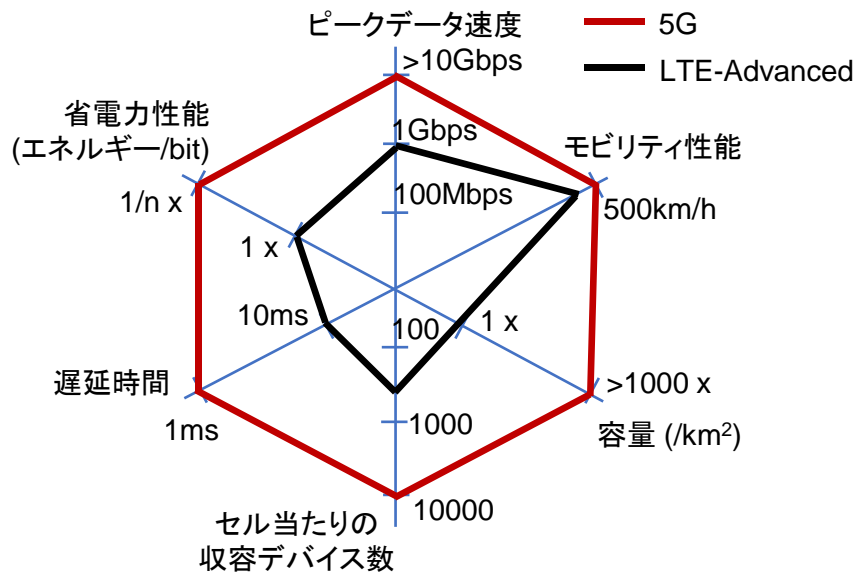


図 1-5 第 5 世代無線通信システムの要求条件

セルの集積化には大きなメリットが存在している。多数のアンテナ素子を用いることにより、ビームフォーミングと呼ばれる技術によって電波の送信を鋭いビーム上にして送信することが可能となる。これにより、無線伝搬減衰の大きいミリ波帯でも、その減衰量を補償して数百 m の距離までサービスエリアを確保することが出来る。

上述のように 5G 通信によって現在のひっ迫しつつある移動体通信の状況を看破することが期待されているが、5G の要件を満たすような高出力な高周波増幅器は依然として商用化には至っていない。高周波増幅器の要件としては図 1-5 のピークデータ速度および省電力性能の 2 つが求められている。サブミリ～ミリ波で動作可能なデバイスは InP 系 HEMT などによって実現可能ではあるが、InP 系材料の狭い禁制帯幅から十分な耐圧が確保できず、高出力化が困難であるといった問題が挙げられる。このような中で、窒化ガリウムをはじめとするワイドギャップ半導体は、その優れた特徴から高出力な高周波増幅器としての期待に応えられる材料であり、ワイドギャップ半導体電子デバイスに対する期待が強まっている。

## 1.2. 窒化物半導体の利点

### 1.2.1. 電力変換システムへの応用

表 1-1 に従来の半導体及び GaN、SiC の基礎物性値を示す。また、図 1-6 に Si の IGBT と GaN の MOSFET を比較した模式図を示す。物性値的な観点から見ると、GaN、SiC は Si と比較して約 10 倍の絶縁破壊電圧を有している。このことにより、ドリフト層の厚さを Si の 1/10 に縮小することができる。また、不純物濃度は絶縁破壊電界の二乗に比例することから、キャリア密度を Si の 100 倍に設計できる。このように半導体素子を Si からワイドバンドギャップ半導体に置き換えることにより、理論的には動作抵抗を Si の 1/100 以下に低減することが可能になり、電力変換を行う際に発生するジュール損失を大幅に抑制することが可能になる。

表 1-1 Si、GaAs、SiC および GaN の基礎物性値

	Si	GaAs	SiC (4H)	GaN
バンドギャップ (eV)	1.1	1.4	3.3	3.4
電子移動度 (cm <sup>2</sup> /Vs)	1450	8500	1000	1200
飽和電子速度 (×10 <sup>7</sup> cm/s)	1.0	2.0	2.0	2.5
絶縁破壊電界 (MV/cm)	0.3	0.5	3.0	3.3
Johnson 性能指数 (E <sub>crit</sub> v <sub>s</sub> ) <sup>2</sup>	1	7	~400	~750
Baliga 性能指数 (εμE <sub>crit</sub> ) <sup>3</sup>	1	15	~400	~850

また、GaN は飽和電子速度も Si の 2 倍の値を持つため、デバイスの高速化に適している。熱伝導率は SiC に比べれば劣るものの、Si よりも大きな値を持つ。加えて、GaN と SiC は Si の 3 倍以上の広い禁制帯幅を持つので、デバイスの高温作動が可能となる。Si のバンドギャップは 1.1 eV のため、150°C以上の高温動作時には価電子帯から伝導帯に容易に電子が励起される。このため、デバイスの p 型、n 型の区別がつかなくなり、デバイスの動作が不安定になる。特にハイブリッド車、電気自動車では過酷な高温状況下にて使用されるため、エンジンの冷却システムとは別に、インバーター専用で水冷システムを用意する必要がある。このような冷却システムはコストアップにつながるだけでなく、大きなスペースを要するため設計の自由度にも影響する。これに対し、GaN パワーデバイスではバンドギャップが 3.4eV と大きいこと、500°Cの高温

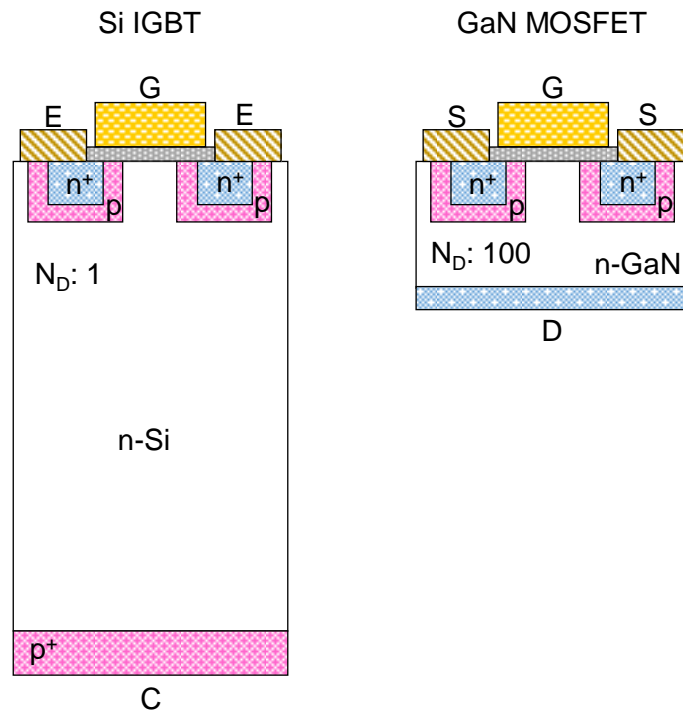


図 1-6 Si IGBT および GaN MOSFET の断面模式図

条件でも安定動作が可能となり、冷却システムはエンジンの冷却システムと統一することが可能になる。これにより、前述した変換効率の向上だけでなく、デバイスの小型化と低コスト化を両立することが可能となる。

さらに GaN は、AlGaN や InGaN などの混晶とのヘテロ構造を形成することで、ヘテロ接合界面に高密度の二次元電子ガス(2DEG)が生じる。2DEG は高い電子移動度、高電子密度での作動が可能になり、横型デバイスにおいても低い導通抵抗を実現できる。この点は SiC では実現不可能である。この異種接合を利用することにより、横型トランジスタ構造においても動作抵抗及び素子サイズの劇的な低減を達成することができ、縦型構造を基本とする Si 素子と比較して GaN 系独自のインバーター設計、集積化、高速動作が可能になると考えられる。

### 1.2.2. 無線通信システムへの応用

GaN系トランジスタは前述した物性から高電圧で動作する高周波パワーデバイスとしても期待されている。これは、GaN系材料がSi, GaAsと比較して、高い絶縁破壊電界と高電界ドリフト速度を有するためであり、従来の電界効果トランジスタでみられた動作電圧と遮断周波数のトレードオフを大きく改善する。さらに、AlGaIn/GaNヘテロ界面には高濃度のキャリアが誘起される。これら、高周波・高出力密度動作の特徴は、均一動作(同相動作)可能な素子寸法が小さくなる高い周波数領域で特に有効となる。

GaN系半導体材料を用いた高周波デバイスの有望な応用として、上述のように第5世代移動通信(5G)におけるサブミリ波～ミリ波送信電力増幅器が挙げられる。この応用ではデジタル変調された信号を増幅するために線形性の高い増幅器が必要とされており、増幅器の平均的な出力値の約10倍の最大出力値の動作を可能とする必要がある。また高耐圧かつ高電子密度な2DEGを持つGaN系ヘテロ構造を用いることで、直流電圧変換回路、出力合成回路を省略あるいは簡略化できるためエネルギー変換効率に優れた高出力増幅モジュールを構成することが可能となる。また、最近のブロードバンドインターネットの普及に対応してそのワイヤレス化への期待が高まっている。その代表的なシステムとして加入者ワイヤレスアクセス(Fixed Wireless Access : FWA)と衛星インターネットアクセスがある。これらの応用では、22GHzから38GHzにわたる周波数において、数Wから数十W級の高効率増幅器が要求される。これまで、進行波管増幅器がこれらシステムで用いられてきたが、高周波でしかも高電圧で動作するGaN系半導体デバイスを用いることが可能となれば次世代システムの普及と浸透が急速に進むと期待される。

ところで、このようなパワーデバイスへの適合性を、半導体の物性定数の組み合わせで評価した指数が存在する。その中で、代表的なものとしてJohnson性能指数とBaliga性能指数がある。前者は高出力・高周波素子としての、後者は電力スイッチング性能をそれぞれ表す。表1-1にこれらの値をSiを1として示した。このように、GaNはパワーデバイスの性能を表す指数がいずれもSiを大きく上回っており、パワーデバイスへの応用に対して非常に高いポテンシャルを有する材料であることが分かる。パワーデバイスは、これまではSiの飛躍的な発展により高性能化が図られてきたが、もはや物性値的な限界により、これ以上の改善は難しい状況である。これからの環境調和

型の経済発展を行うためには Si に替わり、GaN による低損失のパワーデバイスが不可欠となると考えられる。

### 1.3. GaN トランジスタとその課題

#### 1.3.1. 縦型 MOSFET

前節で取り上げたように、GaN はその高い物性値から縦型デバイスとして利用した際に、従来の Si IGBT よりも大幅に動作抵抗を低減することが出来る。また、近年では、気相成長として VAS 法[1]、液相成長として Na フラックス法[2]やアモナーマル法[3]などによって、低転移密度かつ高品質な GaN 自立基板が開発されている。これらの手法で成長した GaN 基板は  $10^3 \sim 10^6 \text{ cm}^{-2}$  の転位密度を有し、Si や SiC などの異種基板上の GaN 層では転位密度が  $10^{10} \text{ cm}^{-2}$  であることから、高い結晶性を有していることが分かる。さらに、GaN 基板によって縦型伝導が可能になる点は、高耐圧かつ高い電流密度を必要とする電力スイッチングシステムにおいては大きな利点である。

以上のように GaN 自立基板の発展に伴って、GaN 縦型デバイスへの期待は高まっている。しかし、GaN はイオン打ち込みによる p 型 GaN 領域の形成が難しく、GaN の p 型化が報告された例は少ない[4]。そこで、エピタキシャル成長 p 型 GaN を利用した縦型 MOSFET に関する研究が盛んになっている。図 1-7 に主要な縦型 GaN トランジスタとして CAVET (Current aperture vertical electron transistor) とトレンチゲート MOSFET の模式図を示す。CAVET は 2004 年に初めて報告された構造で、二重拡散 MOSFET と似た構造を持つ。AlGaIn/GaN ヘテロ接合をチャネルとして利用するため、CAVET は低オン抵抗を示すが、ゲート直下に 2DEG 層が存在するため、負のしきい

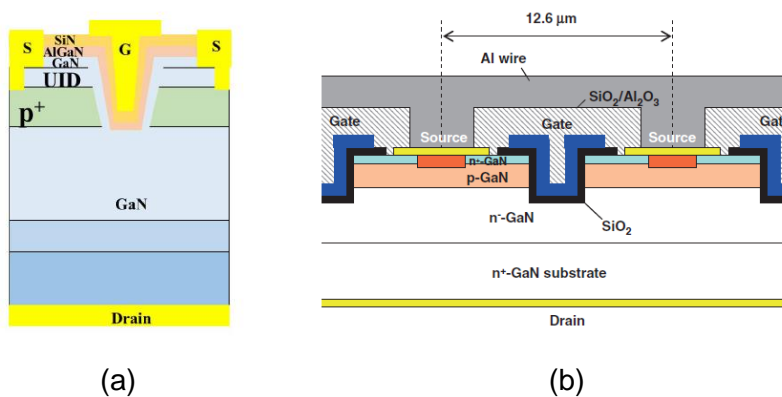


図 1-7 (a) CAVET および(b) トレンチゲート  
縦型 MOSFET の断面模式図[6, 7]

値電圧を持つ。また、再成長 AlGaIn 層に起因した大きなリーク電流を持つことから、パワーデバイスへの応用には課題が残っている。トレンチゲート MOSFET は、GaIn トランジスタとしては 2008 年に初めて報告された構造で、ノーマリオフ動作を示す。また、近年では CAVET と同様の低いオン抵抗や高い電流密度などが報告されている。しかし、しきい値電圧が p 型 GaIn 層の Mg 濃度や絶縁膜容量から見積もられる計算値から大きく離れており、MOS 構造の界面制御が不十分である可能性が示されている。

このような縦型トランジスタは、GaIn のトレンチ側壁をチャンネルとして利用するため、単位チップ面積あたりのゲート幅を増やすことができ、大電流動作が期待される。これらの構造では、a 面や m 面などの無極性面に形成されたチャンネルを利用するが、無極性面における絶縁膜-GaIn 界面の特性については明らかになっていない。

### 1.3.2. 高電子移動度トランジスタ (HEMT)

上述のように、GaIn は大出力・高周波動作の半導体デバイスを実現できる非常に魅力的な材料である。GaIn をはじめとする窒化物半導体は、それらの混晶半導体を利用した様々なヘテロ接合が形成できる。図 1-8 に AlGaIn/GaIn ヘテロ構造の典型的な構造とバンド図を示す。GaIn 上に AlGaIn を成長させることで、自発分極およびピエゾ分極効果によって高密度かつ高電子移動度のチャンネルがヘテロ界面に形成される。このようなヘテロ構造では、GaIn 層や AlGaIn 層に意図的に不純物ドーピングを行うことなくチャンネルが形成される。そのため、AlGaIn/GaIn 界面における不純物散乱の影響を受けず、チャンネル移動度は Si や SiC MOSFET よりも高くなる。窒化物半導体ヘテロ界面の電子密度は約  $10^{13} \text{ cm}^{-2}$  であり、Si MOSFET の反転層における電子密度よりも

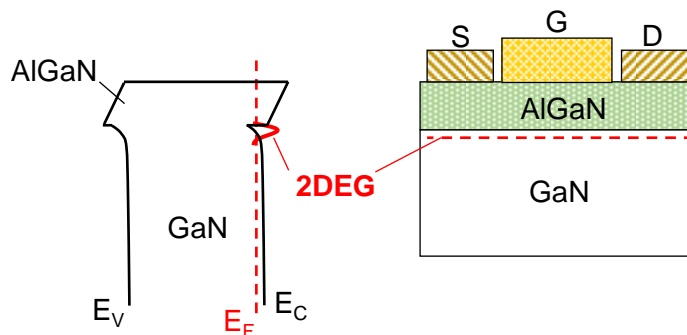


図 1-8 AlGaIn/GaIn ヘテロ接合の断面模式図とバンド図

おおよそ一桁高い密度を示す。このようなヘテロ構造を有するデバイスを高電子移動度トランジスタ (High electron mobility transistor, HEMT) と呼ぶ。

消費電力の低減とフェイルセーフの観点から、特に電力スイッチングデバイスではノーマリオフ動作が好ましい。ノーマリオフ動作ではオン状態にするために正ゲート電圧を印加する必要があるため、Schottky ゲートデバイスではリーク電流が非常に大きくなる。そのため、ノーマリオフ HEMT では図 1-9 に示すような MOS 構造が必要となる。また、HEMT の高周波応用を考える場合、5G 無線通信システムにおいても高効率かつ高い線形性が要求される。上述のように、GaN HEMT はその高い物性値とヘテロ接合から大出力・高周波動作に期待ができる。一方で、高周波増幅器の高出力化を進めていくと、ゲートへの入力信号が大振幅となり、振幅のピーク値が順バイアス領域に及んでしまうため、ゲートリーク電流の増大を引き起こす。このゲートリーク電流によって出力波形がきれいな正弦波とならず、増幅器としての動作不安定性の要因となりうる。すでに高周波増幅器として Schottky ゲート HEMT が採用されており一部商用化がなされているが、高出力化を目指す場合にはこのゲートリーク電流が問題となるため、MIS ゲート構造によってゲートリーク電流の抑制を行う必要がある。

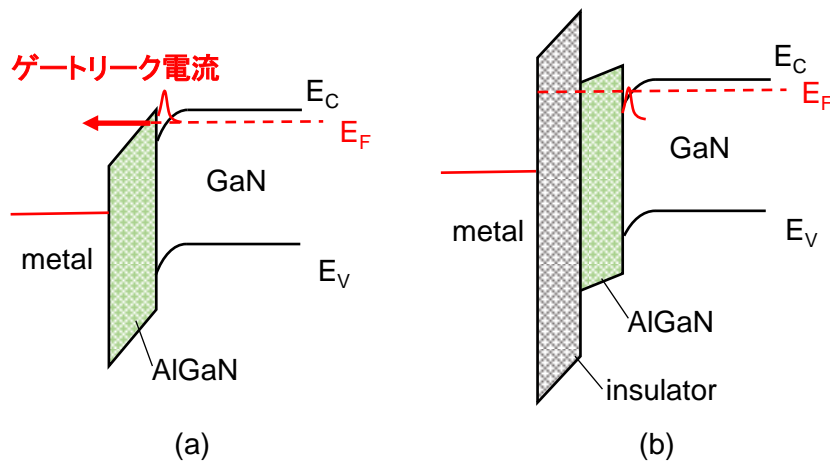


図 1-9 ゲート順バイアスを印加した際の(a) Schottky ゲート HEMT および(b) MOS ゲート HEMT のバンド図

### 1.3.3. GaN トランジスタのゲート絶縁膜

GaN 系トランジスタへの絶縁ゲート構造を作製する際に、バンドギャップ、および GaN との伝導帯オフセット、誘電率などの絶縁膜の物性を考慮し、さらに絶縁膜/GaN 界面の電子準位を低くなるものを選択する必要がある。図 1-10 に GaN と主な絶縁膜材料である SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、Si<sub>3</sub>N<sub>4</sub>、Ga<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub> のバンドラインナップを示す。ゲートリーク電流を低く抑えるためには絶縁膜と GaN の伝導帯オフセットがより大きいものが望ましい。また、ゲート絶縁膜はゲート電極とチャネルを空間的に分離するため、相互コンダクタンスが低下してしまわないように誘電率の高い絶縁膜が必要となる。HfO<sub>2</sub> は high-*k* 材料と呼ばれており、比誘電率は 20 以上と高い一方で、バンドギャップが 5-6 eV と比較的小さく、Si<sub>3</sub>N<sub>4</sub> と同様に窒化物半導体と十分な伝導帯オフセットを得ることができない。Ga<sub>2</sub>O<sub>3</sub> は唯一 GaN を母体材料として形成することができる絶縁膜であるが HfO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub> と同様にバンドギャップが小さく、窒化物半導体と十分な伝導帯オフセットを得ることができない。SiO<sub>2</sub> は図 1-10 に示す中で最も大きなバンドギャップを有してはいるが、比誘電率が 4 程度と低く、相互コンダクタンスが低くなってしまふ。一方で、Al<sub>2</sub>O<sub>3</sub> はバンドギャップが 7-9 eV と高く、さらに比誘電率も 8-10 と高い値を示していることから、GaN 系トランジスタのゲート絶縁膜材料として最も有望な材料の一つであると言える。

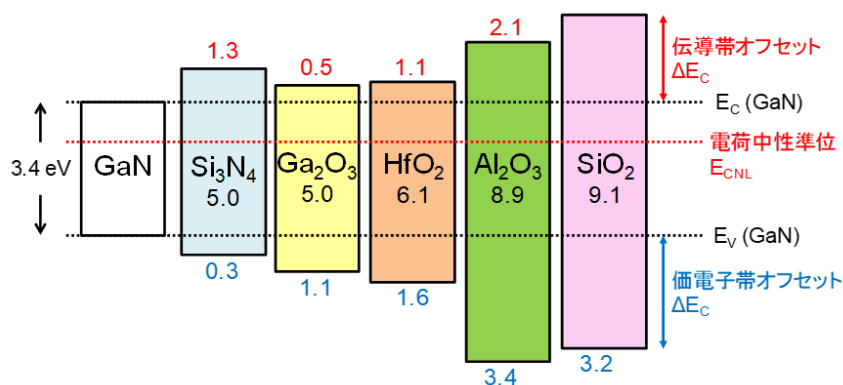


図 1-10 GaN および種々の絶縁膜材料のバンドラインナップ

## 1.4. 本研究の目的

窒化物半導体材料は、Si や GaAs などに比べてバンドギャップが大きいことだけでなく、絶縁破壊電界、飽和電子速度、熱伝導度が大きいなどの物性上の特徴をもつ。これらの特徴は電子デバイス特性に高パワー（高耐圧，高電流密度）動作、高速動作、低損失動作、あるいは高温、放射線照射下などの過酷環境下での動作が可能であるなどのさまざまなメリットをもたらす。

GaN は GaAs 等の他のIII-V族化合物半導体と同様、混晶が存在し、それらの間でのヘテロ接合を形成することで、高移動度かつ高密度な二次元電子ガスなどの特徴的なヘテロ特性が利用可能である。そのため、GaN の優れた物性値と相まって、GaAs 系化合物半導体が活躍している電子デバイス分野で GaAs 系デバイスの仕様限界を超えるデバイスの実現が期待される。

特に AlGaN と GaN のヘテロ接合を利用した AlGaN/GaN 高電子移動度トランジスタは高周波パワーデバイスや高効率パワースイッチングデバイスとして盛んに研究がなされており、すでに Schottky ゲート HEMT は高周波増幅器として商用化がされている。デバイス性能は研究とともに向上してはいるが、GaN の持つ材料物性から予測される特性に達していないのが現状である。また、高パワー動作を行う場合、ゲートリーク電流の増大がデバイスの損失増加や動作不安定性などにつながることから、MIS ゲート構造によるゲートリーク電流低減が効果的となる。しかし、絶縁膜－半導体界面に存在する電子準位が電子デバイスの性能および動作安定性に悪影響を与えることが報告されており、この電子捕獲準位の起源や振る舞いを理解し低減を行うことが求められている。

本論文では、まず Post-metallization-annealing (PMA)による Al<sub>2</sub>O<sub>3</sub>/GaN 構造の界面制御を試み、界面特性を評価した。続いて、無極性面である m 面 GaN にも同様に Al<sub>2</sub>O<sub>3</sub>/GaN 構造を作製し、無極性面における界面特性の評価と PMA による界面制御を行った。さらに、PMA を絶縁ゲート AlGaN/GaN HEMT へ適用し、Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面の電子準位が HEMT の電気的特性へ与える影響について考察し、界面制御によって電流線形性や容量－電圧特性が向上することを明らかにした。また、SiC 基板および GaN 基板上に MOS HEMT を作製することで、低転移密度かつ高品質な GaN 基板上に作製した MOS HEMT が優れた電気的特性を示すことを明らかにした。

## 1.5. 本論文の構成

本論文は7章から構成されている。以下にそれぞれの要旨を示す。

第2章では、窒化物半導体の基礎物性および AlGaN/GaN ヘテロ構造の特徴について記述した。

第3章では、絶縁膜-半導体界面に形成される電子捕獲準位のモデルを概説し、窒化物半導体 MOS 構造で問題となる界面電子準位からの電子放出について、Shockley-Read-Hall 統計に基づいて論じた。その後、MOS 構造の基礎理論と、電子準位が MOS 構造の容量-電圧 (C-V) 特性へ与える影響とその評価法をまとめた。

第4章では、c 面 GaN 上に Al<sub>2</sub>O<sub>3</sub>/GaN 構造を作製し、C-V 特性およびコンダクタンス-周波数特性の詳細解析を行った。さらに、MOS ダイオード形成後に窒素雰囲気中で 300°C 前後の熱処理 (PMA) を行い、Al<sub>2</sub>O<sub>3</sub>/GaN 界面の電子捕獲準位が劇的に低減することを明らかにした。PMA 処理の機構を明らかにするために、Al<sub>2</sub>O<sub>3</sub>/GaN 界面の透過電子顕微鏡像に幾何学的位相解析法を適用し、界面近傍の応力分布を評価した。その結果、PMA 処理が GaN 表面近傍の格子ひずみを緩和させ、ボンド乱れに起因する界面電子準位を抑制する可能性を見出した。

第5章では、無極性面である m 面 GaN 上に Al<sub>2</sub>O<sub>3</sub>/GaN 構造を作製し、界面特性の評価を行った。Al<sub>2</sub>O<sub>3</sub>/GaN 界面の準位密度密度が、c 面 GaN に形成した MOS 構造よりはるかに低いことを明らかにした。m 面 GaN 表面では、第一原理計算と表面分析実験により Ga-N ダイマーの形成が示唆されており、Ga-N ダイマー安定化表面に基づく界面電子準位の低減機構を議論した。さらに、C-V 特性の温度依存性を評価し、c 面 GaN MOS 構造では、フラットバンド電圧 ( $V_{fb}$ ) が正の温度依存性を有することが明らかになった。一方、m 面 GaN MOS 構造では  $V_{fb}$  の温度依存性が観測されず、分極効果の発生しない無極性を反映する結果が得られ、温度安定性に優れた MOS トランジスタ実現の可能性が示された。

第6章では、GaN 基板上に成長した AlGaN/GaN ヘテロ構造を用いて Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN HEMT を作製し、電气的評価を行った。ダイオード構造の C-V 実験結果と詳細数値計算の比較より、PMA によって Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面の電子準位密度が低減することを確認した。さらに、MOS-HEMT の電流-電圧特性評価より、電流線形性、しきい値電圧安定性、および高温における動作安定性の向上に PMA 処理が非

常に有効であることが明らかになった。また、極めて低いドレインリーク電流が観測され、ホモエピタキシャル成長による結晶欠陥の抑制に起因している可能性が示された。

第7章では、本論文の結論を述べた。

## 参考文献

- [1] Y. Oshima, T. Eri, M. Shibata, H. Sunakawa, K. Kobayashi, T. Ichihashi, and A. Usui, “Preparation of Freestanding GaN wafers by hydride vapor phase epitaxy with void-assisted separation”, *Jpn. J. Appl. Phys.* **42**, L1 (2003).
- [2] M. Imade, M. Imanishi, Y. Todoroki, H. Imabayashi, D. Matsuo, K. Murakami, H. Takazawa, A. Kitamoto, M. Maruyama, M. Yoshimura, and Y. Mori, “Fabrication of low-curvature 2 in. GaN wafers by Na-flux coalescence growth technique”, *Appl. Phys. Express* **7**, 035503 (2014).
- [3] J. Häusler, and W. Schnick, “Ammonothermal synthesis of nitrides: Recent developments and future perspectives”, *Chem. Eur. J* **24**, 11864-11879 (2018).
- [4] R. Tanaka, S. Takashima, K. Ueno, H. Matsuyama, M. Edo, and K. Nakagawa, “Mg implantation dose dependence of MOS channel characteristics in GaN double-implanted MOSFETs”, *Appl. Phys. Express* **12**, 054001 (2019).
- [5] H. Sakurai, M. Omori, S. Yamada, Y. Furukawa, H. Suzuki, T. Narita, K. Kataoka, M. Horita, M. Bockowski, J. Suda, and T. Kachi, “Highly effective activation of Mg-implanted p-type GaN by ultra-high-pressure annealing”, *Appl. Phys. Lett.* **115**, 142104 (2019).
- [6] D. Ji, A. Agarwal, H. Li, W. Li, S. Keller, and S. Chowdhury, “880 V/2.7 m $\Omega$ cm<sup>2</sup> MIS gate trench CAVET on bulk GaN substrates”, *IEEE Electron Device Lett.* **39**, 6 (2018).
- [7] T. Oka, T. Ina, Y. Ueno and J. Nishii, “1.8m $\Omega$ cm<sup>2</sup> vertical GaN-based trench metal–oxide–semiconductor field-effect transistors on a free-standing GaN substrate for 1.2-kV-class operation”, *Appl. Phys. Express* **8**, 054101 (2015).
- [8] I. Ben-Yaacov, Y. Seck, and U. Mishra, “AlGaN/GaN current aperture vertical electron transistors with regrown channels”, *J. Appl. Phys.* **95**, 4 (2004).
- [9] M. Kodama, M. Sugimoto, E. Hayashi, N. Soejima, O. Ishiguro, M. Kanechika, K. Itoh, H. Ueda, T. Uesugi and T. Kachi, “GaN-based trench gate metal oxide

semiconductor field-effect transistor fabricated with novel wet etching”, Appl. Phys. Express 1, 021104 (2008).

[10]J. Robertson, and B. Falabretti, “Band offsets of high K gate oxides on high mobility semiconductors”, Mater. Sci. Eng. C **135**, 267-271 (2006).



## 第 2 章

# 窒化物半導体の基礎物性とヘテロ接合

## 2.1. 窒化物半導体の基礎物性

### 2.1.1. 窒化物半導体の結晶構造

窒化物半導体は、結晶中のカチオン原子とアニオン原子の化学結合のイオン性が強いため、六方晶のウルツ鉱構造を持つ。ウルツ鉱構造では、**図 2-1(a)**に示すようにカチオン原子とアニオン原子が同じ方向に配列しているのに対して、**図 2-1(b)**に示す閃亜鉛鉱構造ではカチオン原子とアニオン原子が 60 度回転して配列している。このような、イオン配列による対照的な構造は特徴的な分極効果につながる。さらに、二元、三元、四元混晶に関わらずウルツ鉱構造は熱力学的に有利であり、容易に成長できる[1]。したがって、ウルツ鉱構造は高電子移動度トランジスタ (HEMT) を含む GaN デバイスで一般的に用いられている。

**図 2-2** にウルツ鉱構造における軸配向と結晶面を示す。ウルツ鉱構造の窒化物半導体は c 軸方向に反転対称性を持たないため、強いイオン性から[0001]方向に強い分極電場を示す。c 軸に直行した(0001)、(000-1)面に分極電荷が現れることから、

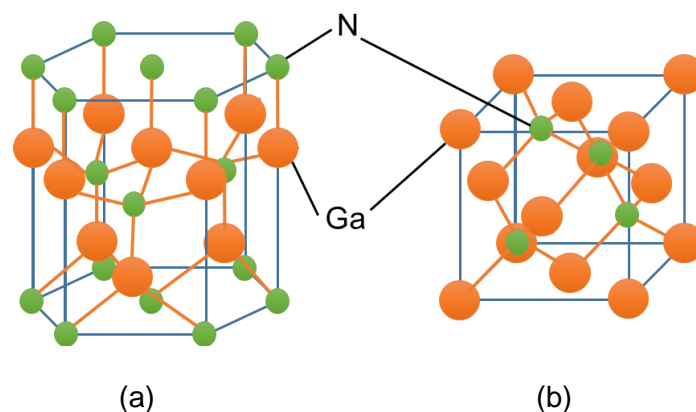


図 2-1 GaN の(a) ウルツ鉱構造および(b) 閃亜鉛鉱構造の模式図

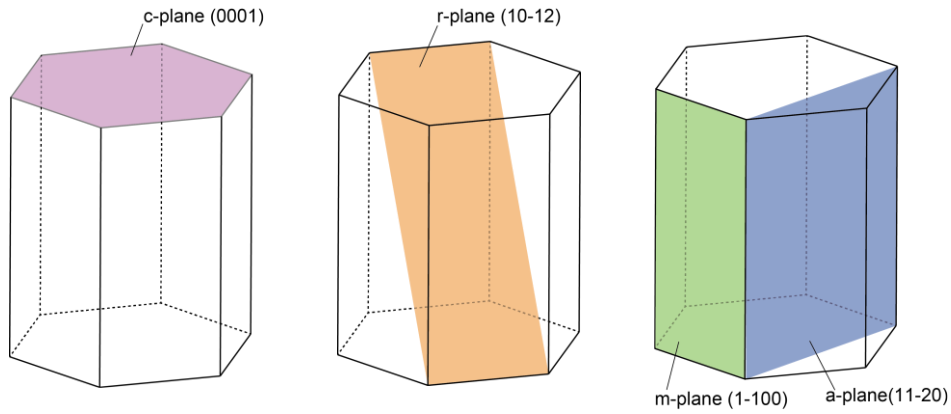


図 2-2 ウルツ鉱構造における結晶面の模式図

これらの面を極性面と呼ぶ。一方で、a 面や m 面は c 軸に平行であることから分極効果を示さないため無極性面と呼ばれ、トレンチゲート縦型 GaN デバイスでは無極性面がチャンネルとなるため非常に重要である。さらに、図 2-3 に示すようにウルツ鉱構造の格子定数を a、c と定義する。各格子定数は結晶中のイオン性に依存する。表 2-1 に GaN、AlN、InN の各格子定数をまとめる[2]。

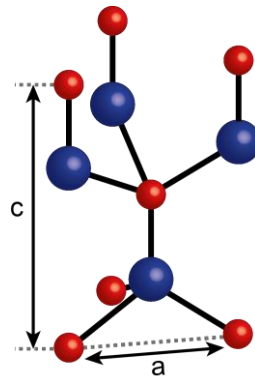


図 2-3 ウルツ鉱構造における格子定数の定義

表 2-1 GaN、AlN および InN の格子定数およびバンドギャップ[2]

	GaN	AlN	InN
格子定数 a (Å)	3.189	3.112	3.545
格子定数 c (Å)	5.185	4.982	5.703

### 2.1.2. 窒化物半導体の物理パラメータ

表 2-2 に Si および窒化物半導体の基礎物性値を示す。GaN は Si の 3 倍のバンドギャップ、10 倍の絶縁破壊電界、2 倍の飽和電子速度を持つことが知られている。GaN は広いバンドギャップに起因した高温における安定動作が期待され、GaN トランジスタを用いたデバイスでは冷却システムを簡素化できるといった利点がある。また、Si デバイスよりも高速なスイッチングが可能となるため、高周波駆動に伴い受動部品を小型化することもできる。さらに、GaN や SiC などのワイドギャップ半導体は、その優れた絶縁破壊電界から、縦型 MOSFET におけるドリフト層を薄くすることができ、電力スイッチング素子の小型化にもつながる。

表 2-2 Si および窒化物半導体の物理パラメータ

	Si	GaN	AlN	InN
バンドギャップ $E_G$ (eV)	1.1	3.4	6.0	0.8
絶縁破壊電界 $E_{crit}$ (MV/cm)	0.3	3.3	11.7	-
電子移動度 $\mu$ (cm/Vs)	1350	1200	1100	3200
飽和電子速度 $v_{sat}$ (cm/s)	$1.0 \times 10^7$	$2.5 \times 10^7$	-	$4.0 \times 10^7$

さらに、電子移動度と電子速度も高周波応用に重要である。電子移動度は以下の式で与えられる。

$$v = \mu E \quad (2.1)$$

ここで、 $v$ 、 $\mu$ 、 $E$  はそれぞれ、電子速度、電子移動度、電界である。一見すると、式 (2.1) から電界に応じて電子速度が際限なく上がるように見受けられる。しかし、実際には電子移動度のみで定義することはできない。図 2-4 に示すように、GaN の電界に対する電子速度についてモンテカルロ・シミュレーションを用いて報告されている[3]。GaAs や Si、SiC と GaN の電子速度を比較すると、GaN のピーク速度が  $3 \times 10^7$  cm/s 程度で飽和速度が  $1.5 \times 10^7$  cm/s 程度となり、どちらも Si や GaAs の電子移動度よりも高い値を示す。

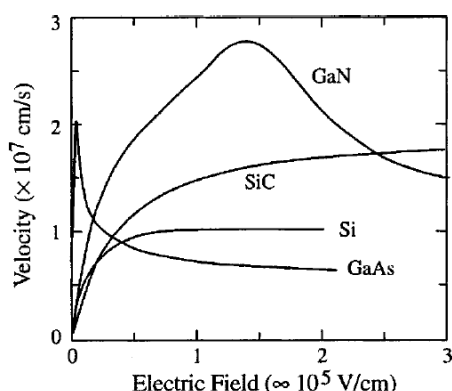
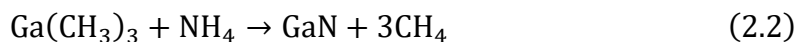


図 2-4 バルク結晶中の電子速度の電界依存性[3]

## 2.2. 窒化物半導体の結晶成長技術

### 2.2.1. MOVPE 法

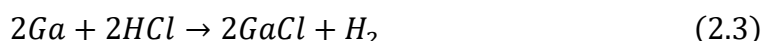
MOVPE 法とは Metal Organic Vapor Phase Epitaxy の略で、Ga、Al 原料としてそれぞれ有機金属のトリメチルガリウム  $\text{Ga}(\text{CH}_3)_3$ 、トリメチルアルミニウム  $\text{Al}(\text{CH}_3)_3$ 、N 原料としてアンモニア  $\text{NH}_3$  を使用し、成長用基板に薄膜を成長させる方法である。基板結晶はサセプター上に置かれ、高周波(RF)により成長温度まで加熱される。基板近傍で原料の熱分解反応が生じることにより、基板結晶上で次のような反応により結晶成長が進行する。



MOVPE 法は大量生産に向いており、現在の主流の方法である。サファイア、SiC、Si 等の異種基板上に GaN 層を成長する場合は、最初に AlN 低温バッファ層を成長することで高品質の GaN エピタキシャル層が得られる。しかし、MOVPE 法では原料に有機金属を用いるため、 $10^{15}$  から  $10^{17} \text{ cm}^{-3}$  の高密度な炭素不純物がエピタキシャル層中に取り込まれることが報告されている[4-7]。

### 2.2.2. HVPE 法

HVPE (Hydride Vapor Phase Epitaxy) 法は Maruska によってサファイア基板上に最初に GaN の単結晶が合成された方法で、この方法により作製された GaN の評価により、GaN が 3.4 eV の直接遷移型の半導体であることが明らかになった。Ga 融液と HCl ガスとの反応によって GaCl を発生させる。次に GaCl と NH<sub>3</sub> が反応し、下地基板上に GaN が生成する。反応式を下記に示す。



HVPE 法の特徴として、成長速度が速く、高品質なエピタキシャル成長膜が得られる点が挙げられる。MOVPE 法と同様に、低温バッファ層を用いることにより、異種基板上に高品質なエピタキシャル膜を成長することが出来る。成長条件は常圧、1000°C程度であり、2 インチ以上の大面積の結晶成長を比較的容易に行うことができる。また、速い成長速度を生かして、数百 μm の厚膜成長を行ったのち、サファイア基板をはく離することで GaN のホモエピタキシー用バルク基板として広く用いられている。GaN とサファイア基板を分離する方法として、サファイア基板上に薄く Ti を蒸着し、その上に HVPE GaN を成長させる際に界面に Void を発生させ、これにより分離を容易にする VAS (Void Assisted Separation)法[8]が報告されており、ELO (Epitaxial Layer Overgrowth)法[9]による GaN エピタキシャル層の低転移化技術と合わせて、低転移密度かつ高品質な GaN 基板が広く得られるようになった。

通常、HVPE 法では反応炉に石英管を用いるため、エピタキシャル成長中に高密度な Si 不純物が意図せずにドーピングされる。そのため、電子デバイスを作製するためには、HVPE 法で厚膜成長した GaN 層に、さらに MOVPE 法でドナー密度を制御した GaN 層を成長することが一般的である。しかし、上述のように MOVPE 法で成長した GaN 層中には 10<sup>15</sup> から 10<sup>17</sup> cm<sup>-3</sup> の残留炭素が存在するため、炭素不純物のデバイス特性への影響は無視できない[4-7]。しかし、近年、成長炉に石英材料を用いない QF-HVPE(Quart-free HVPE)法によって残留不純物濃度の非常に低い、高純度なホモエピ GaN が開発された[10]。特に、Si 濃度は二次イオン質量分析(SIMS)法の検出限界以下(5×10<sup>14</sup> cm<sup>-3</sup>)を示した。さらに、Fujikura ら[11]はラスタ変位法を用いた SIMS 分析によって QF-HVPE 法で成長した GaN 層の酸素および炭素不純物の混入が 5×10<sup>14</sup> cm<sup>-3</sup> 以下であることを明らかにし、電子密度が 1.2×10<sup>15</sup> cm<sup>-3</sup> の GaN 層において室温移動度の最高値である μ=1470 cm<sup>2</sup>/Vs を報告している。

## 2.3. AlGaN/GaN ヘテロ接合

### 2.3.1. 窒化物半導体の混晶とヘテロ接合

窒化物半導体はバンドギャップや格子定数の異なる様々な混晶を実現することが出来る。三元混晶である  $A_xB_{1-x}N$  は組成比に注意して設計する必要がある。組成比の変化に伴う格子定数  $a$  とバンドギャップ  $E_G$  の振る舞いは、以下に示す Vegard 則に従う。

$$a(A_xB_{1-x}N) = xa_A + (1-x)a_B \quad (2.5)$$

$$E_{G,A_xB_{1-x}N} = xE_{G,A} + (1-x)E_{G,B} + bx(1-x) \quad (2.6)$$

ここで、 $b$  は bowing parameter、 $x$  が A のモル分率である。図 2-5 に GaN、AlGaN、InN およびそれらの混晶における格子定数とバンドギャップの関係を示す。バンドギャップは 0.78 eV から 6.25 eV、格子定数は 3.112 Å から 3.545 Å と窒化物半導体の混晶は広いバンドギャップと格子定数をカバーしている。特に、InAlN は HEMT への応用においては特徴的な振る舞いを示す。In 組成比が 17% のとき、 $In_{0.17}Al_{0.83}N$  の格子定数は c 面 GaN の格子定数と一致する。それに加え、InAlN/GaN 界面における伝導帯のバンド不連続量が大きいため、HEMT への応用において大きな利点となる。

AlN と GaN の混晶である AlGaN を用いた AlGaN/GaN ヘテロ接合は HEMT 応用においてもっとも一般的である。InAlN/GaN ヘテロ接合と比較すると、AlGaN と

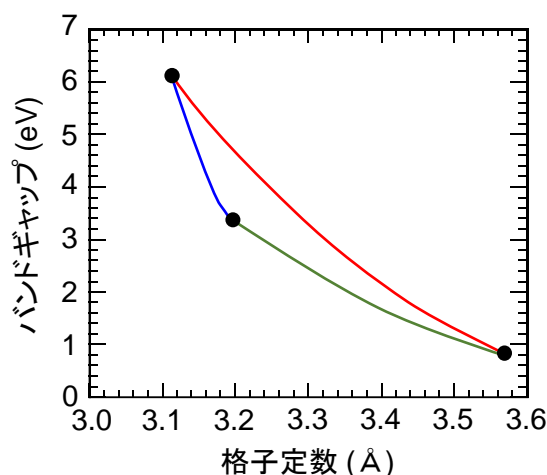


図 2-5 GaN、InN および AlN における格子定数とバンドギャップの関係

GaN は格子整合系ではないため、AlGaIn/GaN ヘテロ構造は引っ張り歪みをもつ。この歪みがもたらす分極効果について次節で取り扱う。

### 2.3.2. 窒化物半導体の分極効果

図 2-2 に示すように、c 面に成長した窒化物半導体は c 軸方向のカチオンとアニオンの非対称性に起因した“自発分極”を持つ。Ambacher ら[12]によって GaN、AlN、InN の自発分極電荷密度  $P_{SP}$  の計算値が報告されている。

$$\text{GaN: } P_{SP} = -1.8 \times 10^{13} \text{ cm}^{-2}$$

$$\text{AlN: } P_{SP} = -5.1 \times 10^{13} \text{ cm}^{-2}$$

$$\text{InN: } P_{SP} = -2.0 \times 10^{13} \text{ cm}^{-2}$$

図 2-6 に示すように、分極電荷は c 面の III 族極性面および N 極性面に生じる。(0001) 面の III 族極性面では、カチオンである Ga、Al、In によって負電荷が現れ、[000-1]方向の内部電界が生じる。一方で、(000-1)面の N 極性面では、[0001]方向の内部電界が生じる。

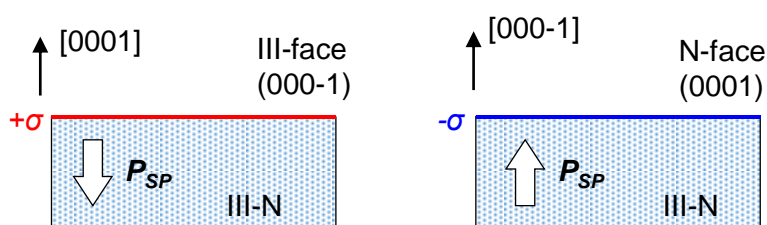


図 2-6 窒化物半導体の自発分極と内部電界

自発分極に加え、格子不整合の系では格子歪みにより“ピエゾ分極”が生じる。この分極効果について、AlGaIn/GaN ヘテロ接合を用いて考える。図 2-6 に模式的に示すように、GaN よりも格子定数  $a$  の小さい AlGaIn 層は、格子定数差を打ち消すように水平方向に歪む。その結果、垂直(c 軸)方向に圧縮された AlGaIn 層中に、ピエゾ分極による内部電界が生じる。図 2-7 に示すように、(0001)面に成長したヘテロ接合は [000-1]方向にピエゾ電界を示し、これは自発分極と同様である。従って、自発分極と

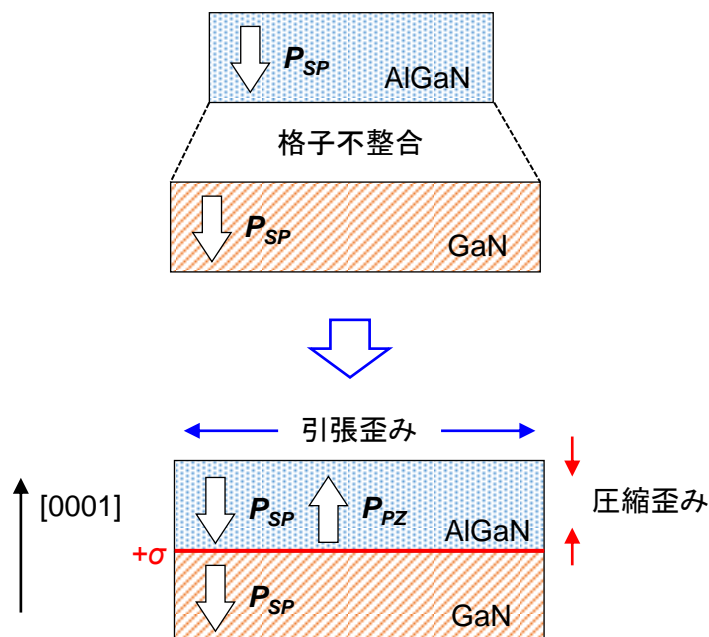


図 2-7 窒化物ヘテロ接合における piezo 分極

piezo 分極のいずれか、あるいは両方の分極効果によってヘテロ接合のポテンシャルが引き下げられ、二次元電子ガス(2DEG)の蓄積に繋がる。

### 2.3.3. 窒化物半導体ヘテロ接合に生じる二次元電子ガス

図 2-8 に熱平衡状態における AlGaN/GaN ヘテロ接合のバンド模式図を示す。上述のように、内部電界によってヘテロ接合のポテンシャルが引き下げられることで AlGaN/GaN 界面に井戸型ポテンシャルが作り出される。その結果、高電子密度の 2DEG がヘテロ界面に生じる。窒化物半導体の場合、半導体に意図的なドーピングを行うことなく内部電界を得ることが出来るため、2DEG の電子移動度は不純物散乱の影響を受けない。しかし、2DEG の起源についてはいまだ明らかになっていない。このような 2DEG を利用した窒化物半導体の電子デバイスは高電子移動度トランジスタ (HEMT) もしくはヘテロ接合電界効果トランジスタ (HFET) と呼ばれる。

Ibbetson ら[13]は以下の式で計算による 2DEG 密度を提案している。

$$qn_s = \sigma_{PZ} \left( 1 - \frac{t_{CR}}{t} \right) \quad (2.7)$$

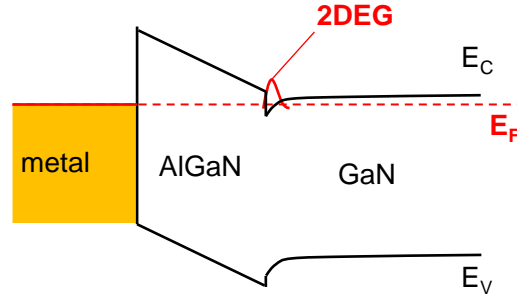


図 2-8 AlGaN/GaN ヘテロ構造のバンド図

ここで、 $n_S$ 、 $\sigma_{PZ}$ 、 $t_{CR}$ 、 $t$  はそれぞれ 2DEG 密度、AlGaN/GaN 界面の分極電荷、臨界面膜厚、AlGaN 膜厚である[12]。

AlGaN の自発分極は以下の式で求められる。

$$P_{Al_xGa_{1-x}N}^{SP} = P_{AlN}^{SP}x + P_{GaN}^{SP}(1-x) \quad (2.8)$$

$P_{AlN}^{SP}$  と  $P_{GaN}^{SP}$  は AlN および GaN の自発分極電荷である。Al<sub>x</sub>Ga<sub>1-x</sub>N と GaN の自発分極電荷の差は以下のように求められる。

$$\Delta P^{SP} = P_{Al_xGa_{1-x}N}^{SP} - P_{GaN}^{SP} \quad (2.9)$$

$\Delta P^{SP}$  を求めるためには、Al<sub>x</sub>Ga<sub>1-x</sub>N の格子定数を求める必要がある。Al<sub>x</sub>Ga<sub>1-x</sub>N の格子定数は Vegard 則より、

$$a_{Al_xGa_{1-x}N} = a_{AlN}x + a_{GaN}(1-x) \quad (2.10)$$

ここで、 $a_{AlN}$  および  $a_{GaN}$  はそれぞれ AlN と GaN の格子定数である。

AlGaN の弾性定数は次式で与えられる。

$$C_{13,Al_xGa_{1-x}N} = C_{13,AlN}x + C_{13,GaN}(1-x) \quad (2.11)$$

$$C_{33,Al_xGa_{1-x}N} = C_{33,AlN}x + C_{33,GaN}(1-x) \quad (2.12)$$

$C_{13,AlN}$  or  $GaN$  は、 $C_{33,AlN}$  or  $GaN$  はそれぞれ AlN、GaN の弾性定数である。また、Al<sub>x</sub>Ga<sub>1-x</sub>N のピエゾ定数も同様に次式で与えられる。

$$e_{13,Al_xGa_{1-x}N} = e_{13,AlN}x + e_{13,GaN}(1-x) \quad (2.13)$$

$$e_{33,Al_xGa_{1-x}N} = e_{33,AlN}x + e_{33,GaN}(1-x) \quad (2.14)$$

$e_{13,AlN}$  or  $GaN$  は、 $e_{33,AlN}$  or  $GaN$  はそれぞれ AlN、GaN のピエゾ定数である。以上の式(2.10)から(2.13)を用いると、Al<sub>x</sub>Ga<sub>1-x</sub>N のピエゾ分極電荷が求められる。

$$P_{Al_xGa_{1-x}N}^{PE} = 2 \left( \frac{a_{GaN}}{a_{Al_xGa_{1-x}N}} - 1 \right) \left( e_{31,Al_xGa_{1-x}N} - e_{33,Al_xGa_{1-x}N} \frac{C_{13,Al_xGa_{1-x}N}}{C_{33,Al_xGa_{1-x}N}} \right) \quad (2.15)$$

総分極電荷密度は以下のように定義できる。

$$P_{total} = P_{Al_xGa_{1-x}N}^{PE} + \Delta P^{SP} \quad (2.16)$$

Al組成比20%のとき、 $P_{total}$ は $1.13 \times 10^{13} \text{ cm}^{-2}$ となり、一般的なSiやSiC MOSデバイスのキャリア密度よりも一桁大きい値を示す。 $\text{In}_{0.17}\text{Al}_{0.83}\text{N}$ をHEMTのバリア層として用いた場合は、 $\text{InAlN}$ と $\text{GaN}$ が格子整合するため $P_{PE}$ は0となる。しかし、 $\text{InAlN}$ の高い $P_{SP}$ によって、 $\text{AlGaN}$ の分極電荷の2倍以上である $P_{total} = 2.73 \times 10^{13} \text{ cm}^{-2}$ が得られる。また、 $\text{InAlN}/\text{GaN}$ 界面の大きなバンド不連続量から、順バイアス印加時のゲートリーク電流の抑制にも期待できるといった利点も挙げられる。

$\text{AlGaN}/\text{GaN}$ ヘテロ接合では、 $P_{SP}$ は $\text{AlGaN}$ バリア層のAl組成比に比例する。一般的なHEMTにおける典型的なAl組成比は20~35%で、そのときの2DEG密度は $10^{13} \text{ cm}^{-2}$ 程度となる。図2-9にAl組成比34%の $\text{AlGaN}$ 膜厚に対する2DEG密度を示す。理想的には、 $\text{AlGaN}$ 膜厚を厚くすると $P_{PE}$ が増大するため、2DEG密度も増加するはずであるが、実際には $\text{AlGaN}$ を厚く成長することで格子歪みが緩和し、2DEG密度が飽和する。さらに、 $\text{AlGaN}$ が薄いときも同様に歪みが緩和し、 $P_{PE}$ の減少につながる。その結果、 $\Delta P_0$ が0のとき、2DEGチャネルはヘテロ接合界面に生じない。そのため、 $\text{AlGaN}/\text{GaN}$ ヘテロ構造では、Al組成比と $\text{AlGaN}$ バリア層の厚さを変化させることで2DEG密度を適切に制御する必要がある。

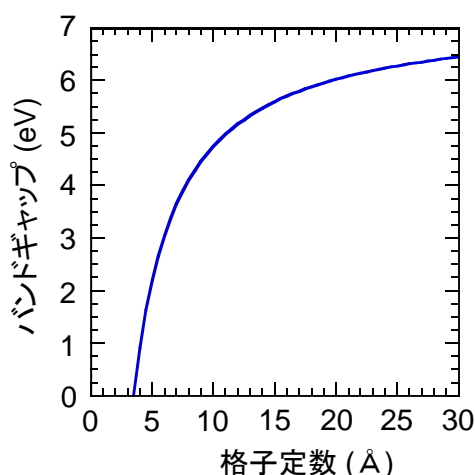


図2-9 Al組成比34%の $\text{AlGaN}$ をバリア層としたときの2DEG密度の膜厚依存性[13]

## 参考文献

- [1] S. Strite, and H. Morkoc, “GaN, AlN, and InN: A review”, *J. Vac. Sci. Technol. B* **10**, 1237 (1992).
- [2] I. Vurgaftman, and J. R. Meyer, “Band parameters for nitrogen-containing semiconductors”, *J. Appl. Phys.* **94**, 3675 (2003).
- [3] S. C. Jain, M. Willander, J. Narayan, and R. Van Overstraeten, “III-nitrides: Growth, characterization, and properties”, *J. Appl. Phys.* **87**, 965 (2000).
- [4] I. C. Kizilyalli, A. P. Edwards, O. Aktas, T. Prunty, and D. Bour, “Vertical power p-n diodes based on bulk GaN”, *IEEE Trans. Electron Devices* **62**, 414 (2015).
- [5] T. Tanaka, N. Kaneda, T. Mishim, Y. Kihara, T. Aoki, and K. Shiojima, “Roles of lightly doped carbon in the drift layers of vertical n-GaN Schottky diodes structures on freestanding GaN substrates”, *Jpn. J. Appl. Phys.* **54**, 041002 (2015).
- [6] J. A. Freitas, Jr., M. A. Mastro, E. A. Imhoff, M. J. Tadjer, C. R. Eddy, Jr., and F. J. Kub, “Thick homoepitaxial GaN with low carrier concentration for high blocking voltage”, *J. Cryst. Growth* **312**, 2616 (2010).
- [7] Q. Mao, J. Liu, X. Wu, J. Zhang, C. Xiong, C. Mo, M. Zhang, and F. Jiang, “Influence of growth rate on the carbon contamination and luminescence of GaN grown on silicon”, *J. Semicond.* **36**, 093003 (2015).
- [8] Y. Oshima, T. Eri, M. Shibata, H. Sunakawa, K. Kobayashi, T. Ichihashi, and A. Usui, “Preparation of Freestanding GaN wafers by hydride vapor phase epitaxy with void-assisted separation”, *Jpn. J. Appl. Phys.* **42**, L1 (2003).
- [9] B. Beaumont, P. Vennegues, and P. Gibart, “Epitaxial lateral overgrowth of GaN”, *Phys. Stat. Sol.* **227**, 1-43 (2001).
- [10] H. Fujikura, T. Konno, T. Yoshida, and F. Horikiri, “Hydride-vapor-phase epitaxial growth of highly pure GaN layers with smooth as-grown surfaces on freestanding GaN substrates”, *Jpn. J. Appl. Phys.* **56**, 085503 (2017).
- [11] H. Fujikura, T. Konno, T. Kimura, Y. Narita, and F. Horikiri, “Homo-epitaxial growth of n-GaN layers free from carbon-induced mobility collapse and off-angle-dependent

doping variation by quartz-free hydride vapor phase epitaxy”, *Appl. Phys. Lett.* **117**, 012103 (2020).

- [12] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, and L. F. Eastman, “Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaN/GaN heterostructures”, *J. Appl. Phys.* **85**, 3222 (1999).
- [13] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra, “Polarization effects, surface states, and the source of electrons in AlGaN/GaN heterostructure field effect transistors”, *Appl. Phys. Lett.* **77**, 250 (2000).
- [14] A. Zoroddu, F. Bernardini, and P. Ruggerone, “First-principle prediction of structure, energetics, formation enthalpy, elastic constants, polarization, and piezoelectric constants of AlN, GaN, and InN: Comparison of local and gradient-corrected density-functional theory”, *Phys. Rev. B* **64**, 045208 (2001).
- [15] M. A. Littlejohn, J. R. Hauser, and T. H. Glisson, “Monte Carlo calculation of the velocity-field relationship for gallium nitride”, *Appl. Phys. Lett.* **26**, 625 (1975).

## 第3章

# 金属－絶縁体－半導体構造の基礎

### 3.1. はじめに

金属-絶縁体(酸化物)-半導体(MIS or MOS)構造は MIS 電界効果トランジスタ(MISFET)の重要な要素のひとつである。しかし、絶縁膜/半導体界面には電子捕獲準位が存在し、半導体デバイスの特性に影響を与えることが知られている。Si MOS における  $\text{SiO}_2/\text{Si}$  界面では、単結晶である Si 表面が非晶質の  $\text{SiO}_2$  で終端されるため Si の結晶の周期性が急激に失われており、共有結合に寄与しない電子が界面準位として存在する。界面準位は半導体内で電荷の捕獲・放出を行うため、MOS トランジスタのしきい電圧を変動させる。また、界面準位の電子、正孔の捕獲、放出過程は時定数が長い場合が多く、デバイス特性の劣化や低周波雑音の原因となる。さらに、界面準位に捕獲された電荷はクーロン散乱を引き起こし、移動度を低下させる原因となることも報告されている。本章では、界面準位とその影響についていくつかの理論に基づいた導入を記す。電子準位からの放出時定数および容量-電圧特性、電子準位の振る舞いについて説明し、特に GaN 系材料を用いた MIS ダイオードについて重点的に扱う。さらに、MIS 構造の界面準位を評価するための理論についても取り扱う。本論文で扱う半導体材料は全て n 型伝導を示すため、本章で記載する半導体についてはすべて n 型とみなす。

### 3.2. 半導体表面および界面の電子捕獲準位

#### 3.2.1. 表面および界面準位の起源

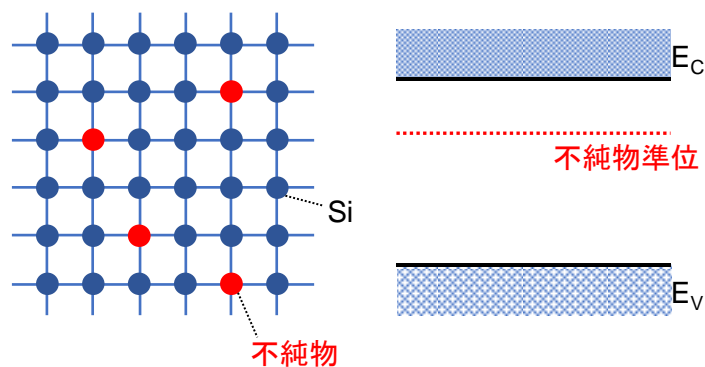
半導体の表面や、半導体とその他の材料の界面には、周期的な原子配列の終端に伴う電子準位がバンドギャップ中に形成される。電子準位はバンドギャップ中で

あるにも関わらず電子の捕獲・放出に寄与することから、デバイスの動作不安定性や信頼性の低下につながる。ここでは、そのような電子準位の起源について記述する。

半導体のバルク領域であっても、ドーピングに挙げられるような原子配列の変化によって電子準位が形成されることがある。例えば、**図 3-1** に示すように周期構造を持つ理想的な Si 結晶中に不純物を導入すると、不純物準位がバンドギャップ中に形成される。

次に、半導体表面、すなわち真空/半導体界面について考える。周期的な原子配列の終端は、伝導帯と価電子帯の形成を妨げる可能性がある。この場合、結晶の終端のみがバンドギャップ中に新たな準位を形成する可能性がある。このような準位は清浄かつ配列の整った表面に由来することから、固有準位と呼ばれる[1, 2]。しかし、実際の表面や界面では、単純な再構成だけでなく、様々な種類の変質や乱れが引き起こされ、それらは半導体と金属、酸化物、大気との界面や内的・外的な化学反応から生じる。それらの変質や乱れに起因した電子準位は、非本質的な表面・界面準位と呼ばれる[3]。実際の界面が半導体の終端に起因した様々な種類の乱れを持つとすると、界面準位は、1986年に Hasegawa と Ohno[4]によって提案された DIGS (disorder induced gap state)モデルに従って生成されるはずである。

**図 3-2** に DIGS モデルに基づいた界面準位密度分布を示す。**図 3-2(a)**および**3-2(b)**に示すように、DIGS 密度分布は結合(ドナー型)準位と非結合(アクセプタ型)準位の 2 つの準位からなる。これらの準位が半導体表面における原子配列の乱れに



**図 3-1** (a) Si 結晶への不純物ドーピングの模式図  
(b) ドーピングによって形成される Si バンドギャップ中の不純物準位

起因しているならば、伝導帯下端および価電子帯上端からバンドギャップ中へとそれぞれのバンドの状態密度が染み出すことになる。バンドギャップの上部では、結合準位が伝導帯の特徴を引き継ぎ、伝導帯に近づくにつれ準位密度が高くなる。一方で、バンドギャップの下部では、非結合準位が価電子帯の特徴を引き継ぐ。この場合、結合準位は電子を捕獲したときに負に帯電し、放出しているときは中性となる。対して、非結合準位は電子を捕獲したとき中性となり、放出しているときは正に帯電する。そのため、これらの準位はそれぞれアクセプタ型準位、ドナー型準位と呼ばれる。各バンドからの状態密度が染み出すことで準位が形成されるため、**図 3-2(c)**に示すように半導体表面には U 字の密度分布が生じる。このとき、バンドギャップ中で状態密度が最小となるエネルギーを電荷中性点  $E_{CNL}$  と呼ぶ。

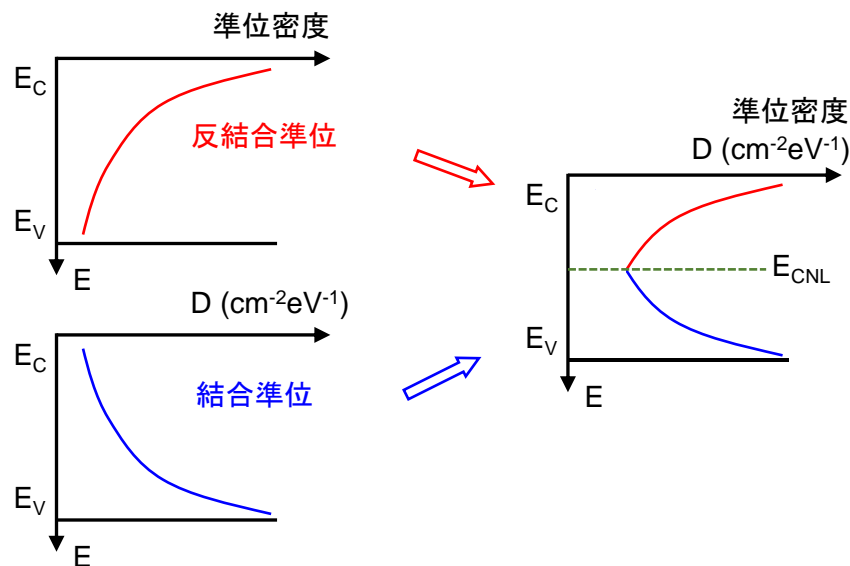


図 3-2 DIGS モデルにおける(a) 結合準位および(b) 反結合準位と、それらによって形成される(c)U 字の界面準位密度分布

### 3.2.2. Shockley-Read-Hall 統計

電子準位は伝導帯や価電子帯との間で電荷の移動を行うため、電子デバイスにおける動作不安定性や信頼性の低下につながる。Shockley、Read、Hall[5]によって

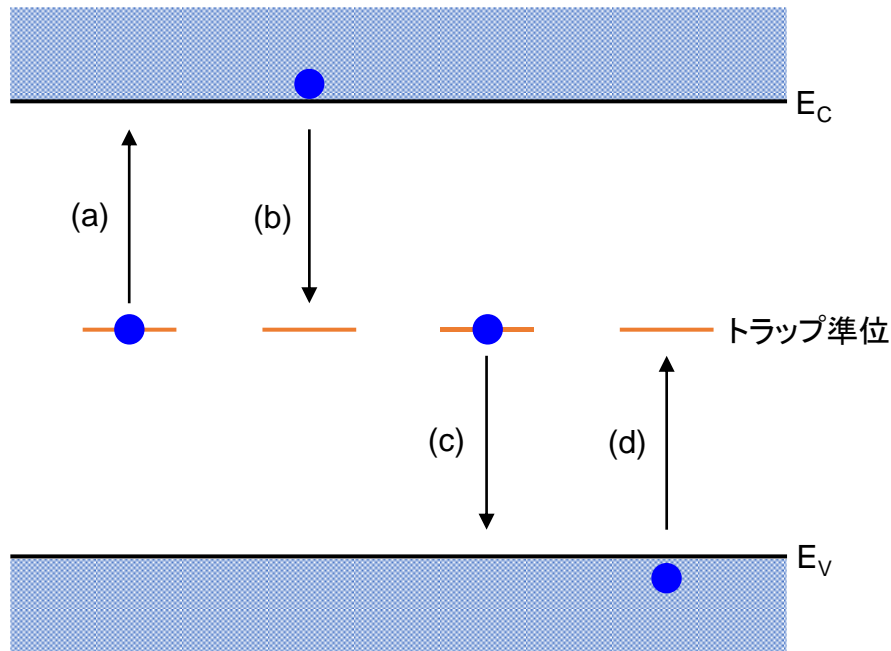


図 3-3 SRH 統計の 4 つの過程: (a) 電子準位から伝導帯への電子の放出、  
(b) 伝導帯から電子準位への電子の捕獲、(c) 電子準位から価電子帯への  
電子の放出、(d) 価電子帯から電子準位への電子の捕獲

電子準位とのキャリアの捕獲・放出を統計的に記述する方法が提案されている (Shockley-Read-Hall, SRH 統計)。本節では SRH モデルについて詳細に取り扱う。

SRH 統計では、電子準位と伝導帯、価電子帯とのキャリアの授受を図 3-3 に示す 4 つの過程に分けて取り扱う。1) 電子準位から伝導帯への電子の放出、2) 伝導帯から電子準位への電子の捕獲、3) 電子準位から価電子帯への電子の放出、4) 価電子帯から電子準位への電子の捕獲である。

1)、2)の過程を考えると、自由電子の速度方程式は次式で表される。

$$-\frac{dn}{dt} = C_n(N_T - n_T)n - e_n n_T \quad (3.1)$$

ここで、 $n$  は半導体中の自由電子濃度、 $N_T$  は電子準位密度、 $n_T$  は電子準位に捕獲された電子の密度であり、 $C_n$  と  $e_n$  はそれぞれ捕獲係数と電子の放出速度である。熱平衡状態では、見かけ上の自由電子濃度の時間変化が無くなるため、速度方程式は以下のようなになる。

$$C_n(N_T - n_T)n = e_n n_T \quad (3.2)$$

このとき、 $n_T$ は Fermi-Dirac 関数に従うため、次式で与えられる。

$$n_T = N_T \left[ 1 + g \exp\left(\frac{E_T - E_F}{kT}\right) \right] \quad (3.3)$$

$E_F$ 、 $E_T$ はそれぞれフェルミ準位と電子準位のエネルギーであり、 $g$ は縮退因子、 $k$ はボルツマン定数、 $T$ は絶対温度である。自由電子濃度  $n$  は伝導帯の有効状態密度  $N_C$  を用いて

$$n = \exp\left(-\frac{E_C - E_F}{kT}\right) \quad (3.4)$$

で与えられる。ここで、 $E_C$ は伝導帯下端のエネルギーである。式(3.3)、(3.4)を式(3.2)に代入して整理すると、次式に示すように放出速度と捕獲係数の関係を求めることが出来る。

$$e_n = C_n N_C g^{-1} \exp\left(-\frac{E_C - E_F}{kT}\right) \quad (3.5)$$

捕獲係数  $C_n$ は捕獲断面積  $\sigma$ を用いて、

$$C_n = \sigma v_{th} \quad (3.6)$$

と表される。 $v_{th}$ は半導体中のキャリア熱速度で、電子の有効質量  $m^*$ を用いて以下の式で与えられる。

$$v_{th} = \sqrt{\frac{3kT}{m^*}} \quad (3.7)$$

電子準位から伝導帯への電子の放出時定数  $\tau$ は、以下のように  $e_n$ の逆数で表すことが出来る。

$$\tau \sim \frac{1}{e_n} \quad (3.8)$$

従って、縮退因子  $g=1$ の場合、 $\tau$ は次式のように求めることが出来る。

$$\tau = \frac{1}{\sigma v_{th} N_C} \exp\left(\frac{E_C - E_T}{kT}\right) \quad (3.9)$$

SRH 統計では、 $\tau$ は電子準位のエネルギー深さに従って指数関数的に増加する。

### 3.3. MIS 構造の理想 C-V 特性

MIS 構造の理想 C-V 特性を求めるためには、表面ポテンシャルと電荷、電界の関係を求める必要がある。図 3-4 にゲートに逆バイアスを印加した際の n 型半導体のバンド図を示す[6]。 $n_n$  と  $p_n$  はそれぞれ電子、正孔密度で、 $N_D$  と  $N_A$  はドナーおよびアクセプタの濃度である。任意の位置におけるポテンシャル  $\phi_p(x)$  は、バルク領域の伝導帯下端  $E_C$  との関係から以下のように求められる。

$$\phi_p(x) = \frac{E_C(\infty) - E_C(x)}{q} \quad (3.10)$$

このとき、半導体の表面ポテンシャル  $\phi_p(x = 0)$  は以下の通りである。

$$\phi_s = \phi_p(0) = \frac{E_C(\infty) - E_C(0)}{q} \quad (3.11)$$

$\phi_s$  が求められると、図 3-5 に示すように半導体中の電界および電荷分布は Poisson 方程式から求められる。半導体中の電荷を積分することで表面電荷  $Q_s$  が得られ、半導体の空乏層領域の容量が求められる。表面電界  $E_s$  も同様に  $\phi_s$  から得られ、MOS 構造に印加されたゲート電圧  $V_G$  を求めることが出来る。これらを導出することで、理想的な  $C-V-\phi_s$  の関係が得られる。

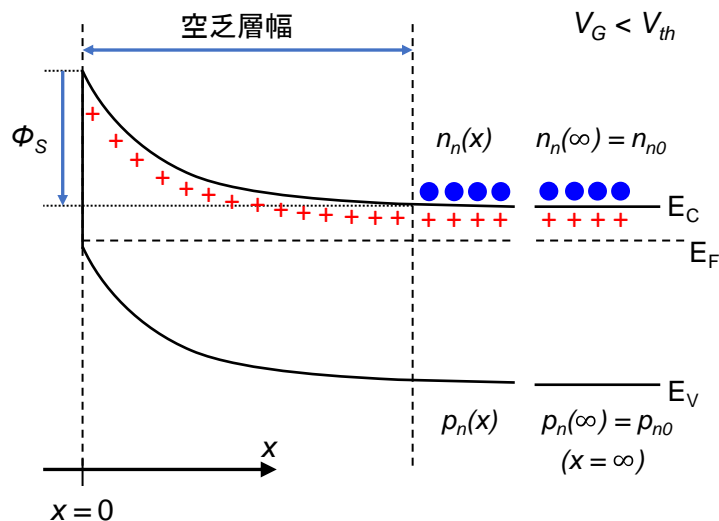


図 3-4 逆バイアス印加時における n 型半導体のバンド図と電荷分布

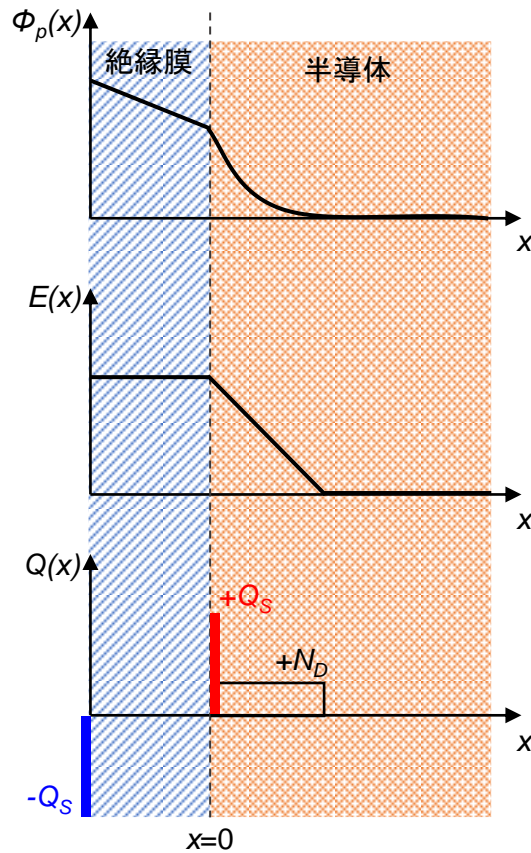


図 3-5 MOS 構造における(a)バンド不連続量を考慮しないポテンシャル分布、(b) 電界分布および(c) 電荷分布

(A) 表面ポテンシャルと表面電荷密度の関係

ポテンシャル $\phi_p(x)$ は、真性フェルミ準位が接地しているとき、 $\phi_p(\infty) = 0$ と定義される。 $\phi_p(x)$ とキャリア密度の関係は以下の式で与えられる。

$$n_n(x) = n_{n0} \exp(\beta\phi_p(x)) \tag{3.12}$$

$$p_n(x) = p_{n0} \exp(-\beta\phi_p(x)) \tag{3.13}$$

$$\beta = \frac{q}{kT} \tag{3.14}$$

ここで、 $n_{n0}$ と $p_{n0}$ は電子とホールとの平衡密度である。 $\beta$ は絶対温度 $T$ 、ボルツマン定数 $k$ および素電荷量 $q$ による定数である。バルク領域では、 $x=\infty$ であるため、 $\phi_p$ が0に収束することから電子およびホール濃度は以下のようになる。

$$n_n(\infty) = n_{n0} \quad (3.15)$$

$$p_n(\infty) = p_{n0} \quad (3.16)$$

一方で、表面( $x=0$ )ではキャリア密度は以下の式で与えられる。

$$n_n(0) = n_{n0} \exp(\beta\phi_s) \quad (3.17)$$

$$p_n(0) = p_{n0} \exp(-\beta\phi_s) \quad (3.18)$$

ここで、 $\phi_s$ は表面ポテンシャル( $\phi_s = \phi_p(0)$ )である。

一次元 Poisson 方程式は電荷密度 $\rho$ を用いて以下の式で与えられる。

$$\frac{d^2\phi_p}{dx^2} = -\frac{\rho(x)}{\varepsilon_0\varepsilon_s} \quad (3.19)$$

全てのドナー、アクセプタがイオン化しているとき、 $\rho$ は以下のようになる。

$$\rho(x) = q(p_n(x) - n_n(x) + N_D - N_A) \quad (3.20)$$

バルク領域( $x=\infty$ )で電荷中性条件を満たすとき、

$$\begin{aligned} \rho(\infty) &= p_n(x) - n_n(x) + N_D - N_A = 0 \\ N_D - N_A &= n_n(x) - p_n(x) \end{aligned} \quad (3.21)$$

が得られる。このとき、Poisson 方程式は式(3.19)および(3.21)を用いて、

$$\frac{d^2\phi_p}{dx^2} = -\frac{q}{\varepsilon_0\varepsilon_s} [n_{n0} - p_{n0} + p_{n0} \exp(-\beta\phi_s) - n_{n0} \exp(\beta\phi_s)] \quad (3.22)$$

式(3.22)を表面からバルク方向へ積分すると、

$$\int_0^{\phi_p} \frac{d\phi_p}{dx} \left( \frac{d\phi_p}{dx} \right) d\left( \frac{d\phi_p}{dx} \right) = -\frac{q}{\varepsilon_0\varepsilon_s} \int_0^{\phi_p} \{p_{n0}[\exp(-\beta\phi_p) - 1] - n_{n0}[\exp(\beta\phi_p) - 1]\} d\phi_p \quad (3.23)$$

電界 $E=-d\phi_p/dx$ の関係から、式(3.23)は $E$ と $\phi_p$ の関係式として表せる。

$$\begin{aligned} E^2 &= -\left(\frac{2}{\beta}\right)^2 \left(\frac{qn_{n0}\beta}{2\varepsilon_s\varepsilon_0}\right) \left\{ \frac{p_{n0}}{n_{n0}} [\exp(-\beta\phi_p) + \beta\phi_p - 1] + [\exp(\beta\phi_p) - \beta\phi_p - 1] \right\} \\ &= -\frac{2}{\beta^2 L_D^2} F^2 \left( \beta\phi_p, \frac{p_{n0}}{n_{n0}} \right) \end{aligned} \quad (3.24)$$

半導体中のデバイ長 $L_D$ と関数 $F$ は以下のようになる。

$$F \left( \beta\phi_p, \frac{p_{n0}}{n_{n0}} \right) = \sqrt{\frac{p_{n0}}{n_{n0}} [\exp(-\beta\phi_p) + \beta\phi_p - 1] + [\exp(\beta\phi_p) - \beta\phi_p - 1]} \quad (3.25)$$

$$L_D = \sqrt{\frac{kT\epsilon_s\epsilon_0}{n_{n0}q^2}} \quad (3.26)$$

また、電界  $E$  は以下の式で与えられる。

$$E(x) = \pm \frac{\sqrt{2}}{\beta L_D} F\left(\beta\phi(x), \frac{p_{n0}}{n_{n0}}\right) \quad (3.27)$$

$\phi_p = \phi_s$  のとき、表面電界  $E_s (= E(0))$  は次式で与えられる。

$$E_s = \pm \frac{\sqrt{2}}{\beta L_D} F\left(\beta\phi_s, \frac{p_{n0}}{n_{n0}}\right) \quad (3.28)$$

ガウスの法則から、表面電荷密度  $Q_s$  は以下のようになる。

$$\begin{aligned} Q_s &= -\epsilon_s\epsilon_0 E_s \\ &= \mp \frac{\sqrt{2}\epsilon_s\epsilon_0}{\beta L_D} F\left(\beta\phi_s, \frac{p_{n0}}{n_{n0}}\right) \end{aligned} \quad (3.29)$$

図 3-6 に示すように、 $Q_s$  と  $\phi_s$  の関係が導出される。一般的な Si MOS 構造では、深い逆バイアスを印加すると MOS 界面に反転層が形成され、表面電荷密度は増加する。しかし、GaN をはじめとしたワイドギャップ半導体はその広いバンドギャップから、室温程度では深い逆バイアスを印加しても熱励起による電子正孔対の生成は行われなため、反転層は形成されずに深い空乏状態となる。

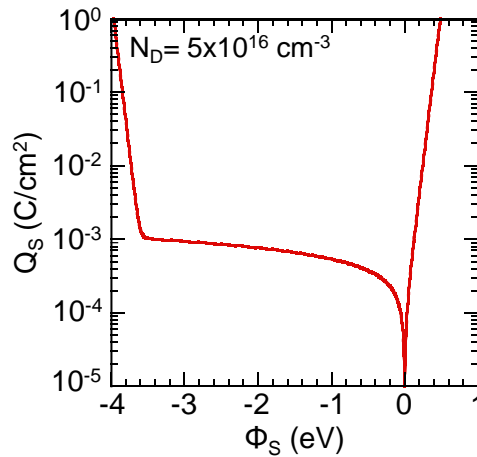


図 3-6 n 型 GaN における表面ポテンシャルと表面電荷の関係

### (B) 表面ポテンシャルとゲート電圧の関係

MOS構造では、次式に示すようにゲート電圧  $V_G$  が絶縁膜および半導体に分圧される。

$$V_G = V_{OX} - \phi_S \quad (3.30)$$

$V_{OX}$  は上述のように絶縁膜に印加される電圧であるので、

$$V_{OX} = -\frac{Q_S}{C_{OX}} \quad (3.31)$$

式(3.29)で示したように、 $Q_S$  は  $\phi_S$  の関数であるため、 $\phi_S$  が与えられれば、**図 3-7** に示すような  $V_G$  と  $\phi_S$  の関係が得られる。

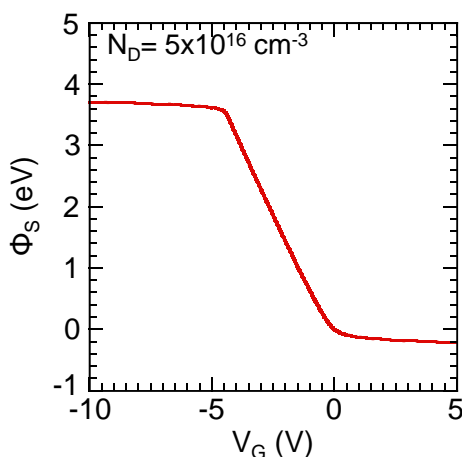


図 3-7 n 型 GaN における表面ポテンシャルのゲート電圧変化

### (C) 空乏層容量と表面ポテンシャルの関係

空乏層容量  $C_d$  は  $Q_S$  を  $\phi_S$  で微分することで得られる。

$$C_d = \frac{dQ_S}{d\phi_S} \quad (3.32)$$

しかし、 $C_d$  は印加電圧だけに依存するのではなく、測定周波数と掃引速度の影響も受ける。そのため、 $C_d$  には 1) 低周波測定時 2) 高周波測定時 3) 深い空乏状態以外の 3 つの状態を考慮する必要がある。低周波および高周波測定時には、発生した少数キャリアが絶縁膜/半導体界面に蓄積し、“反転状態”となる。この場合、測定周波数に依

らず、ホールがゲート電極からの電界を遮蔽するため、空乏層はゲート電圧の関数として働かない。一方で、ゲート電圧の掃引速度が少数キャリアの生成速度よりも早い場合、空乏層幅がゲート電圧に応じて広がっていく。この状態を深い空乏状態という。各状態における  $C_d$  を以下で取り扱う。

### 1) 低周波測定時

測定周波数が少数キャリアの生成速度よりも十分に遅いとき、少数キャリアの生成・再結合が交流信号に応答する。n 型半導体では、F 関数の第 1 項が半導体中の少数キャリア濃度に対応しているため、少数キャリア濃度を考慮しない空乏層容量  $C_d$  は次式で与えられる。

$$C_d = \frac{dQ_s}{d\phi_s} = \frac{\epsilon_s \epsilon_0}{\sqrt{2} L_D} \frac{1}{F_{low}} \left\{ \left( \frac{p_{n0}}{n_{n0}} \right) [1 - \exp(-\beta \phi_s)] + \exp(\beta \phi_s) - 1 \right\} \quad (3.33)$$

ここで、 $F_{low}$  は低周波測定時の F 関数で以下のように与えられる。

$$F_{low} = \sqrt{\frac{p_{n0}}{n_{n0}} [\exp(-\beta \phi_p) + \beta \phi_p - 1] + [\exp(\beta \phi_p) - \beta \phi_p - 1]} \quad (3.34)$$

このとき、反転層を形成する高密度な少数キャリアが空乏領域の広がりを妨げるため、次式で示すような最大空乏層幅  $W_{MAX}$  が得られる。

$$W_{MAX} = \sqrt{\frac{4\epsilon_s \epsilon_0 \ln(N_D/n_i)}{q^2 N_D}} \quad (3.35)$$

### 2) 高周波測定時

少数キャリアの生成速度が測定周波数よりも十分に遅いとき、少数キャリアの生成・再結合は交流信号に応答しない。このとき、F 関数の第 1 項の微分を微分すると 0 となるため、 $C_d$  は次の式で表せる。

$$C_d = \frac{dQ_s}{d\phi_s} = \frac{\epsilon_s \epsilon_0}{\sqrt{2} L_D} \frac{1}{F_{high}} \{\exp(\beta \phi_s) - 1\} \quad (3.36)$$

ここで、 $F_{high}$  は高周波モードにおける F 関数で以下のように与えられる。

$$F_{high} = \sqrt{\exp(\beta \phi_p) - \beta \phi_p - 1} \quad (3.37)$$

しかし、少数キャリアの生成・再結合が交流信号に応答しない場合でも、少数キャリアの蓄積が生じることがある。このとき、空乏層幅の広がりも低周波モードと同様に式(3.35)で示した  $W_{MAX}$  に制限される。

### 3) 深い空乏状態

バイアスの掃引速度が少数キャリアの生成速度よりも十分に遅いとき、少数キャリアの生成がゲート電圧の変化に追従できず、空乏層がゲート電圧に従って広がっていく。このときの F 関数は式(3.37)で示した高周波モードと同様の式となるため、深い空乏状態の  $C_d$  も式(3.36)で表される。

## (D) 総容量とゲート電圧の関係

総容量  $C$  は  $C_{ox}$  と  $C_d$  から以下の式で表せる。

$$C = \frac{C_d C_{ox}}{C_d + C_{ox}} \quad (3.38)$$

式(3.33)と(3.36)ですでに求めたように、 $C_d$  は  $\phi_s$  から求められるので、ゲート電圧  $V_G$  は以下の式で与えられる。

$$V_G = -\frac{Q_s}{C_{ox}} + \phi_s \quad (3.39)$$

従って、 $\phi_s$  から  $C$  および  $V_G$  が得られ、図 3-8 に示すように低周波モード、高周波モードおよび深い空乏状態の理想 C-V 特性を求めることができる。

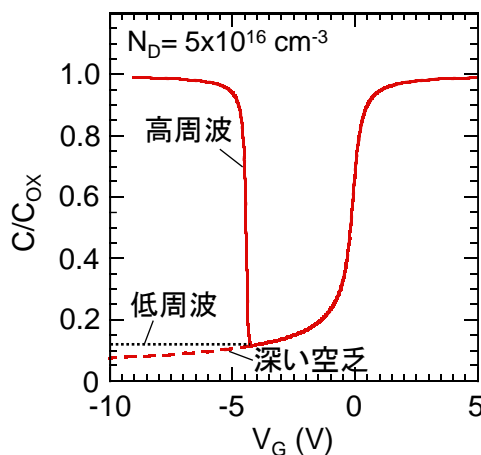


図 3-8 低周波、高周波および深い空乏状態における絶縁膜/n 型 GaN 構造の理想容量－電圧特性

### 3.4. MOS 構造の界面準位

#### 3.4.1. ワイドギャップ半導体における界面準位

絶縁体/半導体界面では、半導体における結晶の周期性が途切れ、半導体表面における原子の結合状態の乱れが生じることがある。この場合、伝導帯と価電子帯の分離が不十分となり、バンドギャップ中に伝導帯由来の結合状態と価電子帯由来の非結合状態が侵入する。そのため、界面準位の性質は伝導帯や価電子帯の特性を反映し、伝導帯由来の準位が電子に占有されたとき負電荷として振る舞う(アクセプタ型準位)一方で、価電子帯由来の準位は電子が占有されていないときに正の電荷を帯びる(ドナー型準位)。このように、**図 3-9** に模式的に示すように、連続的な界面準位はアクセプタ型とドナー型準位が混在しており、それぞれの特性が釣り合う点が電荷中性点 ( $E_{CNL}$ ) と呼ばれる。このようなモデルは界面準位の密度分布でよく用いられている。

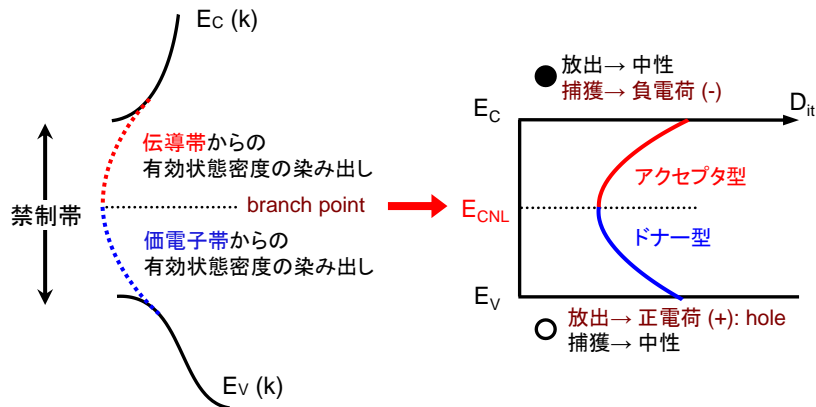


図 3-9 連続準位の模式図とその起源

絶縁膜/半導体界面には、一般的に2種類のエネルギー分布をもつ電子準位が仮定される。1つが連続準位と呼ばれる、上述した DIGS モデルに基づいた U 字分布であり、 $E_{CNL}$  の下部に位置するドナー型準位と上部に位置するアクセプタ型準位に分けられる。連続準位密度は  $E_{CNL}$  で最低値  $D_{it0}$  を示し、以下の式で示される。

$$D_{it}^{A,D}(E) = D_{it0} \exp \left[ \left( \frac{|E - E_{CNL}|}{E_{0A,0D}} \right)^{n_{A,D}} \right] \quad (3.40)$$

$E_{0A}$ ,  $n_A$ ,  $E_{0D}$  および  $n_D$  はそれぞれ、アクセプタ型領域およびドナー型領域の  $D_{it}$  分布の曲率を定義している。もう 1 つの界面準位が以下に示す Gaussian 曲線で定義される離散準位である。

$$D_{it}^{A,D}(E) = D_{it\ max} \exp\left[-4\log 2 \left(\frac{E - E_{A,D}}{E_{FWHM}}\right)^2\right] \quad (3.41)$$

$D_{it\ max}$  が最大準位密度、 $E_{A,D}$  が離散準位のエネルギー位置、 $E_{FWHM}$  が Gaussian 曲線の半値幅である。GaN では、 $E=E_C - 0.37$  eV で N 空孔欠陥に関連するドナー型の離散準位[7, 8]が、 $E=E_V + 1.0$  eV で Ga 空孔に関連するアクセプタ型の離散準位[9, 10]がそれぞれ報告されている。

すべての界面準位が熱平衡状態であると仮定すると、界面トラップの電荷は以下に示す Fermi-Dirac 分布に従う。

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_C}{kT}\right)} \quad (3.42)$$

ここで、 $k$  はボルツマン定数、 $T$  は絶対温度、 $E_C$  は伝導体下端である。

占有状態のアクセプタ型準位は負電荷、非占有状態のドナー型準位は正電荷として振る舞うため、界面トラップの電荷は以下の式で表される。

$$Q_{it} = q \int_{E_V}^{E_C} D_{it}^D(E)[1 - f(E)]dE - q \int_{E_V}^{E_C} D_{it}^A(E)f(E)dE \quad (3.43)$$

ここで、 $q$  は素電荷量、 $E_V$  が価電子帯上端、 $D_{it}^D$  および  $D_{it}^A$  がドナー型およびアクセプタ型準位の密度である。しかし、式(3.43)は全ての界面準位が Fermi-Dirac 分布に従うと仮定しており、実際には深い界面準位からの電子放出を考慮する必要がある[5]。GaN をはじめとしたワイドギャップ半導体では、深い界面準位からの電子の放出時定数は非常に大きな値を示す。例として、GaN における電子準位から伝導帯への電子の放出時定数  $\tau$  とトラップエネルギー  $E$  の関係を図 3-10(a)に示す。

$E=E_C - 0.7$  eV では、 $\tau$  が約 100 秒となるが、GaN の midgap である  $E=E_C - 1.6$  eV では、 $\tau$  は室温で数年程度に及ぶと見積もられる。これは、通常の室温測定では限られた電子準位のみしか測定できないことを示している。そのため、GaN ベース MOS 構造の正確な C-V 特性のシミュレーションには深い界面準位の影響を考慮する必要がある。たとえば、時定数  $\tau$  よりも十分に短い時間  $t$  で、MOS 界面を空乏させるバイアスゲート電圧を掃引したとき、エネルギー深さに応じた一部の電子のみが界面準位

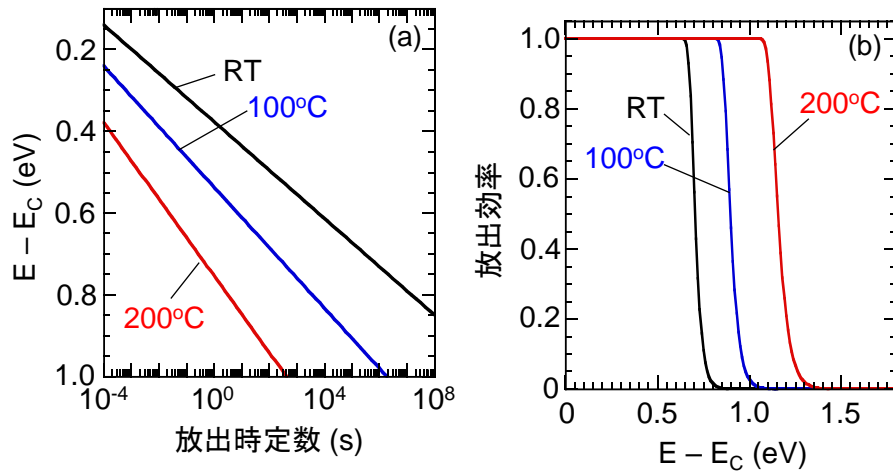


図 3-10 室温および 100°C、200°Cにおける  
 (a) 界面準位から伝導帯への電子の放出時定数のエネルギー深さ依存性  
 (b) および(b) 放出効率のエネルギー深さ依存性

から放出される。このときのエネルギー  $E$  に対する放出効率  $\eta_e$  は以下の式で与えられる。

$$\eta_e = 1 - \exp\left(-\frac{t}{\tau(E)}\right) \tag{3.44}$$

掃引時間と界面準位の捕獲断面積を  $t = 100$  s,  $\sigma_e = 1 \times 10^{16}$  cm<sup>2</sup>[11]としたときの、室温および 100°C、200°Cにおける放出効率の計算結果を図 3-10(b)に示す。midgap 近傍よりも深いエネルギーでは  $\tau(E)$  が非常に大きいため、放出効率は 0 となる。すなわち、このような深い電子準位に捕獲された電子は、たとえ大きな逆バイアスを印加しても捕獲されたままとなる。また室温において、 $E_c - 0.8$  eV 以下の界面準位は放出効率が 0 となるため、“凍結準位”のように振る舞うことが推定される。

### 3.4.2. 界面準位が C-V 特性へ及ぼす影響

Poisson-Schrodinger 方程式を数値解析的に解くことで、ポテンシャル分布と電子密度分布から界面準位密度分布を考慮した C-V 曲線を計算することができる。一次元シミュレータは Nishiguchi ら[12]によって報告されたものを用いており、計算で使用する物理パラメータを表 3-1 にまとめる。

表 3-1 シミュレーションに用いた物理パラメータ

Parameter name	Symbol (unit)	Numerical value (material or interface)
Bandgap at RT	$E_G$ (eV)	3.4 (GaN) [13]
		7.0 (Al <sub>2</sub> O <sub>3</sub> ) [14]
Effective mass of electron	$m_e/m_0$	0.20 (GaN)
Permittivity	$\epsilon$	9.5 (GaN)
		9.0 (Al <sub>2</sub> O <sub>3</sub> )
Donor density	$N_D$ (cm <sup>-3</sup> )	$5 \times 10^{16}$
Surface barrier height	$\Phi_s$ (eV)	3.4 (Ni/Al <sub>2</sub> O <sub>3</sub> ) [15]
Charge neutrality level	$E_{CNL}$	$E_c - 1.3$ eV (Al <sub>2</sub> O <sub>3</sub> /AlGaN) [16]
Capture cross section of interface states	$\sigma$ (cm <sup>2</sup> )	$1 \times 10^{-16}$ [11]
Temperature	$T$ (K)	300
C-V measurement duration	$t$ (s)	100

まず、連続準位が Al<sub>2</sub>O<sub>3</sub>/GaN 構造の C-V 特性に与える影響について記述する。式(3.40)を用いて図 3-11(b)に示す界面準位密度分布を考慮したときの Al<sub>2</sub>O<sub>3</sub>/GaN 構造の C-V 曲線のシミュレーション結果を図 3-11(a)に示す。界面準位密度の増加に伴って、C-V 曲線が正バイアス方向へシフトし、横軸方向へ引き延ばされる振る舞いを示した。これらは、界面準位密度の高い Al<sub>2</sub>O<sub>3</sub>/GaN 構造の実験的な C-V 曲線に見られる典型的な振る舞いである。C-V 曲線の正方向シフトは、“凍結準位”と呼ばれる深い界面準位に捕獲された電子が固定電荷として振る舞うためである。このとき、占有状

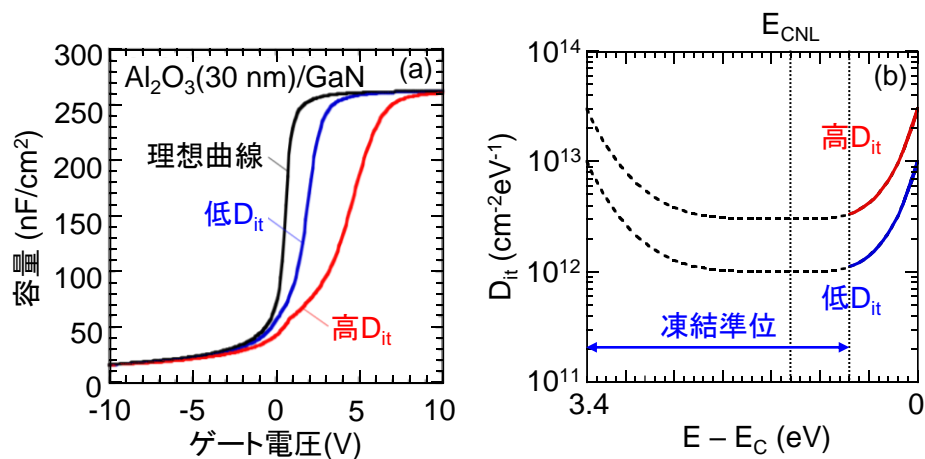


図 3-11 (a) 連続準位を仮定した際の C-V 特性と  
(b) その際に仮定した連続準位密度分布

態のアクセプタ型準位が負電荷として振る舞うのに対して、ドナー型準位は占有状態で中性を示す点に注意が必要である。一方で、**図 3-10(b)**の放出効率に示すように、 $T=300^\circ\text{C}$ 、 $t=100\text{ s}$  の条件では  $E=E_C - 0.8\text{ eV}$  以上のエネルギー範囲の界面準位は非占有状態となる。非占有状態の界面準位をフェルミ準位  $E_F$  が通過するとき、界面準位に電子が捕獲され、荷電状態が変化する。このとき、捕獲された電子がゲートからの電界を遮蔽するため、空乏層容量の変調効率が悪化し、C-V 特性は横軸方向へ引き延ばされるような振る舞いを示す。

次に、離散準位が  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の C-V 特性に与える影響について記述する。式(3.41)を用いて**図 3-12(b)**に示す離散準位密度分布を考慮したときの  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の C-V 曲線のシミュレーション結果を**図 3-12(a)**に示す。ドナー型、アクセプタ型どちらの離散準位を仮定した場合も、容量の立ち上がり付近にリッジのような特徴が現れた。界面準位が特定のエネルギー近傍に局在しているため、界面準位が分布するエネルギー範囲を  $E_F$  が通過する際に界面準位に電子が捕獲され、上述のようにポテンシャルの変調を妨げていることが原因である。また、考慮する離散準位によってフラットバンド電圧  $V_{FB}$  が異なる。上述のように、占有状態ではアクセプタ型準位が負電荷、ドナー型準位が中性を示すため、 $E=E_C - 0.5\text{ eV}$  の離散準位を仮定した場合はアクセプタ型準位がイオン化し、正方向へシフトする。

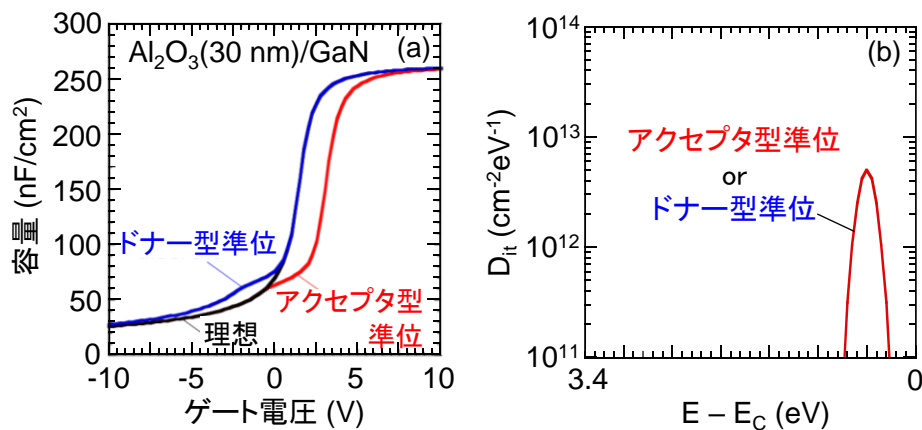


図 3-12 (a) 離散準位を仮定した際の C-V 特性と  
(b) その際に仮定した離散準位密度分布

## 3.5. 界面準位密度の評価手法

### 3.5.1. 高周波(Terman)法

測定周波数が十分に高いとき、交流信号に応答する界面準位への電子の捕獲・放出は無視できるため、直流バイアスによる界面電荷の変化が C-V 特性に現れる。絶縁膜容量  $C_{OX}$  が既知のとき、測定容量  $C_m$  から空乏層容量  $C_d$  を直接求めることが出来る。

$$C_d = \frac{C_m C_{OX}}{C_m + C_{OX}} \quad (3.45)$$

$C_d$  を用いると空乏層幅  $W_d$  と表面ポテンシャル  $\phi_s$  も以下のように求まる。

$$W_d = \frac{\varepsilon_s \varepsilon_0}{C_d} \quad (3.46)$$

$$\phi_s = \frac{\varepsilon_s \varepsilon_0 q N_D}{2C_d^2} \quad (3.47)$$

ここで、 $N_D$  は電子密度である。以上の式から、高周波測定では実験的に  $C_m$ 、 $V_G$ 、 $\phi_s$  の関係を求めることが出来る。界面準位を有する MOS 構造では、式(3.39)に界面準位容量  $C_{it}$  を考慮する必要があり、以下の式で表される。

$$V_G = \frac{Q_s(\phi_s) + Q_{it}(\phi_s)}{C_{OX}} + \phi_s \quad (3.48)$$

式(3.48)を  $V_G$  で微分すると、

$$\frac{dV_G}{d\phi_s} = \frac{1}{C_{OX}} \left[ \frac{dQ_s(\phi_s)}{d\phi_s} + \frac{dQ_{it}(\phi_s)}{d\phi_s} \right] + 1 \quad (3.49)$$

となり、式(3.36)、(3.49)から

$$\frac{dQ_{it}(\phi_s)}{d\phi_s} = C_{OX} \left( \frac{dV_G}{d\phi_s} - 1 \right) - C_d \quad (3.50)$$

が得られる。表面電荷と界面準位密度、電界と表面ポテンシャルの関係はそれぞれ  $dQ_{it} = dD_{it}dE$ 、 $dE = qd\phi_s$  で表せられるので、式(3.50)の左辺は以下のようなになる。

$$\frac{dQ_{it}(\phi_s)}{d\phi_s} = q^2 D_{it}(\phi_s) \quad (3.51)$$

以上から、界面準位密度  $D_{it}$  は以下の式で求めることが出来る。

$$D_{it}(\phi_s) = \frac{C_{OX}}{q^2} \left[ \left( \frac{d\phi_s}{dV_G} \right)^{-1} - 1 \right] - \frac{C_d}{q^2} \quad (3.52)$$

この関係式を用いることで、前節に示した理想 C-V 曲線と測定値の容量差から界面準位密度を評価することができ、Terman 法として知られている[17]。Terman 法を C-V 曲線の測定値に適用するためには、最初に適切な  $C_{ox}$  を仮定する必要がある。式(3.33)もしくは(3.36)を用いると、 $C_d$ と $\phi_s$ の関係が得られる。これによって、C-V 曲線の測定値から  $V_G$  に対応する  $C_d$  を求めることで、 $\phi_s$ と  $V_G$  の関係が得られ、式(3.52)から  $D_{it}$  を見積もられる。Terman 法は高周波極限を仮定した評価法であるため、測定周波数に応じて伝導帯近傍の浅い準位における  $D_{it}$  を考慮から除外する必要がある点に注意が必要である。この際に、考慮から除外するエネルギーは SRH 統計から求められる。

### 3.5.2. コンダクタンス法

前節で紹介した Terman 法では精度が不十分なため、 $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$  以下の界面準位密度を有する絶縁膜/半導体界面を評価することはできない。そこで、より高精度な評価法としてコンダクタンス法が用いられる場合がある[18]。界面準位が単一の時定数を有するとき、界面準位は半導体容量  $C_s$  に並列接続された CR 直列回路として扱うことができる。MOS 構造の等価回路を図 3-13(a)に示す。また、これを単純化した回路を図 3-13(b)、実際の測定回路を図 3-13(c)に示す。ここで、 $C_p$ は並列容量、 $G_p$ は

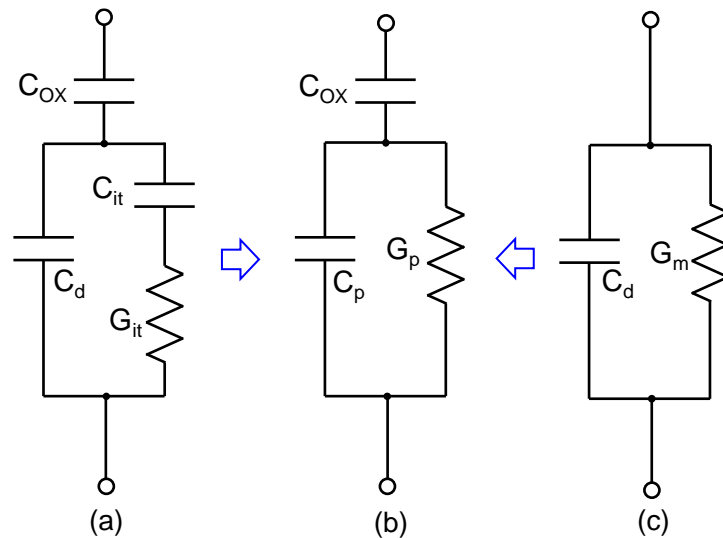


図 3-13 (a) MOS 構造の等価回路および(b) その単純化回路と (c) 実際の測定回路

並列コンダクタンス、 $C_m$  および  $G_m$  はそれぞれ測定から得られた容量とコンダクタンスである。

$$\begin{aligned} G_p + j\omega C_p &= \frac{1}{R_{it} + \frac{1}{j\omega C_{it}}} + j\omega C_d \\ &= \frac{\omega^2 C_{it}^2 R_{it}}{1 + \omega^2 C_{it}^2 R_{it}^2} + j \left[ \omega C_d + \frac{\omega C_{it}}{1 + \omega^2 C_{it}^2 R_{it}^2} \right] \end{aligned} \quad (3.53)$$

ここで、 $\omega$  は測定角周波数である。 $\tau = CR$ より、式(3.53)の実部のみを取り出すと、

$$\frac{G_p}{\omega} = \frac{\omega C_{it} \tau_{it}}{1 + \omega^2 \tau_{it}^2} \quad (3.54)$$

となる。図 3-14(b)および(c)に示す回路が等価であるとき、

$$\frac{1}{G_m + j\omega C_m} = \frac{1}{G_p + j\omega C_p} + \frac{1}{j\omega C_{OX}} \quad (3.55)$$

が得られる。式(3.55)の実部と虚部を分離すると、

$$G_p + j\omega C_p = \frac{\omega^2 C_{OX}^2 G_m}{G_m^2 + \omega^2 (C_{OX} - C_m)^2} + j\omega \frac{C_{OX} [-G_m^2 + \omega^2 C_m (C_{OX} - C_m)]}{G_m^2 + \omega^2 (C_{OX} - C_m)^2} \quad (3.56)$$

となる。先ほどと同様に実部のみに着目すると、

$$\frac{G_p}{\omega} = \frac{\omega^2 C_{OX}^2 G_m}{G_m^2 + \omega^2 (C_{OX} - C_m)^2} \quad (3.57)$$

となり、式(3.54)および(3.57)から次式が得られ、測定容量  $C_m$  および測定コンダクタンス  $G_m$  から界面容量  $C_{it}$  と界面の応答時定数  $\tau_{it}$  が求められる。また、界面準位密度は  $D_{it} = C_{it}/q^2$  から求めることができる。

$$\frac{G_p}{\omega} = \frac{\omega^2 C_{OX}^2 G_m}{G_m^2 + \omega^2 (C_{OX} - C_m)^2} = \frac{q\omega\tau_{it} D_{it}}{1 + \omega^2 \tau_{it}^2} \quad (3.58)$$

式(3.58)は界面準位が単一エネルギー準位であるときの関係式である。しかし、実際の界面準位は連続準位であるため、以下の式に書き換える必要がある。

$$\frac{G_p}{\omega} = \frac{q D_{it}}{2\omega\tau_{it}} \ln(1 + \omega^2 \tau_{it}^2) \quad (3.59)$$

さらに、詳細な界面準位密度の評価を行うためには表面ポテンシャル揺らぎについても考慮する必要がある。実験から表面ポテンシャル揺らぎを解析することは困難であるため、表面ポテンシャル分布が正規分布に従うと仮定すると、式(3.59)は以下のようになる。

$$\frac{G_p}{\omega} = \frac{q}{2} \int_{-\infty}^{\infty} \frac{D_{it}}{\omega\tau_{it}} \ln(1 + \omega^2 \tau_{it}^2) P(\psi_s) d\psi_s \quad (3.60)$$

$$P(\psi_s) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left[-\frac{(\psi_s - \bar{\psi}_s)^2}{2\sigma^2}\right] \quad (3.61)$$

ここで、 $\psi_s$ は表面ポテンシャル、 $\bar{\psi}_s$ および $\sigma$ はそれぞれ表面ポテンシャルの平均と標準偏差である。即ち、 $\sigma$ が大きくなると、コンダクタンスピークが減少し曲線の半値幅は広がる。界面準位密度の詳細な定量評価を行うには、式(3.60)を用いた $G_p/\omega$ 曲線へのフィッティングから $D_{it}$ および $\tau_{it}$ を求める必要がある。

## 参考文献

- [1] W. Shockley, "On the surface states associated with a periodic potential", *Phys. Rev.* **56**, 317 (1939).
- [2] I. Tamm, "On the possible states of electrons on a crystal surface", *Phys. Z. Soviet Union* **1**, 733 (1932).
- [3] F. Seits, H. Ehrenreich, and D. Turnbull, *Solid State Phys.* Academic Press, **80** (1996).
- [4] H. Hasegawa and H. Ohno, *J. Vac. Sci. Technol. B* **8**, 1018 (1986).
- [5] W. Shockley and T. Read, "Statistics of the recombinations of holes and electrons", *Phys. Rev.* **87**, 835 (1952).
- [6] C. T. Sah, A. B. Tole, and R. F. Pierret, "Error analysis of surface state density determination using the MOS capacitance method", *Solid-State Electron.* **12**, 689 (1969).
- [7] E. Yamaguchi and M. R. Junnarkar, "Effects of Nitrogen Vacancy on Optical Properties of Nitride Semiconductors", *J. Cryst. Growth* **189-190**, 570 (1998).
- [8] J. Kotani, S. Kasai, T. Hashizume, and H. Hasegawa, "Lateral tunneling and peripheral dynamic charging in nanometer-scale Schottky gates on AlGaIn/GaN heterostructure transistors", *J. Vac. Sci. Technol. B* **23**, 1799 (2005).
- [9] J. Neugebauer and C. G. Van de Walle, "Gallium vacancies and the yellow luminescence in GaN", *Appl. Phys. Lett.* **69**, 503 (1996).
- [10] U. Kaufmann, M. Kunzer, H. Obloh, M. Maier, Ch. Manz, A. Ramakrishnan, and B. Santic, "Origin of defect-related photoluminescence bands in doped and nominally undoped GaN", *Phys. Rev. B* **59**, 5561 (1999).
- [11] M. Miczek, C. Mizue, T. Hashizume, and B. Adamowicz, "Effects of interface states and temperature on the C-V behavior of metal/insulator/AlGaIn/GaN heterostructure capacitors", *J. Appl. Phys.* **103**, 104510 (2008).

- [12] K. Nishiguchi, S. Kaneki, S. Ozaki, and T. Hashizume, “Current linearity and operation stability in Al<sub>2</sub>O<sub>3</sub>-gate AlGaN/GaN MOS high electron mobility transistors”, *Jpn. J. Appl. Phys.* **56**, 101001 (2017).
- [13] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, and L. F. Eastman, “Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaN/GaN heterostructures”, *J. Appl. Phys.* **85**, 3222 (1999).
- [14] T. Hashizume, S. Ootomo, T. Inagaki, and H. Hasegawa, “Surface passivation of GaN and GaN/AlGaN heterostructures by dielectric films and its application to insulated-gate heterostructure transistors”, *J. Vac. Sci. Technol. B* **21**, 1828 (2003).
- [15] E. Bersch, S. Rangan, and R. A. Bartynski, “Band offsets of ultrathin high-*k* oxide films with Si”, *Phys. Rev. B* **78**, 085114 (2008).
- [16] W. Mönch, “Branch-point energies and the band-structure lineup at Schottky contacts and heterostructures”, *J. Appl. Phys.* **109**, 113724 (2011).
- [17] L. M. Terman, “An investigation of surface states at a silicon/silicon oxide interface employing metal-oxide-silicon diodes,” *Solid State Electron.* **5**, p.285 (1962).
- [18] E. H. Nicollian, A. Goetzberger, A. D. Lopez, “Expedient method of obtaining interface state properties from MIS conductance measurements,” *Solid State Electron.* **12**, p.937 (1969).



## 第 4 章

---

# Post-metallization-annealing による $\text{Al}_2\text{O}_3/\text{GaN}$ 構造の界面制御

### 4.1. はじめに

GaN ベースの MIS 構造にはこれまで様々な絶縁材料が用いられてきた[1]。絶縁膜/半導体の界面品質がトランジスタの性能に大きく影響するため、界面準位密度が低く、化学的に安定な MIS 構造が要求される。MIS 構造の界面特性の向上のためには、一般的に  $800\sim 1000^\circ\text{C}$  の高温における post-deposition annealing (PDA) が用いられるが、PDA 処理後でも GaN MOS 界面に比較的高密度な電子準位が報告されている[2, 3]。また、 $\text{Al}_2\text{O}_3$  や high-k 材料を用いた MOS 構造では、プロセス温度の制限についても考慮する必要がある。Hori ら[4]は堆積直後(As-depo)の  $\text{Al}_2\text{O}_3$  膜が非晶質であり、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面が一様に平坦であることを観測した。しかし、 $800^\circ\text{C}$  のアニールによって  $\text{Al}_2\text{O}_3$  膜中に多数の微結晶化領域が生じ、 $\text{Al}_2\text{O}_3/\text{GaN}$  構造のリーク電流の著しい増加につながることを報告している。 $\text{HfO}_2$  膜ではさらに悪化し、 $600^\circ\text{C}$  以下の温度でも部分的な結晶化が報告されている[5-7]。

一方で、Si や化合物半導体の MIS 構造には、電極形成後のアニール処理である、比較的低温における post-metallization annealing (PMA) が用いられている。Ma [8]は  $\text{Si}_3\text{N}_4/\text{Si}$  界面におけるトラップ密度が  $400^\circ\text{C}$  の PMA 処理によって著しく減少すると報告している。また、 $400^\circ\text{C}$  の PMA 処理は  $\text{TiO}_2/\text{Al}_2\text{O}_3/\text{Si}$  構造の容量-電圧 (C-V) 特性の改善にも有効であることが分かっている[9]。さらに、Li ら[10]は  $\text{Al}_2\text{O}_3$  をゲート絶縁膜とした InGaAs MOS-HEMT のゲート制御性および輸送特性が、 $\text{N}_2$  中  $300^\circ\text{C}$  の PMA によって向上することを明らかにした。GaN 系 MOS 構造については、Hung ら[11]が  $\text{Al}_2\text{O}_3/\text{GaN}$  および  $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$  構造における C-V 特性のフラットバンド電圧のふらつきを  $400\sim 550^\circ\text{C}$  における PMA 処理によって抑制できると報告している。

本章では、原子層堆積(ALD)法で作製した  $\text{Al}_2\text{O}_3/\text{GaN}$  構造に PMA 処理を施し、その界面特性の評価を行ったので報告する。

## 4.2. デバイス構造と作製プロセス

図 4-1 に本章で用いた  $\text{Al}_2\text{O}_3/\text{GaN}$  MOS 構造の断面模式図を示す。 $3 \times 10^6 \text{ cm}^{-2}$  以下の低転移密度 c 面  $\text{n}^+$ -GaN 基板の上に  $4 \mu\text{m}$  の Si ドープ n-GaN 層を有機金属気相成長(MOCVD)法によって成長した試料を購入し、実験に用いた。また、Schottky ダイオードの C-V 特性から、エピ層のドナー密度は  $6.2 \times 10^{16} \text{ cm}^{-3}$  と求められた。30% の希フッ酸溶液を用いて n-GaN 表面を 1 分間洗浄して自然酸化膜を除去した後、原子層堆積(ALD)法を用いて  $30 \text{ nm}$  の  $\text{Al}_2\text{O}_3$  薄膜をゲート絶縁膜として堆積した。ALD システムには SUGA-SAL1500 を使い、堆積温度  $300^\circ\text{C}$  で原料の水とトリメチルアルミニウム(TMA)をチャンバ内に交互に導入し、各原料の導入時間を  $15 \text{ ms}$ 、導入後のパージ時間を  $10 \text{ s}$  に設定した。この際、堆積レートは  $0.11 \text{ nm/cycle}$  となり、 $\text{Al}_2\text{O}_3$  膜が原子層単位で堆積されていることを示している。一部の試料は、 $\text{N}_2$  雰囲気中で  $400^\circ\text{C}$ 、30 分間の PDA 処理を行った。その後、試料裏面にオーミック電極として Ti/Au (=20/50 nm)、 $\text{Al}_2\text{O}_3$  表面にゲート電極として直径  $200 \mu\text{m}$  の円形 Ni/Au (=20/50 nm)を蒸着した。なお、基板として高ドナー密度の  $\text{n}^+$ -GaN を用いているため、オーミックアニールな

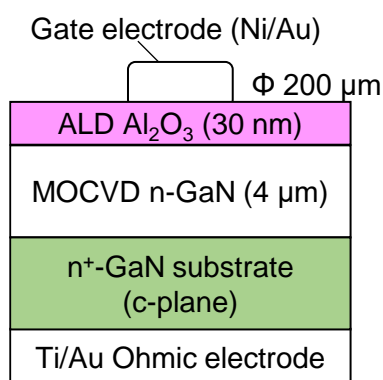


図 4-1 c 面 GaN 上に作製した  $\text{Al}_2\text{O}_3/\text{GaN}$  MOS 構造の断面模式図

どの高温処理は行っていない。ゲート電極形成後に  $\text{N}_2$  雰囲気中で  $300^\circ\text{C}$ 、10 分間の PMA 処理を行い評価試料とした。

エリプソメトリ測定から、ALD- $\text{Al}_2\text{O}_3$  の屈折率は 1.60-1.65 と見積もられ、スパッタおよび ALD 法で堆積した非晶質  $\text{Al}_2\text{O}_3$  膜の報告値と近い値を示した[12, 13]。図 4-2 に GaN 基板上に形成した  $\text{Al}_2\text{O}_3/\text{GaN}$  界面の断面透過型電子顕微鏡 (TEM) 像を示す。急峻かつ平坦な界面が得られ、ALD プロセスによる低エネルギーかつ原子層単位の特性を示唆している。また、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面に GaN 自然酸化膜のような遷移層は観測されなかった。さらに、 $\text{Al}_2\text{O}_3$  は非晶質で、 $300^\circ\text{C}$  から  $500^\circ\text{C}$  の温度範囲で PDA を行った後でも相転移などは無く、変化しないままであった。これは、 $\text{Al}_2\text{O}_3$  膜が非晶質から結晶へと相転移を起こす温度が  $800^\circ\text{C}$  かそれ以上であるという実験事実とも矛盾の無い結果である[4, 14]。

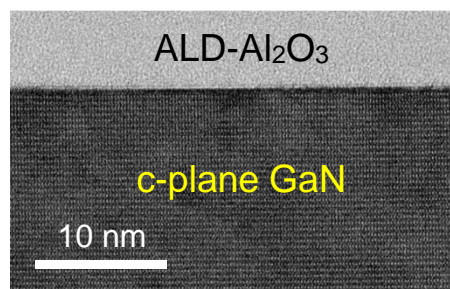


図 4-2 作製した  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の断面 TEM 像

## 4.3. 結果と考察

### 4.3.1. $\text{Al}_2\text{O}_3/\text{GaN}$ 構造のアドミッタンス特性評価

図 4-3 に PMA 処理前後の  $\text{Ni}/\text{Al}_2\text{O}_3/\text{n-GaN}$  ダイオードの室温における C-V 特性を示す。As-depo (PMA 無し) 試料は顕著な周波数分散とゲート電圧  $V_G = -3\text{ V}$  付近にリッジのような特徴が現れた。測定交流信号の周波数を下げることで、より深い界面準位が交流信号に応答するようになる。これにより、より多くの界面準位が交流信号に追従して、測定容量の追加成分として作用したと考えられる。同様の C-V 特性の周波数分散は  $\text{SiO}_2/\text{GaN}$  や  $\text{Al}_2\text{O}_3/\text{GaN}$  構造で報告されている[15-17]。さらに、図中に破線で示す界面準位を考慮しない計算結果と比較して、C-V 特性の傾きが減少しており、

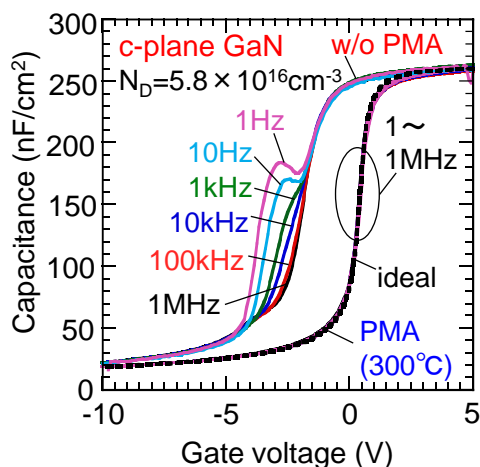


図 4-3 作製した  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の室温 C-V 特性

高密度な界面準位の存在を示唆している。それに対して、 $\text{N}_2$  雰囲気中で  $300^\circ\text{C}$ 、10 分間の PMA 処理を行った MOS 試料は、図 4-3 に示すように 1 Hz から 1 MHz という非常に広い周波数範囲で周波数分散の無い素晴らしい C-V 特性を示した。PMA 試料がリッジの無い計算結果に非常に近い C-V 特性を示したことから、PMA 処理によって界面準位密度の低い良好な  $\text{Al}_2\text{O}_3/\text{GaN}$  界面が実現できることが示唆される。図 4-3 から分かるように、PMA 前後の試料でフラットバンド電圧 ( $V_{\text{FB}}$ ) に明らかな差が見てとれる。PMA 試料が計算値と非常に近い  $V_{\text{FB}}$  を示した一方で、As-depo 試料は逆バイアス方向への  $V_{\text{FB}}$  シフトを示し、ドナー型の界面準位もしくは  $\text{Al}_2\text{O}_3$  中の欠陥準位に起因した正電荷が存在するものと思われる。 $\text{Al}_2\text{O}_3$  膜中の欠陥準位の候補として考えられるのは、酸素欠損に関連した欠陥である[18, 19]。PMA はそのような準位を低減し、 $V_{\text{FB}}$  が予測値へ回復した可能性がある。Hung ら[11]も同様の  $V_{\text{FB}}$  の回復を  $400\sim 550^\circ\text{C}$  で PMA を行った  $\text{Ni}/\text{Al}_2\text{O}_3/\text{GaN}$  構造で報告している。

図 4-4 に  $\text{Al}_2\text{O}_3/\text{GaN}$  界面の界面準位密度 ( $D_{\text{it}}$ ) 分布を示す。As-depo 試料および  $400^\circ\text{C}$  PDA 試料は、1 MHz の C-V 特性に対して Terman 法を適用した。PMA 無しの試料では  $10^{12} \text{ cm}^{-2}\text{eV}^{-1}$  台の高準位密度が観測された。さらに  $E_{\text{c}}-0.6 \text{ eV}$  付近に  $6\times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$  のピークが現れ、恐らく窒素空孔に関連した離散準位によるものと思われる[20-22]。 $400^\circ\text{C}$  の PDA 処理を行うと  $D_{\text{it}}$  は減少したものの、準位密度は  $5\times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$  以上と高密度のままであった。一方で、 $300^\circ\text{C}$  で PMA を行うことで準位密度は著しく減少した。実際に、Terman 法で得られた  $D_{\text{it}}$  は測定下限以下であった。そこで

Conductance 法を PMA 試料に適用したところ、**図 4-4** に示すように伝導帯下端の近傍で  $1\text{-}4 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$  と低準位密度が得られた。

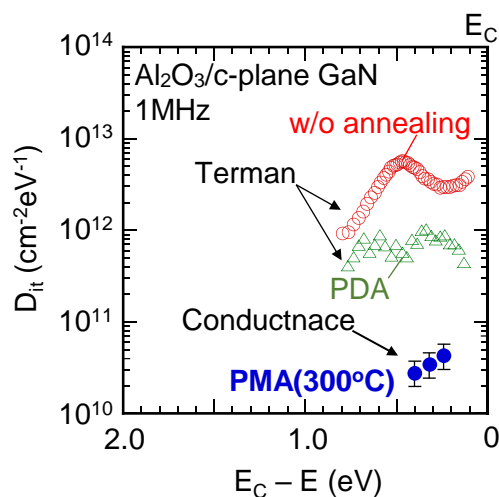


図 4-4  $\text{Al}_2\text{O}_3/\text{GaN}$  界面の準位密度分布

#### 4.3.2. TEM による $\text{Al}_2\text{O}_3/\text{GaN}$ 界面評価

**図 4-5(a)**および**4-5(b)**に PMA 前後の  $\text{Ni}/\text{Al}_2\text{O}_3/\text{GaN}$  構造における高解像度 TEM 像を示す。どちらの TEM 像も、周期的な格子点が GaN 層に観測できる。TEM 像を geometric phase analysis (GPA)[23-25]によって解析し、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面における c 軸方向の GaN の相対的な格子定数を見積もった。GaN の理想格子定数(0.5186 nm)に対する c 軸方向の格子定数マッピングを**図 4-5(c)**および**4-5(d)**に示す。界面付近の非晶質  $\text{Al}_2\text{O}_3$  層の一部で格子定数が示されているが、GPA は結晶構造に適用した場合にのみ有意性を持つため、 $\text{Al}_2\text{O}_3$  領域の数値が表面的なものである点に注意が必要である。PMA 無しの MOS 試料では、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面で明らかな格子定数のばらつきが見られ、GaN 表面の原子配列の乱れを示唆している。実際の半導体表面では、結晶の周期性が途切れるためにダングリングボンドや表面再結合などを含む特異なボンド構造が生じる。さらに、表面には空孔やアドアトム、自然酸化膜が存在するため、そのような表面の不規則性が、**図 4-6(a)**に模式的に示すようなボンド長やボンド角の乱れに繋がっていると考えられる。例えば、Xue ら[26]は Ga 極性 GaN(0001)表面において Ga 空孔によるボンド乱れへの影響を理論計算から求めている。彼らは Ga ダング

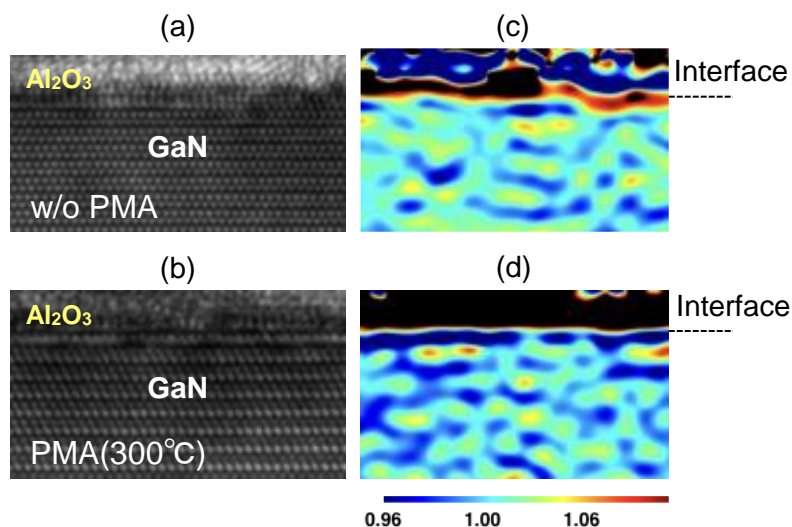


図 4-5 (a) PMA 前および(b) PMA 後の  $\text{Al}_2\text{O}_3/\text{GaN}$  界面における高解像度 TEM 像と GPA 解析から得られた (c) PMA 前および(d) PMA 後の  $c$  軸方向の格子定数マッピング

リングボンドから 2 層目の N 原子のダングリングボンドへの電子遷移が隣接する Ga 原子を  $c$  軸方向へ  $0.39 \text{ \AA}$  引き下げると報告している。PMA 無しの  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  試料において、GaN 表面のボンド乱れが  $\text{Al}_2\text{O}_3$  堆積後も残ったため、図 4-5(c)および 4-6(a)に示すように、格子定数の明らかなばらつきに繋がった。そのようなボンド乱れが  $\text{Al}_2\text{O}_3/\text{GaN}$  界面の高密度な電子準位に起因する貧相な C-V 特性の原因であると考えられる[27, 28]。

一方で、図 4-5(d)に示すように、 $300^\circ\text{C}$ 、10 分間の PMA を行った試料は界面近傍で均一な格子定数分布を示した。これは、図 4-6(b)に模式的に示すように、PMA がダングリングボンドの酸素終端と表面欠陥の緩和に効果的で、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面のボンド終端やボンド乱れの改善につながったことを示唆している。界面準位密度が減少した結果、1 Hz から 1 MHz までの非常に広い周波数範囲でも周波数分散のない優れた C-V 特性が得られた。Zyweitz ら[29]は理論計算から Ga ダングリングボンドの O 終端が GaN バンドギャップ中の状態密度(表面準位)を効果的に減少させると予測している。

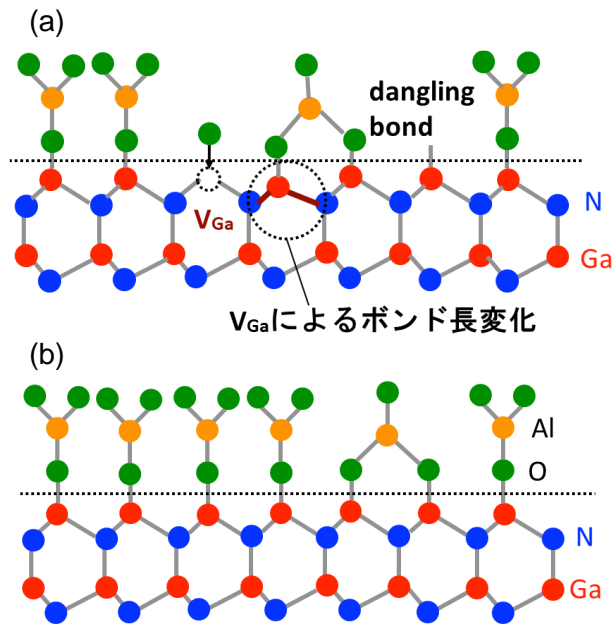


図 4-6 (a) PMA 前および(b) PMA 後の  $\text{Al}_2\text{O}_3/\text{GaN}$  界面における原子結合配列の模式モデル図

### 4.3.3. $\text{Al}_2\text{O}_3/\text{GaN}$ 構造の安定性評価

次に PMA を行った MOS 構造の安定性について評価を行った。まず、 $\text{Al}_2\text{O}_3/\text{GaN}$  構造に異なるゲート金属を用いた際の PMA の効果を確認した。図 4-7(a) に  $\text{N}_2$  雰囲気中で  $300^\circ\text{C}$ 、10 分間の PMA を行った  $\text{Ti}/\text{Al}_2\text{O}_3/\text{GaN}$  構造の C-V 曲線を示す。周波数分散のない優れた C-V 特性を観測し、Ni ゲート試料(図 4-3)と遜色のない結果であった。ゲートとして Mo を用いた MOS 試料でも同様の結果が観測され、PMA の効果が用いたゲート金属に依らないことが示された。Ni、Ti および Mo をゲート電極としたときの MOS 構造における 1 MHz の C-V 特性を図 4-7(b)にまとめる。標準的な Si MOS 構造のように、金属の仕事関数差に従って C-V 曲線が明らかに並行シフトしており、PMA 後の  $\text{Al}_2\text{O}_3/\text{GaN}$  構造がほぼ理想的な界面特性を有していることを示唆している。

図 4-8 に  $\text{Al}_2\text{O}_3/\text{GaN}$  構造のリーク電流特性を示す。逆バイアス領域では測定下限以下の十分に低いリーク電流が観測された。 $\log(J/E^2)$ と  $1/E$  が線形関係を満足していることから、 $V_G > 10\text{ V}$  の順バイアスにおける電流のわずかな増加は Fowler-

Nordheim (F-N)トンネル機構によるものと考えられる[2, 15]。さらに、**図 4-9** に最大印加電圧  $V_{Gmax}$  に対する  $V_{FB}$  の変化を示す。このとき、C-V 測定において  $V_{Gmax}$  から -10 V へと電圧の掃引を行った。PMA 試料は界面準位密度が低いため、 $V_{FB}$  はほとんど変化しなかった。 $V_{Gmax}$  が 10 V を超えると、 $V_{FB}$  は順バイアス方向へわずかにシフトした。**図 4-8** に示したバイアス範囲では、ゲート電圧の増加に伴いリーク電流が徐々に増加し、 $Al_2O_3$  膜への電子注入の可能性がある。その結果生じた過剰な負電荷が  $V_{FB}$  を順

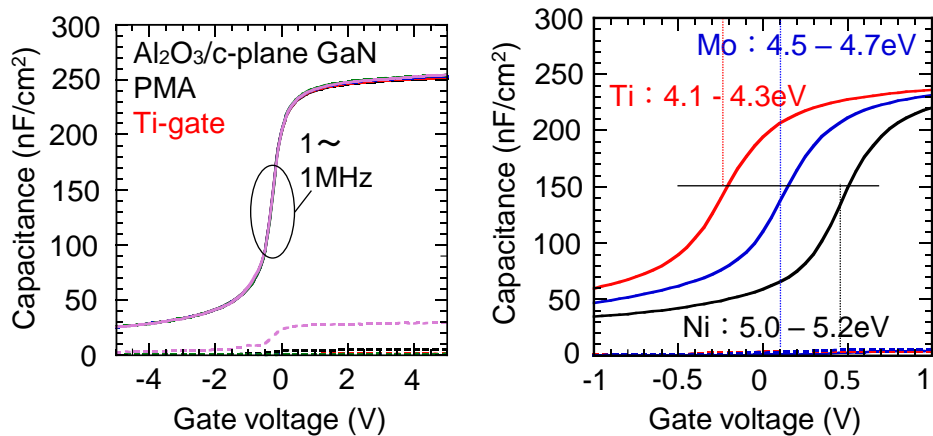


図 4-7 (a) Ti/ $Al_2O_3$ /GaN 構造の PMA 後の C-V 特性と(b) Ni、Ti、Mo をゲート電極とした MOS 構造の 1 MHz における C-V 特性

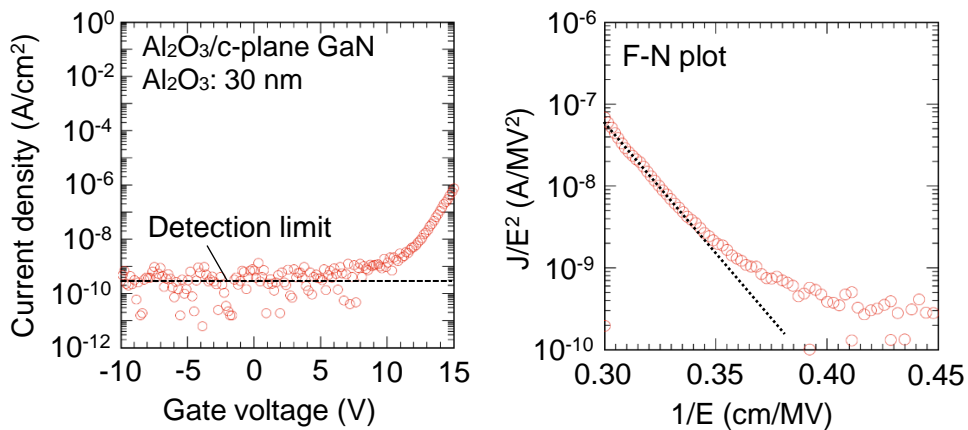


図 4-8 PMA を行った  $Al_2O_3$ /GaN 構造の(a) J-V 特性と(b) F-N プロット

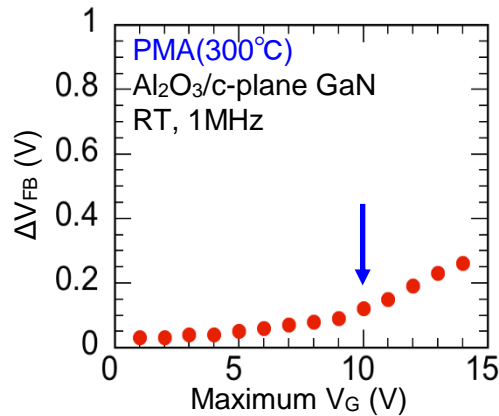


図 4-9 PMA を行った Al<sub>2</sub>O<sub>3</sub>/GaN 構造におけるフラットバンド電圧の最大印加電圧依存性

バイアス方向へシフトさせられると思われる。しかし、図 4-9 に示すように、V<sub>FB</sub> シフトは 250 mV 以下に抑えられており、PMA 試料の安定した界面の振舞いを示している。

図 4-10 に PMA を行った Al<sub>2</sub>O<sub>3</sub>/GaN 構造における 200°C で測定した C-V 特性を示す。高温 C-V 測定では、より深い界面準位がバイアス掃引と交流信号に応答するため、室温で測定した C-V 特性と異なることが予想される。実際、Matocha ら[16, 30]や、Ooyama ら[31]、Long ら[13]は 175～300°C で測定した SiO<sub>2</sub>/GaN および Al<sub>2</sub>O<sub>3</sub>/GaN 構造において C-V 曲線の傾きの減少や、リッジのような特徴、周波数分散の増大を報告している。そのような高温における不安定な C-V 特性の挙動は、比較的高密度な界面準位が GaN MOSFET の動作不安定性につながる可能性を示している。しかし、PMA 試料では図 4-3 に示した室温 C-V 曲線と比較して、高温でも C-V 特性がほとんど変化しなかった。特に、200°C の高温でも無視できるほどの周波数分散および室温測定と遜色のない C-V の傾きが観測されたことから、高品質かつ低転移密度の GaN 層上の MOS 構造に PMA 処理を適用することで、界面準位密度の低い安定な MOS 構造が実現できることを示している。

また、図 4-10 に示すように、室温 C-V 測定と比較して、200°C で測定した C-V 曲線では 0.3-0.4 V の順バイアス方向へのわずかな V<sub>FB</sub> シフトが観測された。PMA 試料は界面準位密度が非常に低く、C-V 曲線の周波数分散が無視できる程度であったため、界面準位や Al<sub>2</sub>O<sub>3</sub> 中の準位が正の V<sub>FB</sub> シフトの原因である可能性は低いと考えられる。昇温に伴う正の V<sub>FB</sub> シフトは SiO<sub>2</sub>/GaN 構造でも報告されている[30, 32-34]。

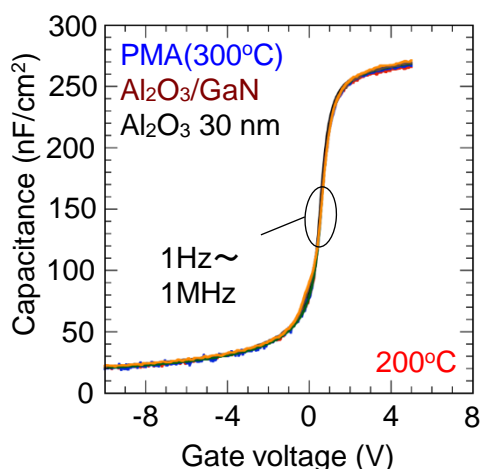


図 4-10 PMA を行った  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の  $200^\circ\text{C}$  における C-V 特性

Matocha ら[30, 34]は、温度上昇に伴う半導体のバルクポテンシャルや界面のトラップ電荷の変化は  $V_{\text{FB}}$  シフトにほとんど影響を与えないため、正方向シフトが GaN の焦電分極によるものであると報告している。実際、彼らは  $V_{\text{FB}}$  シフトの温度依存性を用いて  $3.0\text{-}3.9 \times 10^9 \text{ q/cm}^2 \text{ K}$  ( $4.8\text{-}5.6 \times 10^{-10} \text{ C/cm}^2 \text{ K}$ ) の焦電電荷係数を求めており、Liu ら[35]が報告した計算値と近い値となっている。このことから、焦電分極電荷が温度上昇に伴う C-V 曲線の正の  $V_{\text{FB}}$  シフトの要因である可能性が高い。

#### 4.4. まとめ

本章では、GaN 基板上に成長した n-GaN エピタキシャル層を用いて ALD- $\text{Al}_2\text{O}_3/\text{GaN}$  MOS 構造を作製し、PMA が界面特性に与える効果について評価を行った。As-depo 試料の C-V 曲線は顕著な周波数分散とリッジのような特徴を示し、 $10^{12} \text{ cm}^{-2}\text{eV}^{-1}$  台の高界面準位密度が Terman 法から見積もられた。一方で、 $\text{N}_2$  雰囲気中で  $300^\circ\text{C}$ 、10 分間の PMA 処理を施した試料は周波数分散のない優れた C-V 特性を示し、界面準位密度は最大で  $4 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$  と低密度であった。また、PMA の効果は MOS 構造に用いるゲート電極に依存せず、金属の仕事関数差に応じた C-V 曲線の平行シフトを観測した。さらに、PMA 後の試料は室温 C-V 曲線と比較して、 $200^\circ\text{C}$  の高温でも C-V 特性の振舞いがほとんど変化しなかった。PMA 試料の高解像度 TEM

像に対して GPA による解析を行ったところ、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面付近で均一な格子定数分布が観測され、界面のボンド終端やボンド乱れの改善に PMA が効果的であることが明らかになった。界面準位密度が減少した結果、1 Hz から 1 MHz までの非常に広い周波数範囲でも周波数分散のない優れた C-V 特性が得られた。以上の結果は高品質かつ低転移密度の GaN 層上の MOS 構造に PMA 処理を適用することで、界面準位密度の低い安定な MOS 構造が実現できることを示している。しかし、実際の MOSFET や MOS HEMT を作製する際には、GaN や AlGaIn 表面はドライエッチングやイオン注入、高温アニールプロセスに曝される。これらの作製プロセスは、界面準位密度の増加や GaN 表面欠陥の発生などにより MOS 界面特性を劣化させる。したがって、本章で示した PMA のような界面制御が、プロセスダメージのある GaN や AlGaIn 上の絶縁ゲート構造に対する最後の処理として望ましい。

## 参考文献

- [1] Z. Yatabe, J. T. Asubar, and T. Hashizume, "Insulated gate and surface passivation structures for GaN-base power transistors". *J. Phys. D* **49**, 393001 (2016).
- [2] Y. Niiyama, S. Ootomo, J. Li, T. Nomura, S. Kato, and T. P. Chow, "Normally off operation GaN-based MOSFETs for power electronics", *Semicond. Sci. Technol.* **25**, 125006 (2010).
- [3] T. Marron, S. Takashima, Z. Li, and T. P. Chow, "Impact of annealing on ALD Al<sub>2</sub>O<sub>3</sub> gate dielectric for GaN MOS devices", *Phys. Status Solidi C* **9**, 907 (2012).
- [4] Y. Hori, C. Mizue, and T. Hashizume, "Process conditions for improvement of electrical properties of Al<sub>2</sub>O<sub>3</sub>/n-GaN structures prepared by atomic layer deposition", *Jpn. J. Appl. Phys.* **49**, 080201 (2010).
- [5] G. He, Q. Fang, and L. D. Zhang, "Structural and interface properties of high-*k* HfO<sub>x</sub>N<sub>y</sub> gate dielectric films", *Mater. Sci. Semicond. Process.* **9**, 870 (2006).
- [6] W. Zhou, S. V. Ushakov, T. Wang, J. G. Ekerdt, A. A. Demkov, and A. Navrotsky, "Hafnia: Energetic of thin films and nanoparticles", *J. Appl. Phys.* **107**, 123514 (2010).
- [7] D. Biswas, A. K. Sinha, and S. Chakraborty, "Optimization of annealing temperature for high-*k*-based gate oxides using differential scanning calorimetry", *J. Vac. Sci. Technol. B* **33**, 052205 (2015).
- [8] T. P. Ma, "Making silicon nitride film a viable gate dielectric", *IEEE Trans. Electron Devices* **45**, 680 (1998).
- [9] Z. Liu, S. Cui, L. Kornblum, M. Eizenberg, M. Chang, and T. P. Ma, "Inelastic electron tunneling spectroscopy study of ultrathin Al<sub>2</sub>O<sub>3</sub>-TiO<sub>2</sub> dielectric stack on Si", *Appl. Phys. Lett.* **97**, 202905 (2010).
- [10] Q. Li, X. Zhou, C. W. Tang, and K. M. Lau, "Material and device characteristics of metamorphic In<sub>0.53</sub>Ga<sub>0.47</sub>As MOSHEMTs grown on GaAs and Si substrates by MOCVD", *IEEE Trans. Electron Devices* **60**, 4112 (2013).

- [11] T.-H. Hung, S. Krishnamoorthy, M. Esposito, D. N. Nath, P. S. Park, and S. Rajan, "Interface charge engineering at atomic layer deposited dielectric/III-nitride interfaces", *Appl. Phys. Lett.* **102**, 072105 (2013).
- [12] Y. Jin, K. Saito, M. Shimada, and T. Ono, "Using electron cyclotron resonance sputtering in the deposition of ultrathin Al<sub>2</sub>O<sub>3</sub> gate dielectrics", *J. Vac. Sci. Technol. B* **21**, 942 (2003).
- [13] S. K. Kim, S. W. Lee, C. S. Hwang, Y. S. Min, J. Y. Won, and J. Jeong, "Low temperature (< 100°C) deposition of aluminum oxide thin films by ALD with O<sub>3</sub> as oxidant", *J. Electrochem. Soc.* **153**, F69 (2006).
- [14] S. Toyoda, T. Shinohara, H. Kumigashira, M. Oshima, and Y. Kato, "Significant increase in conduction band discontinuity due to solid phase epitaxy of Al<sub>2</sub>O<sub>3</sub> gate insulator films on GaN semiconductor", *Appl. Phys. Lett.* **101**, 231607 (2012).
- [15] B. Gaffey, L. J. Guido, X. W. Wang, and T. P. Ma, "High-quality oxide/nitride/oxide gate insulator for GaN MIS structures", *IEEE Trans. Electron Devices* **48**, 458 (2001).
- [16] K. Matocha, R. J. Gutmann, and T. P. Chow, "Effect of annealing on GaN-insulator interfaces characterized by metal-insulator-semiconductor capacitors", *IEEE Trans. Electron Devices* **50**, 1200 (2003).
- [17] R. D. Long, A. Hazeghi, M. Gunji, Y. Nishi, and P. C. McIntyre, "Temperature-dependent capacitance-voltage analysis of defects in Al<sub>2</sub>O<sub>3</sub> gate dielectric stacks on GaN", *Appl. Phys. Lett.* **101**, 241606 (2012).
- [18] P. Jonnard, C. Bonnelle, G. Blaise, G. Rémond, and C. Roques-Carmes, "F<sup>+</sup> and F centers in  $\alpha$ -Al<sub>2</sub>O<sub>3</sub> by electron-induced x-ray emission spectroscopy and cathodoluminescence", *J. Appl. Phys.* **88**, 6413 (2000).
- [19] M. Choi, J. L. Lyons, A. Janotti, and C. G. Van de Walle, "Impact of native defects in high-*k* dielectric oxides on GaN/oxide metal-oxide-semiconductor devices", *Phys. Status Solidi B* **250**, 787 (2013).
- [20] S. Kim, Y. Hori, W.-C. Ma, D. Kikuta, T. Narita, H. Iguchi, T. Uesugi, T. Kachi, and T. Hashizume, "Interface properties of Al<sub>2</sub>O<sub>3</sub>/n-GaN structures with inductively coupled plasma etching of GaN surfaces", *Jpn. J. Appl. Phys.* **51**, 060201 (2012).
- [21] T. Hashizume and R. Nakasaki, "Discrete surface state related to nitrogen-vacancy defect on plasma-treated GaN surfaces", *Appl. Phys. Lett.* **80**, 4564 (2002).

- [22] T. Hashizume and H. Hasegawa, "Effects of nitrogen deficiency on electronic properties of AlGaN surfaces subjected to thermal and plasma processes", *Appl. Surf. Sci.* **234**, 387 (2004).
- [23] M. J. Hÿtch, E. Snoeck, and R. Kilaas, "Quantitative measurement of displacement and strain fields from HREM micrographs", *Ultramicroscopy* **74**, 131 (1998).
- [24] M. J. Hÿtch and F. Houdellier, "Mapping stress and strain in nanostructures by high-resolution transmission electron microscopy", *Microelectron. Eng.* **84**, 460 (2007).
- [25] H. Ghassemi, A. Lang, C. Johnson, R. Wang, B. Song, P. Phillips, Q. Qiao, R. F. Klie, H. G. Xing, and M. L. Taheri, "Evolution of strain in aluminum gallium nitride/gallium nitride high electron mobility transistors under on-state bias", *J. Appl. Phys.* **114**, 064507 (2013).
- [26] Q. K. Xue, Q. Z. Xue, R. Z. Bakhtizin, Y. Hasegawa, I. S. T. Tsong, and T. Sakurai, "Structures of GaN(0001)-(2×2), and -(5×5) surface reconstructions", *Phys. Rev. Lett.* **82**, 3074 (1999).
- [27] H. Hasegawa and H. Ohno, "Unified disorder induced gap state model for insulator-semiconductor and metal-semiconductor interfaces", *J. Vac. Sci. Technol. B* **4**, 1130 (1986).
- [28] R. V. Galatage, D. M. Zhernokletov, H. Dong, B. Brennan, C. L. Hinkle, R. M. Wallace, and E. M. Vogel, "Accumulation capacitance frequency dispersion of III-V metal-insulator-semiconductor devices due to disorder induced gap states", *J. Appl. Phys.* **116**, 014504 (2014).
- [29] T. K. Zywietz, J. Neugebauer, and M. Scheffler, "The adsorption of oxygen at GaN surfaces", *Appl. Phys. Lett.* **74**, 1695 (1999).
- [30] K. Matocha, T. P. Chow, and R. J. Gutmann, "Positive flatband voltage shift in MOS capacitors on n-type GaN", *IEEE Electron Device Lett.* **23**, 79 (2002).
- [31] K. Ooyama, H. Kato, M. Miczek, and T. Hashizume, "Temperature-dependent interface-state response in an Al<sub>2</sub>O<sub>3</sub>/n-GaN structure", *Jpn. J. Appl. Phys.* **47**, 5426 (2008).
- [32] C. Bae, C. Krug, and G. Lucovsky, "Electron trapping in metal-insulator-semiconductor structures on n-GaN with SiO<sub>2</sub> and Si<sub>3</sub>N<sub>4</sub> dielectrics", *J. Vac. Sci. Technol., A* **22**, 2379 (2004).

- [33] C. Bae and G. Lucovsky, “Low-temperature preparation of GaN-SiO<sub>2</sub> interfaces with low defect density. I. Two-step remote plasma-assisted oxidation-deposition process”, *J. Vac. Sci. Technol., A* **22**, 2402 (2004).
- [34] K. Matocha, V. Tilak, and G. Dunne, “Comparison of metal-oxide-semiconductor capacitors on c- and m-plane gallium nitride”, *Appl. Phys. Lett.* **90**, 123511 (2007).
- [35] J. Liu, M. V. Fernandez-Serra, and P. B. Allen, “First-principles study of pyroelectricity in GaN and ZnO”, *Phys. Rev. B* **93**, 081205R (2016).



## 第 5 章

# 無極性面 GaN 上 MOS 構造における界面特性の評価

### 5.1. はじめに

窒化物半導体の結晶成長技術の著しい発展により、 $10^6 \text{ cm}^{-2}$ 以下の低い転移密度を有する自立GaN基板が実現された。また、近年ではクォーツフリーハイドライド気相成長法 (QF-HVPE) によって低C、Si濃度を實現した高純度なホモエピGaNが開発された。[1]さらに、FujikuraらはQF-HVPEによってC不純物の混入を $5 \times 10^{14} \text{ cm}^{-3}$ 以下に低減し、電子密度が $1.2 \times 10^{15} \text{ cm}^{-3}$ のGaN層において室温移動度の最高値である $\mu=1470 \text{ cm}^2/\text{Vs}$ を報告している。[2]このようなホモエピタキシャル成長技術の発展に伴って、縦型GaN金属-酸化物-半導体 電界効果トランジスタ (GaN MOSFET) に関する研究が盛んになっている。[3-7]

特にトレンチゲート縦型MOSFETでは単位面積あたりのゲート幅を増やすことができるため、大電流動作が期待される。トレンチゲート構造では、a面やm面などの無極性面に形成されたチャンネルを利用する。2008年に豊田中研のグループから初めてホモエピGaNを用いたトレンチゲート縦型MOSFETが報告された。[8]しかし、彼らのMOSFETは低いドレイン電流値を示し、得られたしきい値電圧はMg濃度と絶縁膜容量から求められる計算値よりも低かった。Okaらも縦型GaN MOSFETにおいて、予測値である33 Vよりも大幅に低い3.5 Vのしきい値電圧を報告している。[9]これらの結果は無極性GaNに形成したMOS構造の界面制御が不十分であることを示唆している。

いくつかのグループから、m面GaN表面がc面GaNとは異なる特有の電子状態を持つという理論計算の結果が報告されている。例えば、NorthropとNeugebauer [10]はGa-Nダイマー構造がm面GaN表面で最も安定であり、Ga-、N-ダングリリングボンドに起因する特徴的な表面準位を形成すると述べている。Van de WalleとSegev [11]、Landmannら[12]も同様の特徴を持つGa-Nダイマー由来の表面準位を予見しており、

そのような表面電子準位はm面チャネルを有するGaN MOSトランジスタの輸送特性やゲート制御性に影響を与えると思われる。実際、Guptaら[13]はサファイア基板上GaNを用いた側壁チャネル縦型MOSFETにおいて、m面チャネルおよびa面チャネルで異なる輸送特性を示すと報告している。そのため、トレンチゲート構造MOSFETのデバイス性能向上のためには、絶縁膜/m面GaN構造の界面評価が非常に重要となる。

m面GaN上MOS構造のC-V特性は既にいくつかのグループから報告されている。Matochaら[14]はSiO<sub>2</sub>/m面GaN MOSキャパシタのC-V特性を報告している。しかし、C-V曲線は負方向へ大きくシフトしており、フラットバンド電圧付近にリッジが見られた。Wuら[15]は自立GaN基板上的Al<sub>2</sub>O<sub>3</sub>/m面GaN構造のC-V特性を報告しているが、順バイアスにおける飽和容量値が絶縁膜容量よりはるかに小さく、伝導帯(E<sub>c</sub>)下端近傍の高密度な界面準位がフラットバンド状態を阻害している可能性がある。Jiaら[16]もm面GaN上のMOSダイオードにおいて、順バイアスで異常な容量増加を示す劣悪なC-V特性を示している。ごく最近、Andoら[17]によって10<sup>10</sup> cm<sup>-2</sup>eV<sup>-1</sup>台の低準位密度を示す優れたC-V特性を示すAl<sub>2</sub>O<sub>3</sub>/m面GaN構造が報告された。しかし、m面GaNを用いたGaN MOS構造の界面特性についてはほとんど知られていないため、本章では自立GaN基板の上にホモエピタキシャル成長したm面GaN上にAl<sub>2</sub>O<sub>3</sub>/GaN構造を作製し、MOS界面特性の詳細な評価を行った。

## 5.2. デバイス構造と作製プロセス

図5-1に本章で用いたGaN MOSダイオードの断面模式図を示す。m面n<sup>+</sup>-GaN基板上に高品質n-GaN層を有機金属気相成長(MOCVD)法によって成長した試料を購入し実験を行った。基板の転位密度は1×10<sup>6</sup> cm<sup>-2</sup>以下で、n-GaN成長中に意図的な不純物ドーピングは行わなかった。基板表面は[000-1]方向へ5°のオフ角を設けた。図5-2(a)に示すように、m面GaN表面の原子間力顕微鏡(AFM)像から、root-mean-square (RMS)粗さが0.15 nmの原子レベルで平坦な表面が得られた。Hiraiら[18]はオフ角の無いm面GaN上のエピタキシャル層でピラミッド状のヒロックを報告している。彼らは[000-1]方向へオフ角の増加に伴ってヒロック高さが徐々に減少し、オフ角5.4°でピラミッドが完全に消滅することを明らかにした。Tanakaら[19]も同様に[000-1]方向へ

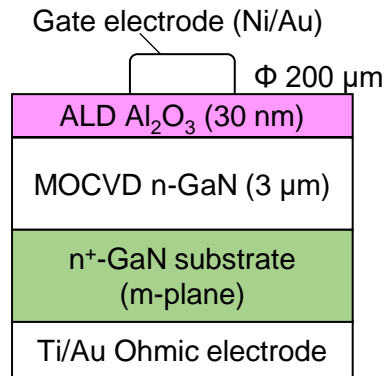


図 5-1 作製した Al<sub>2</sub>O<sub>3</sub>/m 面 GaN 構造の断面模式図

5.0°オフ角をつけたm面GaNエピタキシャル層において優れた表面状態を報告している。

m面GaNエピタキシャル層のドナー密度は、SchottkyダイオードのC-V特性から  $9 \times 10^{15} \text{ cm}^{-3}$  と求められた。また、二次イオン質量分析 (SIMS) 測定から  $1.5 \times 10^{16} \text{ cm}^{-3}$  の酸素密度が得られた。一方で、エピタキシャル層中の炭素密度は測定下限 ( $2 \times 10^{15} \text{ cm}^{-3}$ ) 以下であった。これらの結果から、アンドープm面GaN層において残留酸素原子がドナーとして振る舞っていることが明らかになった。Tanakaら[19]も[000-1]方向へ5°傾斜させた基板上のm面GaN層において同様の酸素および炭素濃度を報告している。

実験に用いたAl<sub>2</sub>O<sub>3</sub>/m面GaN MOS構造の作製プロセスを以下に示す。まず、30%の希フッ酸溶液を用いてn-GaN表面を1分間洗浄して自然酸化膜を除去した後、原子層堆積 (ALD) 法を用いて30nmのAl<sub>2</sub>O<sub>3</sub>薄膜をゲート絶縁膜として堆積した。

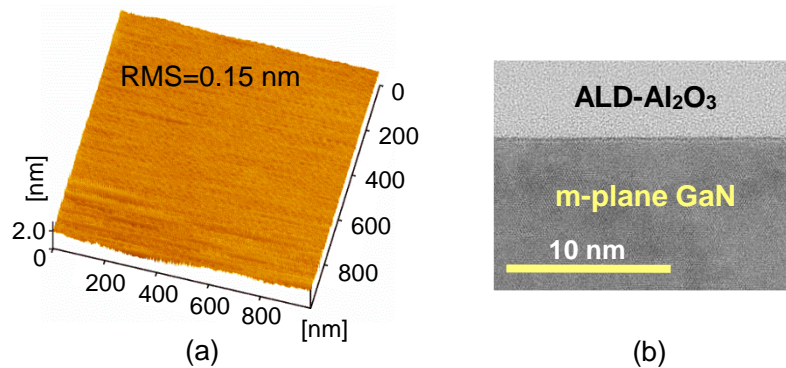


図 5-2 (a) m 面 GaN 表面の AFM 像と (b) Al<sub>2</sub>O<sub>3</sub>/m 面 GaN 界面の断面 TEM 像

ALDシステムにはSUGA-SAL1500を用い、堆積温度 $300^{\circ}\text{C}$ で原料の水とトリメチルアルミニウム(TMA)をチャンバ内に交互に導入し、各原料の導入時間を15 ms、導入後のパーズ時間を10 sに設定した。図5-2(b)の透過型電子顕微鏡(TEM)像に $\text{Al}_2\text{O}_3/\text{GaN}$ 構造を示すように、m面GaN層上に均一なアモルファス $\text{Al}_2\text{O}_3$ 層が形成されており、急峻なアモルファス/結晶界面が確認できた。前章のc面GaN上MOSダイオードと同様に、絶縁膜堆積後、試料裏面にTi/Au (=20/50 nm)のオーミック電極と $\text{Al}_2\text{O}_3$ 上にNi/Au (=20/50 nm)、直径200  $\mu\text{m}$ の円形ゲート電極を真空蒸着によって形成した。最後に界面制御プロセスとして4章で用いたpost-metallization annealing (PMA)を窒素雰囲気中で $300^{\circ}\text{C}$ 、10分間行った。

## 5.3. 結果と考察

### 5.3.1. 室温におけるアドミタンス特性

図5-3(a)にPMA処理前後のNi/ $\text{Al}_2\text{O}_3$ /m面GaNダイオードの容量-電圧(C-V)特性を示す。未処理(PMA無し)試料では、わずかな周波数分散が見られた。測定交流信号の周波数が低くなるにつれて $\text{Al}_2\text{O}_3/\text{GaN}$ 界面のより深いエネルギーに位置する界面準位が交流信号に応答するために、測定容量の追加分として作用したと考えられる。各試料において1MHzのC-V曲線の傾きを図5-3(b)にリプロットした。未処理試料は低い $dC/dV$ ピークを示し、 $\text{Al}_2\text{O}_3/\text{GaN}$ 界面の電子捕獲準位によってポテンシャル

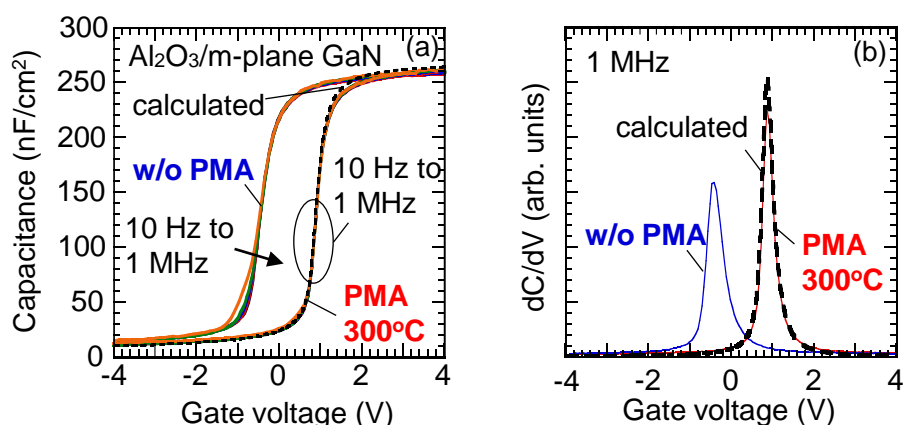


図 5-3 PMA 前後の  $\text{Al}_2\text{O}_3$ /m 面 GaN 構造の(a) 室温 C-V 特性および (b) 1 Mhz C-V 特性の  $dC/dV$  曲線

の変調を妨げているためであると考えられる。一方で、窒素雰囲気中で300°C、10分間のPMAを行ったMOS試料では10 Hzから1 MHzの広い周波数範囲において周波数分散の無い素晴らしいC-V特性が観測された。さらに、PMA試料は計算値と極めて近いC-V曲線および微分曲線を示したことから、低密度な界面準位が示唆される。未処理試料ではフラットバンド電圧 ( $V_{FB}$ ) の負電圧方向シフトが見られ、恐らくアクセプタ型の界面準位もしくは  $Al_2O_3$  バルク中の欠陥準位に起因した正電荷が存在しているためと思われる。[20, 21]PMAプロセスはそのような準位を低減し、予想値への  $V_{FB}$  の回復に繋がった可能性がある。

界面準位密度を評価するために、 $Al_2O_3$ /m面GaN構造に対してコンダクタンス測定を行った。図5-4に各MOS試料における測定周波数に対する等価並列コンダクタンスを角周波数で除算した  $G_p/\omega$  の関係を示す。ゲート電圧の減少に伴ってコンダクタンスピークの低周波側への単調シフトが観測され、界面準位のエネルギーが深くなるにつれて電子放出時定数が長くなる点と対応した。図5-4(b)に示すように、300°CのPMAでコンダクタンスピークは減少した。PMA前後の  $Al_2O_3$ /m面GaN界面における界面準位密度 ( $D_{it}$ ) 分布を図5-5に示す。未処理試料ではターマン法によって見積もった準位密度も図5-5中に実線でプロットした。興味深いことに、未処理試料ですら伝導帯下端 (CBM) 近傍で  $3 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  以下の  $D_{it}$  が得られ、4章で示した  $Al_2O_3$ /c面GaN界面と

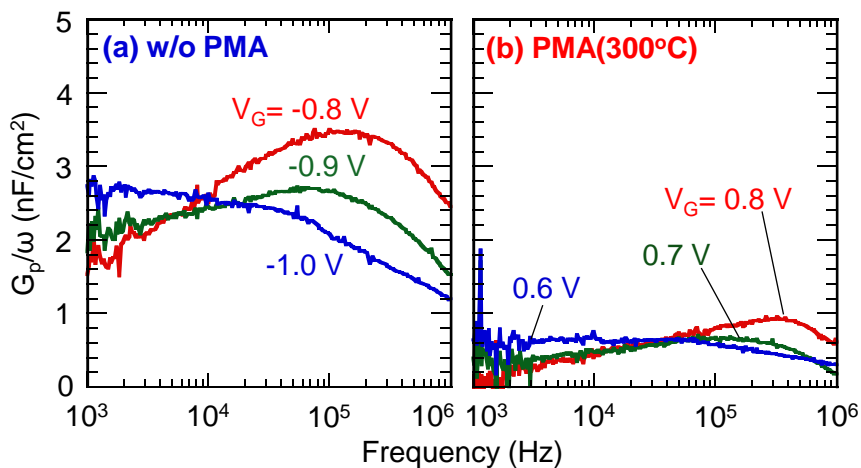


図 5-4 (a) PMA 無しおよび(b) PMA 後の  $Al_2O_3$ /GaN 構造の並列コンダクタンスの周波数依存性

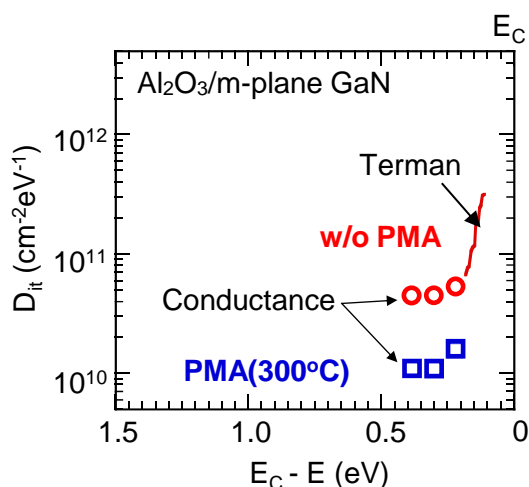


図 5-5 PMA 前後の  $\text{Al}_2\text{O}_3/\text{m}$  面 GaN 界面の界面準位密度分布

比較して明らかに低い  $D_{it}$  を示した。Andoら[17]も  $\text{Al}_2\text{O}_3/\text{GaN}$  界面において  $c$  面より  $m$  面の方が低い  $D_{it}$  を報告している。

いくつかのグループは第一原理計算から Ga-N ダイマーが  $m$  面 GaN 表面で安定に形成されると予測している。Neugebauerら[10]は Ga-Ga、N-N、Ga-N ダイマーの形成エネルギーを計算し、 $c$  軸方向に配列した Ga-N ダイマーが  $m$  面表面で最も安定であると結論付けている。Van de Walleら[11]や Landmannら[12]も Ga-N ダイマーを持つ  $m$  面 GaN の電子状態を議論しており、ダイマーに起因する N 由来の占有準位と Ga 由来の非占有準位の存在を示している。両者とも N 由来の占有準位は価電子帯 (VB) と共鳴し、Ga 由来の非占有準位は伝導体下端 (CBM) 近傍にギャップ準位を形成することを計算から求めている。Himmerlichら[22]は分子線エピタキシー (MBE) で成長した  $m$  面 GaN 層に対して in-situ の光電子分光法 (PES) と反射異方性分光法 (RAS) を適用した。彼らは紫外光 PES スペクトルに VB に共鳴する特徴的なピークを観測し、第一原理計算から類推される N 由来の占有準位に対応すると主張している。また、RAS 測定において光エネルギー  $3.3\text{eV}$  近傍で明らかな吸収ピークを観測し、Ga-N ダイマーに起因する占有準位から非占有準位への電子遷移が原因と考えられる。Lymperakisら[23]も走査型トンネル分光法 (STS) をへき開した  $m$  面 GaN 表面に適用し、STS スペクトルに  $E_c - 0.6\text{ eV}$  での明瞭なピークを報告している。実験結果を理論計算と比較すると、Ga 由来の非占有表面準位がこのピークに相当している。このようにいくつかのグループが異

なる実験からVB近傍の共鳴準位とCBM近傍のギャップ準位を報告しており、それぞれGa-Nダイマーに起因するN由来の占有準位とGa由来の非占有準位に対応している。従って図5-6(a)に模式的に示すように、m面GaN表面にはGa-Nダイマーが安定的に形成されていると思われる。また、このGa-Nダイマー形成により、c面GaNと比較して空孔などの表面欠陥の生成の可能性が低いことが期待できる。

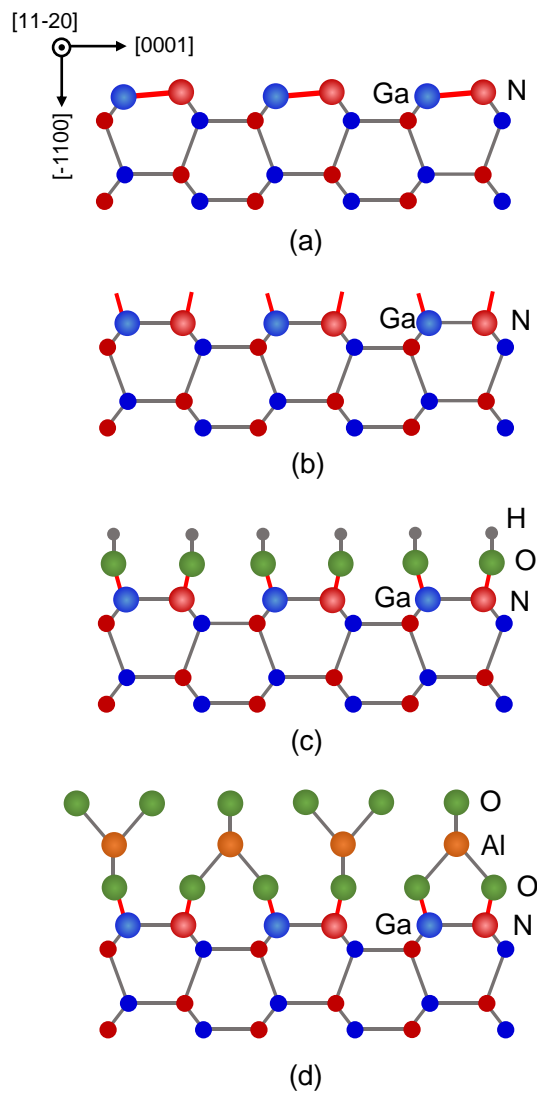


図 5-6 m 面 GaN の表面モデル: (a) 室温における Ga-N ダイマーの形成、(b) 300°C に昇温した際の Ga-N ダイマーの解消、(c) Al<sub>2</sub>O<sub>3</sub> 堆積の初期段階における O-H ラジカルによるボンド終端、(d) Al<sub>2</sub>O<sub>3</sub>/m 面 GaN 界面の形成

このような特異な表面構造はショットキー特性に影響を与えている可能性がある。図5-7にc面GaNおよびm面GaN上に作製したショットキーダイオードのJ-V特性を示す。理想因子 $n$ はc面GaNとm面GaNでそれぞれ1.06, 1.02と良好な値を示した。Semi-logスケールにおける線形領域( $< 0.4$  V)に対して熱電子放出(TE)モデルを用いたフィッティングを行ったところ、c面GaNにおけるショットキー障壁高さ(SBH)が0.84 eVであるのに対し、m面GaNでは0.74 eVと明らかに低い値を示した。Yamadaら[24]やTanakaら[19]もNi電極を用いたm面GaN上のショットキーダイオードにおいて0.74 eV、0.72 eVと同様の低いSBHを報告しており、Sudaら[25]やOsvaldら[26]が報告しているc面GaN上のNi/GaN構造のSBH(0.87 eV, 0.906 eV)と比較しても結晶面によるSBHの差は明らかである。このような結晶面によるSBHの違いにGa-Nダイマーの形成が関連している可能性がある。

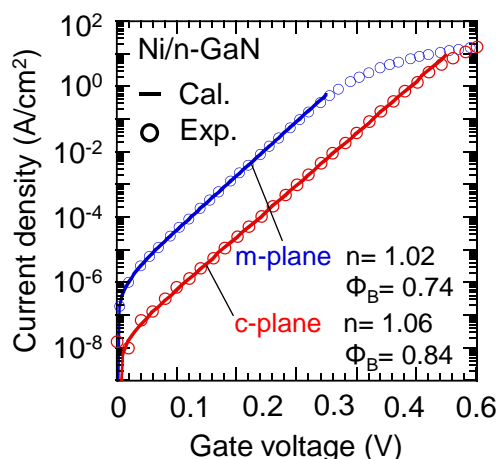


図 5-7 c 面および m 面 GaN Schottky ダイオードの J-V 特性

上述のように、Lymperakisら[23]はSTS測定においてバンドギャップ中に明瞭なピークを観測した。このピークはCBMから0.6 eVに表面準位が位置していることを実験的に示しており、m面GaN表面がCBMから0.6 eVでピンニングされていると述べられている。Van de Walleら[11]もm面GaN表面にGa-Nダイマーが形成されたとき、CBMから0.7 eVにGaダンダリングボンド由来の表面準位が表れることを計算から求めており、Ga-Nダイマー起因の表面準位がフェルミレベルをピンニングし、SBHに影響を及ぼしていることが考えられる。

ALD法による $\text{Al}_2\text{O}_3$ 堆積の初期段階において、 $300^\circ\text{C}$ に昇温することでm面GaN表面のGa-Nダイマーが切り離され、**図5-6(b)**に示すようにGa, Nのボンドが原料の酸素で終端される可能性が考えられる。実際、MBEによって成長したGaN表面のin situ反射高速電子線回折(RHEED)解析に基づくと、Smithら[27]は $250$ から $300^\circ\text{C}$ の温度範囲で表面再構成パターンの遷移を報告しており、GaN表面の原子配列が変化していることを示唆している。**図5-6(c)**および**5-6(d)**に模式的に示すように、ALDプロセスの初期段階で最表面のボンドがO-Hラジカル終端を促進し、それに続いて $\text{Al}_2\text{O}_3$ 層が形成されている可能性がある。Himmerlichら[22]はm面GaN表面をMBEチャンバ中で $1 \times 10^{-2}$  mbarの酸素中に10秒間曝したところ、PESおよびRASスペクトルの変化を観測した。Ga-Nダイマーに起因する紫外光PESスペクトルの特異なピークが大幅に減少し、酸素暴露後のRASスペクトルがN由来準位とGa由来準位間の電子遷移に対応するピークを示さなかった。また、XPS測定から、酸素暴露後にO 1sスペクトルとN-Oボンドに起因するN 1sスペクトルを新たに観測した。これらの結果は、ALDによる $\text{Al}_2\text{O}_3$ 成膜過程で、Ga-Nダイマーの分離と、O前駆体の導入によるGaボンドおよびNボンドの酸素終端の可能性を支持している。その結果、**図5-6(c)**および**5-6(d)**に示すように、PMA処理を行っていないにもかかわらず比較的低準位密度な $\text{Al}_2\text{O}_3/\text{GaN}$ 界面につながったと考えられる。実際に、理論予測から酸素原子で終端されたGaN表面がバンドギャップ中にほとんど表面準位を持たないことが示されている。[28]

$5^\circ$  のオフ角は平坦なm面GaN表面を得るために不可欠であるが、 $[000-1]$ 方向へ傾けたm面GaN表面は、terrace-step構造を形成する可能性がある。実際に、Yamadaら[29]は $[000-1]$ 方向へ $5.1^\circ$  オフした基板に成長したm面GaNのAFM観測を行い、terrace-step構造を確認している。また、Hiraiら[18]もm面GaNの $[000-1]$  方向へ傾いたファセット表面でstep-terrace構造を観測している。残念ながら、本研究で使用したAFM装置では解像度の都合上、step-terrace構造を観測することはできなかった。そのようなstep-terrace 構造ではステップ端にダングリングボンドが存在する可能性があるが、GaNのステップ端における表面準位については報告がない。Gaanら[30]がGaAs(110)表面のステップ端周辺のSTS測定から、ダングリングボンドに起因したギャップ準位を報告している。そのため、GaN表面のステップ端においても同様の表面準位を考慮する必要がある。

しかし、**図5-5**に示すように、実験結果は実際の $\text{Al}_2\text{O}_3/\text{GaN}$ 界面で $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$  台と非常に低い $D_{it}$ を示した。Andoら[17]も同様に $[000-1]$ 方向に $5^\circ$  オフした基板上に

形成した $\text{Al}_2\text{O}_3/\text{m面GaN}$ 構造で $10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ 台の低界面準位密度を報告している。 $\text{m面GaN}$ テラス領域については、**図5-6**に示した表面モデルが適用可能である。また、ステップ端にダングリングボンドが存在する場合でも、**図5-6(b)**で示すように、ALDによる $\text{Al}_2\text{O}_3$ 堆積の際にステップ端におけるダングリングボンドがO-Hラジカルで終端されている可能性が考えられる。ステップ端の電子状態を明らかにするためには、さらなる調査が必要である。実際の縦型GaN MOSFETのトレンチ形成では、側壁が理想的な $\text{m面}$ からずれてしまうことがある。しかし、今回の結果は、 $\text{m面}$ から $5^\circ$ のずれがある場合でもMOS界面が低 $D_{it}$ を示しており、トレンチ形成技術への要求が大幅に低減されることを示している。

**図5-5**に示すように、 $300^\circ\text{C}$ のPMA処理によって $D_{it}$ は $1.0 - 2.0 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ まで低減した。Andoら[17]も同様に $400^\circ\text{C}$ のPMA処理を施した $\text{Al}_2\text{O}_3/\text{m面GaN}$ 界面において $3.0 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ 程度の低 $D_{it}$ を報告している。前章においてPMAプロセスが $\text{Al}_2\text{O}_3/\text{c面GaN}$ 界面のボンド終端および原子配列の改善に有効であり、界面準位の低減につながることを示した。 $\text{m面GaN}$ においても同様にPMAプロセスによる界面状態の改善に期待できる。

### 5.3.2. 高温 C-V 特性

PMA後の $\text{m面GaN}$  MOS構造の室温と $200^\circ\text{C}$ におけるC-V特性を**図5-8(a)**に示す。 $200^\circ\text{C}$ で測定したC-V特性では順バイアス領域でわずかな変化が見られた。

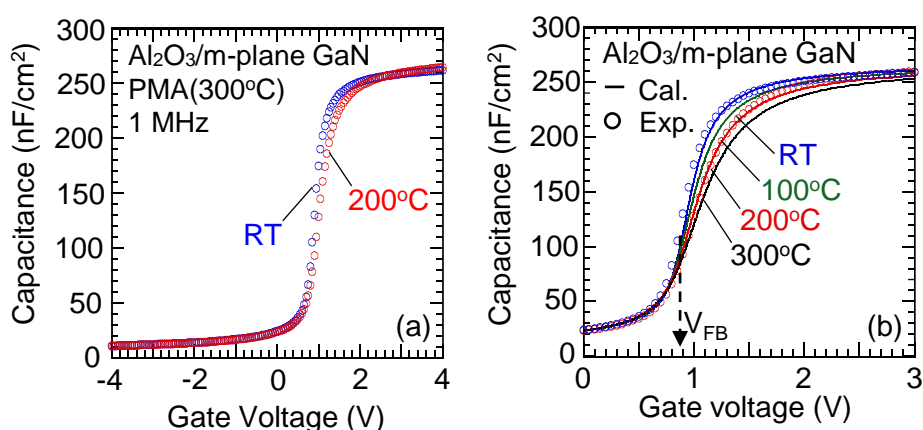


図 5-8 (a)  $\text{Al}_2\text{O}_3/\text{m面GaN}$  構造の室温および  $200^\circ\text{C}$  の C-V 特性と  
(b) 室温から  $300^\circ\text{C}$  における界面準位のない理想 C-V 曲線

室温から 300°Cまでの界面準位を考慮しない理想 C-V 特性を測定データと共に図 5-8(b)に示す。温度上昇とともにデバイ長が増加するため、理想 C-V 特性の傾きは高温で緩やかになる。室温、200°Cともに界面準位の無い理想曲線が実験結果をよく再現しており、高温でも  $V_{FB}$  が変化しないことを示唆している。

高温 C-V 測定では室温ではほとんど応答しないような深いエネルギーにおける界面準位の応答を評価出来る。界面準位から伝導帯への電子の放出時定数  $\tau_E$  は SRH 統計に従う。例えば、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面準位の捕獲断面積として  $1 \times 10^{-16} \text{ cm}^2$  を用いると[31]、 $E_c - 1.0 \text{ eV}$  に位置する界面準位に対応する  $\tau_E$  は室温で  $\tau_E = 1.4 \times 10^7 \text{ s}$  となる。この場合、このような界面準位の C-V 測定への寄与は放出時定数が極めて長いために無視することが出来る。これに対して、200°Cでは  $\tau_E = 3.7 \text{ s}$  となるため、Mid-gap 付近に分布する界面準位の充放電が C-V 特性に反映される。仮に Mid-gap 付近に高密度の界面準位が分布している場合、C-V 特性の傾きはより緩やかになるはずである。図 5-8(b)に示すように、200°Cの C-V 特性が理想曲線とよく一致したことは、Mid-gap 付近においても低界面準位密度であることを示している。

一方で、c面GaN MOSダイオードではC-V特性に明らかな温度依存性が見られた。図5-9に示すように200°CにおけるC-V曲線はデバイ長の変化のみでは再現できず、順バイアス方向へ0.5 Vの  $V_{FB}$  シフトがあることが明らかになった。図5-10にm面、c面 GaN MOS構造の測定温度に対する  $V_{FB}$  シフトをプロットする。m面GaN MOS構造ではわずかな  $V_{FB}$  シフトしか見られないのに対して、c面GaN MOS構造は温度上昇に伴って  $V_{FB}$  が単調に増加した。前章でも述べたように、 $\text{Al}_2\text{O}_3/\text{c面GaN}$  界面の準位密度は

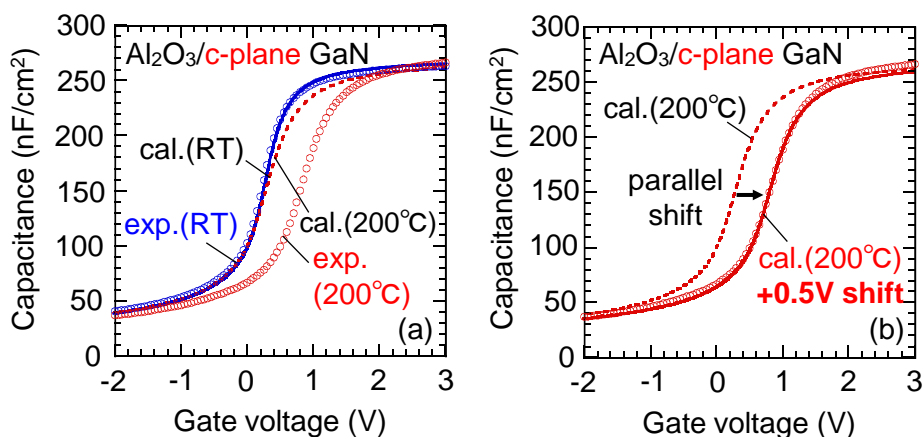


図 5-9 (a)  $\text{Al}_2\text{O}_3/\text{c面 GaN}$  構造の室温および 200°Cの C-V 特性と理想曲線および(b) 順方向へ+0.5 V シフトした 200°Cの理想曲線

$10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ 前半とm面GaN試料と同様に低密度であることから、 $V_{\text{FB}}$ シフトは結晶欠陥や電子捕獲準位に依るものでは無いと考えられる。

そこで、温度依存性のメカニズムのひとつとして、分極電荷の温度依存性を示す焦電効果について検討した。焦電効果はBornら[32]によって1947年にその存在が予見されている。熱膨張のメカニズムとして格子振動の非調和性、つまり、熱エネルギーの増加に伴う格子の変位が挙げられる。このような格子変位はGaN等のIII-V族半導体中の電気双極子モーメントの変化にも繋がり、自発分極が温度によって変化することを意味する。すなわち、昇温に伴うGaNのc軸方向の電気双極子モーメントの変化が $\text{Al}_2\text{O}_3/\text{c面GaN}$  MOS構造の $V_{\text{FB}}$ シフトとして現れた可能性がある。得られた温度と $V_{\text{FB}}$ シフトの関係からc面GaN MOSダイオードにおける焦電係数を見積もったところ $4.5 \mu\text{C}/\text{m}^2\text{K}$ であった。Jachalkeら[33]やMatochaら[14]も $5 \mu\text{C}/\text{m}^2\text{K}$ 、 $4.8 \mu\text{C}/\text{m}^2\text{K}$ と同程度の実験結果をSharp-Garn法およびC-V法から報告している。また、Yanら[34]とLiuら[35]も計算からウルツ鉱構造GaNにおける焦電係数を報告しており、同等のオーダーを示している。一方で、ウルツ鉱GaNの単位結晶を考えたとき、温度上昇に伴う電気双極子モーメントの変化の和はc軸方向成分のみとなる。すなわち、c軸に平行な結晶面では焦電効果による $V_{\text{FB}}$ の温度依存性は存在せず、m面GaN MOS構造は本質的に温度変化に対して安定であることが分かる。

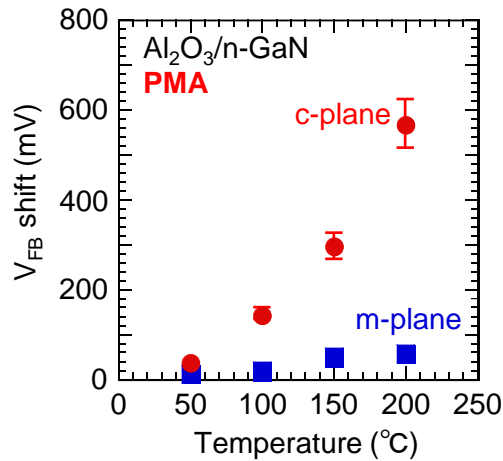


図 5-10 c 面および m 面 GaN における温度に対する  $V_{\text{FB}}$  シフト

### 5.3.3. 高温 J-V 特性

次に、室温および  $200^\circ\text{C}$ における MOS ダイオードの J-V 特性を図 5-11 に示す。逆バイアス領域で、室温、 $200^\circ\text{C}$ ともに  $10^{-9} \text{ A}/\text{cm}^2$  オーダーのゲートリーク電流が

観測された。この MOS ダイオードは順バイアス領域でも低い漏れ電流を示しており、良好な絶縁特性を持つことが明らかになった。一方で、200°Cにおいてリーク電流がわずかに増加した。MOS 構造に順バイアスを印加したとき、金属側のポテンシャルが引き下げられ、絶縁膜のポテンシャル障壁は矩形から三角形へと変化する。このとき絶縁膜の実効的な障壁厚さが減少するため、F-N トンネルによるリーク電流が流れる。高温では GaN 伝導帯中の電子分布が高エネルギー側に広がり、室温よりも薄い障壁をトンネルするためリーク電流が増加したと考えられる。Kotani ら[36]は GaN SBD のリーク電流の温度依存性に関する数値解析を行っている。計算からトンネル電子のエネルギー分布が Gaussian 分布を示し、温度上昇とともに高エネルギー側へシフトすることを明らかにしている。

以上の C-V 特性および J-V 特性は m 面 GaN 上のデバイスが温度変化に対して本質的に安定であることを示しており、高出力動作で温度が上昇した際でも、しきい値電圧の変化が少ないトランジスタに繋がる。

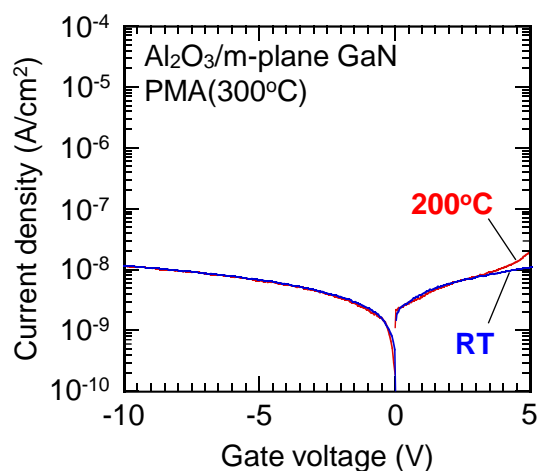


図 5-11 Al<sub>2</sub>O<sub>3</sub>/m 面 GaN 構造の室温および 200°C の J-V 特性

## 5.4. まとめ

m面GaN基板の上に成長したGaN層を用いたAl<sub>2</sub>O<sub>3</sub>/GaN構造の界面特性の評価をおこなった。[000-1]方向へ5°傾斜させた基板の上に成長したm面GaN層において、AFM像からRMS荒さが0.15 nmと原子レベルで平坦な表面を観測した。PMA前のMOS構造のC-V特性から $3 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下とAl<sub>2</sub>O<sub>3</sub>/c面GaN界面における実験結果よりも明らかに低い界面準位密度を示した。このような低界面準位密度が得られた可能性として、m面GaN表面のGa-Nダイマーとの関係について議論した。300°CのPMA処理がAl<sub>2</sub>O<sub>3</sub>/m面GaN構造においても界面準位密度の低減およびV<sub>FB</sub>の安定化に効果的であることを明らかにした。PMA後、10Hzから1MHzの広い周波数範囲において周波数分散の無いC-V特性を観測した。結果として、PMA試料はAl<sub>2</sub>O<sub>3</sub>/m面GaN界面で最大 $2.0 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ と非常に低いD<sub>it</sub>を示した。200°CにおけるC-V特性では周波数分散とV<sub>FB</sub>シフトが見られず、CBMからmidgap近傍までのエネルギー範囲で真に低い界面準位密度を示唆する結果となった。特に、m面GaN MOS構造における温度依存の無いV<sub>FB</sub>は無極性面であるm面GaN表面の本質的な物性に関連していると思われる。一方で、c面GaN MOS構造では200°CにおけるC-V特性において明らかなV<sub>FB</sub>シフトが見られ、焦電効果による自発分極の温度依存性がV<sub>FB</sub>シフトとして表れた可能性がある。さらに、m面GaN MOS構造のJ-V特性は $10^{-9} \text{ A/cm}^2$ オーダーの低リーク電流を示し、200°Cまでほとんど変化しない良好な特性を示した。以上の結果はトレンチゲート構造縦型GaN MOSFETをはじめとしたm面GaNチャネルMOSトランジスタにおける良好なゲート制御性および安定な動作特性を示唆するものである。

## 参考文献

- [1] H. Fujikura, T. Konno, T. Yoshida, and F. Horikiri, “Hydride-vapor-phase epitaxial growth of highly pure GaN layers with smooth as-grown surfaces on freestanding GaN substrates”, *Jpn. J. Appl. Phys.* **56**, 085503 (2017).
- [2] H. Fujikura, T. Konno, T. Kimura, Y. Narita, and F. Horikiri, “Homo-epitaxial growth of n-GaN layers free from carbon-induced mobility collapse and off-angle-dependent doping variation by quartz-free hydride vapor phase epitaxy”, *Appl. Phys. Lett.* **117**, 012103 (2020).
- [3] T. Kachi, “Recent progress of GaN power devices for automotive applications”, *Jpn. J. Appl. Phys.* **53**, 100210 (2014).
- [4] Z. Yatabe, J. T. Asubar, and T. Hashizume, “Insulated gate and surface passivation structures for GaN-based power transistors”, *J. Phys. D: Appl. Phys.* **49**, 3933001 (2016).
- [5] T. Oka, “Recent development of vertical GaN power devices”, *Jpn. J. Appl. Phys.* **58**, SB0805 (2019).
- [6] D. Ji, A. Agarwal, H. Li, W. Li, S. Keller, and S. Chowdhury, “880 V/2.7 mΩcm<sup>2</sup> MIS gate trench CAVET on bulk GaN substrates”, *IEEE Electron Device Lett.* **39**, 6 (2018).
- [7] R. Tanaka, S. Takashima, K. Ueno, H. Matsuyama, and M. Edo, “Demonstration of 1200 V/1.4 mΩcm<sup>2</sup> vertical GaN planar MOSFET fabricated by an all ion implantation process”, *Jpn. J. Appl. Phys.* **59**, SGGD02 (2020).
- [8] M. Kodama, M. Sugimoto, E. Hayashi, N. Soejima, O. Ishiguro, M. Kanechika, K. Itoh, H. Ueda, T. Uesugi and T. Kachi, “GaN-based trench gate metal oxide semiconductor field-effect transistor fabricated with novel wet etching”, *Appl. Phys. Express* **1**, 021104 (2008).
- [9] T. Oka, T. Ina, Y. Ueno and J. Nishii, “1.8mΩcm<sup>2</sup> vertical GaN-based trench metal-oxide-semiconductor field-effect transistors on a free-standing GaN substrate for 1.2-kV-class operation”, *Appl. Phys. Express* **8**, 054101 (2015).

- [10] J. E. Northrup and J. Neugebauer, “Theory of GaN(10-10) and (11-20) surfaces”, *Phys. Rev. B* **53**, 16 (1996).
- [11] C. G. Van de Walle and D. Segev, “Microscopic origins of surface states on nitride surfaces”, *J. Appl. Phys.* **101**, 081704 (2007).
- [12] M. Landmann, E. Rauls, W. G. Schmidt, M. D. Neumann, E. Speiser, and N. Esser, “GaN m-plane: Atomic structure, surface bands, and optical response”, *Phys. Rev. B* **91**, 035302 (2015).
- [13] C. Gupta, S. H. Chan, C. Lund, A. Agarwal, O. S. Koksaldi, J. Liu, Y. Enatsu, S. Keller, and U. K. Mishra, “Comparing electrical performance of GaN trench-gate MOSFETs with a-plane (11-20) and m-plane (1-100) sidewall channels”, *Appl. Phys. Express* **9**, 121001 (2016).
- [14] K. Matocha, V. Tilak, and G. Dunne, “Comparison of metal-oxide-semiconductor capacitors on c- and m-plane gallium nitride”, *Appl. Phys. Lett.* **90**, 123511 (2007).
- [15] X. Wu, R. Liang, L. Guo, L. Liu, L. Xiao, S. Shen, J. Xu, and J. Wang, “Improved interface properties of GaN metal-oxide-semiconductor device with non-polar plane and AlN passivation layer”, *Appl. Phys. Lett.* **109**, 232101 (2016).
- [16] Y. Jia, K. Zeng, and U. Singisetti, “Interface characterization of atomic layer deposited high-k on non-polar GaN”, *J. Appl. Phys.* **112**, 154104 (2017).
- [17] Y. Ando, K. Nagamatsu, M. Deki, N. Taoka, A. Tanaka, S. Nitta, Y. Honda, T. Nakamura, and H. Amano, “Low interface state densities at Al<sub>2</sub>O<sub>3</sub>/GaN interfaces formed on vicinal polar and non-polar surfaces”, *Appl. Phys. Lett.* **117**, 102102 (2020).
- [18] Hirai, Z. Jia, M. C. Schmidt, R. M. Farrell, S. P. DenBaars, S. Nakamura, J. S. Speck, and K. Fujito, “Formation and reduction of pyramidal hillocks on m-plane {1-100} GaN”, *Appl. Phys. Lett.* **91**, 191906 (2007).
- [19] Tanaka, Y. Ando, K. Nagamatsu, M. Deki, H. Cheong, B. Ousmane, M. Kushimoto, S. Nitta, Y. Honda, and H. Amano, “m-plane GaN Schottky barrier diodes fabricated with MOVPE layer on several off-angle m-plane GaN substrates”, *Phys. Status Solidi A* **215**, 1700645 (2018).

- [20] P. Jonnard, C. Bonnelle, G. Blaise, G. Rémond, and C. Roques-Carmes, “F<sup>+</sup> and F<sup>-</sup> centers in a-Al<sub>2</sub>O<sub>3</sub> by electron-induced x-ray emission spectroscopy and cathodoluminescence”, *J. Appl. Phys.* **88**, 6413 (2000).
- [21] M. Choi, J. L. Lyons, A. Janotti, and C. G. Van de Walle, “Impact of native defects in high-k dielectric oxides on GaN/oxide metal–oxide–semiconductor devices”, *Phys. Status Solidi B* **250**, 787 (2013).
- [22] M. Himmerlich, A. Eisenhardt, S. Shokhovets, S. Krischok, J. Räthel, E. Speiser, M. D. Neumann, A. Navarro-Quezada, and N. Esser, “Confirmation of intrinsic electron gap states at nonpolar GaN(1-100) surfaces combining photoelectron and surface optical spectroscopy”, *Appl. Phys. Lett.* **104**, 171602 (2014).
- [23] L. Lymperakis, P. H. Weidlich, H. Eisele, M. Schnedler, J. -P. Nys, B. Grandier, D. Stiévenard, R. E. Dunin-Borkowski, J. Neugebauer, and Ph. Ebert, “Hidden surface states at non-polar GaN (10-10) facets: Intrinsic pinning of nanowires”, *Appl. Phys. Lett.* **103**, 152101 (2013).
- [24] H. Yamada, H. Chonan, T. Takahashi, and M. Shimizu, “Electrical properties of Ni/n-GaN Schottky diodes on freestanding m-plane GaN substrates”, *Appl. Phys. Express* **10**, 041001 (2017).
- [25] J. Suda, K. Yamaji, Y. Hayashi, T. Kimoto, K. Shimoyama, H. Namita, and S. Nagao, “Nearly ideal current-voltage characteristics of Schottky barrier diodes formed on hydride-vapor-phase-epitaxy-grown GaN free-standing substrates”, *Appl. Phys. Express* **3**, 101003 (2010).
- [26] J. Osvald, J. Kuzmik, G. Konstantinidis, P. Lobotka, and A. Georgakilas, “Temperature dependence of GaN Schottky diodes I-V characteristics”, *Microelectron. Eng.* **81**, p181-187 (2005).
- [27] R. Smith, R. M. Feenstra, D. W. Greve, M.-S. Shin, M. Skowronski, J. Neugebauer, and J. E. Northrup, “Determination of wurtzite GaN lattice polarity based on surface reconstruction”, *Appl. Phys. Lett.* **72**, 2114 (1998).
- [28] T. K. Zywietz, J. Neugebauer, and M. Scheffler, “The adsorption of oxygen at GaN surfaces”, *Appl. Phys. Lett.* **74**, 1695 (1999).
- [29] H. Yamada, H. Chonan, T. Takahashi, and M. Shimizu, “Impact of substrate off-angle on the m-plane GaN Schottky diodes” *Jpn. J. Appl. Phys.* **57**, 04FG01 (2018).

- [30] S. Gaan, R. M. Feenstra, Ph. Ebert, R.E. Dunin-Borkowski, J. Walker, and E. Towe, “Structure and electronic spectroscopy of steps on GaAs(110) surfaces” *Surf. Sci.* **606**, 28-33 (2008).
- [31] M. Miczek, C. Mizue, T. Hashizume, and B. Adamowicz, “Effects of interface states and temperature on the C-V behavior of metal/insulator/AlGaIn/GaN heterostructure capacitors”, *J. Appl. Phys.* **103**, 104510 (2008).
- [32] M. Born, “On the quantum theory of pyroelectricity”, *Rev. Mod. Phys.* **17**, p245-251 (1945).
- [33] S. Jachalke, P. Hofmann, G. Leibiger, F. S. Hable, E. Mehner, T. Leisegang, D. C. Meyer, and T. Mikolajick, “The pyroelectric coefficient of free standing GaN grown by HVPE”, *Appl. Phys. Lett.* **109**, 142906 (2016).
- [34] W. S. Yan, R. Zhang, Z. L. Xie, X. Q. Xiu, Y. D. Zheng, Z. G. Liu, S. Xu, and Z. H. He, “The contributions of the acoustic modes and optical modes to the primary pyroelectric coefficient of GaN”, *Appl. Phys. Lett.* **94**, 242111 (2009).
- [35] J. Liu, M. V. Fernandez-Serra, and P. B. Allen, “First-principles study of pyroelectricity in GaN and ZnO”, *Phys. Rev. B* **93**, 081205(R) (2016).
- [36] J. Kotani, T. Hashizume, and H. Hasegawa, “Analysis and control of excess leakage currents in nitride-based Schottky diodes based on thin surface barrier model”, *J. Vac. Sci. Technol. B* **22**, p2179-2189 (2004).

## 第 6 章

# SiC および GaN 基板上に作製した Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT の評価

### 6.1. はじめに

GaN ベースの金属—絶縁膜(酸化膜)—半導体 高電子移動度トランジスタ (MIS or MOS HEMT) の性能向上のため、さまざまな絶縁膜が用いられてきたが、未解決の問題が残されている[1]。最も深刻な問題は、図 6-1(a)に模式的に示すしきい値電圧( $V_{th}$ )の不安定性である。MOS HEMT において、さまざまなバイアス条件で  $V_{th}$  シフトが報告されている[2-7]。Lu ら[2]と Johnson ら[5]は MIS HEMT へ高い順ゲートバイアスを印加することで順バイアス方向へのおおきな  $V_{th}$  シフトを報告している。 $V_{th}$  シフトの原因として 2 つのメカニズムが考えられる。大きな正バイアスをゲートに印加したとき、Fowler-Nordheim トンネル機構がゲートリーク電流の増大を引き起こす可能性がある。この場合、絶縁膜中のトラップ準位に電子が捕獲され負電荷として振舞うため、

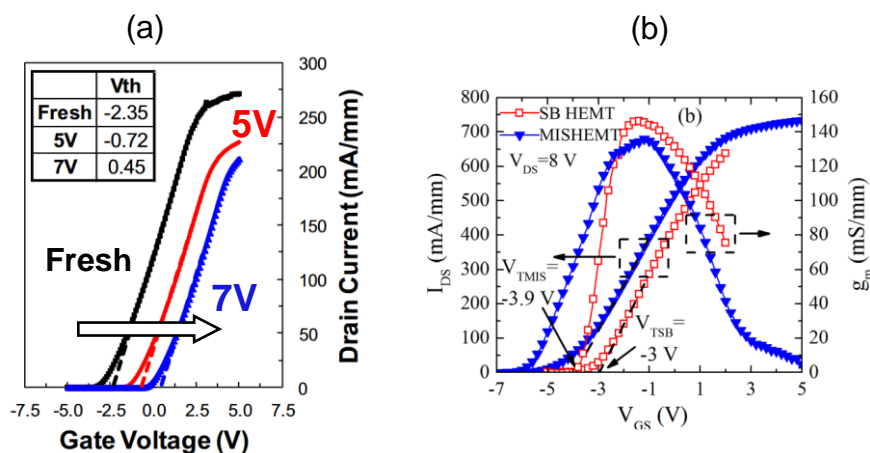


図 6-1 MOS HEMT の(a) しきい値電圧の不安定性[5]と (b) 急激なドレイン電流の飽和[9]

正バイアス方向への  $V_{th}$  シフトにつながる。また、高い正のゲート電圧は絶縁膜-半導体界面の電子準位への電子の捕獲につながり、特にアクセプタ型準位は電子を捕獲すると負電荷を生じる。これらの準位に捕獲された電子は長い放出時定数を持つため、深い界面準位に捕獲された電子は深い逆バイアスを印加しても容易に放出されない [1, 8]。そのため、界面準位の存在も、**図 6-1(a)**に示すように  $I_D$ - $V_G$  特性の正バイアス方向への  $V_{th}$  シフトを引き起こす。

もう一つの問題点は、GaN MIS HEMT の電流線形性の劣化である。MIS HEMT の利点として絶縁ゲート構造と高い物性値に起因した広いダイナミックレンジが挙げられるが、**図 6-1(b)**に示すように順バイアスで電流が急に飽和する問題が報告されている [9, 10]。絶縁膜-半導体界面の高密度な電子準位がゲート電界を遮蔽し、バリア層の表面ポテンシャル制御を阻害しているためと考えられる。それにより 2DEG 密度の増大が阻害され、順ゲートバイアスにおいて顕著な電流飽和を示す。このような電流線形性の劣化は電力増幅器における利得の低下や出力信号の劣化の原因となる。

また、GaN 自立基板が手に入りやすくなった背景を受け、GaN 自立基板上への横型 HEMT の成長・トランジスタ特性評価の報告が近年増えている [11, 12]。GaN バルク結晶成長技術の高度化とともに、Schottky-gate 構造での HEMT では GaN 基板を用いることの優位性が示されつつあるが、MIS 構造においてはその優位性は未だ明確には示されていない。そこで、本章では、SiC 基板および GaN 基板上に作製した AlGaIn/GaN MOS HEMT に対して PMA 処理を適用し、それぞれ電気的特性を評価した。

## 6.2. デバイス構造と作製プロセス

本章で用いた  $Al_2O_3$ /AlGaIn/GaN MOS HEMT の断面模式図を**図 6-2**に示す。SiC および GaN 基板上に有機金属気相成長 (MOCVD) 法で成長した AlGaIn/GaN ヘテロ構造を用いた。転位密度は SiC 基板テンプレートで  $10^{10} \text{ cm}^{-2}$  以下、GaN 基板テンプレートで  $3 \times 10^6 \text{ cm}^{-2}$  以下である。また、どちらのテンプレートも GaN 層および AlGaIn バリア層に意図的なドーピングは行っていない。AlGaIn バリア層の Al 組成比はそれぞれ 24%と 20%で、ホール効果測定から 2DEG 密度とキャリア移動度は SiC 基板テンプレートで  $7.9 \times 10^{12} \text{ cm}^{-2}$ と  $1740 \text{ cm}^2/\text{Vs}$ 、GaN 基板テンプレートで  $6.5 \times 10^{12} \text{ cm}^{-2}$

<sup>2</sup> と 1750 cm<sup>2</sup>/Vs と求められた。各基板上の AlGaN 表面における原子間力顕微鏡 (AFM) 像を図 6-3 に示す。表面の RMS 荒さは SiC 基板で 1.1 nm、GaN 基板で 0.25 nm が得られた。特に、GaN 基板上に成長した HEMT 構造で同様の低 RMS 荒さが報告されている[12, 13]。

ソースおよびドレイン電極として Ti/Al/Ti/Au (=20/50/20/50 nm)を AlGaN 上に蒸着し、N<sub>2</sub> 雰囲気中で 830°C、1 分間のオーミックアニールを行った。オーミックアニールによる AlGaN 表面の損傷を防ぐため、表面保護膜として厚さ 20 nm の SiN 薄膜を堆積した[14]。オーミック電極形成後に希フッ酸溶液で SiN 薄膜を除去したのち、原子層堆積 (ALD) 法を用いて 30nm の Al<sub>2</sub>O<sub>3</sub> 薄膜をゲート絶縁膜として堆積した。ALD システムには SUGA-SAL1500 を用い、堆積温度 300°C で原料の水とトリメチルアルミニウム (TMA) をチャンバ内に交互に導入し、各原料の導入時間を 15 ms、導入後のパー

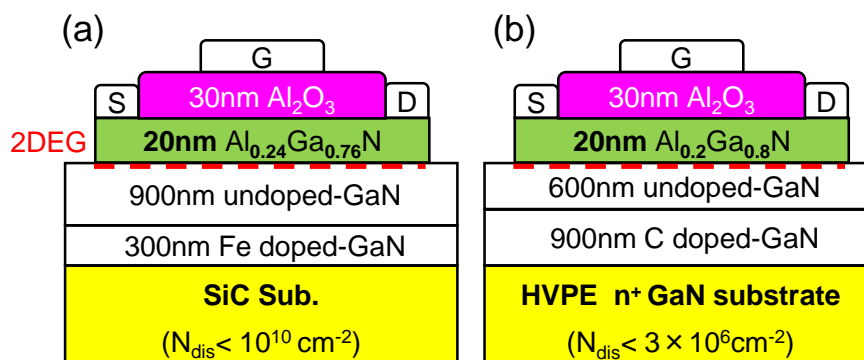


図 6-2 (a) SiC 基板および(b) GaN 基板上に作製した Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN MOS HEMT の断面模式図

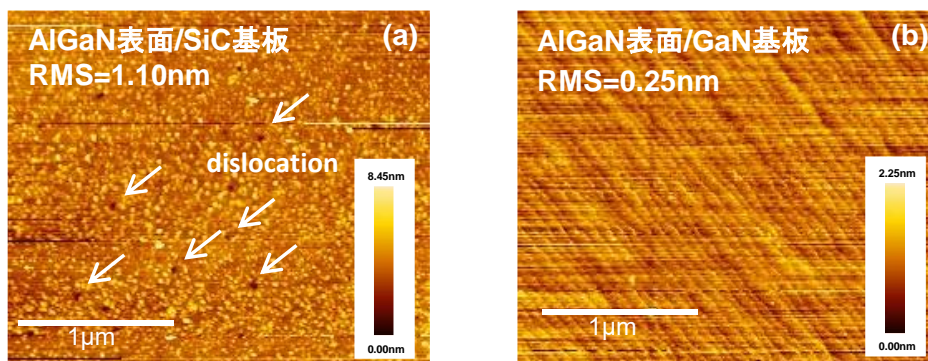


図 6-3 (a) SiC および(b) GaN 基板上の AlGaN/GaN ヘテロ構造表面の原子間力顕微鏡像

ジ時間を 10 s に設定した。最後に、Ni/Au(=20/50 nm)スタック構造を蒸着した後リフトオフし、ゲート電極を形成した。ゲート長、ゲート幅およびゲートドレイン間距離はそれぞれ 10 $\mu\text{m}$ , 100 $\mu\text{m}$ , 10 $\mu\text{m}$  である。

### 6.3. SiC 基板上 AlGaIn/GaN HEMT の電気的特性

#### 6.3.1. DC 特性

まず、SiC 基板上に作製した AlGaIn/GaN MOS HEMT の  $I_D$ - $V_D$  特性を図 6-4 に示す。(a)は PMA を行っていない Reference 試料、(b)は PMA 処理後の試料の  $I_D$ - $V_D$  特性である。Reference 試料では比較的良好にゲート制御が行われているものの、順バイアス領域ではゲート電圧の変化に対してドレイン電流がほとんど変化しておらず、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面における高密度な電子捕獲準位の影響でゲート電圧掃引による AlGaIn 表面ポテンシャルの変調が大きく阻害されていることが考えられる。一方で、PMA 処理後の試料では逆バイアス領域でのゲート制御性を損なわずに順バイアス領域でも良好なゲート制御が可能となっており、 $V_G = 10\text{V}$  以上においてもドレイン電流値の増加が確認された。

次に、AlGaIn/GaN MOS HEMT の伝達特性を図 6-5 に示す。(a)は線形プロット、(b)は片対数プロットを示している。PMA 処理前後においてしきい値電圧が異なる

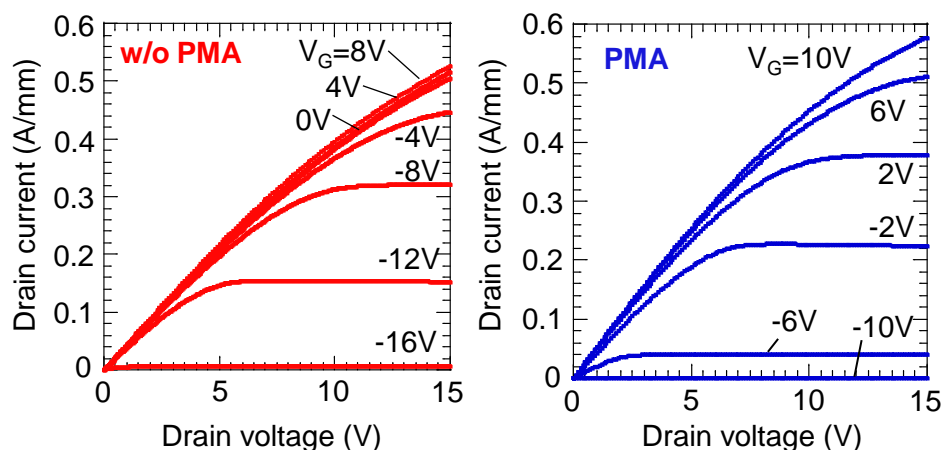


図 6-4 SiC 基板上 AlGaIn/GaN MOS HEMT の  
(a) PMA 前および(b) PMA 後の  $I_D$ - $V_D$  特性

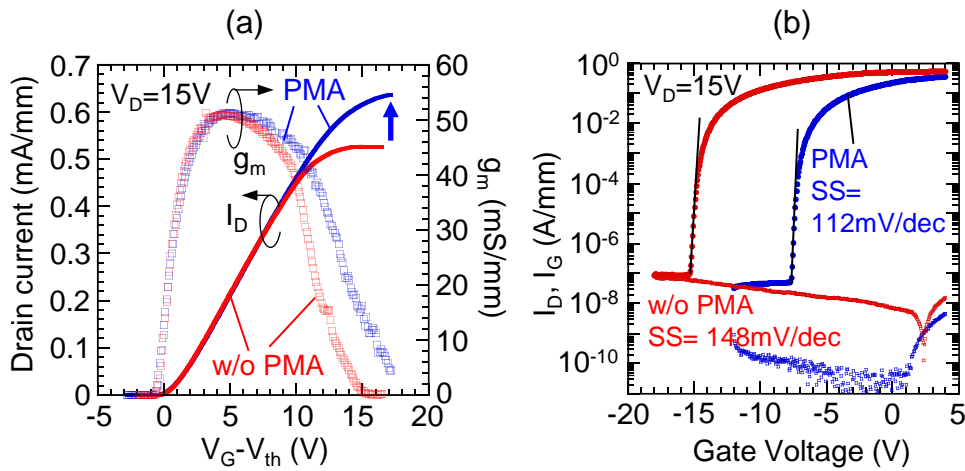


図 6-5 SiC 基板上 AlGa<sub>N</sub>/Ga<sub>N</sub> MOS HEMT の伝達特性の  
(a) 線形プロットと(b) 片対数プロット

るため、線形プロットではしきい値電圧を基準としてゲート電圧をリプロットしている。線形プロットに着目すると、PMA 処理によって相互コンダクタンス  $g_m$  の半値幅が増加しており、電流が線形的に増加する領域が増加している。また、それにとまない飽和ドレイン電流値が増加している。ドレイン電流の飽和には 2 つの要因が考えられ、1 つは Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面に電子が励起され、2DEG との平行伝導となることが考えられる。2DEG と比較すると Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面は移動度が著しく低いと想定されるため、ドレイン電流が飽和する。もう 1 つの要因として、高密度な界面準位によって順バイアス領域でのポテンシャル変調が阻害され、電流が良好に制御されていない可能性が挙げられる。2DEG と Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面の励起電子の 2 つの経路による平行伝導を考慮すると、通常界面準位との大きな相関は無いと思われる。そのため、図 6-5 に示した  $g_m$  半値幅の増加および電流線形性の向上は、PMA 処理による界面準位密度の低減と、それに伴うポテンシャル変調効率の向上が主な要因と考えられる。

また、PMA 前後の AlGa<sub>N</sub>/Ga<sub>N</sub> MOS HEMT における室温および 100°C の伝達特性を図 6-6 に示す。どちらの試料も室温の測定結果と比較して 100°C で  $g_m$  と最大ドレイン電流が 30% 減少した。Husna ら[15]や Suria ら[16]も同様の結果を報告しており、高温において光学フォノン散乱の影響を受けて電子移動度が減少したことが主な原因と思われる[17, 18]。図 6-6(a)に示すように、Reference 試料では 100°C で  $V_{th}$  の負方向シフトを観測した。Husna ら[15]や Yang ら[19]も高温で  $V_{th}$  の負方向シフトを報

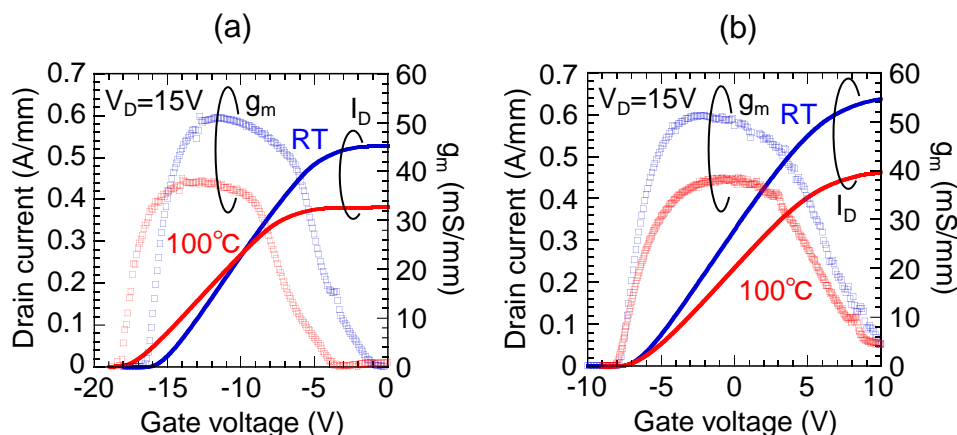


図 6-6 SiC 基板上 AlGaIn/GaN MOS HEMT の  
(a) PMA 前および(b) PMA 後の高温における伝達特性

告しており、 $\text{Al}_2\text{O}_3$  膜中の酸素空孔といったドナー型欠陥準位が温度上昇に伴い電子を放出し、その結果生じた過剰な正電荷が  $V_{th}$  を負バイアス方向へシフトさせている可能性を指摘している。また、SRH 統計によると、高温下ではより深い界面準位に捕獲された電子が伝導帯へ放出されるので、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面の正電荷が相対的に増加する。Reference 試料では  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面に高密度な電子捕獲準位が分布していることが想定されるために、大きな  $V_{th}$  シフトが生じたものと思われる。一方で、PMA 試料では図 6-6(b) に示すように 100°C でも  $V_{th}$  の変化が見られず、 $\text{Al}_2\text{O}_3$  膜中や  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面の準位密度が PMA 処理によって低下したことが示唆される。

### 6.3.2. C-V 特性

$\text{Al}_2\text{O}_3/\text{AlGaIn}$  構造の界面特性を評価するため、AlGaIn/GaN ヘテロ接合 MOS ダイオードの C-V 特性の評価を行った。MOS ダイオードには直径 100  $\mu\text{m}$  の円形ゲート電極を別途作成し、C-V 測定を行った。測定周波数 1 MHz における室温の C-V 測定の結果を図 6-7(a) に示す。どちらの試料も HEMT MOS 構造で典型的に見られる 2 ステップの振る舞いを示した[8, 20]。逆バイアス領域の 1 ステップ目は AlGaIn/GaN 界面の 2DEG の空乏を示しており、プラトー領域は  $\text{Al}_2\text{O}_3$  と AlGaIn の並列合成容量に対応している。順バイアスでは、AlGaIn 層がフラットバンド状態に近いため

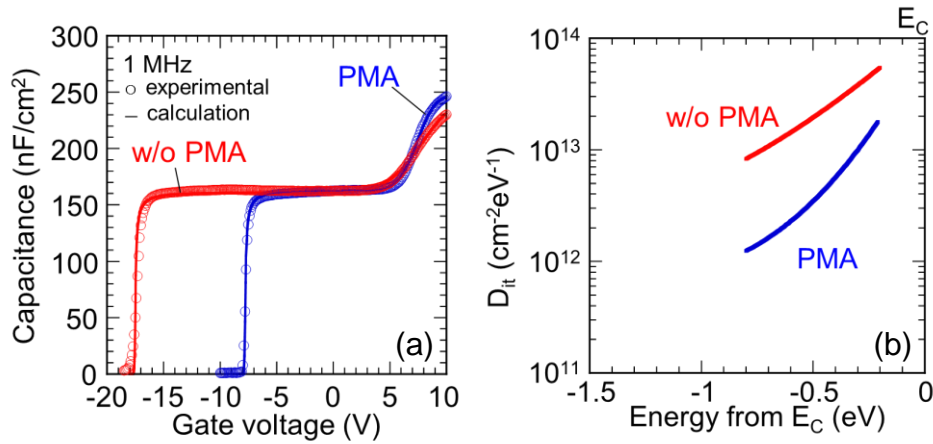


図 6-7 SiC 基板上 AlGaN/GaN ヘテロ接合 MOS ダイオードの  
(a) C-V 特性と(b)界面準位密度分布

AlGaN/GaN から Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面への電子の流入を引き起こす可能性があるため 20)、測定容量が絶縁膜容量に近づく。

界面準位が C-V 特性へ及ぼす影響を評価するため、Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN 構造について、電荷中性点 E<sub>CNL</sub> で分けられたアクセプタ型およびドナー型準位からなる状態密度分布を考慮して、一次元シミュレーションを実施した[21-23]。絶縁体/半導体界面では、半導体における結晶の周期性が途切れ、半導体表面における原子の結合状態の乱れが生じることがある。この場合、伝導帯と価電子帯の分離が不十分となり、禁制帯中に伝導帯由来の結合状態と価電子帯由来の非結合状態が侵入してしまう[24, 25]。そのため、界面準位の性質は伝導帯や価電子帯の特性を反映し、伝導帯由来の準位が電子に占有されたとき負電荷として振る舞う(アクセプタ型準位)一方で、価電子帯由来の準位は電子が占有されていないときに正の電荷を帯びる(ドナー型準位)。このように、連続的な界面準位はアクセプタ型とドナー型準位が混在しており、それぞれの特性が釣り合う点が電荷中性点(E<sub>CNL</sub>)と呼ばれる。このようなモデルは界面準位の密度分布でよく用いられている[26-28]。

GaN や AlGaN は広いバンドギャップを有するため、深い電子準位からの電子放出時定数が非常に長くなる。Shockley-Read-Hall (SRH)統計を用いると、エネルギー  $E$  における捕獲準位から伝導帯への電子の放出時定数を見積もることが出来る。

$$\tau(E) = \frac{1}{v_{TH}\sigma_e N_C} \exp\left(\frac{E_C - E}{kT}\right) \quad (5.1)$$

ここで、 $N_c$ ,  $v$ ,  $\sigma_e$ ,  $E_c$ ,  $k$  および  $T$  はそれぞれ有効状態密度、電子熱速度、準位の捕獲断面積、伝導帯下端、ボルツマン定数、温度である。

全ての界面準位が半導体との熱平衡状態にあると仮定すると、界面準位の電荷量は Fermi-Dirac 分布関数  $f(E)$  から以下のように求められる。

$$Q_{it} = q \int_{E_V}^{E_C} D_{it}^D(E)[1 - f(E)]dE - \int_{E_V}^{E_C} D_{it}^A(E)f(E)dE \quad (5.2)$$

ここで、 $E_V$  は価電子帯上端、 $D_{it}^D(E)$  および  $D_{it}^A(E)$  はドナー型、アクセプタ型準位のエネルギー分布である。仮に、時定数  $\tau$  よりも十分に短い時間  $t$  で、界面のフェルミ準位 ( $E_F$ ) が  $E_C$  よりも低くなるようにゲート電圧を掃引したとき、放出効率で決まる一部の電子のみが界面準位から放出される。この放出効率は以下の式で与えられる。

$$\eta_e = 1 - \exp\left(-\frac{t}{\tau(E)}\right) \quad (5.3)$$

測定時間と界面準位の捕獲断面積を  $t = 100$  s,  $\sigma_e = 1 \times 10^{16}$  cm<sup>2</sup>[21]としたときの、室温における放出時定数および放出効率の計算結果を図 6-8 に示す。midgap 近傍よりも深いエネルギーでは  $\tau(E)$  が非常に大きいため、放出効率は 0 となる。すなわち、このような深い界面準位に捕獲された電子は、たとえ大きな逆バイアスを印加しても捕獲されたままとなる。図 6-8 に示すように、 $E_C - 0.8$  eV 以下の界面準位は放出効率が 0 となるため、“凍結準位”のように振る舞うことが推定される。

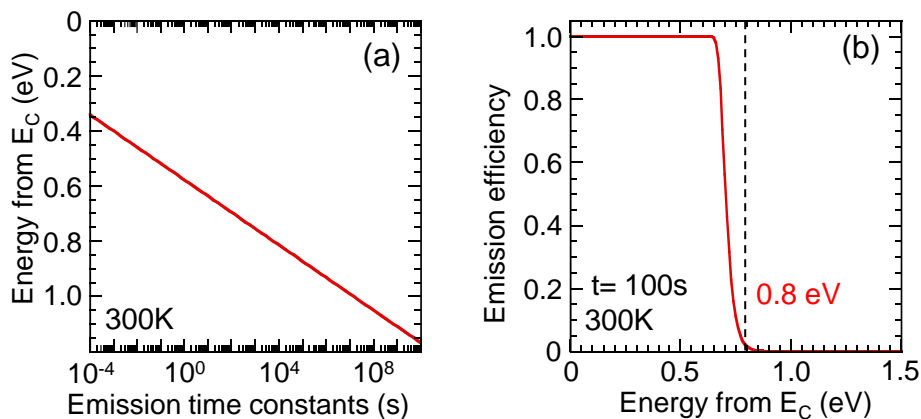


図 6-8  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面の電子準位におけるエネルギー深さに対する(a) 放出時定数および(b) 放出効率の関係

(5.2)式および(5.3)式から、任意のゲート電圧  $V_G$  における界面準位電荷(イオン化準位密度)を求めることが出来る。ドナー型およびアクセプタ型界面準位は以下の式を用いて、**図 6-7(b)**に示すような分布を仮定した。

$$D_{it}^{A,D}(E) = D_{it0} \exp \left[ \left( \frac{|E - E_{CNL}|}{E_{0A,0D}} \right)^{n_{A,D}} \right] \quad (5.4)$$

$D_{it0}$  を準位密度の最小値とし、 $E_0$  と  $n$  で  $D_{it}$  分布の曲率を定義している。Poisson 方程式を数値解析的に解くことで、ポテンシャル分布と電子密度分布から C-V 曲線を計算し、実験値とのフィッティングを行った。一次元シミュレータは Nishiguchi らによって報告されたものを用いており、計算で使用した物理パラメータを**表 6-1**にまとめた。また、 $D_{it}$  分布および Al<sub>2</sub>O<sub>3</sub> 膜中の固定電荷のみをフィッティングパラメータとした。

**図 6-7(b)**に示した  $D_{it}$  分布を用いると**図 6-7(a)**に実線で示すように、計算結果が実験で得られた C-V 曲線をよく再現する。上述のように、**図 6-7(b)**中の実線で示されるエネルギー範囲のアクセプタ型準位のみが、室温におけるゲート電圧掃引に応じて荷電状態を変化させることが出来る。また、 $E_C - 0.2$  eV よりも浅い界面準位は測定交流信号に 응답してしまい、容量の測定が不正確となるため、1 MHz の C-V 特性から界面準位密度分布を評価することは困難である。そのため、 $E_C - 0.2$  eV よりも浅いエネル

表 6-1 シミュレーションに用いた物理パラメータ

Parameter name	Symbol (unit)	Numerical value (material or interface)
Bandgap at RT	$E_G$ (eV)	3.4 (GaN) [29]
		3.99 (AlGa <sub>n</sub> ) [29, 30]
		7.0 (Al <sub>2</sub> O <sub>3</sub> ) [31]
Effective mass of electron	$m_e/m_0$	0.20 (GaN)
		0.23 (AlGa <sub>n</sub> )
Permittivity	$\epsilon$	9.5 (GaN)
		9.2 (Al <sub>0.24</sub> Ga <sub>0.76</sub> N)
		9.0 (Al <sub>2</sub> O <sub>3</sub> )
Band offset	$\Delta E_C$ (eV)	0.34 (AlGa <sub>n</sub> /GaN) [29]
		2.1 (Al <sub>2</sub> O <sub>3</sub> /AlGa <sub>n</sub> ) [31]
Surface barrier height	$\Phi_s$ (eV)	3.4 (Ni/Al <sub>2</sub> O <sub>3</sub> ) [32]
Polarization induced sheet charge	$n_s$ (q/cm <sup>2</sup> )	$8 \times 10^{12}$ (AlGa <sub>n</sub> /GaN)
Charge neutrality level	$E_{CNL}$	$E_C - 1.3$ eV (Al <sub>2</sub> O <sub>3</sub> /AlGa <sub>n</sub> ) [23]
Capture cross section of interface states	$\sigma$ (cm <sup>2</sup> )	$1 \times 10^{16}$ [21]
C-V measurement duration	$t$ (s)	100

ギーにおける準位密度は今回の C-V 特性の計算では考慮しなかった。

図 6-7(b)に示すように、未処理試料の  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面において  $1 \times 10^{13} \text{ cm}^{-2} \text{ eV}^{-1}$  以上の高界面準位密度を観測した。PMA 処理は準位密度の減少に効果的であり、図 6-7(a)に示すように順バイアス領域における C-V 曲線の傾きがより急峻になった。4 章でも示したように、 $\text{Al}_2\text{O}_3/\text{n-GaN}$  構造において PMA 処理が  $\text{Al}_2\text{O}_3/\text{GaN}$  界面のボンド乱れの改善に効果的で、界面準位密度の大幅な低減と密接な関わりがあることが明らかになっており、同様のボンド乱れの回復が  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面で生じている可能性がある。計算から得られた C-V 曲線の 1 ステップ目に対応する立ち上がり電圧は  $-7.5 \text{ V}$  であり、図 6-5(b)に示すように PMA 後の MOS HEMT の  $V_{\text{th}}$  と非常に近い値を示した。一方で、Reference 試料では負バイアス方向への電圧シフトを観測し、ドナー型の界面準位もしくは  $\text{Al}_2\text{O}_3$  中の欠陥準位に起因した正電荷が存在しているものと思われる。 $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面もしくは  $\text{Al}_2\text{O}_3$  膜中に  $1.2 \times 10^{13} \text{ cm}^{-2}$  の正電荷を仮定すると、図 6-7(a)に示すように計算結果が未処理試料における C-V 曲線の実験値をよく再現する。 $\text{Al}_2\text{O}_3$  膜中の欠陥準位の可能性としては、酸素欠損に関連した欠陥が考えられる[33, 34]。PMA 処理はそのような準位の減少にも効果的で、結果として立ち上がり電圧が予想値へと回復したものと思われる。Zhou ら[35]も  $\text{Al}_2\text{O}_3/\text{AlGaN}/\text{GaN}$  MOS HEMT に対して post-deposition annealing を施すことで同様の  $V_{\text{th}}$  の回復を報告している。さらに、図 6-5(b)に示すように PMA 処理によって MOS HEMT のゲートリーク電流の低減を観測した。 $\text{Al}_2\text{O}_3$  や  $\text{SiN}_x$ ,  $\text{AlTiO}$  を用いた GaN ベース MIS HEMT では、Poole-Frenkel (PF)伝導によるゲートリーク電流が支配的であると報告されている[36-39]。 $V_{\text{th}}$  回復の振る舞いと同様に、 $\text{Al}_2\text{O}_3$  膜中の欠陥準位が減少したことが PF 伝導の抑制に伴うリーク電流の低減に繋がっている可能性がある。

C-V 特性の解析から PMA 処理が  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面の電子捕獲準位の低減に効果的で、電流線形性の向上に繋がることを図 6-5(a)で明らかにした。界面準位と MOS HEMT のゲート制御性との関係をより詳しく理解するため、図 6-9(a)に示す AlGaN の表面ポテンシャル  $V_s$  のゲート電圧に対する変化をシミュレーションから求めた。図 6-9(b)に各試料における MOS HEMT のゲート電圧に対する  $V_s$  の計算結果を示す。10 V 以下のゲート電圧範囲では、どちらの試料も  $V_s$  の変化に違いは見られなかった。このとき対応する  $V_s$  は 0.8 eV である。上述の通り、 $E_c - 0.8 \text{ eV}$  よりも深い界面準位は“凍結準位”とみなすため、 $V_s$  への影響は無視することが出来る。10 V 以上のゲート電圧範囲では、図 6-7(b)で示したアクセプタ型準位が電圧掃引に応答するため、

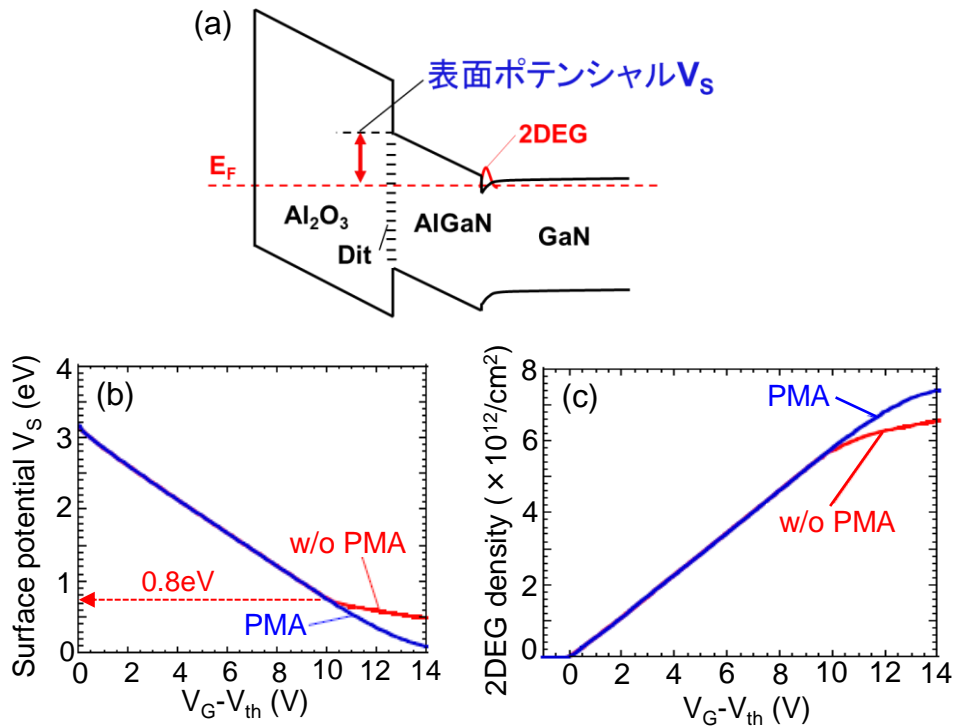


図 6-9 (a) Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN 構造のバンド模式図とゲート電圧掃引に対する (b) 表面ポテンシャルおよび (c) 2DEG 密度の変化

イオン化アクセプタによってゲート電界が遮蔽される。そのため、未処理試料では高密度な界面準位による  $V_s$  変調の阻害が見られた。このような  $V_s$  の振る舞いは、図 6-9(c) に示すように 2DEG 密度の制御にも密接にかかわっている。Reference 試料において  $V_G$  掃引に対する 2DEG 密度の上昇が明らかに制限されていることが分かる。一方で、PMA 後の MOS HEMT では比較的良好に 2DEG 密度が  $V_G$  で制御できていることが分かる。図 6-9(c) の計算結果が図 6-5(a) に示した  $I_D$ - $V_G$  特性の測定結果と非常に良い相関を示し、界面準位の低減が MOS HEMT の電流線形性の改善と深く関わっていることが分かった。

## 6.4. GaN 基板上 AlGaN/GaN HEMT の電気的特性

### 6.4.1. DC 特性

次に、GaN 基板上に作製した AlGaN/GaN MOS-HEMT の電気的特性の評価を行った。まず、(a)PMA を行っていない Reference 試料および (b)PMA 処理後の試

料の代表的な  $I_D$ - $V_D$  特性を図 6-10 に示す。Reference 試料では比較的良好にゲート制御が行われているものの、SiC 基板上 MOS HEMT と同様に順バイアス領域ではゲート電圧の変化に対してドレイン電流がほとんど変化しておらず、 $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面における高密度な電子捕獲準位を示唆する結果となった。一方で、PMA 処理後の試料では SiC 基板試料と同様に逆バイアス領域でのゲート制御性を損なわずに順バイアス領域でも良好なゲート制御が可能となっており、加えてわずかにオン抵抗が低減した。オン抵抗の低減の可能性として、ゲートソースおよびゲートドレイン間のアクセス領域における  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面準位が PMA によって減少し、AlGaN 表面ポテンシャルの変化に繋がったと思われる。その結果、アクセス領域における 2DEG 密度がわずかに増加して MOS HEMT のアクセス抵抗の低減の原因となったと考えられる。

図 6-11(a) に GaN 基板上 AlGaN/GaN MOS HEMT の伝達特性を線形プロットで示す。SiC 基板上 MOS HEMT と同様に横軸は  $V_G - V_{th}$  とした。300°C PMA 処理によって順バイアス領域における電流線形性が向上し、 $g_m$  半値幅と最大ドレイン電流が増加した。SiC 基板試料と同様に、Reference 試料では  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面の  $E_C$  近傍に存在する高密度な界面準位がゲート電界を遮蔽し、AlGaN 表面ポテンシャルの制御に影響を与えていると思われる。しかし、SiC 基板試料と比較すると、PMA 前後での DC 特性の差は小さく、低転移密度である GaN 基板の利点が Reference 試料の比較的良好な  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面特性に繋がっている可能性がある。さらに、PMA 前後の MOS HEMT における伝達特性の片対数プロットを図 6-11(b) に示す。Reference 試料

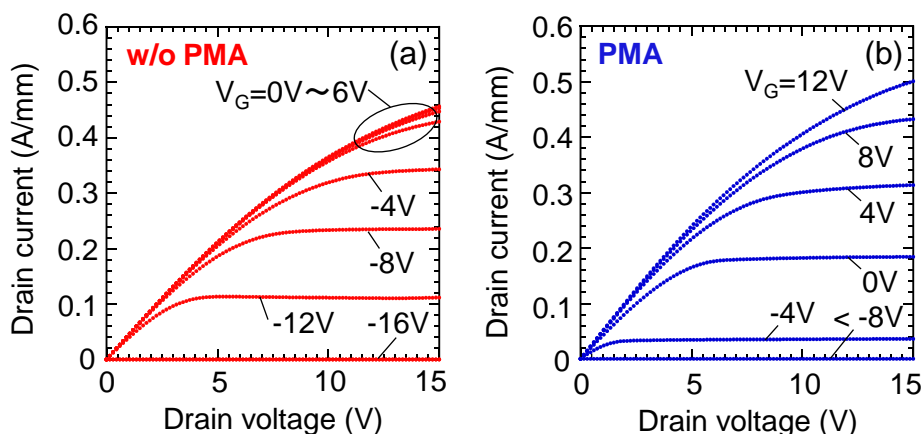


図 6-10 GaN 基板上 AlGaN/GaN MOS HEMT の  
(a) PMA 前および(b) PMA 後の  $I_D$ - $V_D$  特性

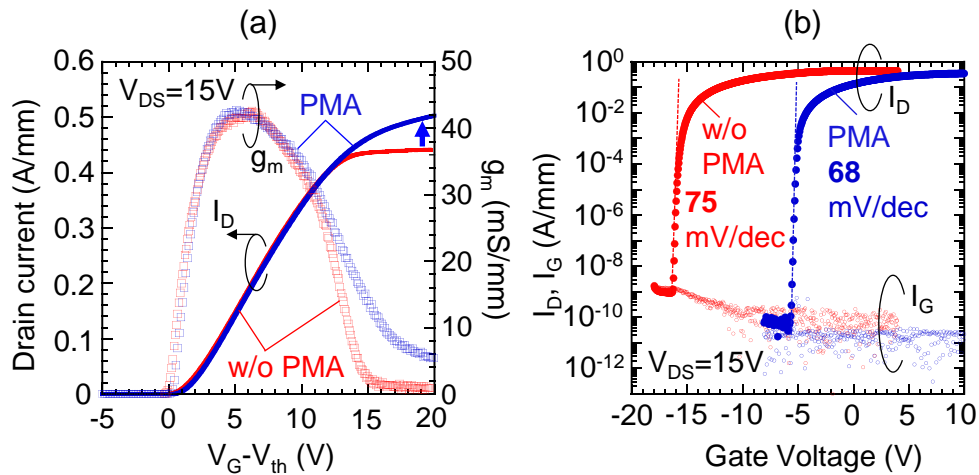


図 6-11 GaN 基板上 AlGa<sub>N</sub>/Ga<sub>N</sub> MOS HEMT の伝達特性の  
(a) 線形プロットと(b) 片対数プロット

でも 75 mV/dec と SiC 基板試料よりも優れた SS 特性を観測した。PMA 処理によって SS 値は 68 mV/dec を示し、比較的厚いゲート絶縁膜 (Al<sub>2</sub>O<sub>3</sub>: 30 nm) であるにも関わらずレコード値とほぼ等しい結果となった[40, 41]。上述のように、Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面の界面準位密度が低減したことが主な要因である。さらに、SiC 基板試料と同様に PMA 処理によって正常な V<sub>th</sub>、低リーク電流を示した。一方で、SiC 基板試料と大きく異なる点として 10<sup>10</sup> の高い ON/OFF 比が挙げられる。両試料とも PMA 処理によってゲートリーク電流は 1×10<sup>-10</sup> A/mm 以下に抑えられているものの、SiC 基板試料では高いドレインリーク電流が観測された。高い転位密度を有する SiC 等の異種基板では、貫通転位に起因した高密度な点欠陥がバルク結晶中に存在している可能性が考えられる。それらの点欠陥を介した Poole-Frenkel 伝導によるバルクリークがドレインリーク電流の主要因と考えられる。一方で、GaN 基板を用いることでリークパスとして働く転位欠陥の密度を低減でき、効果的にドレインリークを抑制したと考えられる。

#### 6.4.2. C-V 特性

GaN 基板試料の Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 構造の界面特性を評価するため、同じ AlGa<sub>N</sub>/Ga<sub>N</sub> ヘテロ構造上に MOS ダイオードを作製し、C-V 特性の測定を行った。図 6-12(a) に測定周波数 1MHz で測定した C-V 曲線を示す。上述した SiC 基板上 HEMT MOS 構造と同様に 2 ステップの典型的な C-V 特性を示した[8, 20]。また、PMA 処理

による立ち上がり電圧の正方向シフトが見られ、 $\text{Al}_2\text{O}_3$  膜中の酸素欠損もしくは  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面のドナー型界面準位の低減が立ち上がり電圧シフトの要因と考えられる。両者を比較すると電圧シフト量が異なっており、 $\text{Al}_2\text{O}_3$  絶縁膜はどちらの試料も同様の条件で成膜していることから PMA 処理によって  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面のドナー型準位が低減した効果が表れていることが想定される。

$\text{Al}_2\text{O}_3/\text{AlGaN}$  界面特性を定量的に評価するため、先ほどと同様に一次元シミュレーションを用いて C-V 特性のフィッティングを行った。図 6-12(b)に示した  $D_{it}$  分布を用いると図 6-12(a)に実線で示すように、計算結果が実験で得られた C-V 曲線をよく再現する。Reference 試料の  $\text{Al}_2\text{O}_3/\text{AlGaN}$  界面は  $10^{12} \text{ cm}^{-2}\text{eV}^{-1}$  台と高界面準位密度を示したが、SiC 基板試料と比較して低密度であることから転位密度の低い GaN 自立基板を用いた利点が表れた。300°Cの PMA 処理によって界面準位密度は  $10^{11} \text{ cm}^{-2}\text{eV}^{-1}$  台前半まで低減し、図 6-11(a)で示した MOS HEMT の電流線形性の向上と AlGaN 表面ポテンシャルの良好な制御に繋がったと思われる。

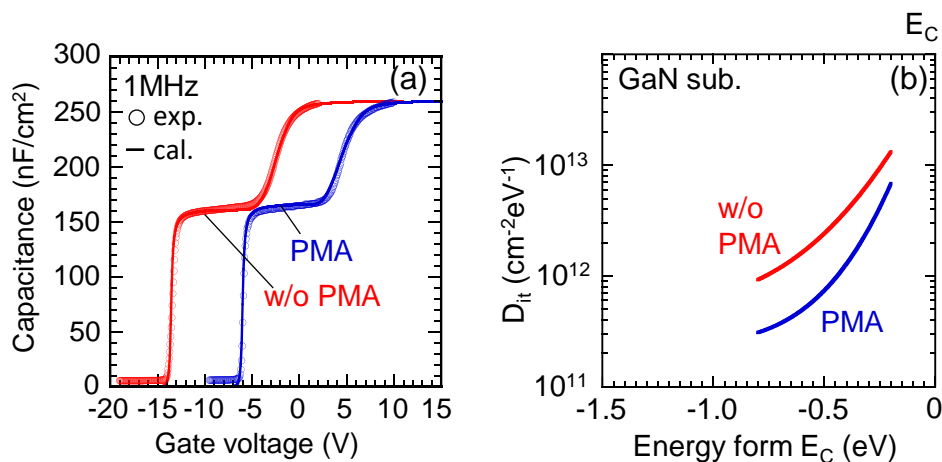


図 6-12 GaN 基板上 AlGaN/GaN ヘテロ接合 MOS ダイオードの  
(a) C-V 特性と(b)界面準位密度分布

#### 6.4.3. GaN 基板上 MOS HEMT の動作安定性

$V_{th}$  の安定性は MOS トランジスタの信頼性を担保するために非常に重要であるが、GaN MIS HEMT はゲートストレス下や高温環境下における  $V_{th}$  不安定性が大きな問題となっている。まず、GaN 基板上 MOS HEMT における正の  $V_G$  ストレスを印加した際の  $I_D$ - $V_G$  特性を片対数プロットで図 6-13 に示す。 $V_D=15 \text{ V}$  を印加した状態で 1

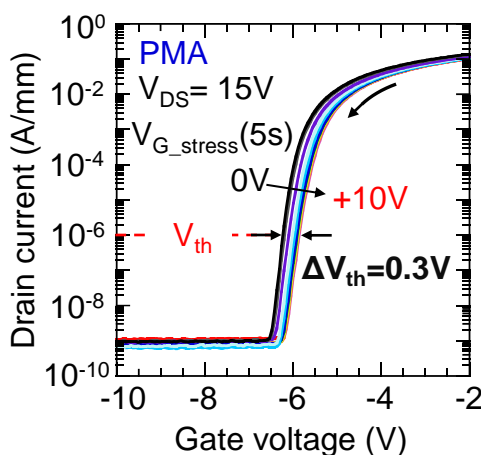


図 6-13 GaN 基板上 AlGa<sub>N</sub>/Ga<sub>N</sub> MOS HEMT の  
正ゲートストレスに対するしきい値電圧評価

V<sub>G</sub> ~ 10 V の V<sub>G</sub> ストレスを 5 秒間印加した後に、V<sub>G</sub> を 0 V から -10 V へ掃引した。しきい値電圧を I<sub>D</sub> = 1 × 10<sup>-6</sup> A/mm のときのゲート電圧と定義し、そのシフト量を評価した。PMA 試料は正のゲートストレスでわずかな V<sub>th</sub> シフトが見られたただけであった。ゲート順バイアス印加時、Fowler-Nordheim トンネル機構によって Al<sub>2</sub>O<sub>3</sub> 膜中や Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面の捕獲準位に電子が注入される可能性があり、負電荷が生じるために正方向への V<sub>th</sub> シフトが生じる。同様の特性が AlGa<sub>N</sub>/Ga<sub>N</sub> MIS HEMT の系で報告されており [12, 13]、PMA 後の GaN 基板上 MOS HEMT はゲートストレスによる V<sub>th</sub> シフトが ΔV<sub>th</sub> = 0.3 V と報告例よりも明らかに低い値となった。また、SiC 基板上 MOS HEMT と比較しても約 3 分の 1 程度の値となった。上述の 300°C PMA による捕獲準位の低減と、低転移密度である GaN 基板の利点の相乗効果によって、ゲートストレスによる V<sub>th</sub> シフトの低減に繋がったと思われる。

次に、V<sub>D</sub> = 15 V における GaN 基板上 MOS HEMT の伝達特性の温度依存性を図 6-14 に示す。ドレイン電流は温度上昇とともに減少し、光学フォノン散乱による電子移動度の減少を反映している [17, 18]。Si 基板上の Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MOS HEMT では高温で明らかな V<sub>th</sub> シフトやリーク電流の増加が報告されており [19]、Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub> 界面の捕獲準位がそのような温度に依存した V<sub>th</sub> 不安定性の要因であると述べられている。対照的に、図 6-14(a) に示すように GaN 基板上 MOS HEMT は高温においても高い動作安定性を示した。例えば、150°C においても素晴らしいサブスレショルド特性を示し、室温からの V<sub>th</sub> の変化はわずかに 0.25 V であった。図 6-14(b)

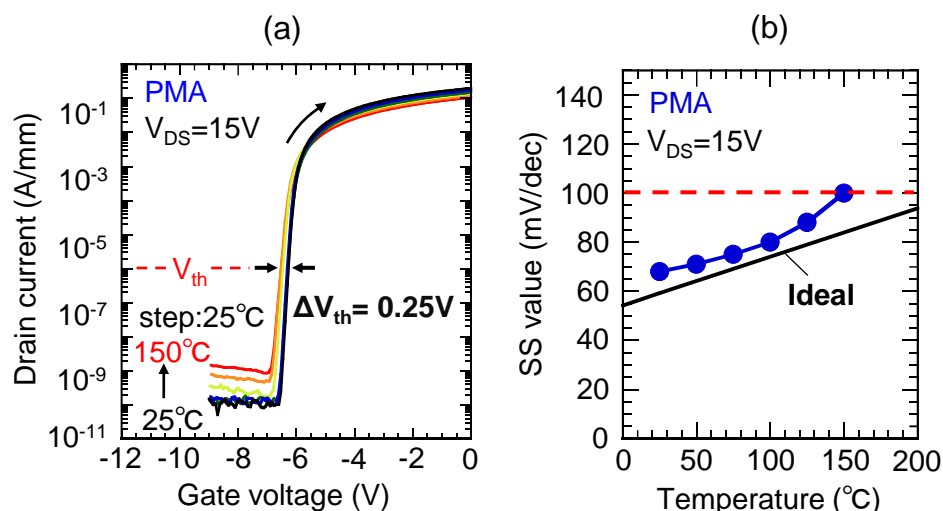


図 6-14 GaN 基板上 AlGaN/GaN MOS HEMT の  
(a) 伝達特性と(b) SS 値の温度依存性

に温度変化に対する SS 値を示す。PMA 試料は 100°C以下の領域で理想値に非常に近い SS 値を示した。実際に、100°Cにおいても SS=80mV/dec を示し、PMA 後の Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN MOS HEMT が優れたゲート制御性を有していることが分かる。さらに、図 6-14(a)に示すように GaN 基板上の MOS HEMT は 150°Cで  $1.5 \times 10^9$  A/mm と低リーク電流を示した。サファイア基板上のバッファ層を最適に設計することで低いオフ時リーク電流と高い ON/OFF 比を報告した例があるものの[42]、異種基板を用いた AlGaN/GaN MIS HEMT ではゲートリーク電流よりも大きなドレインリーク電流を示す報告も多い[43]。1.5 μm と比較的薄い GaN 層を用いたにも関わらず、GaN 基板上の MOS HEMT が低ドレインリーク電流を示したことは、低転移密度のホモエピタキシャル GaN 層がバルクリークを効果的に制御できることを示唆している。

## 6.5. まとめ

本章では、SiC および GaN 基板上に作製した Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN HEMT の電気的特性の評価を行った。AlGaN/GaN ヘテロ構造 MOS ダイオードの C-V 特性と詳細数値計算との比較から、窒素雰囲気における 300°C、10 分間の PMA が Al<sub>2</sub>O<sub>3</sub>/AlGaN 界面の電子準位の低減に効果的であることが分かった。また、Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN MOS HEMT に PMA を適用することで伝達特性の電流線形性およ

び動作安定性が大幅に向上することを確認した。さらに、GaN 基板上に MOS HEMT を作製することで、良好な結晶品質を反映した電気的特性が得られた。PMA 後の GaN 基板上 MOS HEMT は 68 mV/dec と優れた SS 値と極めて安定な  $V_{th}$  を示した。10 V の正ゲートストレスを印加しても  $V_{th}$  シフトは 0.3 V 以下であり、150°C でも  $V_{th}$  の変動は 0.25 V に留まった。さらに SiC 基板上 MOS HEMT と比較して優れたドレインリーク電流を示し、 $10^{-10}$  A/cm を下回った。バルクリークの主要因である Poole-Frenkel 伝導に繋がる点欠陥密度が低減したためであると考えられ、GaN 基板上のエピタキシャル層による優れた結晶品質を反映したものである。本章で得られた GaN 基板上の Al<sub>2</sub>O<sub>3</sub> ゲート AlGa<sub>0.3</sub>N/GaN HEMT の優れたゲート制御性と動作安定性は、高性能かつ信頼性の高い高周波パワートランジスタに向けた GaN MIS HEMT のさらなる発展に極めて重要な知見である。

## 参考文献

- [1] Z. Yatabe, J. T. Asubar, and T. Hashizume, “Insulated gate and surface passivation structures for GaN-based power transistors”, *J. Phys. D* **49**, 393001 (2016).
- [2] Y. Lu, S. Yang, Q. Jiang, Z. Tang, B. Li, and K. J. Chen, “Characterization of  $V_T$ -instability in enhancement-mode  $\text{Al}_2\text{O}_3$ -AlGaIn/GaN MIS-HEMTs”, *Phys. Status Solidi C* **10**, 1397 (2013).
- [3] P. Lagger, M. Reiner, D. Pogany, and C. Ostermaier, “Comprehensive study of the complex dynamics of forward bias-induced threshold voltage drifts in GaN based MIS-HEMTs by stress/recovery experiments”, *IEEE Trans. Electron Devices* **61**, 1022 (2014).
- [4] M. Ľapajna, M. Jurkovič, L. Válik, Š. Haščík, D. Gregušová, F. Brunner, E.-M. Cho, and J. Kuzmik, “Bulk and interface trapping in the gate dielectric of GaN based metal-oxide-semiconductor high-electron-mobility transistors”, *Appl. Phys. Lett.* **102**, 243509 (2013).
- [5] D. W. Johnson, R. T. P. Lee, R. J. W. Hill, M. H. Wong, G. Bersuker, E. L. Piner, P. D. Kirsch, and H. R. Harris, “Threshold voltage shift due to charge trapping in dielectric-gated AlGaIn/GaN high electron mobility transistors examined in Au-free technology”, *IEEE Trans. Electron Devices* **60**, 3197 (2013).
- [6] P. Lagger, P. Steinschifter, M. Reiner, M. Stadtmuller, G. Denifl, A. Naumann, J. Muller, L. Wilde, J. Sundqvist, D. Pogany, and C. Ostermaier, “Role of the dielectric for the charging dynamics of the dielectric/barrier interface in AlGaIn/GaN based metal-insulator-semiconductor structures under forward gate bias stress”, *Appl. Phys. Lett.* **105**, 033512 (2014).
- [7] T.-L. Wu, D. Marcon, B. Bakeroot, B. D. Jaeger, H. C. Lin, J. Franco, S. Stoffels, M. V. Hove, R. Roelofs, G. Groeseneken, and S. Decoutere, “Correlation of interface states/border traps and threshold voltage shift on AlGaIn/GaN metal-insulator-semiconductor high-electron-mobility transistors”, *Appl. Phys. Lett.* **107**, 093507 (2015).
- [8] Z. Yatabe, Y. Hori, W.-C. Ma, J. T. Asubar, M. Akazawa, T. Sato, and T. Hashizume, “Characterization of electronic states at insulator/(Al)GaIn interfaces for improved

- insulated gate and surface passivation structures of GaN-based transistors”, *Jpn. J. Appl. Phys.* **53**, 100213 (2014).
- [9] G. Ye, H. Wang, S. Arulkumaran, G. I. Ng, R. Hofstetter, Y. Li, M. J. Anand, K. S. Ang, Y. K. T. Maung, and S. C. Foo, “Atomic layer deposition of ZrO<sub>2</sub> as gate dielectrics for AlGa<sub>N</sub>/Ga<sub>N</sub> metal-insulator-semiconductor high electron mobility transistors on silicon”, *Appl. Phys. Lett.* **103**, 142109 (2013).
- [10] X. Lu, K. Yu, H. Jiang, A. Zhang, and K. M. Lau, “Study of interface traps in AlGa<sub>N</sub>/Ga<sub>N</sub> MISHEMTs using LPCVD SiN<sub>x</sub> as gate dielectric”, *IEEE Trans. Electron Devices* **64**, 824 (2017).
- [11] S. W. Kaun, P. G. Burke, M. H. Wong, E. C. H. Kyle, U. K. Mishra, and J. S. Speck, “Effect of dislocations on electron mobility in AlGa<sub>N</sub>/Ga<sub>N</sub> and AlGa<sub>N</sub>/AlN/Ga<sub>N</sub> heterostructures”, *Appl. Phys. Lett.* **101**, 262102 (2012).
- [12] T. J. Anderson, M. J. Tadjer, J. K. Hite, J. D. Greenlee, A. D. Koehler, K. D. Hobart, and F. J. Kub, “Effect of reduced extended defect density in MOCVD grown AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs on native Ga<sub>N</sub> substrates”, *IEEE Electron Device Lett.* **37**, 28 (2016).
- [13] P. Kruszewski, P. Prystawko, I. Kasalynas, A. Nowakowska-Siwinska, M. Krysko, J. Plesiewicz, J. Smalc-Koziorowska, R. Dwilinski, M. Zjac, R. Kuchrski, and M. Leszczynski, “AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT structures on ammono bulk Ga<sub>N</sub> sbstrate”, *Semicond. Sci. Technol.* **29**, 075004 (2014).
- [14] Y. Hori, C. Mizue, and T. Hashizume, “Process conditions for improvement of electrical properties of Al<sub>2</sub>O<sub>3</sub>/n-Ga<sub>N</sub> structures prepared by atomic layer deposition”, *Jpn. J. Appl. Phys.* **49**, 080201 (2010).
- [15] F. Husna, M. Lachab, M. Sultana, V. Adivarahan, Q. Fareed, and A. Khan, “High-temperature performance of AlGa<sub>N</sub>/Ga<sub>N</sub> MOSHEMT with SiO<sub>2</sub> gate insulator fabricated on Si (111) substrate”, *IEEE Trans. Electron Devices* **59**, 2424 (2012).
- [16] A. J. Suria, A. S. Yalamarthy, H. So, and D. G. Senesky, “DC characteristics of ALD-grown Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMTs and HEMTs at 600°C in air”, *Semicond. Sci. Technol.* **31**, 115017 (2016).
- [17] W. S. Tan, M. J. Uren, P. W. Fry, P. A. Houston, R. S. Balmer, and T. Martin, “High temperature performance of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs on Si substrates”, *Solid-State Electron.* **50**, 511 (2006).

- [18] Y.-H. Wang, Y. C. Liang, G. S. Samudra, T.-F. Chang, C. Huang, L. Yuan, and G.-Q. Lo, “Modelling temperature dependence on AlGaIn/GaN power HEMT device characteristics”, *Semicond. Sci. Technol.* **28**, 125010 (2013).
- [19] S. Yang, S. Liu, C. Liu, M. Hua, and K. J. Chen, “Gate stack engineering for GaN lateral power transistors”, *Semicond. Sci. Technol.* **31**, 024001 (2016).
- [20] C. Mizue, Y. Hori, M. Miczek, and T. Hashizume, “Capacitance–voltage characteristics of Al<sub>2</sub>O<sub>3</sub>/AlGaIn/GaN structures and state density distribution at Al<sub>2</sub>O<sub>3</sub>/AlGaIn interface”, *Jpn. J. Appl. Phys.* **50**, 021001 (2011).
- [21] M. Miczek, C. Mizue, T. Hashizume, and B. Adamowicz, “Effects of interface states and temperature on the C-V behavior of metal/insulator/AlGaIn/GaN heterostructure capacitors”, *J. Appl. Phys.* **103**, 104510 (2008).
- [22] J. Robertson and B. Falabretti, “Band offsets of high *K* gate oxides on III-V semiconductors”, *J. Appl. Phys.* **100**, 014111 (2006).
- [23] W. Mönch, “Branch-point energies and the band-structure lineup at Schottky contacts and heterostructures”, *J. Appl. Phys.* **109**, 113724 (2011).
- [24] H. Lüth, *Surface and Interfaces of Solids* (Springer, Berlin, 1993) 2nd ed., pp. 262 and 382.
- [25] J. Tersoff, “Schottky barrier heights and the continuum of gap states”, *Phys. Rev. Lett.* **52**, 465 (1984).
- [26] P. D. Ye, “Main determinants for III–V metal-oxide-semiconductor field-effect transistors”, *J. Vac. Sci. Technol. A* **26**, 697 (2008).
- [27] J. Osvald, R. Stoklas, and P. Kordoš, “Extraction of interface trap density of Al<sub>2</sub>O<sub>3</sub>/AlGaIn/GaN MIS heterostructure capacitance”, *Phys. Status Solidi B* **252**, 996 (2015).
- [28] B. S. Eller, J. Yang, and R. J. Nemanich, “Electronic surface and dielectric interface states on GaN and AlGaIn”, *J. Vac. Sci. Technol. A* **31**, 050807 (2013).
- [29] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, L. F. Eastmann, W. Rieger, and J. Hilsenbeck, “Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures”, *J. Appl. Phys.* **85**, 3222 (1999).

- [30] M. Holtz, T. Prokofyeva, M. Seon, K. Copeland, J. Vanbuskirk, S. Williams, S. A. Nikishin, V. Tretyakov, and H. Temkin, “Composition dependence of the optical phonon energies in hexagonal Al<sub>x</sub>Ga<sub>1-x</sub>N”, *J. Appl. Phys.* **89**, 7977 (2001).
- [31] T. Hashizume, S. Ootomo, T. Inagaki, and H. Hasegawa, “Surface passivation of GaN and GaN/AlGa<sub>x</sub>N heterostructures by dielectric films and its application to insulated-gate heterostructure transistors”, *J. Vac. Sci. Technol. B* **21**, 1828 (2003).
- [32] E. Bersch, S. Rangan, and R. A. Bartynski, “Band offsets of ultrathin high-*k* oxide films with Si”, *Phys. Rev. B* **78**, 085114 (2008).
- [33] P. Jonnard, C. Bonnelle, G. Blaise, G. Rémond, and C. Roques-Carmes, “F<sup>+</sup> and F centers in α-Al<sub>2</sub>O<sub>3</sub> by electron-induced x-ray emission spectroscopy and cathodoluminescence”, *J. Appl. Phys.* **88**, 6413 (2000).
- [34] M. Choi, J. L. Lyons, A. Janotti, and C. G. Van de Walle, “Impact of native defects in high-*k* dielectric oxides on GaN/oxide metal–oxide–semiconductor devices”, *Phys. Status Solidi B* **250**, 787 (2013).
- [35] H. Zhou, G. I. Ng, Z. H. Liu, and S. Arulkumaran, “Improved device performance by post-oxide annealing in atomic-layer-deposited Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>x</sub>N/GaN metal–insulator–semiconductor high electron mobility transistor on Si”, *Appl. Phys. Express* **4**, 104102 (2011).
- [36] H. Liu, W. Hsu, C. Lee, B. Chou, Y. Liao, and M. Chiang, “Investigation of temperature-dependent characteristics of AlGa<sub>x</sub>N/GaN MOS-HEMT by using hydrogen peroxide oxidation technique”, *IEEE Trans. Electron Devices* **61**, 2760 (2014).
- [37] S. Le, T. Ui, T. Q. Nguyen, H. Shih, and T. Suzuki, “Low-frequency noise in AlTiO/AlGa<sub>x</sub>N/GaN metal-insulator-semiconductor heterojunction field-effect transistors”, *J. Appl. Phys.* **119**, 204503 (2016).
- [38] M. Hua, C. Liu, S. Yang, S. Liu, K. Fu, Z. Dong, Y. Cai, B. Zhang, and K. J. Chen, “Characterization of leakage and reliability of SiN<sub>x</sub> gate dielectric by low-pressure chemical vapor deposition for GaN-based MIS-HEMTs”, *IEEE Trans. Electron Devices* **62**, 3215 (2015).
- [39] S. A. Jauss, K. Hallaceli, S. Mansfeld, S. Schwaiger, W. Daves, and O. Ambacer, “Reliability analysis of LPCVD SiN gate dielectric for AlGa<sub>x</sub>N/GaN MIS-HEMTs”, *IEEE Trans. Electron Devices* **64**, 2298 (2017).

- [40] B. Lu, M. Sun, and T. Palacios, “An etch-stop barrier structure for GaN high-electron-mobility transistors”, *IEEE Electron Device Lett.* **34**, 369 (2013).
- [41] H. Tokuda, J. T. Asubar, and M. Kuzuhara, “Analytical derivation of interface state density from sub-threshold swing in AlGaN/GaN metal–insulator–semiconductor high-electron-mobility transistors”, *Jpn. J. Appl. Phys.* **56**, 104101 (2017).
- [42] H. Tokuda, J. T. Asubar, and M. Kuzuhara, “AlGaN/GaN metal-insulator-semiconductor high-electron mobility transistors with high on/off current ratio of over  $5 \times 10^{10}$  achieved by ozone pretreatment and using ozone oxidant for Al<sub>2</sub>O<sub>3</sub> gate insulator”, *Jpn. J. Appl. Phys.* **55**, 120305 (2016).
- [43] S. Yang, S. Liu, C. Liu, M. Hua, and K. J. Chen, “Gate stack engineering for GaN lateral power transistors”, *Semicond. Sci. Technol.* **31**, 024001 (2016).

## 第 7 章

---

### まとめ

本研究では、まず Post-metallization-annealing (PMA)による  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の界面制御を試み、界面特性を評価した。続いて、無極性面である m 面 GaN に形成した  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の界面評価と PMA による特性改善を試みた。さらに、PMA を絶縁ゲート型 AlGaIn/GaN HEMT へ適用し、 $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面の電子準位が HEMT の電気的特性へ与える影響について考察し、界面制御によって電流線形性や容量-電圧特性が向上することを明らかにした。また、GaN 基板の上に成長された AlGaIn/GaN ヘテロ構造を用いて MOS HEMT を作製し、低転移密度のエピタキシャル層が、低い漏れ電流と高い動作安定性に寄与する可能性を見出した。

第 4 章では、GaN 基板の上に成長した n-GaN エピタキシャル層を用いて ALD- $\text{Al}_2\text{O}_3/\text{GaN}$  MOS 構造を作製し、PMA が界面特性に与える効果について評価を行った。As-depo 試料の C-V 曲線は顕著な周波数分散とリッジのような特徴を示し、 $10^{12} \text{ cm}^{-2}\text{eV}^{-1}$  台の高界面準位密度が Terman 法から見積もられた。一方で、 $\text{N}_2$  雰囲気中で  $300^\circ\text{C}$ 、10 分間の PMA 処理を施した試料は周波数分散のない優れた C-V 特性を示し、界面準位密度は最大で  $4 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$  と低密度であった。また、PMA の効果は MOS 構造に用いるゲート電極に依存せず、金属の仕事関数差に応じた C-V 曲線の平行シフトを観測した。さらに、PMA 後の試料は室温 C-V 曲線と比較して、 $200^\circ\text{C}$  の高温でも C-V 特性の振舞いがほとんど変化しなかった。PMA 試料の高解像度 TEM 像に対して GPA による解析を行ったところ、 $\text{Al}_2\text{O}_3/\text{GaN}$  界面付近で均一な格子定数分布が観測され、界面のボンド終端やボンド乱れの改善に PMA が効果的であることが明らかになった。界面準位密度が減少した結果、1 Hz から 1 MHz までの非常に広い周波数範囲でも周波数分散のない優れた C-V 特性が得られた。以上の結果は高品質かつ低転移密度の GaN 層上の MOS 構造に PMA 処理を適用することで、界面準位密度の低い安定な MOS 構造が実現できることを示している。

第 5 章では、m 面 GaN 基板の上に成長した GaN 層を用いた  $\text{Al}_2\text{O}_3/\text{GaN}$  構造の界面特性の評価をおこなった。 $[000-1]$  方向へ  $5^\circ$  傾斜させた基板の上に成長した m 面 GaN 層において、AFM 像から RMS 荒さが 0.15 nm と原子レベルで平坦な表面を観

測した。PMA 前の MOS 構造の C-V 特性から  $3 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$  以下と  $\text{Al}_2\text{O}_3/\text{c 面 GaN}$  界面における実験結果よりも明らかに低い界面準位密度を示した。このような低界面準位密度が得られた可能性として、m 面 GaN 表面の Ga-N ダイマーとの関係について議論した。300°C の PMA 処理が  $\text{Al}_2\text{O}_3/\text{m 面 GaN}$  構造においても界面準位密度の低減および  $V_{\text{FB}}$  の安定化に効果的であることを明らかにした。PMA 後、10Hz から 1 MHz の広い周波数範囲において周波数分散の無い C-V 特性を観測した。結果として、PMA 試料は  $\text{Al}_2\text{O}_3/\text{m 面 GaN}$  界面で最大  $2.0 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$  と非常に低い  $D_{\text{it}}$  を示した。200°C における C-V 特性では周波数分散と  $V_{\text{FB}}$  シフトが見られず、CBM から midgap 近傍までのエネルギー範囲で真に低い界面準位密度を示唆する結果となった。特に、m 面 GaN MOS 構造における温度依存の無い  $V_{\text{FB}}$  は無極性面である m 面 GaN 表面の本質的な物性に関連していると思われる。一方で、c 面 GaN MOS 構造では 200°C における C-V 特性において明らかな  $V_{\text{FB}}$  シフトが見られ、焦電効果による自発分極の温度依存性が  $V_{\text{FB}}$  シフトとして表れた可能性がある。さらに、m 面 GaN MOS 構造の J-V 特性は  $10^{-9} \text{ A/cm}^2$  オーダーの低リーク電流を示し、200°C までほとんど変化しない良好な特性を示した。以上の結果はトレンチゲート構造縦型 GaN MOSFET をはじめとした m 面 GaN チャンネル MOS トランジスタにおける良好なゲート制御性および安定な動作特性を示唆するものである。

第6章では、SiC および GaN 基板上に作製した  $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$  HEMT の電気的特性の評価を行った。 $\text{AlGaIn}/\text{GaN}$  ヘテロ構造 MOS ダイオードの C-V 特性と詳細数値計算との比較から、窒素雰囲気における 300°C、10 分間の PMA が  $\text{Al}_2\text{O}_3/\text{AlGaIn}$  界面の電子準位の低減に効果的であることが分かった。また、 $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$  MOS HEMT に PMA を適用することで伝達特性の電流線形性および動作安定性が大幅に向上することを確認した。さらに、GaN 基板上に MOS HEMT を作製することで、良好な結晶品質を反映した電気的特性が得られた。PMA 後の GaN 基板上 MOS HEMT は 68 mV/dec と優れた SS 値と極めて安定な  $V_{\text{th}}$  を示した。10 V の正ゲートストレスを印加しても  $V_{\text{th}}$  シフトは 0.3 V 以下であり、150°C でも  $V_{\text{th}}$  の変動は 0.25 V に留まった。さらに SiC 基板上 MOS HEMT と比較して優れたドレインリーク電流を示し、10-10 A/cm を下回った。バッファ層などを介したバッファリークが低減したためであると考えられ、GaN 基板上のエピタキシャル層による優れた結晶品質を反映したものであると思われる。本章で得られた GaN 基板上の  $\text{Al}_2\text{O}_3$  ゲート  $\text{AlGaIn}/\text{GaN}$

HEMT の優れたゲート制御性と動作安定性は、高性能かつ信頼性の高い高周波パワートランジスタに向けた GaN MIS HEMT のさらなる発展に極めて重要な知見である。



---

## 研究業績

### (1) 学術雑誌等に発表した論文、著書

#### 学術論文

- [1] S. Kaneki and T. Hashizume, “Interface characterization of Al<sub>2</sub>O<sub>3</sub>/m-plane GaN structure”, AIP Advances **11**, 015301 (2021).
- [2] S. Kaneki, J. Ohira, S. Toiya, Z. Yatabe, J. T. Asubar, and T. Hashizume, “Highly-stable and low-state-density Al<sub>2</sub>O<sub>3</sub>/GaN interfaces using epitaxial n-GaN layers grown on free-standing GaN substrates”, Applied Physics Letters, **109**, 162104 (2016).

#### 会議論文

- [1] S. Kaneki, Z. Yatabe, K. Nishiguchi, T. Hashizume “Correlation between V<sub>th</sub> instability and interface states in Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN Structure”, Proc. of The 12<sup>th</sup> Topical Workshop on Heterostructure Microelectronics (TWHM), pp. 19-20 (2017).

#### 本研究に関する学術論文等

- [1] Y. Ando, S. Kaneki, T. Hashizume, “Improved operation stability of Al<sub>2</sub>O<sub>3</sub>/AlGaN/GaN MOS high-electron-mobility transistors grown on GaN substrates”, Applied Physics Express, **12**, 024002 (2019)
- [2] T. Hashizume, K. Nishiguchi, S. Kaneki, J. Kuzmik, and Z. Yatabe, “State of the art on gate insulation and surface passivation for GaN-based power HEMTs”, Materials science in semiconductor processing, **78**, 85-95 (2018)
- [3] T. Hashizume, S. Kaneki, T. Oyobiki, Y. Ando, S. Sasaki and K. Nishiguchi “Effects of postmetallization annealing on interface properties of Al<sub>2</sub>O<sub>3</sub>/GaN structures”, Applied Physics Express, **12**, 124102 (2018)
- [4] S. Ozaki, K. Makiyama, T. Ohki, N. Okamoto, S. Kaneki, K. Nishiguchi, N. Hara, and T. Hashizume, “Effects of Air-annealing on DC Characteristics of

InAlN/GaN MOS-HEMTs Using ALD-Al<sub>2</sub>O<sub>3</sub>", Applied Physics Express, **10**, 061001 (2017).

- [5] K. Nishiguchi, S. Kaneki, S. Ozaki, and T. Hashizume, "Current linearity and operation stability in Al<sub>2</sub>O<sub>3</sub>-gate AlGa<sub>0.5</sub>N/GaN MOS high electron mobility transistors", Japanese Journal of Applied Physics, **56.10**, 101001 (2017).
- [6] H. Ohta, S. W. Kim, S. Kaneki, A. Yamamoto and T. Hashizume, "High Thermoelectric Power Factor of High-Mobility 2D Electron Gas.", Advanced Science, **5**, 1700696 (2017).

### 技術報告

- [1] 金木奨太, 西口賢弥, 尾崎史郎, 橋詰保, “絶縁ゲート AlGa<sub>0.5</sub>N/GaN HEMT における電流線形性の向上”, 電子情報通信学会 信学技報, vol. 117, ED2017-95, pp. 11-14, 2018

## (2) 学会発表

### 国際会議における発表

- [1] S. Kaneki and T. Hashizume, “Stable C-V characterization of Al<sub>2</sub>O<sub>3</sub>/m-plane GaN Structures at High Temperatures”, International Conference on Nitride Semiconductors (ICNS 13), Bellevue, United States of America, July 7-12, 2019.
- [2] S. Kaneki and T. Hashizume, “Control of Al<sub>2</sub>O<sub>3</sub> MOS Interfaces Fabricated on m-plane GaN surfaces”, International Workshop on Nitrides Semiconductors (IWN14), Kanazawa, Japan, November 11-16, 2018
- [3] S. Kaneki, Z. Yatabe, K. Nishiguchi, T. Hashizume, “Threshold voltage shift induced by acceptor-like interface states”, International Conference on Nitride Semiconductors (ICNS 12), Strasbourg, France, July 24-28, 2017.
- [4] S. Kaneki, Z. Yatabe, K. Nishiguchi, T. Hashizume “Correlation between V<sub>th</sub> instability and interface states in Al<sub>2</sub>O<sub>3</sub>/AlGa<sub>0.5</sub>N/GaN Structure”, Topical Workshop on Heterostructure Microelectronics (TWHM 12th), Kirishima, Japan, 2017.

## 国内会議・シンポジウム等における発表

- [1] 金木奨太, 西口賢弥, 橋詰保, “ $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaN}$  MOSHEMT の界面制御プロセス”, 第 77 回応用物理学会秋季学術講演会, 朱鷺メッセ, 2016 年 9 月 13 日-16 日
- [2] 金木奨太, 西口賢弥, 橋詰保, “GaIn MOS-HEMT の制御性および安定性の向上”, 第 64 回応用物理学会春季学術講演会, パシフィコ横浜, 2017 年 3 月
- [3] 金木奨太, 西口賢弥, 橋詰保, “ $\text{Al}_2\text{O}_3/\text{GaIn}$  構造の界面制御プロセス”, 第 78 回応用物理学会秋季学術講演会, 福岡国際会議場, 2017 年 9 月
- [4] 金木奨太, 西口賢弥, 尾崎史郎, 橋詰保, “絶縁ゲート  $\text{AlGaIn}/\text{GaIn}$  HEMT における電流線形性の向上”, 電子情報通信学会 電子デバイス研究会, 5, 機械振興会館, 2018 年 1 月 25 日-26 日
- [5] 金木奨太, 橋詰保, “ALD- $\text{Al}_2\text{O}_3$  を用いた GaIn MOS ゲート構造の界面制御”, 第 65 回応用物理学会春季学術講演会, 早稲田大学 西早稲田キャンパス, 2018 年 3 月
- [6] 金木奨太, 橋詰保, “m 面 GaIn に形成した  $\text{Al}_2\text{O}_3$  MOS 構造の評価”, 第 79 回応用物理学会秋季講演会, 2018 年 9 月
- [7] 金木奨太, 橋詰保, “GaIn 自立基板上に作製した  $\text{Al}_2\text{O}_3/\text{AlGaIn}/\text{GaIn}$  HEMT の評価”, 第 66 回応用物理学会春季講演会, 東京工業大学, 2019 年 3 月

