



Title	グローバルシャッタCMOSテラヘルツイメージセンサとその画素ばらつき補正技術 [論文内容及び審査の要旨]
Author(s)	金澤, 悠里
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第15537号
Issue Date	2023-03-23
Doc URL	https://hdl.handle.net/2115/89716
Rights(URL)	https://creativecommons.org/licenses/by/4.0/
Type	doctoral thesis
File Information	Yuri_Kanazawa_review.pdf, 審査の要旨



学位論文審査の要旨

博士の専攻分野の名称 博士 (工学) 氏名 金澤 悠里

審査担当者 主 査 教 授 葛西 誠也
副 査 教 授 浅井 哲也
副 査 教 授 本久 順一
副 査 教 授 五十嵐 一

学位論文題名

グローバルシャッタ CMOS テラヘルツイメージセンサとその画素ばらつき補正技術
(Design Methodology of a Global-Shutter CMOS THz Imager and its Calibration Technique)

本学位論文における研究目的は、アンテナ型テラヘルツ波イメージセンサの提案と、各ピクセルの雑音を抑制しながら全画素同一タイミングの高速撮像とその補正手法の確立である。

テラヘルツ波の実用化に向けて、テラヘルツギャップを超える安価で生産性に優れたテラヘルツイメージセンサに適した回路構成を示した。単一のテラヘルツ波検出器ではなくイメージセンサの形式をとることで、イメージングによる強力なアプリケーション利用が可能となる。設計したテラヘルツイメージセンサにはピクセル並列アーキテクチャを採用することで、動体撮像時に歪みが発生しないグローバルシャッタ撮像を可能にした。試作テラヘルツイメージセンサは $32 \times 32 = 1024$ ピクセルをもち、最大 400 フレーム毎秒でのグローバルシャッタ撮像動作が確認された。このテラヘルツイメージセンサのさらなる応用として、その高速動作を生かしたピクセルシフトによる超解像撮像が挙げられる。これは、イメージセンサチップをリニアステージにより駆動し複数回の撮像を行うことで、撮像結果の空間解像度を大幅に高めることが可能な技術である。ピクセルシフト撮像の結果をより正確で鮮明なものにするためには、イメージセンサチップの各画素がもつ製造ばらつきを抑制する必要がある。本研究は画素ばらつきの要因をトランジスタレベルで詳細に解析することで、その抑制方法を提案した。画素ばらつきの抑制は、既に試作したテラヘルツイメージセンサの出力値を後処理によって抑制する手法と、次期試作に向けて画素回路の改良を行う手法の、2通りのアプローチを行った。後処理による画素ばらつき抑制では、試作したテラヘルツイメージセンサの画素 256 個 (1024 個の画素のうち 1/4 に相当・内部構造的に 256 個の画素が 1 グループとして扱われる) に対して、それぞれの応答特性を測定しそれらのばらつきが後処理によって 85.7% 抑制可能であることを示した。また、画素回路についてトランジスタレベルのシミュレーション解析を行った結果、画素回路に含まれる特定の MOSFET が画素ばらつき (オフセットばらつきと利得ばらつきのそれぞれ) に大きな影響をもつことが分かった。この結果を踏まえて、画素回路に含まれる MOSFET のうち、そのばらつきが画素特性ばらつきに比較的大きな影響を与えるものを選定し、それらの製造にともなう閾値電圧ばらつきを抑制可能な新たな画素回路を提案した。従来型の画素回路には 8 個の MOSFET が含まれているが、このうちオフセットばらつきに関与する MOSFET ひとつと、利得ばらつきに関与する MOSFET ひとつ、計 2 つの MOSFET を閾値電圧ばらつき補正の対象とした。従来型の画素回路と比較して、新型の画素回路では主に 2 つのキャパシタと 4 つのスイッチを追加するのみで、これら 2 つの MOSFET の閾値電圧ばらつきを強力に補正すること

が可能になる。また、この補正手法はテラヘルツイメージセンサでの利用にも適しており、すべての画素回路において同時に補正動作を行うことが可能である。閾値電圧ばらつき補正の結果、4つのコーナー条件 (FF/FS/SF/SS コーナー) と Typical 条件の計 5 条件下すべてにおいて、画素特性のばらつきが大幅に抑制された。特に閾値電圧ばらつき補正を行わなかった場合に画素特性のばらつきが最大であった SF コーナー条件下では、提案手法による補正を行うことで画素特性のばらつきが 89.7% 抑制された。各コーナー条件下における画素特性ばらつきの抑制は、単一のイメージセンサチップにおいて高精度な撮像が可能になることを意味している。また、これら 5 つの条件下における画素の過渡応答特性をシミュレーションにより解析し比較した結果、未補正の場合と比べてその過渡応答波形の類似性が大きく高まることが分かった。この結果は、複数のイメージセンサチップを試作した際に、それらの特性がより近いものになることを示唆する。提案した新型画素回路を用いることで、単一のイメージセンサとしての性能が向上するだけでなく、イメージセンサを量産した際には各イメージセンサ間の性能差が抑制され、その歩留まりが向上する見通しを得た。以上を要するに、本論文は安価で生産性に優れた CMOS プロセスをアンテナ型テラヘルツ波イメージセンサに適用し、A/D 変換器と画素を完全並列で直結してグローバルシャッタ動作を実証した。同時に各画素のオフセットだけでなく利得をも補正する手法を提案した。そして本手法が製造時のバラツキを大幅に抑制しうることを示した。よって、本論文は、集積回路・画像工学分野に大きく貢献するところであり、著者は北海道大学博士 (工学) の学位を授与される資格があるものと認める。