



HOKKAIDO UNIVERSITY

Title	グローバルシャッタCMOSテラヘルツイメージセンサとその画素ばらつき補正技術
Author(s)	金澤, 悠里
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第15537号
Issue Date	2023-03-23
DOI	https://doi.org/10.14943/doctoral.k15537
Doc URL	https://hdl.handle.net/2115/89727
Type	doctoral thesis
File Information	Yuri_Kanazawa.pdf



博士論文

グローバルシャッタ CMOS テラヘルツイメージセンサと
その画素ばらつき補正技術

Design Methodology of a Global-Shutter CMOS THz
Imager and its Calibration Technique

金澤 悠里

北海道大学大学院情報科学院
情報エレクトロニクスコース 機能通信センシング研究室



北海道大学
HOKKAIDO UNIVERSITY

2023 年

目次

第1章 序論.....	3
1.1 テラヘルツ波とその利用.....	3
1.2 主要なテラヘルツ波検出技術.....	4
1.3 テラヘルツギャップとデバイスコスト.....	6
1.4 本論文の構成.....	7
参考文献 (第1章).....	8
第2章 テラヘルツ波検出器の方式.....	11
2.1 ボロメータ型テラヘルツ波検出器.....	11
2.2 アンテナ型テラヘルツ波検出器.....	13
参考文献 (第2章).....	16
第3章 検波回路とオンチップアンテナ.....	18
3.1 二乗検波回路.....	18
3.1.1 分布定数回路としての MOSFET とチャンネル解析.....	19
3.1.2 チャンネル中におけるドリフト成分の解析.....	22
3.1.3 チャンネル中における拡散成分の解析.....	25
3.1.4 テラヘルツ波検出回路.....	28
3.2 オンチップアンテナ.....	30
3.2.1 マイクロストリップパッチアンテナ.....	30
3.2.2 スロットアンテナ.....	36
3.3 アンテナとテラヘルツ波検出器の特性解析.....	41
3.3.1 時間領域差分法(FDTD 法).....	41
3.3.2 時間領域差分法によるアンテナ特性の解析.....	46
3.3.3 テラヘルツ波検出器の特性解析.....	50
参考文献 (第3章).....	53

第 4 章 テラヘルツイメージセンサ	54
4.1 テラヘルツ波検出器のアレイ化と信号の読み出し	54
4.2 離散時間型 A/D 変換機と連続時間型 A/D 変換機	56
4.3 電圧制御発振器型 A/D 変換機 (VCO ADC).....	57
4.4 ピクセル並列アーキテクチャ	61
4.5 テラヘルツイメージセンサのレイアウト	65
第 5 章 テラヘルツイメージセンサの解析	69
5.1 制御・データ処理用 FPGA の構成.....	69
5.2 テラヘルツイメージの再構成	76
5.3 テラヘルツ波源を用いたイメージング.....	80
5.4 試作イメージセンサのばらつき	90
5.4.1 モンテカルロ法による素子ばらつきのシミュレーション解析.....	90
5.4.2 試作テラヘルツイメージセンサの画素ばらつき測定	96
5.5 後処理によるばらつき補正	102
5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制.....	107
5.7 ピクセルシフトによる超解像テラヘルツイメージング.....	117
参考文献 (第 5 章).....	121
第 6 章 結論.....	122
謝辞.....	123
研究業績	124

第 1 章

序論

1.1 テラヘルツ波とその利用

テラヘルツ波とは、0.3THz から 30THz の周波数帯に位置する電磁波の総称である。電磁波はその波長により異なる性質を有している。例えば、テラヘルツ波よりも短波長である可視光は直進性に優れており、カメラなどの撮像デバイスが多く普及している。また、テラヘルツ波よりも長波長であるマイクロ波は物質に対する透過性と回折性があることから、通信技術に広く利用されており、今日では 5G(第 5 世代移動通信システム)通信の枠組みにも取り入れられている^[1]。テラヘルツ波はこれらの電磁波の中間波長帯に位置することから、光波としての直進性と、電波としての透過性を併せた特性を有している(図 1.1)。そのため、その直進性からテラヘルツ波を用いた撮像(イメージング)を行うことが可能であり、かつ、その透過性から構造物の内部を透かし見ることが可能である。そのため、テラヘルツ波は非破壊検査技術に利用することが可能であり、これは主要なテラヘルツ波アプリケーションのひとつである^[2-6]。今日、非破壊検査技術としては X 線撮像技術が広く利用されているが、X 線および放射線の使用には、労働安全衛生法の定める使用者の技術や安全面・法令面でのハードルがあり、導入可能な施設は限られているのが現状である。また、物質によりテラヘルツ波帯の吸収ピークは異



図 1.1 テラヘルツ波の性質と利用

1.2 主要なテラヘルツ波検出技術

なり、この物質ごとに異なる吸収特性は、指紋スペクトル (Finger print spectra) と呼ばれている。これを利用することでテラヘルツ波による分光分析を行うことが可能である^[7-10]。先述の透過性イメージングと、このテラヘルツ分光を組み合わせることで、非破壊での秘匿物質の検出および同定が可能である^[11]。テラヘルツ波の利用は分光法による物質同定だけでなく、保安検査等のセキュリティ用途アプリケーションも存在している^[12-14]。

1.2 主要なテラヘルツ波検出技術

主要なテラヘルツ波検出デバイスとして、ボロメータ^[15]やオンチップアンテナ^[16]が用いられている。先述の通り、テラヘルツ波帯は可視光帯とマイクロ波帯の中間に位置しており、より詳細に述べるのであれば赤外光帯とミリ波帯の中間に位置している。そのため、テラヘルツ波帯の電磁波を検出するためには、隣接した周波数帯である赤外光帯やミリ波帯の検出技術が有用である可能性がある。ボロメータを用いたテラヘルツ波検出は、今日赤外線カメラとしてもよく用いられているボロメータ技術^[17]の発展形ともいえるものである。ボロメータは測定対象から発せられた赤外光を吸収・発熱することで、その抵抗変化を電氣的に読み出すことができる素子である。ボロメータの歴史は遡ること 19 世紀に、Samuel Pierpont Langley によって発明された^[18]。Langley のボロメータは 1880 年の時点で 4 分の 1 マイル(約 400m)先の牛の体温による放射を検出可能であり、非常に高感度な素子であった^[19]。また、ボロメータ素子の素材によって検出可能帯域幅を広く設定することも可能である^[20]。一方で、ボロメータは赤外光を熱に変換して検出するその特性上、感度と応答速度のトレードオフが存在する。ボロメータ素子の断熱を強固にすることで、素子に入射される熱量が流出する熱量を上回り、より微弱な入射を検出することが可能になる一方で、一度暖められた素子が初期温度に回復する時間も増長されてしまう。この現象は残像として撮像結果に表れ、結果として応答速度および撮像間隔の悪化を招く。この問題に対して、カーボンナノチューブ(CNT: Carbon Nano Tube)素材を利用し高速・高感度なボロメータも提案されている^[21]。このように、ボロメータは広い帯域に優れた感度をもつ素子である一方、物理的な素子設計がその特性が大きく左右するため、素子設計段階において、使用アプリケーションを厳密に決定する必要がある。

オンチップアンテナを用いたテラヘルツ波検出は、ミリ波帯あるいはマイクロ波帯における、チップ上あるいは PCB(Printed Circuit Board)基板上に形成された小型アンテナによる電波の受信を発展させたものである。一般に、アンテナの寸法は送受信対象とする電波の波長と同等、あるいはその 2 分の 1 または 4 分の 1 程度の大きさとなる^[22]。例えばマイクロ波の例として、2.4GHz 帯の電波は Bluetooth^[23]や Wi-Fi^[24]等、民生用途の通信にも広く用いられているが、この電波の波長は 12cm 程度であり、そのアンテ

ナは 6cm あるいは 3cm 程度の寸法になる。そのため、家電などの大量生産に向けた電子機器では、このアンテナをその PCB 基板上にプリントパターンとして構築してしまうことがある^[25]。PCB 基板に対して、外部配線やプリント配線を用いてアンテナを実装している例を、図 1.2 に示す。図 1.2(a)の例(小型リモートコントローラ基板)では、PCB 基板に外部配線をはんだ付けすることでモノポールアンテナを実装している。ただし、このような配線は手作業での実装を要するため、基板の加工工数が増加してしまう欠点をもつ。また、手作業でのはんだ付け実装は、個体間での品質差が発生する原因にもなる。図 1.2(b)の例(家庭用ゲームコントローラ基板)では、PCB 基板上にプリント配線を用いて逆 F アンテナを実装している。また、この逆 F アンテナは配線が蛇行しているが、これはミアンダ配線によって放射素子部分の短縮を図ったものと思われる。プリント配線を用いてアンテナを構成することで、追加の加工工数を増加することなく、また、接続性や堅牢性に優れた製品とすることができる。このような方策は部品点数を削減し、製品の生産・保守コストの抑制にも貢献する。テラヘルツ波帯でも同様に考えると、例えば 1THz の電磁波の波長は約 $300\mu\text{m}$ であり、そのアンテナ寸法は $150\mu\text{m}$ あるいは $75\mu\text{m}$ 程度になる。数十 μm というサイズ感は PCB 基板に実装するには小さすぎるが、半導体チップ上に構築するには適切な寸法である。このことから、テラヘルツ波帯におけるアンテナを使用したアプローチでは、半導体チップ上に小型のアンテナを形成したオンチップアンテナという方策が取られる。オンチップアンテナ単体では入射した電波を受信することのみ行うため、一般には何らかの検波回路が付加される。検波回路には電界効果トランジスタ(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)が用いられる。オンチップアンテナを利用する場合、アンテナを半導体チップ上に形成していることから、同一のチップ上に半導体素子による検波回路を構

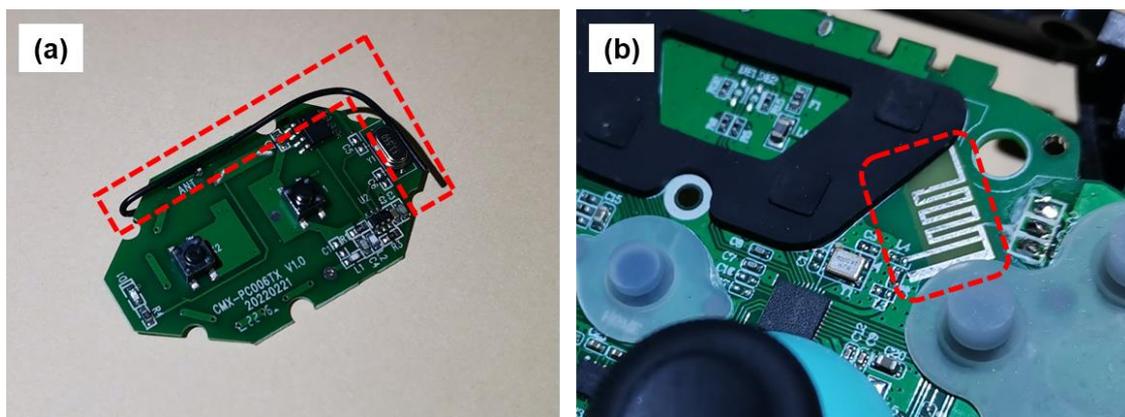


図 1.2 PCB 基板へのアンテナ実装例

(a) 外部配線のはんだ付けによるモノポールアンテナの実装

(b) プリント配線による逆 F アンテナの実装

写真中の破線部がアンテナ部である

1.3 テラヘルツギャップとデバイスコスト

築することが可能である。また、検波回路に限らず、製造プロセスによってはその他の信号処理回路(A/D 変換器や読み出しのためのデジタル回路など)を同時集積することも可能である。このことから、オンチップアンテナを利用したテラヘルツ波検出デバイスは、単一チップで完結した、モノリシックなデバイスと成りうるのが大きな利点のひとつである。オンチップであるかに限らず、アンテナによる電波の受信は電界から電位差への変換という物理現象であり、その応答速度は高速である。一般に、アンテナの後段には検波回路が設けられることで検出器としての用を成すが、検波回路の中には製造後であってもその応答特性を制御可能なものもあり、アプリケーションごとに応答特性を調整することが可能になる。また、アンテナの設計に関しては従来の平面アンテナ(パッチアンテナ・スロットアンテナ・Bow-tie アンテナ等)の技術を適応することが可能である(図 1.3)。先述のボロメータを利用するものと比較した場合、利点として「センサデバイスとしての機能まで単一チップで実装可能である」ことと、「応答特性を製造後に制御可能である」ことが挙げられる。一方で、ボロメータ同様に物理的に造形され実装されているアンテナ部分に起因する制約もある。アンテナの寸法とターゲット周波数の関連性は先に述べた通りであるが、これは単一のアンテナでは幅広い周波数帯の電波を受信することが困難であることも意味している。ボロメータでは幅広い帯域に比較的均一な受信感度を持たせられる一方で、電気的な共振を利用するアンテナでは特定の周波数をもつ電波に対して高い受信感度を発揮する。例えば特定の物質の指紋スペクトルを検出したい等、事前にターゲットとする周波数を決定できる場合にはアンテナ型のテラヘルツ波検出器は有効な方策である。また、オンチップアンテナを広帯域化するための研究もなされている^[26-28]。

1.3 テラヘルツギャップとデバイスコスト

前節で述べたように、今日では様々なテラヘルツ波検出デバイスが提案されている。しかし、テラヘルツ波帯には従来「テラヘルツギャップ」と呼ばれる技術的な欠如が存在していた^[29]。トランジスタやダイオードといった電子デバイスの動作周波数上限は300GHz程度であり、これは辛うじてテラヘルツ波帯の下端に届くものであった^[30]。一方で、半導体レーザやフォトダイオードといった光デバイスの動作領域下限は赤外領域に相当する10THz程度であり、テラヘルツ波帯を超えた周波数領域であった^[31]。このようなテラヘルツ波帯で動作する半導体デバイスの欠如こそが、テラヘルツギャップと呼ばれる問題であった。この問題に対して、赤外領域からアプローチを行ったのがボロメータ型のテラヘルツ波検出器であり、ミリ波領域からアプローチを行ったのがオンチップアンテナ型のテラヘルツ波検出器である。これらのアプローチによって、様々なデバイスが提案されているものの、テラヘルツギャップは完全な解決に至っていない。例えば、空港等で保安検査用途に利用される全身スキャン装置が実用化されているが、製

品名に「テラヘルツ」という文字列が含まれているにも関わらず、実際には 100GHz 近辺、あるいはそれ未満の周波数帯の「ミリ波」を使用した製品^[32]であることがある。また、製品の価格についても、X線検査装置と比較して 2,3 倍程度の価格帯に留まっている印象である(ただし、これらの製品は、同等の機能を有するものではないことに注意する必要がある)。1.1 節でも述べたように、X線を含む放射線検査装置の導入にはハードルがある。しかし、特に放射線被ばくの影響を考慮する必要のない対象を検査する目的であれば、その研究および市場が古くから形成されている X線検査装置に分があるといえる。このように、研究領域ではテラヘルツギャップは解決しつつあるものの、実用領域ではテラヘルツギャップが依然として存在している。例えば、研究レベルでは高性能なテラヘルツ検出デバイスは存在している。しかし、その製造方法が特殊であるために、大量生産に向かないことや、デバイス単価が非常に高いことがある。テラヘルツ波利用における強力なアプリケーションのひとつである透過性イメージングを実用化するためには、テラヘルツ波検出デバイスが安価であると同時に、デバイス自体がイメージセンサとしての利用に適した構成である必要がある。単一のテラヘルツ波検出デバイスとして高感度・低遅延であっても、その製造方法やアーキテクチャによっては 1 個から数個程度しか同時に集積できないことがある。そのため、単一のテラヘルツ波検出デバイスとして性能が優れていることと、テラヘルツイメージセンサのピクセルとしての性能が優れていることは必ずしも一致しない。本研究の目的は、実用面でのテラヘルツギャップを埋める、透過性テラヘルツイメージングに利用可能なテラヘルツイメージセンサを開発することである。

1.4 本論文の構成

本論文の構成を下記に述べる。第 2 章では、今日用いられているテラヘルツ波検出器の方式について述べる。第 3 章では、アンテナ型テラヘルツ波検出器の検波理論・オンチップアンテナの設計について述べ、これらの特性解析結果についても述べる。第 4 章では、試作したテラヘルツイメージセンサの構成や構成要素の動作原理について述べる。第 5 章では、試作したテラヘルツイメージセンサを用いた各種測定結果とシミュレーション解析の結果について述べる。第 6 章では、結論を述べる。

参考文献 (第 1 章)

- [1] Al-Falahy, Naser, and Omar Y. Alani. "Technologies for 5G networks: Challenges and opportunities." *It Professional* 19.1 (2017): 12-20.
- [2] Amenabar, I., F. Lopez, and A. Mendikute. "In introductory review to THz non-destructive testing of composite mater." *Journal of Infrared, Millimeter, and Terahertz Waves* 34.2 (2013): 152-169.
- [3] Pawar, Ashish Y., et al. "Terahertz technology and its applications." *Drug invention today* 5.2 (2013): 157-163.
- [4] Jackson, J. B., et al. "Terahertz imaging for non-destructive evaluation of mural paintings." *Optics communications* 281.4 (2008): 527-532.
- [5] Kawase, Kodo, et al. "Non-destructive terahertz imaging of illicit drugs using spectral fingerprints." *Optics express* 11.20 (2003): 2549-2554.
- [6] Wietzke, S., et al. "Terahertz imaging: a new non-destructive technique for the quality control of plastic weld joints." *Journal of the European Optical Society-Rapid Publications* 2 (2007).
- [7] Dexheimer, Susan L., ed. *Terahertz spectroscopy: principles and applications*. CRC press, 2017.
- [8] Beard, Matthew C., Gordon M. Turner, and Charles A. Schmuttenmaer. "Terahertz spectroscopy." *The Journal of Physical Chemistry B* 106.29 (2002): 7146-7159.
- [9] Qu, Fangfang, et al. "Terahertz fingerprint characterization of 2, 4-dichlorophenoxyacetic acid and its enhanced detection in food matrices combined with spectral baseline correction." *Food Chemistry* 334 (2021): 127474.
- [10] Plusquellic, David F., et al. "Applications of terahertz spectroscopy in biosystems." *ChemPhysChem* 8.17 (2007): 2412-2431.
- [11] AlNabooda, Maryam O., et al. "Terahertz spectroscopy and imaging for the detection and identification of illicit drugs." *2017 Sensors Networks Smart and Emerging Technologies (SENSET)* (2017): 1-4.
- [12] Kemp, Michael C., et al. "Security applications of terahertz technology." *Terahertz for military and security applications*. Vol. 5070. SPIE, 2003.
- [13] Liu, Hai-Bo, et al. "Terahertz spectroscopy and imaging for defense and security applications." *Proceedings of the IEEE* 95.8 (2007): 1514-1527.
- [14] Tribe, William R., et al. "Hidden object detection: security applications of terahertz technology." *Terahertz and Gigahertz Electronics and Photonics III*. Vol. 5354. SPIE, 2004.

- [15] Simoens, François. "THz bolometer detectors." *Physics and Applications of Terahertz Radiation*. Springer, Dordrecht, 2014. 35-75.
- [16] He, Yejun, et al. "An overview of terahertz antennas." *China Communications* 17.7 (2020): 124-165.
- [17] Richards, P. L. "Bolometers for infrared and millimeter waves." *Journal of Applied Physics* 76.1 (1994): 1-24.
- [18] Langley, Samuel Pierpont. "The bolometer and radiant energy." *Proceedings of the American Academy of Arts and Sciences*. Vol. 16. American Academy of Arts & Sciences, 1880.
- [19] NCAR, HIGH ALTITUDE OBSERVATORY, "Samuel P. Langley (1834–1906)", <https://www2.hao.ucar.edu/education/scientists/samuel-p-langley-1834-1906>, 2022, December 7th.
- [20] Yu, Peng, et al. "Broadband metamaterial absorbers." *Advanced Optical Materials* 7.3 (2019): 1800995.
- [21] Kopylova, Daria S., et al. "Holey single-walled carbon nanotubes for ultra-fast broadband bolometers." *Nanoscale* 10.39 (2018): 18665-18671.
- [22] Rudge, Alan W., and K. Milne, eds. *The handbook of antenna design*. Vol. 16. Iet, 1982.
- [23] "IEEE Standard for Telecommunications and Information Exchange Between Systems - LAN/MAN - Specific Requirements - Part 15: Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Wireless Personal Area Networks (WPANs)," in *IEEE Std 802.15.1-2002*, vol., no., pp.1-473, 14 June 2002, doi: 10.1109/IEEESTD.2002.93621.
- [24] "ISO/IEC 8802-11: 1999 [IEEE Std 802.11-1999(R2003)] Information technology--Telecommunications and information exchange between systems-- Local and metropolitan area networks--Specific requirements--Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications," in *ISO/IEC 8802-11 IEEE Std 802.11 Second edition 2005-08-01 ISO/IEC 8802 11:2005(E) IEEE Std 802.11i-2003 Edition*, vol., no., pp.1-707, 30 Sept. 2005, doi: 10.1109/IEEESTD.2005.339589.
- [25] Lin, C-C., S-W. Kuo, and H-R. Chuang. "A 2.4-GHz printed meander-line antenna for USB WLAN with notebook-PC housing." *IEEE Microwave and Wireless Components Letters* 15.9 (2005): 546-548.
- [26] Chu, Hui, Lu Qingyuan, and Yong-Xin Guo. "60-GHz broadband CMOS on-chip antenna with an artificial magnetic conductor." *2016 IEEE MTT-S International*

Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications (IMWS-AMP). IEEE, 2016.

[27] Van den Brande, Quinten, et al. "A hybrid integration strategy for compact, broadband, and highly efficient millimeter-wave on-chip antennas." *IEEE Antennas and Wireless Propagation Letters* 18.11 (2019): 2424-2428.

[28] Kanazawa, Yuri, et al. "Wideband terahertz imaging pixel with a small on-chip antenna in 180 nm CMOS." *Japanese Journal of Applied Physics* 58.SB (2019): SBBL06.

[29] Sirtori, Carlo. "Bridge for the terahertz gap." *Nature* 417.6885 (2002): 132-133.

[30] Schwierz, Frank, and Juin J. Liou. "RF transistors: Recent developments and roadmap toward terahertz applications." *Solid-State Electronics* 51.8 (2007): 1079-1091.

[31] Borak, Alexander. "Toward bridging the terahertz gap with silicon-based lasers." *Science* 308.5722 (2005): 638-639.

[32] TeraSense, "Terahertz security body scanner", <https://terasense.com/products/body-scanner/>, 2022, December 7th.

第 2 章

テラヘルツ波検出器の方式

今日、主流のテラヘルツ波検出器として、ボロメータ型テラヘルツ波検出器とアンテナ型テラヘルツ波検出器がある。本章では、これらの技術について紹介するとともに、各技術の課題や優位性について述べる。

2.1 ボロメータ型テラヘルツ波検出器

ボロメータ型テラヘルツ波検出器は、マイクロボロメータを用いたテラヘルツ波の検出器である。ボロメータは、抵抗変化型のエネルギー入射検出装置である。ボロメータ表面に電磁波等による放射エネルギーが入射することで、ボロメータ自体の温度が上昇する。この温度上昇に伴い、ボロメータの電気抵抗が増加する。この抵抗変化を読みだすことで、エネルギーの入射の検出することができる^[1]。ボロメータの機械的な構造は、VO_x^[2]や TiO_{2-x}^[3]といった金属酸化膜やカーボンナノチューブ^[4]を用いた薄膜からなる吸収材と、吸収材と熱的に結合した熱浴からなる。吸収材にエネルギーが入射すると、吸収材の温度は熱浴と同温からより高い温度へ上昇する。吸収材の温度上昇に合わせて、吸収材の電気抵抗も上昇するため、この抵抗値を外部から測定することで、エネルギーの入射と入射量を測定することができる。ボロメータは吸収材内部に取り込まれたエネルギーを直接測定する。そのため、吸収材が吸収可能であれば測定対象は電磁波に限らず、中性粒子の放射に対して測定を行うことが可能である^[5]。ボロメータはこの特性から、天文分野においても盛んに利用されている^[6]。また、ボロメータはサブミリ波帯(周波数 300GHz~1.5THz を持つ電磁波の総称)の電磁波に対して非常に高い感度を持っている^[7]。サブミリ波帯はまさにテラヘルツ波帯の低周波側に相当しており、ボロメータが一部のテラヘルツ波帯に対しても感度を持っていることが分かる。テラヘルツ波検出器としてのボロメータは、半導体集積技術を用いて微細なマイクロボロメータという形で実装される。マイクロボロメータの集積には MEMS(Micro Electro Mechanical System)技術を用いる。吸収材には、集積可能な吸収材として、酸化バナジウム^[8]や非晶質シリコン^[9]を用いる。これらの吸収材料は、特定波長をもつ赤外線の入射した際、それ効率的に吸収し電気抵抗値が上昇する性質を持つ。例えば、あるマイクロボロメータの寸法は 50 μm × 50 μm 程度である^[10]ため、ひとつの半導体チップ上に複数集積することが可能である。このようにアレイ化され集積されたマイクロボロメータは、赤外線カメラのイメージセンサチップとして広く実用化されている^[11]。後述するアンテナ

2.1 ボロメータ型テラヘルツ波検出器

型テラヘルツ波検出器と比べ、マイクロボロメータは素子のサイズが小型である。そのため、アレイセンサとしてマイクロボロメータを使用することで、比較的高解像度なイメージングが可能になる。ただし、ボロメータ素子サイズの小型化は吸収材の小型化も同様に意味している。ボロメータは温度変化と抵抗変化の関連性を利用するため、温度変化を機敏にするためにも、吸収材の投影面積は大きく、かつ熱容量は小さいことが望ましい。そのため、マイクロボロメータでは吸収材を薄膜状に形成していた。アレイ化に伴いマイクロボロメータの素子サイズが小型化すると、吸収材の投影面積が減少する。一方で、吸収材の膜厚は製造プロセスに依存するため減少しない。結果として、小型化する以前のマイクロボロメータと比較して、相対的に膜厚は増加し、素子としては薄膜の熱容量が増加したようにふるまう。そのため、マイクロボロメータの素子サイズの小型化は、イメージセンサとしての解像度の向上と、素子感度の低下というトレードオフを生む。また、ボロメータの構造には熱浴が必要不可欠である。マイクロボロメータでは半導体基板を熱浴とみなして、ビアや立体的な金属配線により吸収材薄膜の大部分を基板から浮かせ、かつ基盤と熱的に結合した状態を作り出している^[12]。マイクロボロメータの構造を図 2.1 に示す。図に示したように、マイクロボロメータの吸収材は断熱性を高めるために空中に浮くように設計される。また、薄膜から大気中への熱拡散を防止するため、マイクロボロメータ全体は真空中にパッケージされる^[12]。半導体基板は熱浴としても機能するため、基板全体を冷却して運用するもの^[13]や、常温での運用を可能としたもの^[14]も存在する。ビア等による熱浴との熱結合性により、マイクロボロメータの特性は変化する。熱浴との熱結合が強固である場合、エネルギー入射による吸収材の加熱後、吸収材が熱浴の温度に復帰する時間は短縮される。このようなマイクロボロメータは、入射エネルギーが十分に大きい場合に高い応答性を発揮する可能性がある。一方で熱浴との熱結合が弱い場合、微小なエネルギー入射であっても、入射が持続することで吸収材が十分に加熱され、入射の検出が可能になる。しかし、いずれのマイクロボロメータにも欠点があり、前者は微小なエネルギー入射が検出できず、後者は吸収材の温度回復に時間を要する。特に後者の問題は、その熱時定数の大きさに起因する残像現象

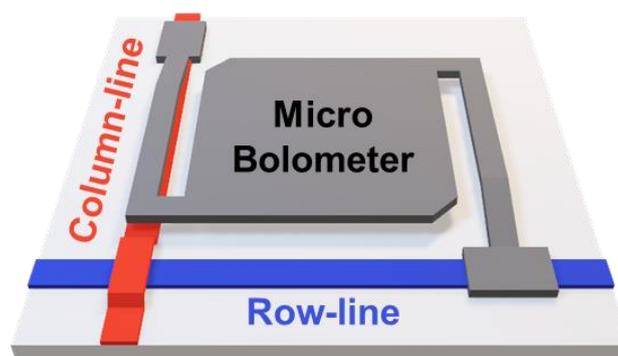


図 2.1 マイクロボロメータの構造図

であり、強度の高いエネルギーが一度でもボロメータ素子に入射すると、吸収材の温度が熱浴温度まで回復する間、エネルギー入射の有無によらず入射状態と同様の状態になってしまう。そのため、マイクロボロメータの機械構造を設計する時点において、そのアプリケーションや想定される入射エネルギー強度について、慎重に検討する必要がある。逆に、使用用途が明確であるならば(例: 空港において旅客の体温検査に使用するので、測定範囲は 0°C から 50°C の範囲で十分である等)、その用途毎に最適化した素子を製造することで、高いパフォーマンスが期待できる。

2.2 アンテナ型テラヘルツ波検出器

アンテナ型テラヘルツ波検出器は、オンチップアンテナと検波回路からなるテラヘルツ波検出器である。一般に、アンテナの寸法は、ターゲットとする電磁波長 λ に対して、アンテナの方式により $\lambda/2$ あるいは $\lambda/4$ 程度の寸法となる^[15]。テラヘルツ波の波長は $10\mu\text{m}$ から 1mm 程度である。つまり、テラヘルツ波をターゲットとしたアンテナは、数 μm から数百 μm 程度の寸法となる。このような微細なアンテナ構造は、半導体集積技術を用いて製造するのに適している。半導体集積技術によって半導体チップ上に集積されたアンテナをオンチップアンテナという。 $0.18\mu\text{m}$ Si CMOS プロセスをはじめとする商用化された半導体集積プロセスでは、デバイス間配線を構成するための金属層(配線層)が設けられている。Si CMOS プロセスでは、5層から10層程度の金属層が設けられている。オンチップアンテナを集積する際には、受信強度の観点から、金属層の中でも最上層に位置する金属層を用いて実装することが望ましい。また、オンチップアンテナはチップ面と平行な金属層を用いて実装する必要があるため、どのような種類のアンテナでも実装できるわけではない。オンチップアンテナとして実装するのに適したアンテナは、平面アンテナであり、かつアンテナ面と垂直方向に利得を持つアンテナである。実際に利用されるアンテナは、マイクロストリップパッチアンテナ^[16-17]・スロット

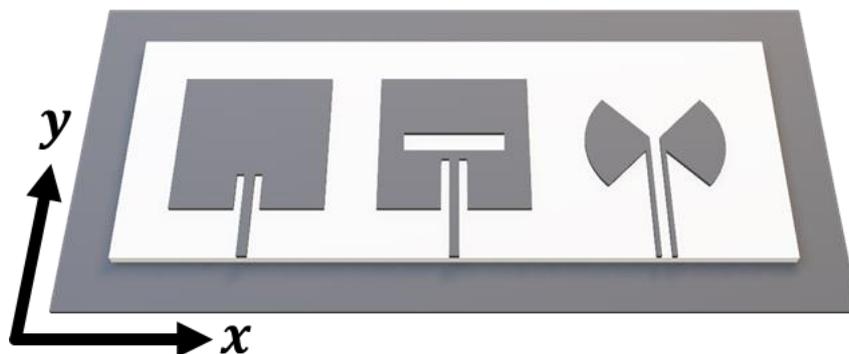


図 2.2 オンチップアンテナの概形図

左から順にマイクロストリップパッチアンテナ・スロットアンテナ・Bow-tie アンテナの順に並んでいる

2.2 アンテナ型テラヘルツ波検出器

トアンテナ^[18]・Bow-tie アンテナ^[19-21]等が挙げられる。これらのアンテナの概形を、図 2.2. に示す。マイクロストリップパッチアンテナは、誘導体によって隔てられた 2 枚の導体板によって構成された平面アンテナである。2 枚の導体板はそれぞれ、放射素子・地導体板としてはたらく。電界の偏波方向は図中の y 方向である(給電点の配置など、アンテナ構造の非対称性が偏波方向に影響する)。マイクロストリップパッチアンテナは、狭帯域に高い受信感度を持つため、特定の周波数をターゲットとして設計することで、選択的に高い感度での受信を行うことが可能になる。もとい、マイクロストリップパッチアンテナは、PCB 基板上に構成されるマイクロストリップ線路と合わせて使用するためのアンテナである。PCB 基板に実装する場合は、2 層以上の金属層を持つ PCB 基板を用いて放射素子と地導体板を構成する。半導体チップ上に集積する場合は、最上層の金属層を用いて放射素子を構成し、それよりも下層の金属層を用いて地導体板を構成する。地導体板を構成する金属層は、必ずしも放射素子を構成した金属層の直下の金属層や、最下層の金属層を使用する必要はない。地導体板をどの金属層で構成するかにより発生するアンテナ特性の変化は微小である。ただし、地導体板と放射素子の間に他の配線が位置している場合、アンテナ特性が設計値から大きく劣化する可能性がある。そのため、地導体板を構成する金属層の選定にあたっては、その他の回路要素や配線余裕を考慮したうえで選定する必要がある。スロットアンテナは、導体板に細長い切り欠き(スロット)を設けた形状を持つ平面アンテナである。電界の偏波方向はアンテナ面上のスロットと直行する方向(y 方向)である。パッチアンテナは地導体板をもたず、アンテナ面に対して対称な構造を持っている。そのため、パッチアンテナはアンテナ面の上下に対称な放射パターンをもつ。これは、受信した電力が半導体基板方向に流入してしまう可能性がある。この問題を解決するために、スロットアンテナの導体面をアンテナ下部に折り返すことで、基板方向への放射を抑制した研究例がある^[22]。また、スロットアンテナはマイクロストリップパッチアンテナと比較して広帯域な特性を持っている。そのため、スロットアンテナを利用したテラヘルツ波検出器は、ターゲット周波数に限らず安定した利得をもって動作可能である(ただし、ターゲット周波数における利得はマイクロストリップパッチアンテナに劣る)。Bow-tie アンテナは、蝶ネクタイ(Bow-tie)形状の導体板を持った差動型平面アンテナである。この特徴的な形状は、バイコニカルアンテナの平面投射として理解することができる。無限長をもつバイコニカルアンテナの入力インピーダンスは周波数特性がなく、アンテナの開き角によってのみ入力インピーダンスが変化する。つまり無限長のバイコニカルアンテナは、すべての電磁波入射に対して均一な利得での受信を可能にする。もちろんオンチップアンテナとして実装される Bow-tie アンテナは有限長の平面アンテナであるが、先述したマイクロストリップパッチアンテナ・スロットアンテナと比較して、より広帯域な特性を持っている。電界の偏波方向は図中の x 方向である。

アンテナ型テラヘルツ波検出器では、これらのオンチップアンテナによって受信した信号を、後段の検波回路によって検波することで、テラヘルツ波の入射を検出する。検波には、MOSFET を利用した検波回路が用いられる。オンチップアンテナと MOSFET を用いた検波回路は、ともに標準的な Si CMOS プロセスで集積することが可能である。また、Si CMOS プロセスではその他のアナログ回路やデジタル回路も同時に集積することが可能である。具体的な同時集積候補としては、検波波形をデジタル値に変換する A/D(Analog to Digital)変換器や、A/D 変換値をチップ外部に読み出すための制御回路や I/O(Input/Output)回路などが挙げられる。アンテナ型テラヘルツ波検出器は、このような回路要素を同時集積することで、単一の半導体チップ内で、イメージセンサとして必要な機能を実装することができる^[16]。比較として、マイクロボロメータは MEMS プロセスを用いて集積されるが、A/D 変換器などの回路要素は別の半導体チップに異なるプロセスで集積する必要がある。マイクロボロメータチップ単体で利用する場合には、チップ外部に A/D 変換器等を含めた制御・測定用の機能を設ける必要がある。そのため、Si CMOS プロセスによって製造されるアンテナ型テラヘルツ波検出器は、機能あたりのコストとデバイスサイズを削減できる可能性がある。

参考文献 (第 2 章)

- [1] Langley, Samuel Pierpont. "The bolometer and radiant energy." Proceedings of the American Academy of Arts and Sciences. Vol. 16. American Academy of Arts & Sciences, 1880.
- [2] Uchida, Takashi, Akihito Matsushita, and Takashi Tachiki. "High DC sensitivity of VO_x bolometer thin films on Si₃N₄/SiO₂ membranes fabricated by metal–organic decomposition." Japanese Journal of Applied Physics 53.6 (2014): 068009.
- [3] Zhang, Qiming, et al. "TiO_{2-x} films for bolometer applications: recent progress and perspectives." Materials Research Express (2021).
- [4] Gasper, Michael R., et al. "Radio frequency carbon nanotube thin-film bolometer." IEEE Transactions on Microwave Theory and Techniques 65.9 (2017): 3278-3284.
- [5] Müller, E. R., and F. Mast. "A new metal resistor bolometer for measuring vacuum ultraviolet and soft x radiation." Journal of applied physics 55.7 (1984): 2635-2641.
- [6] Rieke, G. H. "Infrared detector arrays for astronomy." Annual Review of Astronomy and Astrophysics 45.1 (2007): 77-115.
- [7] Richards, P. L. "Bolometers for infrared and millimeter waves." Journal of Applied Physics 76.1 (1994): 1-24.
- [8] Tachiki, Takashi, and Takashi Uchida. "Fabrication and evaluation of thin-film spiral-antenna-coupled VO_x microbolometer by metal–organic decomposition." Japanese Journal of Applied Physics 52.4R (2013): 046601.
- [9] Kimura, M. "Microheater and microbolometer using microbridge of SiO₂ film on silicon." Electronics letters 17.2 (1981): 80-82.
- [10] Bhan, R. K., et al. "Uncooled infrared microbolometer arrays and their characterisation techniques." Defence Science Journal 59.6 (2009): 580.
- [11] Yu, Le, et al. "Low-cost microbolometer type infrared detectors." Micromachines 11.9 (2020): 800.
- [12] Niklaus, Frank, Christian Vieider, and Henrik Jakobsen. "MEMS-based uncooled infrared bolometer arrays: a review." MEMS/MOEMS technologies and applications III 6836 (2008): 125-139.
- [13] Cibella, S., et al. "Optical characterization of a superconducting hotspot air-bridge bolometer." 35th International Conference on Infrared, Millimeter, and Terahertz Waves. IEEE, 2010.
- [14] Wang, Hongchen, et al. "IR microbolometer with self-supporting structure operating at room temperature." Infrared Physics & Technology 45.1 (2004): 53-57.

- [15] Rudge, Alan W., and K. Milne, eds. The handbook of antenna design. Vol. 16. Iet, 1982.
- [16] Yokoyama, Sayuri, et al. "5.8 A 32×32 -Pixel 0.9 THz Imager with Pixel-Parallel 12b VCO-Based ADC in $0.18 \mu\text{m}$ CMOS." 2019 IEEE International Solid-State Circuits Conference-(ISSCC). IEEE, 2019.
- [17] Ojefors, Erik, et al. "A 0.65 THz focal-plane array in a quarter-micron CMOS process technology." IEEE Journal of Solid-State Circuits 44.7 (2009): 1968-1976.
- [18] Xu, Lei - Jun, et al. "Design of miniaturised on - chip slot antenna for THz detector in CMOS." IET Microwaves, Antennas & Propagation 12.8 (2018): 1324-1331.
- [19] Schuster, Franz, et al. "A broadband THz imager in a low-cost CMOS technology." 2011 IEEE International Solid-State Circuits Conference. IEEE, 2011.
- [20] Schuster, Franz, et al. "Broadband terahertz imaging with highly sensitive silicon CMOS detectors." Optics express 19.8 (2011): 7827-7832.
- [21] Ikamas, Kęstutis, et al. "Broadband terahertz power detectors based on 90-nm silicon CMOS transistors with flat responsivity up to 2.2 THz." IEEE Electron Device Letters 39.9 (2018): 1413-1416.
- [22] Kanazawa, Yuri, et al. "Wideband terahertz imaging pixel with a small on-chip antenna in 180 nm CMOS." Japanese Journal of Applied Physics 58.SB (2019): SBBL06.

第 3 章

検波回路とオンチップアンテナ

第 2 章で述べたように、オンチップアンテナ型テラヘルツ波検出器は高い集積性と、それによるデバイスコストの低減可能性から注目を集めている。本章では、アンテナ型テラヘルツ波検出器に用いる、検波回路とオンチップアンテナの構成・動作原理について述べる。

3.1 二乗検波回路

アンテナ型テラヘルツ波検出器には、MOSFET を用いた二乗検波回路が利用される。二乗検波回路の構成には FET を用いるため、Si CMOS プロセスを含めた幅広いプロセスで実装することが可能である。二乗検波は、検波出力が入力信号の二乗に比例する検波方式の総称である。二乗検波は、振幅変調(AM: Amplitude Modulated)された信号を復号するために用いられることが多い。古くは、ゲルマニウムダイオードを用いたゲルマニウムラジオの検波方式も二乗検波である(図 3.1)。3.1.1~3.1.3 節は、テラヘルツ領域における二乗検波回路の詳細を解析した論文「Analysis of square-law detector for high-sensitive detection of terahertz waves」^[1]および「Impact of subthreshold slope on sensitivity of square law detector for high frequency radio wave detection」^[2]で述べられている内容について、論文中で省略されている計算過程や計算式等を補いつつ、その内容をまとめたものである。3.1.4 節では、実際に用いる二乗検波回路の構成と動作について述べる。

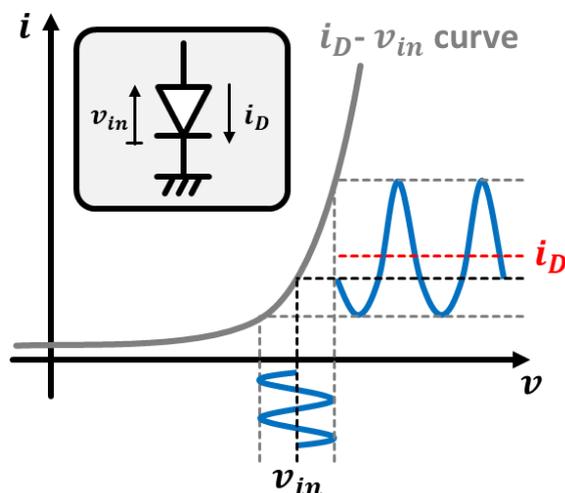


図 3.1 ダイオードの I-V 特性と二乗検波

3.1.1 分布定数回路としての MOSFET とチャネル解析

図 3.2 に MOSFET を用いた二乗検波回路の回路図を示す。入力信号の周波数が MOSFET のカットオフ周波数より十分に低い場合、二乗検波回路は図 3.2(a)に示したような集中定数回路として記述することができる。しかし、入力信号がテラヘルツ波帯のような、カットオフ周波数を超える(あるいはカットオフ周波数近傍の)周波数を持つ場合、MOSFET を単一の回路記号(集中定数回路)として記載するのは不適切である。このような条件下においては、二乗検波回路は分布定数回路を用いて、図 3.2(b)のように表すことができる。図 3.2(b)中に示されている、分布定数回路の繰り返しセグメント N は、その各々が二乗検波回路として動作する。ここで、コンダクタンス g_N を流れる電流 $i_{g,N}$ と、キャパシタンス C_N に流れ込む電流 $i_{C,N}$ の関係は、キルヒホッフの法則から式 (3.1.1) のように表される。

$$i_{g,N-1} - i_{g,N} = i_{C,N} \quad (3.1.1)$$

また、 $i_{g,N}$ は局所ゲート・チャネル間電位 v_N を用いて、式(3.1.2)のように表せる。

$$i_{g,N} = g_N(v_N - v_{N+1}) \quad (3.1.2)$$

ここで、 g_N は位置 x ・時刻 t におけるゲート・チャネル間電位 $v(x, t)$ 、セグメント長 Δx 、また、単位長あたりの伝導率 $G(v(x, t))$ を用いて式(3.1.3)のように表すことができる。た

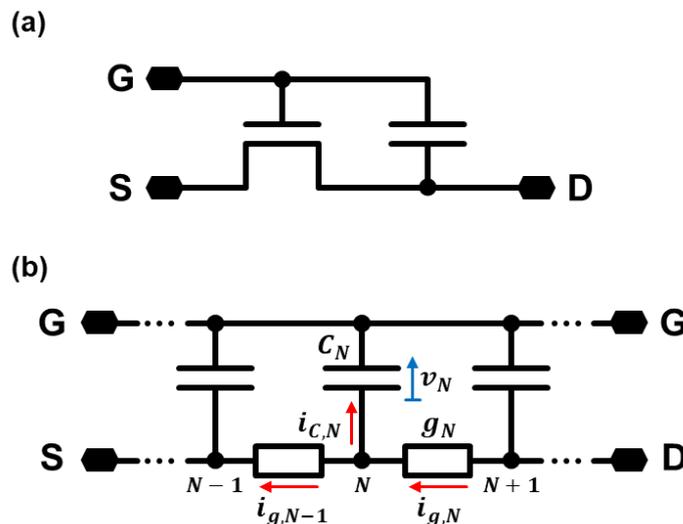


図 3.2 MOSFET による二乗検波回路

- (a) 集中定数回路により表記した二乗検波回路
- (b) 分布定数回路により表記した二乗検波回路

3.1 二乗検波回路

だし、ここでいう単位長あたりの電気伝導率とは、電気伝導率 σ (SI 単位: S/m) に対して、断面積 A (SI 単位: m^2) を乗じたものであることに注意する。

$$g_N = \frac{G(v(N \Delta x, t))}{\Delta x} \quad (3.1.3)$$

次に、UCCM(Unified Charge Control Model)^[3]を使用し、チャネルキャリア密度 n を求める。チャネルキャリア密度 n は、単位面積当たりのゲート容量 C_{ox} 、素電荷 q 、ボルツマン定数 k_B 、絶対温度 T 、ゲート電圧 V_g 、閾値電圧 V_{th} 、また、ゲート酸化膜容量と空乏層容量に起因するデバイス構造由来の定数(理想係数) η を用いて、式(3.1.4)のように表せる。

$$n = C_{ox} \frac{\eta k_B T}{q^2} \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \quad (3.1.4)$$

また、理想係数 η は、サブスレッショルド係数(SS: Subthreshold Slope) S を用いて式(3.1.5)のように表せる。

$$\eta = \frac{q}{k_B T} \frac{S}{\ln 10} \quad (3.1.5)$$

ここで、各セグメントのキャパシタンス $C_N = C_{ox} W \Delta x$ に流れ込む電荷 Q と電流 $i_{C,N}$ に注目すると、 $i_{C,N} = \frac{dQ}{dt} = \frac{d}{dt}(qn)$ である。この式に、式(3.1.4)および $V_g = v_N$ を用いることで以下の式(3.1.6)を得る。ただし、式中の W はゲート幅である。

$$i_{C,N} = \frac{d}{dt}(qn) = C_{ox} W \Delta x \frac{\exp\left(\frac{q(v_N - V_{th})}{\eta k_B T}\right)}{1 + \exp\left(\frac{q(v_N - V_{th})}{\eta k_B T}\right)} \frac{dv_N}{dt} \quad (3.1.6)$$

式(3.1.1)から式(3.1.3)より、 $i_{C,N}$ は以下のように変形することができる。ただし、分布定数回路中にて、 $N \Delta x = x$ とした。つまり、位置 x とセクション N が対応しており、位置 $x + \Delta x$ はセクション $N + 1$ と対応しており、また、 $v_N = v(x, t)$ である。

$$\begin{aligned} i_{C,N} &= i_{g,N-1} - i_{g,N} \\ &= g_{N-1}(v_{N-1} - v_N) - g_N(v_N - v_{N+1}) \end{aligned}$$

$$\begin{aligned}
&= \Delta x \left(-g_{N-1} \frac{v_N - v_{N-1}}{x - (x - \Delta x)} + g_N \frac{v_{N+1} - v_N}{(x + \Delta x) - x} \right) \\
&= \Delta x \left(-g_{N-1} \frac{\partial v(x - \Delta x, t)}{\partial x} + g_N \frac{\partial v(x, t)}{\partial x} \right) \\
&= \Delta x \left(g_N \frac{\partial v(x, t)}{\partial x} - g_{N-1} \frac{\partial v(x - \Delta x, t)}{\partial x} \right) \\
&= \Delta x \left(\frac{G(v(N \Delta x, t))}{\Delta x} \frac{\partial v(x, t)}{\partial x} - \frac{G(v((N-1) \Delta x, t))}{\Delta x} \frac{\partial v(x - \Delta x, t)}{\partial x} \right) \\
&= \Delta x \left(\frac{G(v(x, t)) \frac{\partial v(x, t)}{\partial x} - (v(x - \Delta x, t)) \frac{\partial v(x - \Delta x, t)}{\partial x}}{x - (x - \Delta x)} \right) \\
&= \Delta x \frac{\partial}{\partial x} \left[G(v(x, t)) \frac{\partial v(x, t)}{\partial x} \right]
\end{aligned}$$

よって、 $i_{c,N}$ は式(3.1.7)のように表すことができる。

$$i_{c,N} = \Delta x \frac{\partial}{\partial x} \left[G(v(x, t)) \frac{\partial v(x, t)}{\partial x} \right] \quad (3.1.7)$$

最後に、式(3.1.6)および式(3.1.7)から、偏微分方程式(3.1.8)を得る。ただし、式(3.1.8)に含まれる $G(v(x, t))$ は、この後に示す式(3.1.22)と式(3.1.32)が該当する。

$$\frac{\partial}{\partial x} \left[G(v(x, t)) \frac{\partial v(x, t)}{\partial x} \right] = C_{ox} W \frac{\exp\left(\frac{q(v(x, t) - V_{th})}{\eta k_B T}\right)}{1 + \exp\left(\frac{q(v(x, t) - V_{th})}{\eta k_B T}\right)} \frac{\partial}{\partial t} v(x, t) \quad (3.1.8)$$

偏微分方程式(3.1.8)を解くことで、チャネル中の電位分布を求めることができる。この偏微分方程式の境界条件として、ソース端($x = 0$)およびドレイン端($x = L$)におけるゲート・チャネル間電位 $v(x, t)$ とゲート幅あたりの電流 $j(x, t)$ を考慮すると、式(3.1.9)および式(3.1.10)を得る。

$$v(x, t)|_{x=0} = V_g + V_{RF} \sin \omega t \quad (3.1.9)$$

$$j(x, t)|_{x=L} = 0 \quad (3.1.10)$$

3.1 二乗検波回路

3.1.2 チャンネル中におけるドリフト成分の解析

次に、図 3.2(b)に示した二乗検波回路の直流成分回路モデルについて考察する。この過程では、偏微分方程式(3.1.8)に含まれるコンダクタンス $G(v(x,t))$ が求まる。回路モデル中の直流電流源 I は、ドリフト電流成分 i_{dri} と拡散電流成分 i_{dif} からなる。以下の考察では UCCM を使用する。初めに、ドリフト成分のコンダクタンス G_{dri} と電流 I_{dri} を求める。一般に、ドリフト電流 I_{dri} は、素電荷 q ・キャリア密度 n ・キャリア速度 v ・ゲート幅 W を用いて式(3.1.11)のように表せる。

$$i_{dri}(t) = -qnvW \quad (3.1.11)$$

また、キャリア速度 v は、位置 x ・時刻 t における局所チャンネル電位 $v_c(x,t)$ を用いて式(3.1.12)のように表せる。

$$v = -\mu \frac{\partial v_c(x,t)}{\partial x} \quad (3.1.12)$$

式(3.1.4)と式(3.1.11)および式(3.1.12)から、式(3.1.13)を得る。ただし、式(3.1.13)における局所チャンネル電位 $v_c(x,t)$ は、ソース端($x=0$)とドレイン端($x=L$)において、それぞれ $v_c(0,t)=0$ と $v_c(L,t)=v_{ds}(t)$ である。

$$i_{dri}(t) = \mu C_{ox} W \frac{\eta k_B T}{q} \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \frac{\partial v_c(x,t)}{\partial x} \quad (3.1.13)$$

また、ゲート電圧 $v_{gs}(t)$ およびドレイン電圧 $v_{ds}(t)$ は、以下の式(3.1.14)および式(3.1.15)で与えられる。

$$v_{gs}(t) = v_{RF}(t) + V_g \quad (3.1.14)$$

$$v_{ds}(t) = v_{RF}(t) \quad (3.1.15)$$

式(3.1.13)の両辺に対して、 x についての区間 0 から L における定積分を行い、これを式変形することで、式(3.1.16)を得る。

$$\begin{aligned}
i_{dri}(t) \int_0^L dx &= \mu C_{ox} W \frac{\eta k_B T}{q} \int_0^L \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \frac{\partial v_c(x, t)}{\partial x} dx \\
L i_{dri}(t) &= \mu C_{ox} W \frac{\eta k_B T}{q} \int_0^{v_{ds}(t)} \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] dv_c \\
i_{dri}(t) &= \mu C_{ox} \frac{W \eta k_B T}{L q} \int_0^{v_{ds}(t)} \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] dv_c \quad (3.1.16)
\end{aligned}$$

ここで、 $\ln(1 + \exp x)$ の、 $x = a$ におけるテーラー展開は式(3.1.17)の通りである。

$$\ln(1 + \exp x) = \ln(1 + \exp a) + \frac{\exp a}{1 + \exp a} (x - a) + \frac{1}{2!} \frac{\exp a}{(1 + \exp a)^2} (x - a)^2 + \dots \quad (3.1.17)$$

式(3.1.16)の右辺を求めるため、式(3.1.17)を用いる。ただし、式(3.1.17)の右辺における、 $(x - a)^2$ を含むそれ以降の項については、積分後に直流成分を含まないことから省略することができる。また、入力信号を $v_{RF}(t) = V_{RF} \sin \omega t$ とする。この結果、式(3.1.18)を得る。

$$\begin{aligned}
i_{dri}(t) &= \mu C_{ox} \frac{W \eta k_B T}{L q} \left\{ \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] V_{RF} \sin \omega t \right. \\
&\quad \left. + \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \frac{1}{2} \frac{q}{\eta k_B T} V_{RF}^2 \sin^2 \omega t \right\} \quad (3.1.18)
\end{aligned}$$

得られた $i_{dri}(t)$ のうち、 $\sin^2 \omega t = \frac{1}{2}(1 - \cos 2\omega t)$ であるから、直流成分は $\sin^2 \omega t$ の項に含まれている。よって、ドリフト電流 $i_{dri}(t)$ に含まれる、ドリフト電流の直流成分 $I_{dri}(t)$ は、式(3.1.19)のように求まる。

$$I_{dri}(t) = \mu C_{ox} \frac{W}{L} \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \frac{V_{RF}^2}{4} \quad (3.1.19)$$

3.1 二乗検波回路

また、式(3.1.19)に式(3.1.5)の理想係数 η を代入すると、式(3.1.20)を得る。

$$I_{dri}(t) = \mu C_{ox} \frac{W}{L} \frac{\exp\left[\frac{\ln 10}{S}(V_g - V_{th})\right]}{1 + \exp\left[\frac{\ln 10}{S}(V_g - V_{th})\right]} \frac{V_{RF}^2}{4} \quad (3.1.20)$$

ドリフト電流に関わるチャネルコンダクタンスを $g_{dri}(t)$ とすると、 $g_{dri}(t) = \frac{\partial i_{dri}(t)}{\partial v_{ds}(t)} = \frac{\partial i_{dri}(t)}{\partial V_{RF} \sin \omega t}$ と表すことができる。式(3.1.18)の両辺を $v_{ds}(t) = V_{RF} \sin \omega t$ で偏微分し式(3.1.5)の理想係数 η を代入すると、式(3.1.21)を得る。

$$g_{dri}(t) = \mu C_{ox} \frac{W}{L} \frac{S}{\ln 10} \left\{ \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] + \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \frac{q}{\eta k_B T} v_{ds}(t) \right\} \quad (3.1.21)$$

よって、ドリフト電流に関わるコンダクタンス $g_{dri}(t)$ に含まれる、ドリフト電流に関わるコンダクタンスの直流成分 $G_{dri}(t)$ は、式(3.1.22)のように求まる。

$$G_{dri}(t) = \mu C_{ox} \frac{W}{L} \frac{S}{\ln 10} \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \quad (3.1.22)$$

また、式(3.1.20)と式(3.1.22)を用いることで、ドリフト電流によるドレイン端子出力電圧 $V_{dri}(t) = \frac{I_{dri}(t)}{G_{dri}(t)}$ を、式(3.1.23)のように求めることができる。

$$V_{dri}(t) = \frac{I_{dri}(t)}{G_{dri}(t)} = \frac{V_{RF}^2 \exp\left[\frac{\ln 10}{S}(V_g - V_{th})\right]}{4 \left\{ 1 + \exp\left[\frac{\ln 10}{S}(V_g - V_{th})\right] \right\} \ln \left\{ 1 + \exp\left[\frac{\ln 10}{S}(V_g - V_{th})\right] \right\}} \frac{\ln 10}{S} \quad (3.1.23)$$

この結果から、この MOSFET の入出力特性は $V_{dri}(t) \propto V_{RF}^2$ であり、ドリフト成分について二乗検波が行われていることがわかる。

3.1.3 チャンネル中における拡散成分の解析

次に、図 3.2(b)に示した回路モデルにおける、拡散成分について考察する。拡散電流 $i_{dif}(t)$ は、拡散係数 D_n を用いて、式(3.1.24)のように表すことができる。また、式(3.1.4)を式(3.1.24)に代入し、式(3.1.25)を得る。

$$i_{dif}(t) = -qD_nW \frac{dn}{dx} \quad (3.1.24)$$

$$i_{dif}(t) = -D_nC_{ox} \frac{\eta k_B T}{q} W \frac{d}{dx} \left\{ \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \right\} \quad (3.1.25)$$

式(3.1.25)の両辺に対して、 x についての区間0から L における定積分を行い、これを式変形することで、式(3.1.26)を得る。ただし、式(3.1.26)における局所チャンネル電位 $V(x, t)$ は、ソース端($x=0$)とドレイン端($x=L$)において、それぞれ $V(0, t) = v_{gs}(t) - V_{th}$ と $V(L, t) = v_{gs}(t) - V_{th} - v_{ds}(t)$ である。

$$\begin{aligned} i_{dif}(t) \int_0^L dx &= -D_nC_{ox} \frac{\eta k_B T}{q} W \int_0^L \frac{d}{dx} \left\{ \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \right\} dx \\ L i_{dif}(t) &= -D_nC_{ox} \frac{\eta k_B T}{q} W \left\{ \ln \left[1 + \exp \frac{q(v_{gs}(t) - V_{th} - v_{ds}(t))}{\eta k_B T} \right] \right. \\ &\quad \left. - \ln \left[1 + \exp \frac{q(v_{gs}(t) - V_{th})}{\eta k_B T} \right] \right\} \\ i_{dif}(t) &= -D_nC_{ox} \frac{\eta k_B T W}{q L} \left\{ \ln \left[1 + \exp \frac{q(v_{gs}(t) - V_{th} - v_{ds}(t))}{\eta k_B T} \right] \right. \\ &\quad \left. - \ln \left[1 + \exp \frac{q(v_{gs}(t) - V_{th})}{\eta k_B T} \right] \right\} \quad (3.1.26) \end{aligned}$$

また、式(3.1.14)と式(3.1.15)を式(3.1.26)に用いることで、式(3.1.27)を得る。

$$\begin{aligned} i_{dif}(t) &= -D_nC_{ox} \frac{\eta k_B T W}{q L} \left\{ \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \right. \\ &\quad \left. - \ln \left[1 + \exp \frac{q(V_{RF}(t) + V_g - V_{th})}{\eta k_B T} \right] \right\} \quad (3.1.27) \end{aligned}$$

3.1 二乗検波回路

ここで、式(3.1.27)の右辺を求めるため、式(3.1.17)のテーラー展開結果を用いる。ただし、式(3.1.17)の右辺における、 $(x - a)^3$ を含むそれ以降の項を省略して近似した。また、入力信号を $v_{RF}(t) = V_{RF} \sin \omega t$ とする。この結果、式(3.1.28)を得る。

$$\begin{aligned}
 i_{dif}(t) &= -D_n C_{ox} \frac{\eta k_B T W}{q} \left\{ \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \right. \\
 &\quad \left. - \ln \left[1 + \exp \frac{q(V_{RF} \sin \omega t + V_g - V_{th})}{\eta k_B T} \right] \right\} \\
 i_{dif}(t) &= -D_n C_{ox} \frac{\eta k_B T W}{q} \left(\ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] \right. \\
 &\quad \left. - \left\{ \ln \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right] + \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \frac{q}{\eta k_B T} V_{RF} \sin \omega t \right. \right. \\
 &\quad \left. \left. + \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{2 \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right]^2} \frac{q^2}{\eta^2 k_B^2 T^2} V_{RF}^2 \sin^2 \omega t \right\} \right) \\
 i_{dif}(t) &= D_n C_{ox} \frac{\eta k_B T W}{q} \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \left\{ \frac{q}{\eta k_B T} V_{RF} \sin \omega t \right. \\
 &\quad \left. + \frac{q^2 V_{RF}^2 \sin^2 \omega t}{2 \eta^2 k_B^2 T^2 \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right]} \right\} \\
 i_{dif}(t) &= D_n C_{ox} \frac{W}{L} \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \left\{ V_{RF} \sin \omega t + \frac{q}{\eta k_B T} \frac{V_{RF}^2 \sin^2 \omega t}{2 \left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T} \right]} \right\} \quad (3.1.28)
 \end{aligned}$$

得られた $i_{dif}(t)$ のうち、 $\sin^2 \omega t = \frac{1}{2}(1 - \cos 2\omega t)$ であるから、直流成分は $\sin^2 \omega t$ の項に含まれている。よって、拡散電流 $i_{dif}(t)$ に含まれる、拡散電流の直流成分 $I_{dif}(t)$ は、式(3.1.29)のように求まる。

$$I_{dif}(t) = D_n C_{ox} \frac{W}{L} \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{\left[1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}\right]^2} \frac{q}{\eta k_B T} \frac{V_{RF}^2}{4} \quad (3.1.29)$$

また、拡散係数は、キャリア移動度 μ などを用いて $D_n = \frac{\mu k_B T}{q}$ と表せる。これと式(3.1.5)の理想係数 $\eta = \frac{q}{k_B T} \frac{S}{\ln 10}$ を用いて式(3.1.29)を書き換えると、式(3.1.30)を得る。

$$I_{dif}(t) = \frac{k_B T}{q} \mu C_{ox} \frac{W}{L} \frac{\exp \left[\frac{\ln 10}{S} (V_g - V_{th}) \right]}{\left\{ 1 + \exp \left[\frac{\ln 10}{S} (V_g - V_{th}) \right] \right\}^2} \frac{\ln 10}{S} \frac{V_{RF}^2}{4} \quad (3.1.30)$$

拡散電流に関わるチャネルコンダクタンスを $g_{dif}(t)$ とすると、 $g_{dif}(t) = \frac{\partial i_{dif}(t)}{\partial v_{ds}(t)} = \frac{\partial i_{dif}(t)}{\partial V_{RF} \sin \omega t}$ と表すことができる。式(3.1.28)の両辺を $v_{ds}(t) = V_{RF} \sin \omega t$ で偏微分すると、式(3.1.31)を得る。

$$g_{dif}(t) = D_n C_{ox} \frac{W}{L} \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \left\{ 1 + \frac{q}{\eta k_B T} \frac{V_{RF} \sin \omega t}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \right\} \quad (3.1.31)$$

よって、拡散電流に関わるコンダクタンス $g_{dif}(t)$ に含まれる、拡散電流に関わるコンダクタンスの直流成分 $G_{dif}(t)$ は、式(3.1.32)のように求まる。

$$G_{dif}(t) = D_n C_{ox} \frac{W}{L} \frac{\exp \frac{q(V_g - V_{th})}{\eta k_B T}}{1 + \exp \frac{q(V_g - V_{th})}{\eta k_B T}} \quad (3.1.32)$$

また、式(3.1.30)と式(3.1.32)を用いることで、ドリフト電流によるドレイン端子出力電圧 $V_{dif}(t) = \frac{I_{dif}(t)}{G_{dif}(t)}$ を、式(3.1.33)のように求めることができる。

3.1 二乗検波回路

$$V_{dif}(t) = \frac{I_{dif}(t)}{G_{dif}(t)} = \frac{V_{RF}^2}{4 \left\{ 1 + \exp \left[\frac{\ln 10}{S} (V_g - V_{th}) \right] \right\}} \frac{\ln 10}{S} \quad (3.1.33)$$

この結果から、この MOSFET の入出力特性は $V_{dif}(t) \propto V_{RF}^2$ であり、拡散成分について二乗検波が行われていることがわかる。また、前節と本節の結果から、MOSFET のチャネル中では、ドリフト成分と拡散成分の双方において二乗検波が行われていることが示された。

3.1.4 テラヘルツ波検出回路

本節では、これまでに述べた理論に基づき、機能的な拡張を行った二乗検波回路(以後、これをテラヘルツ波検出回路と呼称する)の構成および動作について述べる。図 3.3 に、テラヘルツ波検出回路の回路図を示す。テラヘルツ波検出回路は、カスコードアンプ(Cascode amp)とサブスレッショルドオペアンプ(Subthreshold op-amp)という、2つのアンプ回路から構成されている^[4-5]。3.2 節で述べるオンチップアンテナによって受信された信号は、カスコードアンプに入力される。3.1.1~3.1.3 節で述べた原理に基づいて、受信された信号はカスコードアンプの入力段 MOSFET によって二乗検波される。テラヘルツ波検出回路では、カスコードアンプを介してこの検波波形を出力する。カスコードアンプは、MOSFET 単一での増幅回路と比較して低周波における利得が大きい。先に述べた通り、検波波形はテラヘルツ波が MOSFET に入力された結果発生する直流

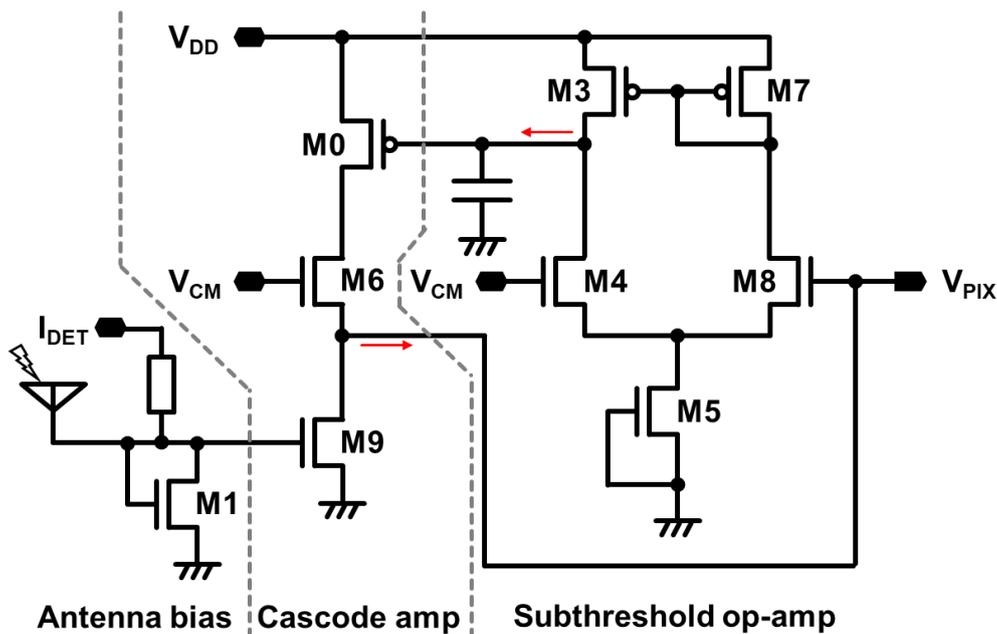


図 3.3 テラヘルツ波検出回路

成分の信号を指す。そのため、カスコードアンプを用いることで、検波利得が改善される。また、カスコードアンプを構成することで、入出力間における信号のアイソレーションが強化される。単一の MOSFET を用いて検波を行った場合、ゲート・ドレイン間はゲート容量と寄生容量によって結合されているため、出力(ドレイン端)にテラヘルツ波帯の信号が混入する可能性が高い。テラヘルツ波の検波はカスコードアンプによって行われるが、カスコードアンプを構成する MOSFET の製造ばらつきによって、検波波形のオフセット成分がばらつく可能性がある。この問題は、オンチップアンテナとカスコードアンプを複数組用いてテラヘルツイメージセンサを構成した際に、固定パターンの雑音として表れてしまう。そこで、テラヘルツ波検出回路では、サブスレッショルドオペアンプというアンプを、カスコードアンプに対する負帰還要素として用いている。サブスレッショルドオペアンプは、カスコードアンプの出力値を一定にするように動作する。ただし、サブスレッショルドオペアンプはそのテール電流源を担う MOSFET(M \odot)のゲート端子が接地電位にバイアスされている。その結果、サブスレッショルドオペアンプの動作速度は非常に遅くなり、そのカットオフ周波数は 100Hz 程度である。つまり、サブスレッショルドオペアンプは、カスコードアンプの出力信号のごく低周波成分(\sim 直流成分)に対してのみ負帰還を行う。その結果、サブスレッショルドオペアンプの負帰還動作により、カスコードアンプ出力の直流オフセット成分が抑制される。これら 2 つのアンプの周波数特性を図 3.4 に示す。サブスレッショルドオペアンプによって負帰還が行われるとき、テラヘルツ波検出器全体は図 3.4 に示すようなバンドパス特性 $A(\omega)$ を得る^[6]。OOK(On-OFF Keying)変調されたテラヘルツ波信号の検出を行う場合において、このバンドパス特性が最大/最小の OOK 変調周波数を決定する。また、テラヘルツ検出器のなかで主要となる雑音は $1/f$ ノイズ(フリッカーノイズ)である。カスコードアンプとサブスレッショルドオペアンプを用いたテラヘルツ検出器では、そのバンドパス特性から $1/f$ ノイズを大幅に削減することも可能である^[6]。

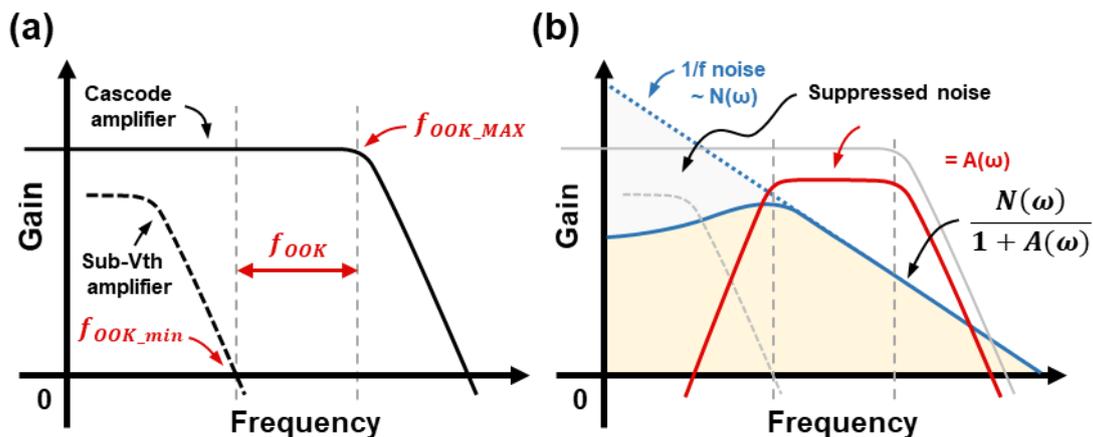


図 3.4 テラヘルツ波検出回路の周波数特性

(a) 各アンプの周波数特性 (b) テラヘルツ波検出回路のバンドパス特性

3.2 オンチップアンテナ

アンテナ型テラヘルツ波検出器には、前節で述べたテラヘルツ波検出回路とあわせてオンチップアンテナを用いる。オンチップアンテナは半導体集積技術によって、半導体チップ上に集積されるアンテナである。3.1 節で述べたテラヘルツ波検出回路は FET を用いた検波回路であり、各種の FET プロセスを用いて集積することができる。FET プロセスの中でも、特に Si CMOS プロセスは、大規模集積回路(LSI : Large-Scale Integration)の集積をはじめとして、様々な集積回路の製造に用いられる標準的な半導体集積プロセスといえる。テラヘルツ波検出回路は Si CMOS プロセスで集積することが可能である。Si CMOS プロセスでは、Si 基板上に各種トランジスタを集積し、それらを上層に集積する金属層(配線層)を用いて結線し、目的の集積回路を構成している。金属層の層数はプロセスルールにより異なるが、少なくとも 5 層程度の金属層を用いて配線を構成することができる。金属層は電気的な配線だけではなく、その構造によって機能を持たせることが可能である。例えば、意図的に信号遅延させるためのミアンダ配線や、配線をうずまき状に配置することでインダクタを構成することが可能である。オンチップアンテナも同様に金属層を用いて構成することが可能であり、また、金属層は本来でいうところの配線であるから、アンテナを直接任意の配線・回路に接続することが可能である。そのため、オンチップアンテナとテラヘルツ波検出回路は同一のプロセスで同時に集積可能であるだけでなく、それらの接続のために一切の後加工を必要としない。ボロメータ型テラヘルツ波検出器では、マイクロボロメータと、その出力を読み出すための機能的な集積回路は、それぞれ別の半導体チップ上に集積される。これらの接続には、ボンディングワイヤや外部のインターポーザ基板、あるいは、Si 貫通電極(TSV: Through-Silicon Via)^[7]を用いる必要がある。これらによる部品点数の増加は、デバイスコストの増大や、製品パッケージとして見た際の故障率の増加につながる可能性がある。そのため、オンチップアンテナとテラヘルツ波検出回路の同時集積が可能なアンテナ型テラヘルツ波検出器は、単一の半導体チップ(モノリシックなデバイス)としての優位性を持っている。本節では、アンテナ型テラヘルツ波検出器に用いるオンチップアンテナの構造や特性について述べる。

3.2.1 マイクロストリップパッチアンテナ

マイクロストリップパッチアンテナは、誘電体によって隔てられた 2 枚の導体板によって構成されるアンテナである。2 枚の導体板はそれぞれ、放射素子・地導体板としてはたらく。マイクロストリップパッチアンテナの動作原理について以下に述べる。図 3.5 は、 TM_{10} モード動作時のマイクロストリップパッチアンテナの構造と電位分布・電界放射の様子を示している。マイクロストリップパッチアンテナの放射素子金属板の長さを L 、また、ターゲットとする電磁波の波長を λ とする。 $L = \lambda/2$ の条件を満たす場合、

図 3.5 に示したように、放射素子金属板の両端において、その電位が逆転した状態となる。ここで、地導体板は接地電位にバイアスされている。そのため、地導体板から放射素子金属板の負電位側に向けて、また、放射素子金属板の正電位側から地導体板に向けて、それぞれ高電位側から低電位側に向けて電界が生じる。このような電界を、フリンジング電界という。放射素子金属板の両端におけるフリンジング電界は、アンテナ面と垂直な軸上から見た場合、同一の方向を向いている。この同一方向を向く電界は、巨視的に見ると一つの大きな電界を作っており、ここからマクスウェル方程式に沿った電磁波放射が発生する。図 3.5 はある時刻におけるマイクロストリップパッチアンテナの状態を表している。ここから半周期が経過した時点では、放射素子金属板中の電位分布も逆転しており、フリンジング電界の方向もまた逆転している。このように、放射素子金属板の近辺でフリンジング電界が変化し続けることにより、繰り返し電磁波が放射され続ける。無限の地導体板を持つ理想的な方形マイクロストリップパッチアンテナの共振周波数 f_r は、フリンジング電界の影響を考慮した等価的な放射素子長 L_e 、真空中の光速 c_0 、また、誘電体の比誘電率 ϵ_r を用いて、式(3.2.1)のように表せる。

$$f_r = \frac{c_0}{2L_e\sqrt{\epsilon_r}} \quad (3.2.1)$$

また、等価的な放射素子長 L_e は式(3.2.2)、式(3.2.3)、および、式(3.2.4)のように表せる。ただし、これらの式中における h は誘電体の膜厚である。

$$L_e = L(1 + \Delta) \frac{\sqrt{\epsilon_{re}(L)\epsilon_{re}(W)}}{\epsilon_r} \quad (3.2.2)$$

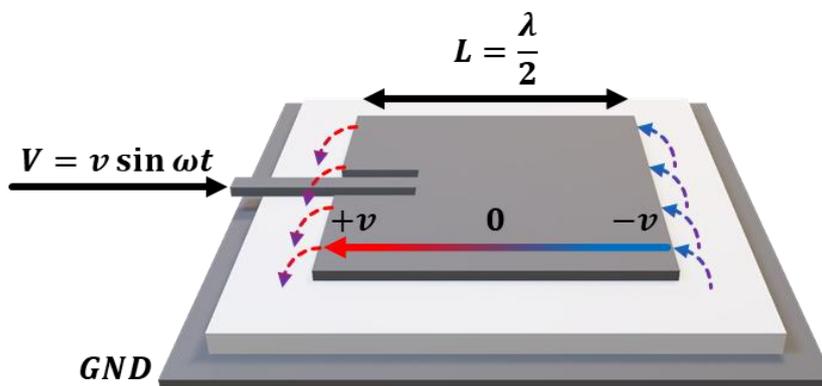


図 3.5 マイクロストリップパッチアンテナの動作
図中の破線がフリンジング電界(電界放射の根源)である

3.2 オンチップアンテナ

$$\Delta = \frac{h}{L} \left\{ 0.882 + \frac{0.164(\varepsilon_r - 1)}{\varepsilon_r^2} + \frac{\varepsilon_r + 1}{\pi \varepsilon_r} \left[0.758 + \ln \left(\frac{L}{h} + 1.88 \right) \right] \right\} \quad (3.2.3)$$

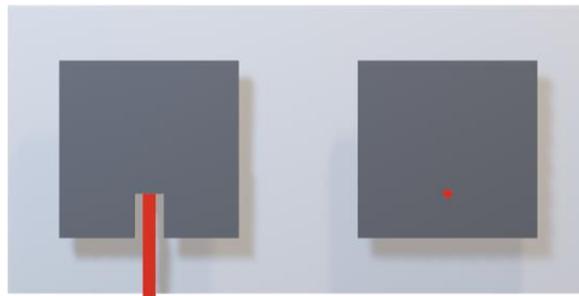
$$\varepsilon_{re}(x) = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2} \left(1 + \frac{12h}{x} \right)^{-\frac{1}{2}} \quad (3.2.4)$$

例えば、オンチップアンテナを想定して $h = 10 \mu\text{m}$ 、 $L = W = 100 \mu\text{m}$ 、また、誘電体として SiO_2 が使用されることを想定して $\varepsilon_r = 3.8$ 、これらを用いて共振周波数 f_r を求める。このとき、 $\varepsilon_r = 3.34$ 、 $\Delta = 0.221$ 、 $L_e = 107 \mu\text{m}$ 、 $f_r = 0.715 \text{ THz}$ と求まり、マイクロストリップパッチアンテナは、テラヘルツ波向けのオンチップアンテナとして適当な寸法・共振周波数をもつことが分かる。

次にマイクロストリップパッチアンテナの給電方法について述べる。アンテナ技術に用いる給電方式は、直接給電方式と電磁結合給電方式の2つに大別される。直接給電方式は、放射素子に対して直接伝送線路を接続し励振する方式である。電磁結合給電方式は、放射素子は電氣的に浮いた状態になっており、その付近に設けられた給電線路から非接触に給電を受け、アンテナを励振する方式である。マイクロストリップパッチアンテナは直接給電方式を用いるアンテナである。また、先述の通り、マイクロストリップパッチアンテナは放射素子と地導体板をもつアンテナであり、放射素子に対する給電経路のリターンパスは地導体板が担う(非平衡給電)。マイクロストリップパッチアンテナに対する直接給電の方法は、背面同軸給電と共平面給電という2つの方式に分けられる。これらの模式図を図3.6に示す。背面同軸給電は、放射素子の背面(アンテナ平面の下部)に給電点を設ける方式である。本来、マイクロストリップパッチアンテナの背面には誘電体と地導体板が存在するが、背面同軸給電では、これらを垂直に貫くアンテナ軸と同軸の給電線路を設けている。この方式では、放射素子上の任意の点に給電点を設定することが可能である。給電点の配置は、アンテナの入力インピーダンスに影響する。アンテナの入力インピーダンスは、給電点における電圧と電流の比に等しい。マイクロストリップパッチアンテナでは、放射素子の中央に近づくほど電流密度が増加する。そのため、放射素子の中央に給電点を設けた場合、入力インピーダンスは0となり、放射素子の端点(フリッジング電界の周辺)に給電点を設けた場合、入力インピーダンスは数百オーム程度の大きな値となる。つまり、背面同軸給電方式では、入力インピーダンスの制御性が高く、後段のテラヘルツ波検出回路とのインピーダンス整合を取りやすい

利点がある。一方で、誘電体・地導体板を貫く給電線路を設けるために、加工工程が増える可能性がある。PCB 基板上に設けるマイクロストリップパッチアンテナであれば、基板背面から穴あけ加工を行い、給電線路をはんだ付けすることで実装可能である。半導体チップ上で背面同軸給電を実装する場合は、アンテナ面と直交する導体として金属層間を電氣的に接続するビアが使用できる可能性がある。しかし、ビアは単体で数オーム程度の抵抗値を持っている。先述の通り、放射素子は最上層の金属層を用いて実装する。そのため、最上層(放射素子)から最下層(テラヘルツ波検出回路)までの給電線路を設けるためには、金属層数に応じてビアを直列に接続する必要がある。ビアの並列数を増やすことで給電線路の抵抗値を下げることはできるものの、給電点が大型化することにより、アンテナの特性が、本来の点として給電した場合の設計値から劣化する可能性がある。また、接続する金属層によって、ビアのサイズや抵抗値は異なる。そのため給電線路は一律な導体ではないことに注意が必要である。そのため、オンチップアンテナで背面同軸給電を用いる場合には、給電線路自体の特性も加味したうえで、アンテナの設計を行う必要がある。共平面給電は、放射素子と同一平面上に給電線路を設け、放射素子のいずれかの辺上の給電点から接給電を行う方式である。PCB 基板上か半導体基板上かに関わらず、マイクロストリップパッチアンテナの放射素子は配線可能な金属層を用いて製造されることが殆どであり、このような給電線路を設けることは容易である。一方で、給電線路とアンテナ面が同一平面上にあることから、給電線路からの放射がア

(a)



(b)



図 3.6 マイクロストリップパッチアンテナの給電方式

(左: 共平面給電 右: 背面同軸給電)

(a) 放射素子上方から見た場合

(b) 給電線路側から見た場合

図中では放射素子・地導体板・給電線路のみを表示している

3.2 オンチップアンテナ

ンテナの特性を劣化させる可能性がある。また、放射素子の側方に給電線路が伸びる形状になるため、背面同軸給電を行う場合と比較して、アンテナ全体の専有面積が大きい。共平面給電では、背面同軸給電のように自由に給電点を設定することができない。そのため、給電点を放射素子内部に設けたい場合、放射素子に切り込みを設けることで、給電点に達するまでの間、給電線路と放射素子の分離を保つように設計する。図 3.7 に、マイクロストリップパッチアンテナを用いたテラヘルツ波検出器の設計図を示す。このテラヘルツ波検出器は、アンテナ部・マッチング線路部・検波回路部からなる。以下では、これらの要素をまとめてピクセルと呼称する。アンテナ部では、給電点を調整するための切り込み構造を見ることができる。ピクセルに用いたマイクロストリップパッチアンテナのターゲット周波数は、0.85 THz とした。ターゲット周波数を選定する際には、独立行政法人情報通信研究機構(NICT: National Institute of Information and Communications Technology)から提供されている、テラヘルツ波大気減衰データを参考にした^[8]。プロットしたこのデータを図 3.8 に示す。テラヘルツ波の大気減衰は 1 THz を超えると非常に大きくなり、また、0.5 THz 以下では波長が長くなり空間分解能が下がる。そのため、比較的大気減衰が小さく、かつ、十分な空間分解能が得られる 0.8 THz - 0.9 THz のテラヘルツ波をターゲット周波数とした。先に示したマイクロストリップパッチアンテナの共振周波数計算例と比較しても、アンテナ寸法が妥当な数値であることがわかる。図 3.9 に、試作したテラヘルツ波検出器を示す。本試作では、複数のこのピクセルを 2 次元に配置したアレイセンサとして設計している。図 3.7 および図 3.9 の外周に記した 215 μm という数値は、この繰り返し単位の大きさである。つまり、実質的なピクセル寸法は 215 μm (横) \times 215 μm (縦) である。ただし、実際のアンテナおよびその他の回路要素が占有している面積は、130 μm (横) \times 215 μm (縦) である。試作には、商用の半導体集積プロセスとして提供されている、SilTerra Malaysia 社の 0.18 μm Si CMOS

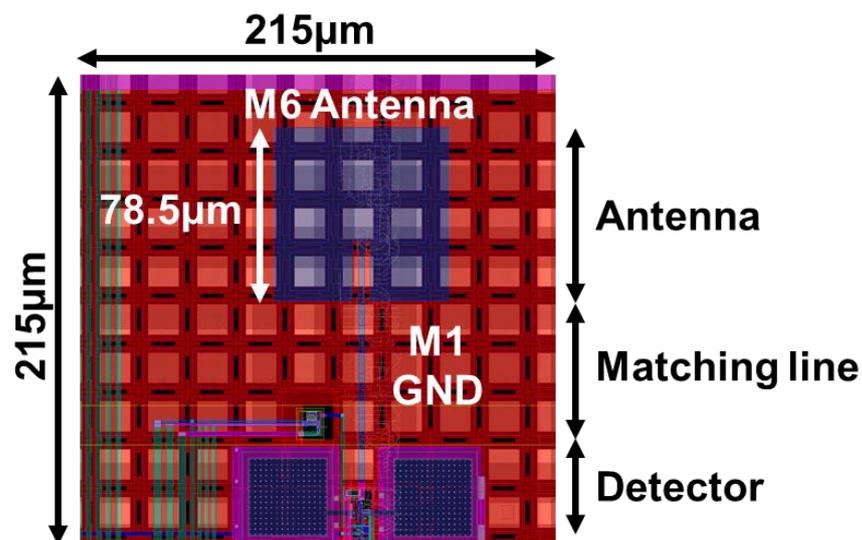


図 3.7 マイクロストリップパッチアンテナ型テラヘルツ波検出器のレイアウト

プロセスを用いた。同プロセスでは、金属層が M1 から M6 までの計 6 層提供されている。マイクロストリップパッチアンテナの放射素子は、最上層の金属層にあたる M6 層を用いて設計した。そのため、図 3.7 のように半導体チップを上部から撮影することで、放射素子の構造を見ることができる。地導体板は最下層の金属層にあたる M1 層を用いて設計した。放射素子から地導体板までの縦区間には、その他の配線等が一切含まれていない。Si CMOS プロセスでは、層間を可視光帯で透明な SiO₂ で充填している。そのため、図 3.9 では M1 層で構成した地導体板がわずかに透けて見えている。ところで、本ピクセルの外寸は 215 μm 四方であるが、この寸法は Si 基板中におけるテラヘルツ波の波長よりも十分に長い。つまり、回折限界的にピクセルの小型化猶予がある。図 3.7

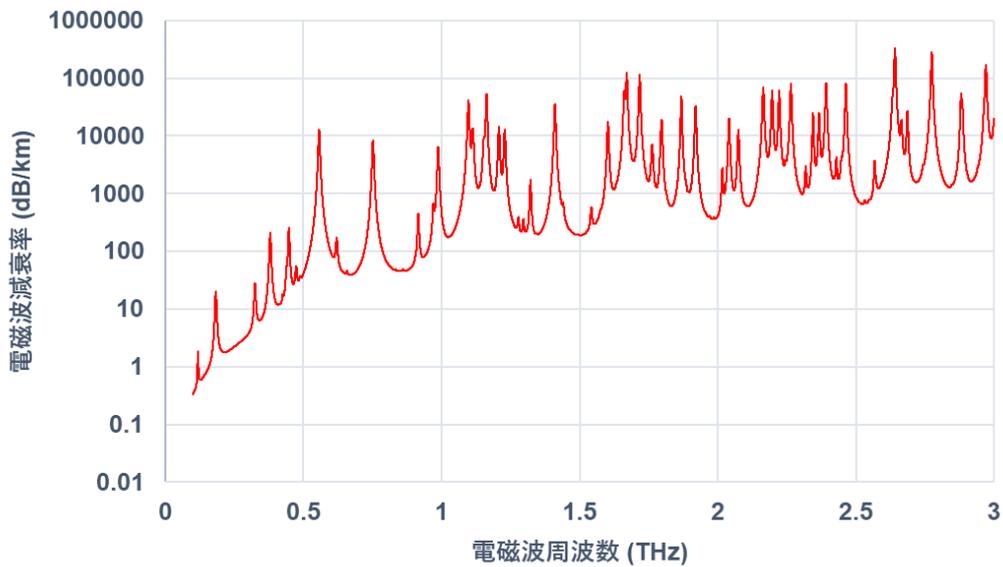


図 3.8 テラヘルツ波大気減衰データ

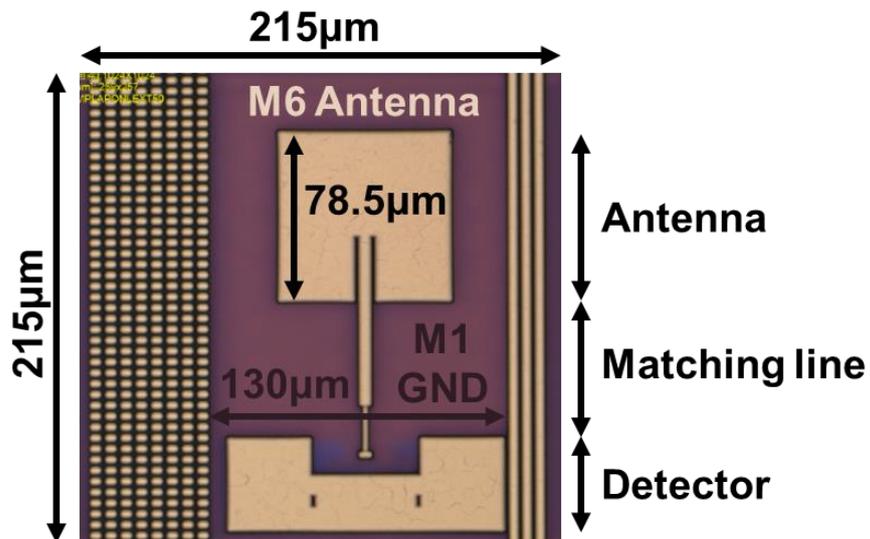


図 3.9 試作したマイクロストリップパッチアンテナ型テラヘルツ波検出器

3.2 オンチップアンテナ

および図 3.9 から、このピクセル内においてアンテナ部の面積専有率が大きいことが分かる。オンチップアンテナを小型化することで、ピクセルの小型化が可能であることは明らかである。しかし、アンテナの寸法はターゲットとする電磁波の周波数と密接に関係しており、同一種のアンテナを用いる限りはその寸法は大きく変更することができない。アンテナの寸法を変化させるためには、異なる種類のアンテナの使用について検討する必要がある。

3.2.2 スロットアンテナ

スロットアンテナは、導体面上に設けた隙間(スロット)を放射素子として用いるアンテナである。スロットアンテナはその構造から、マイクロストリップ線路上や導波管の壁面にスロットを設けることで構成することができる。スロットアンテナの動作原理について以下に述べる。図 3.10 は、スロットアンテナの構造と電位分布・電界放射の様子を示している。スロットアンテナは、導体面上を流れる電流がスロットに遮られ、スロット間隙に電位差が生じることによって電磁波を放射する。そのため、スロットの長手方向が電流方向と直交するように設ける必要がある。設けるスロット長は、ターゲットとする電磁波長 λ に対して $\lambda/2$ とすることで、スロットを対称軸とした逆電位がスロット両側の導体板に生じる。また、スロットの幅はスロットアンテナの帯域特性に影響を与える。そのため、スロットの幅に応じて、マイクロストリップパッチアンテナと比較してより広帯域なアンテナを構成可能である。スロットを取り囲む導体板の寸法は、理想スロットアンテナの場合には無限であるが、現実的には一辺が $3/4\lambda$ から λ 程度の長さの正方形とすることが多い。スロットアンテナは導体面状に間隙を設けるだけで構成することができるため、ひとつの長い線路上に複数のスロットアンテナを構成し駆動する

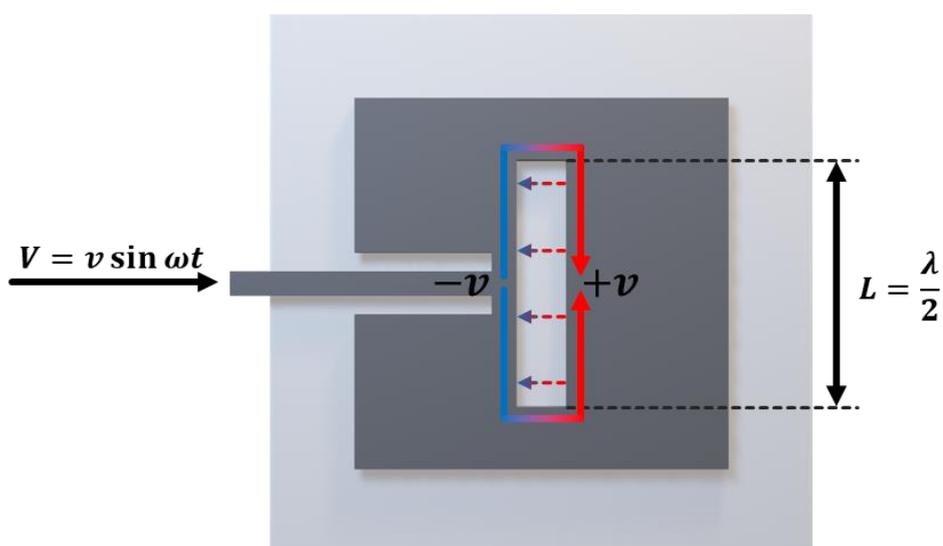


図 3.10 スロットアンテナの動作

図中の破線がスロット部に生じる電界(電界放射の根源)である

ことが容易である。そのため、線上に並んだ何らかの給電対象に対して、非接触な電磁結合給電のための送電用アンテナ列として用いることが可能である。スロットアンテナは直接給電方式のアンテナである。ただし、マイクロストリップパッチアンテナと異なる点として、平衡給電または非平衡給電の両方式において利用することが可能である。図 3.11 に、スロットアンテナの給電方法を示す。平衡給電を用いる場合は、図のようにスロットを跨ぐように2つの給電点(逆相)を設ける。非平衡給電を用いる場合は、スロット近辺に給電点を設ける。マイクロストリップパッチアンテナの節でも述べた通り、オンチップアンテナとして使用する場合は、背面同軸給電ではなく共平面給電が適している。そのため、面積的な制約が存在する場合には、給電線路を含めたアンテナ寸法をいたずらに増加させないためにも、非平衡給電で用いるのが適当である。スロットアンテナは導体面に対して対称な構造を持っているため、放射特性も同様に導体面に対して対称である。そのため、スロットアンテナをオンチップアンテナとして用いる場合、アンテナ面上方の空間だけでなく、アンテナ面下方の SiO₂ や Si 基板に対して放射が発生する。Si 基板は低抵抗であり、かつ、多くの場合接地電位でバイアスされている。そのため、単にスロットアンテナをオンチップアンテナとして使用すると、その電磁波

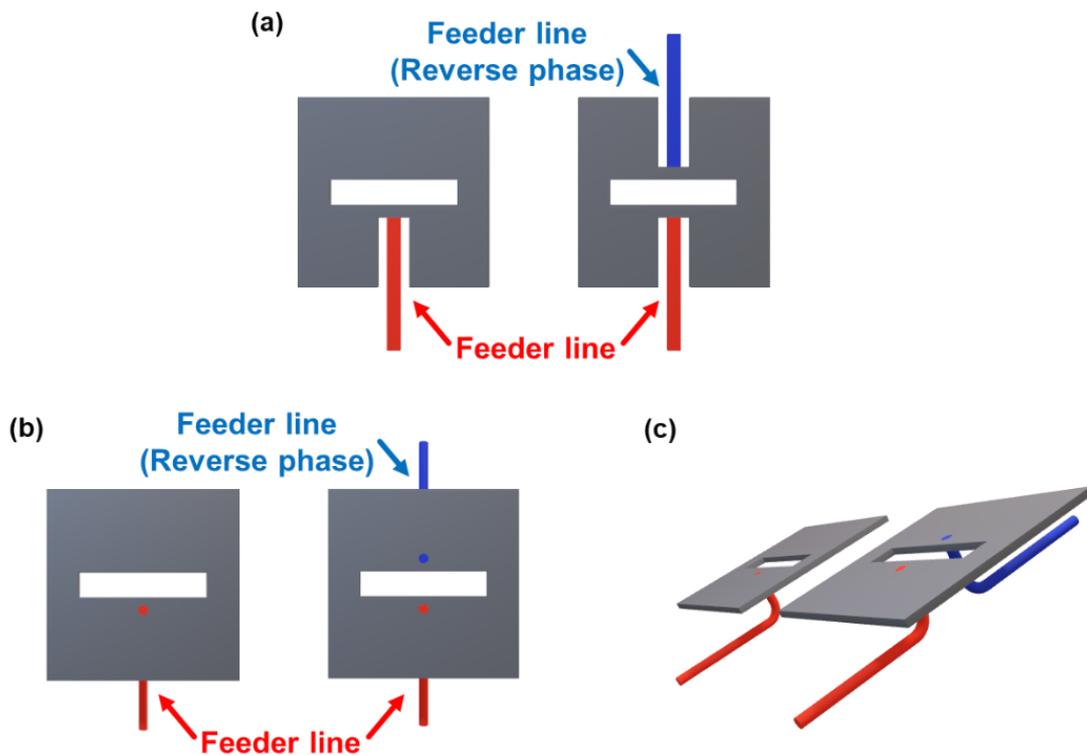


図 3.11 スロットアンテナの給電方式 (左: 非平衡給電 右: 平衡給電)

(a) 共平面給電の場合

(b) 背面同軸給電の場合(スロット上方からの見た図)

(c) 背面同軸給電の場合(鳥瞰図)

3.2 オンチップアンテナ

放射のほとんどは Si 基板に対して行われてしまう。Si 基板への放射を抑制するためには、アンテナ面より下方(Si 基板側)に、反射板としてマイクロストリップパッチアンテナのような地導体板を設ける方法がある。しかし、そもそも Si 基板への放射が少ないマイクロストリップパッチアンテナと比較すると、利得・面積効率において特段有効な手法ではない(本来、スロットアンテナは地導体板が不要であり立体的な専有領域が少ないが、地導体板を追加してしまうとその利点が消失する)。この問題に対して、筆者は折り畳みスロットアンテナ(Folded slot antenna)というものを提案した^[6]。図 3.12 に、設計した折り畳みスロットアンテナの概形と寸法を示す。このアンテナは、スロットアンテナを構成する導体板をアンテナ下方に折り返すことで、この折り返した導体板をスロットアンテナの反射板としても利用するアンテナである。スロット長は $96\ \mu\text{m}$ であり、幅 $2.39\ \mu\text{m}$ スロット上を給電線路が通過する形状になっている(非平衡給電)。図中では、給電線路の通過によってスロットを取り囲む導体面が一部途切れているように見えるが、この部分は下層の金属層を用いて接地電位にバイアスしつつ接続されており、電気的には途切れていない。ピクセルに用いた折り畳みスロットアンテナのターゲット周波数は、 $0.885\ \text{THz}$ とした。地導体板を含めたマイクロストリップパッチアンテナの専有

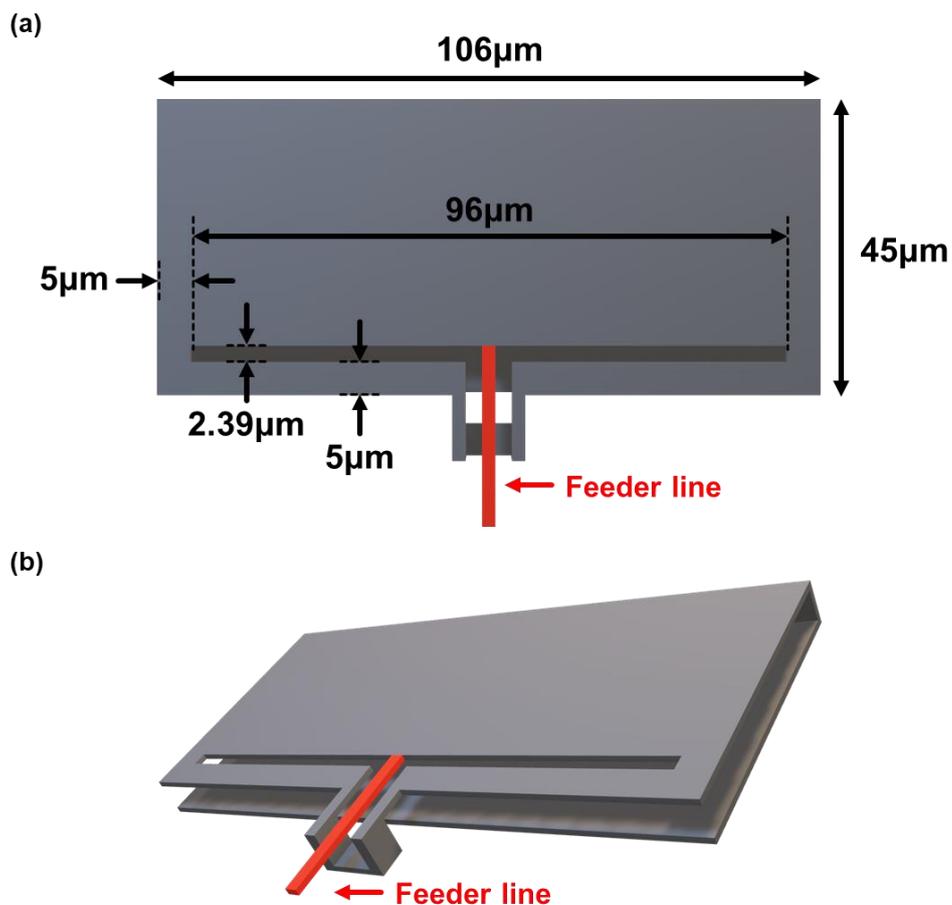


図 3.12 折り畳みスロットアンテナの(a)寸法と(b)立体構造

面積が $130\ \mu\text{m}$ (横) $\times 130\ \mu\text{m}$ (縦)程度であったことと比較して、折り畳みスロットアンテナの専有面積は $106\ \mu\text{m}$ (横) $\times 45\ \mu\text{m}$ (縦)と小型化されている。ここで、マイクロストリップパッチアンテナにおける放射素子の寸法は $78.5\ \mu\text{m}$ (横) $\times 78.5\ \mu\text{m}$ (縦)であるが、フリッジング電界を発生させるためにはより広い地導体板が必要であることから、同アンテナの実効的な専有面積を $130\ \mu\text{m}$ 四方として見積もっている。また、仮に折り畳みスロットアンテナ全体とマイクロストリップパッチアンテナの放射素子の専有面積を比較したとしても、折り畳みスロットアンテナは2割以上の小型化を果たしている。図3.13に、折り畳みスロットアンテナを用いたテラヘルツ波検出器の設計図を示す。アンテナの小型化により、ピクセル外寸が縦横ともに1割程度削減されている。マイクロストリップパッチアンテナを利用した場合と比較して、マッチング線路部が長くなっていることが分かる。これは、マイクロストリップパッチアンテナを用いたテラヘルツ波検出器を試作したのちに、アンテナのみを差し替えて新たなテラヘルツ波検出器の設計を行ったことに起因する。いずれのアンテナも、アンテナ単体で試作・測定を行えるのであればそれが望ましかったが、テラヘルツ波帯の信号をアンテナから計測機器に取り出すのは困難である。そのため、アンテナの性能評価はテラヘルツ波検出回路を通して行わざるを得ない。テラヘルツ波検出回路の構成を変更してしまうと、アンテナの特性を適切に比較することができないため、アンテナのみを差し替える形でピクセルの再設計を行った。テラヘルツ波検出回路はマイクロストリップパッチアンテナとの接続を前提として設計されていたため、これに折り畳みスロットアンテナをマッチングさせるため、マッチング線路が大規模になってしまったのがこの原因である。そのため、テラヘルツ波検出回路の特性を変更した場合、マッチング線路はより短くなる可能性がある。この

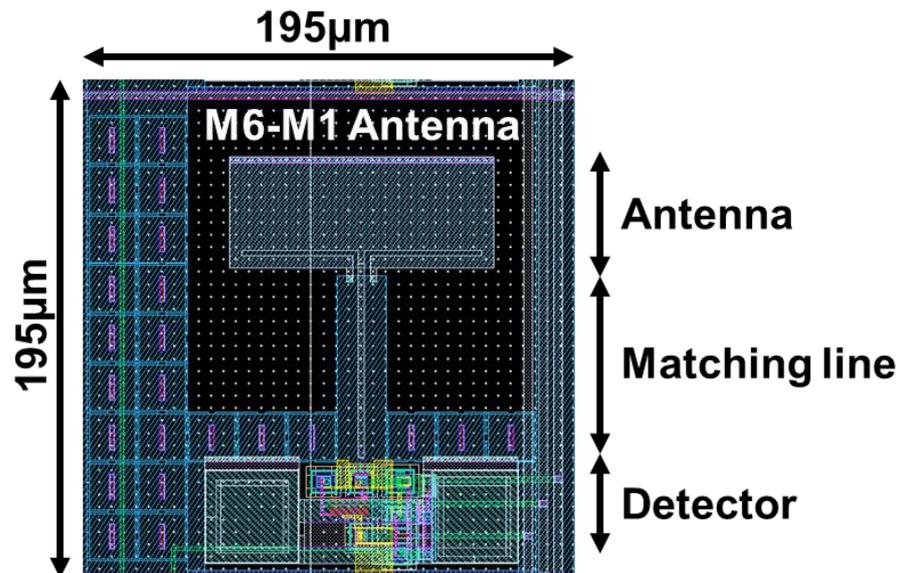


図 3.13 折り畳みスロットアンテナ型テラヘルツ波検出器のレイアウト

3.2 オンチップアンテナ

アンテナ型テラヘルツ波検出器の試作物を図 3.14 に示す。試作には、SilTerra Malaysia 社の $0.18\ \mu\text{m}$ Si CMOS プロセスを用いた。折り畳みスロットアンテナは立体構造をもつアンテナである。その構造のうち、スロットをもつ導体面は最上層の金属層である M6 層を用い、反射板を担う導体面は最下層の金属層である M1 層を用いた。これら 2 層の導体面は図 3.12(b)における折り曲げ部において、多数のビアにより電氣的に結合されている。また、比較としてこの折り畳みスロットアンテナを、通常のスロットアンテナとして設計した場合の概形を図 3.15 に示す。このアンテナの各部の寸法は、縦寸法以外折り畳みスロットアンテナと同一であり、唯一縦寸法のみが折り畳みスロットアンテナの 2 倍になっている。また、このアンテナは地導体板および反射板を持たない。

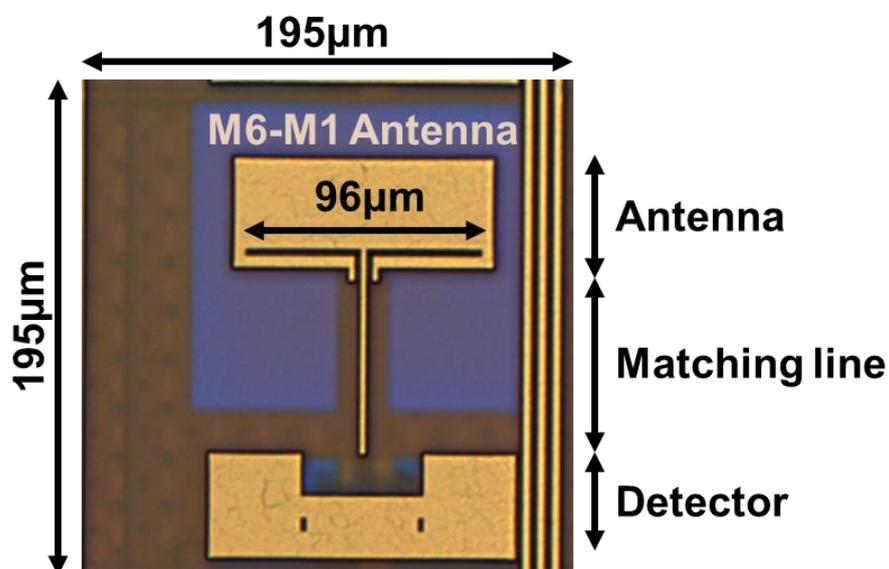


図 3.14 試作した折り畳みスロットアンテナ型テラヘルツ波検出器

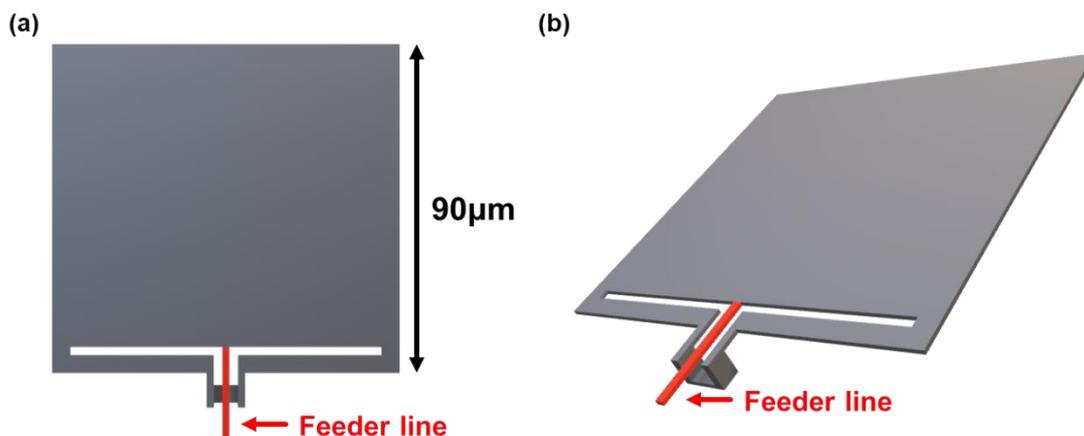


図 3.15 折り曲げ構造を伸ばしたスロットアンテナの(a)寸法と(b)立体構造

3.3 アンテナとテラヘルツ波検出器の特性解析

本節では、先述のアンテナ2種と、それらを用いたテラヘルツ波検出器について、シミュレーションを元に解析・評価する。初めに、アンテナ特性の解析に用いる電磁界解析手法について解説する。次にアンテナ特性の解析結果について述べる。最後に、テラヘルツ波検出器の特性解析とその結果について述べる。

3.3.1 時間領域差分法(FDTD法)

アンテナの放射特性を解析するためには、アンテナ近傍において電磁界の分布を解析する必要がある。解析には電磁界解析ソフトウェアとして、Keysight Technology社製のEM Proを用いた。EM Proは時間領域における電磁界解析に、時間領域差分法(FDTD法: Finite Difference Time-Domain method)^[9]を用いる。他の電磁界解析手法として、モーメント法(MoM: Method of Moments)や有限要素法(FEM: Finite Element Method)による電磁界解析が挙げられるが、これらの手法は周波数領域における電磁界解析手法であることに注意する。時間領域差分法は、電界 E 、磁界 H 、電束密度 D 、また、磁束密度 B を用いて表されたマクスウェルの法則から得られた差分方程式をもとに、電界 E と磁界 H を交互に計算することで、電磁界解析を行う手法である。微分形式で表されたマクスウェル方程式を式(3.3.1)および式(3.3.2)に示す。これらの式は、それぞれファラデーの法則とアンペアの法則に相当する

$$\nabla \times \mathbf{E}(\mathbf{r}, t) = -\frac{\partial \mathbf{B}(\mathbf{r}, t)}{\partial t} \quad (3.3.1)$$

$$\nabla \times \mathbf{H}(\mathbf{r}, t) = \frac{\partial \mathbf{D}(\mathbf{r}, t)}{\partial t} + \mathbf{J}(\mathbf{r}, t) \quad (3.3.2)$$

時間領域差分法では、波源を含めた解析領域を定め、その領域を微小な直方体状の領域に分割する。次に、分割した領域それぞれにおいて、上記のマクスウェル方程式を適用し計算を行う。以下ではYeeアルゴリズムに基づいて、時間領域差分法の具体的な計算方法を示す。時間領域差分法では、1次の差分公式を用いて計算を行う。差分の定義には、前進差分、後進差分、中心差分が存在するが、時間領域差分法では最も精度に優れた中心差分を用いる。関数 F を電界 E または磁界 H として、 F に関する空間および時間についての中心差分は式(3.3.3)および式(3.3.4)のように定義される。

$$\frac{\partial F}{\partial x} \sim \frac{F\left(x + \frac{\Delta x}{2}, y, z, t\right) - F\left(x - \frac{\Delta x}{2}, y, z, t\right)}{\Delta x} \quad (3.3.3)$$

3.3 アンテナとテラヘルツ波検出器の特性解析

$$\frac{\partial F}{\partial t} \sim \frac{F\left(x, y, z, t + \frac{\Delta t}{2}\right) - F\left(x, y, z, t - \frac{\Delta t}{2}\right)}{\Delta t} \quad (3.3.4)$$

上記の式中に用いられている (x, y, z) は、解析のために分割した領域のセルサイズ $(\Delta x, \Delta y, \Delta z)$ を用いて、 $(x, y, z) = (i\Delta x, j\Delta y, k\Delta z)$ と表すことができる。ただし、 i, j, k はすべて整数である。また、時刻 t も整数 n と時間ステップ Δt を用いて $t = n\Delta t$ と表すことができる。以降の表記では、関数 F について式(3.3.5)に示すような表記の省略を行う。

$$F(x, y, z, t) = F^n(i, j, k) \quad (3.3.5)$$

以下では式(3.3.1)および式(3.3.2)のマクスウェル方程式に対して、式(3.3.3)および式(3.3.4)を用いて計算する。例えば式(3.3.1)の両辺に式(3.3.3)および式(3.3.4)を用いる場合を考えると、左辺の電界は時刻 t における値であるのに対して、右辺の磁界は軸 $t \pm \Delta t/2$ における値となる。このように、時間軸において中心差分を用いたことから、電界と磁界は $\Delta t/2$ の時間幅で交互に配置される。これらの電界・磁界の関係を図 3.16 に示すように定義する。つまり、電界は Δt の整数倍の時刻において定義され、磁界は Δt の(整数+1/2)倍の時刻において定義される。最終的な計算過程では、時刻 $t = (n-1)\Delta t$ における電界 E^{n-1} と時刻 $t = (n-1/2)\Delta t$ の磁界 $H^{n-1/2}$ を用いて電界 E^n を求め、磁界 $H^{n-1/2}$ と電界 E^n を用いて磁界 $H^{n+1/2}$ を求める。そのための漸化式を以下に導出する。

解析領域の媒質が等方性と非分散性をもち、解析領域内に波源が存在しない場合を考える。このとき、媒質の透磁率 μ 、誘電率 ϵ 、3つの構成方程式 $\mathbf{B} = \mu\mathbf{H}$ 、 $\mathbf{D} = \epsilon\mathbf{E}$ 、 $\mathbf{J} = \sigma\mathbf{E}$ を用いて、式(3.3.1)と式(3.3.2)は式(3.3.6)と式(3.3.7)のように表せる。ただし、 σ は媒質の伝導率である。

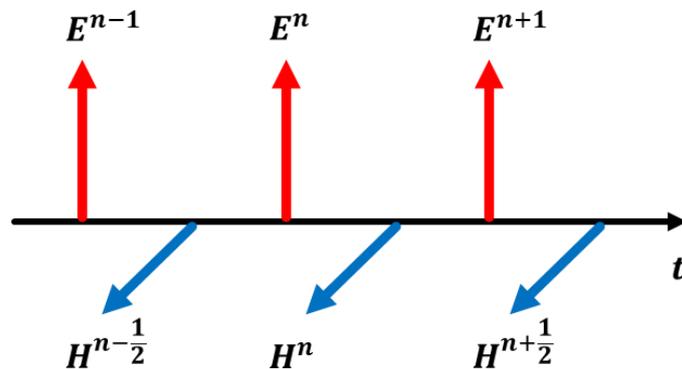


図 3.16 時間領域差分法における電界・磁界と時間軸の関係

$$\nabla \times \mathbf{E}(\mathbf{r}, t) = -\mu \frac{\partial \mathbf{H}(\mathbf{r}, t)}{\partial t} \quad (3.3.6)$$

$$\nabla \times \mathbf{H}(\mathbf{r}, t) = \varepsilon \frac{\partial \mathbf{E}(\mathbf{r}, t)}{\partial t} + \sigma \mathbf{E}(\mathbf{r}, t) \quad (3.3.7)$$

これらの式を $\frac{\partial \mathbf{H}(\mathbf{r}, t)}{\partial t}$ と $\frac{\partial \mathbf{E}(\mathbf{r}, t)}{\partial t}$ について解くと、式(3.3.8)および式(3.3.9)が得られる。

$$\frac{\partial \mathbf{H}(\mathbf{r}, t)}{\partial t} = -\frac{1}{\mu} \nabla \times \mathbf{E}(\mathbf{r}, t) \quad (3.3.8)$$

$$\frac{\partial \mathbf{E}(\mathbf{r}, t)}{\partial t} = \frac{1}{\varepsilon} \nabla \times \mathbf{H}(\mathbf{r}, t) - \frac{\sigma}{\varepsilon} \mathbf{E}(\mathbf{r}, t) \quad (3.3.9)$$

ここで、これらの式の左辺に注目する。先に述べた通り、電界は Δt の整数倍の時刻において定義され、磁界は Δt の(整数+1/2)倍の時刻において定義されている。そのため、磁界の時間による偏微分 $\frac{\partial \mathbf{H}(\mathbf{r}, t)}{\partial t}$ は $t = n\Delta t$ において計算し、電界の時間による偏微分 $\frac{\partial \mathbf{E}(\mathbf{r}, t)}{\partial t}$ は $t = (n - \frac{1}{2})\Delta t$ において計算する必要がある。仮に偏微分 $\frac{\partial \mathbf{E}(\mathbf{r}, t)}{\partial t}$ を $t = n\Delta t$ において計算しようとしても、 $t = n\Delta t$ において $\mathbf{E}(\mathbf{r}, t)$ は勾配を持たない点であり、計算ができない。これらの偏微分を中心差分により近似することで、式(3.3.10)および式(3.3.11)が得られる。

$$\left. \frac{\partial \mathbf{H}}{\partial t} \right|_{t=n\Delta t} = \frac{\mathbf{H}^{n+\frac{1}{2}} - \mathbf{H}^{n-\frac{1}{2}}}{\Delta t} \quad (3.3.10)$$

$$\left. \frac{\partial \mathbf{E}}{\partial t} \right|_{t=(n-\frac{1}{2})\Delta t} = \frac{\mathbf{E}^n - \mathbf{E}^{n-1}}{\Delta t} \quad (3.3.11)$$

式(3.3.10)および式(3.3.11)を、式(3.3.8)および式(3.3.9)に代入することで、式(3.3.12)および式(3.3.13)を得る。

$$\frac{\mathbf{H}^{n+\frac{1}{2}} - \mathbf{H}^{n-\frac{1}{2}}}{\Delta t} = -\frac{1}{\mu} \nabla \times \mathbf{E}^n \quad (3.3.12)$$

$$\frac{\mathbf{E}^n - \mathbf{E}^{n-1}}{\Delta t} = \frac{1}{\varepsilon} \nabla \times \mathbf{H}^{n-\frac{1}{2}} - \frac{\sigma}{\varepsilon} \mathbf{E}^{n-\frac{1}{2}} \quad (3.3.13)$$

ただし、式(3.3.13)に含まれる $\mathbf{E}^{n-\frac{1}{2}}$ は値が定義されていない。そのため、この項については何らかの形で近似・置換する必要がある。使用可能な $\mathbf{E}^{n-\frac{1}{2}}$ 近傍の値としては、半ス

3.3 アンテナとテラヘルツ波検出器の特性解析

ステップ前の電界 \mathbf{E}^{n-1} または半ステップ後の電界 \mathbf{E}^n が挙げられる。これらの値で $\mathbf{E}^{n-\frac{1}{2}}$ 置き換えることも可能ではあるが、 \mathbf{E}^{n-1} で置き換えた場合には計算結果が発散する可能性があることに注意する。ここでは、 $\mathbf{E}^{n-\frac{1}{2}}$ 近傍の二値の平均を用いてこれを近似する。つまり、 $\mathbf{E}^{n-\frac{1}{2}} \sim \frac{\mathbf{E}^{n-1} + \mathbf{E}^n}{2}$ である。これを式(3.3.13)に代入し、 \mathbf{E}^n について解くと式(3.3.14)を得る。

$$\begin{aligned} \frac{\mathbf{E}^n - \mathbf{E}^{n-1}}{\Delta t} &= \frac{1}{\varepsilon} \nabla \times \mathbf{H}^{n-\frac{1}{2}} - \frac{\sigma}{\varepsilon} \frac{\mathbf{E}^{n-1} + \mathbf{E}^n}{2} \\ 2\varepsilon(\mathbf{E}^n - \mathbf{E}^{n-1}) &= 2\Delta t \nabla \times \mathbf{H}^{n-\frac{1}{2}} - \sigma \Delta t (\mathbf{E}^{n-1} + \mathbf{E}^n) \\ (2\varepsilon + \sigma \Delta t) \mathbf{E}^n &= 2\Delta t \nabla \times \mathbf{H}^{n-\frac{1}{2}} + (2\varepsilon - \sigma \Delta t) \mathbf{E}^{n-1} \\ \mathbf{E}^n &= \frac{\frac{\Delta t}{\varepsilon}}{1 - \frac{\sigma \Delta t}{2\varepsilon}} \nabla \times \mathbf{H}^{n-\frac{1}{2}} + \frac{1 - \frac{\sigma \Delta t}{2\varepsilon}}{1 + \frac{\sigma \Delta t}{2\varepsilon}} \mathbf{E}^{n-1} \end{aligned} \quad (3.3.14)$$

また、式(3.3.12)を $\mathbf{H}^{n+\frac{1}{2}}$ について解くと式(3.3.15)を得る。

$$\begin{aligned} \frac{\mathbf{H}^{n+\frac{1}{2}} - \mathbf{H}^{n-\frac{1}{2}}}{\Delta t} &= -\frac{1}{\mu} \nabla \times \mathbf{E}^n \\ \mu \left(\mathbf{H}^{n+\frac{1}{2}} - \mathbf{H}^{n-\frac{1}{2}} \right) &= -\Delta t \nabla \times \mathbf{E}^n \\ \mu \mathbf{H}^{n+\frac{1}{2}} &= \mu \mathbf{H}^{n-\frac{1}{2}} - \Delta t \nabla \times \mathbf{E}^n \\ \mathbf{H}^{n+\frac{1}{2}} &= \mathbf{H}^{n-\frac{1}{2}} - \frac{\Delta t}{\mu} \nabla \times \mathbf{E}^n \end{aligned} \quad (3.3.15)$$

以上により、電界 \mathbf{E}^n を磁界 $\mathbf{H}^{n-\frac{1}{2}}$ および電界 \mathbf{E}^{n-1} で、磁界 $\mathbf{H}^{n+\frac{1}{2}}$ を磁界 $\mathbf{H}^{n-\frac{1}{2}}$ および電界 \mathbf{E}^n を用いた漸化式で表すことができた。時間領域差分法では、このようにして1ステップ前の自己値と半ステップ前の他方値を用いて、電界と磁界の要素を交互に計算することで、電界と磁界の時間的な変化を求めていく。

時間領域差分法では、式(3.3.3)に示したように空間についても中心差分を用いる。そのため、時間軸についてこれまで示してきたことと同様に、電界と磁界は空間的にも交互に配置されることになる。この関係を図 3.17 に示す。このような空間的な解析単位(ユニットセル)を Yee 格子という。電界はユニットセルの辺上に配置され、磁界はユニ

ットセルの面上に配置される。実際の解析においては、解析領域を適切な大きさのユニットセルに分割し、解析領域のモデリングを行う。ここで、電磁界の空間的な分布を考えたときに、すべての空間的な点における電磁界は、式(3.3.14)および式(3.3.15)の結果から、その近傍における過去時点の電磁界によってのみ計算可能である。つまり、ある時点における電界・磁界の計算には、既に計算されている結果のみを利用し、空間的な解析点について電磁界の計算を行う順序に依存性がない。これは、解析領域全体において、すべての電界あるいはすべての磁界が並列に計算可能であることを表している。そのため、計算機上で時間領域差分法の計算を行う場合には、並列計算が可能ないようにプログラミングを行うことで、より高速に解析を行うことが可能である。

ところで、アンテナ解析では解放空間において時間領域差分法を用いるが、解析領域は有限に設定する必要がある。この場合、解析領域の終端部分において、その先の空間も解放空間であるような、電磁界の反射が起こらない境界条件を設定する必要がある。このような条件を、吸収境界条件(ABC: Absorbing Boundary Condition)という。吸収境界条件は、垂直に入射する平面波を完全に吸収するための条件である。そのため、電磁波源と解析領域端の距離を大きな値とすることで、解析領域端に到達するすべての電磁波は平面波となり、吸収境界条件を用いることができる。しかし、解析領域の増加は計算時間の増加につながるため、このようなアプローチは適切ではない。そこで、この問題を解決するために複数の吸収境界条件が提案されている。これらは、微分による吸収境界条件(DABC: Differential-based ABC)と、媒質による吸収境界条件(MABC: Material-based ABC)に大別できる。ここでは、Bérenger によって提案された PML(Perfectly Matched Layer)^[10]を吸収境界条件に用いる。PML による吸収境界条件は MABC に分類され、マクスウェル方程式を満たさない特殊な媒質を境界に配置することで、境界に対して垂直に入射する電磁波だけでなく斜めに入射する電磁波についても反射せず吸収可能な吸収境界条件を設けることができる。

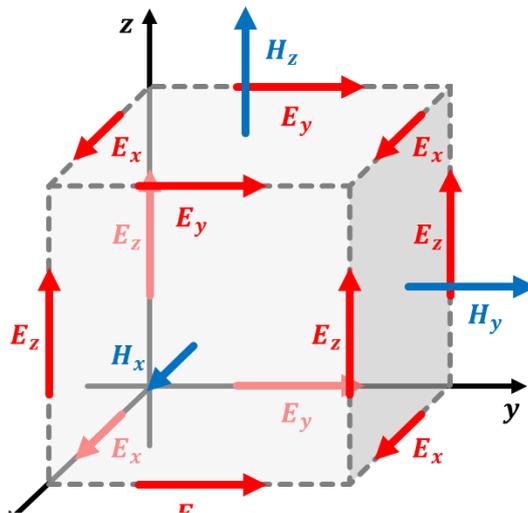


図 3.17 時間領域差分法における解析ユニットセル (Yee 格子)

3.3.2 時間領域差分法によるアンテナ特性の解析

本節では、3.2節で述べた2種類のオンチップアンテナについて、時間領域差分法を用いて解析を行い、それらのアンテナ特性について評価した結果を述べる。本節の内容は、自筆のオンチップアンテナ特性に関する論文「Wideband terahertz imaging pixel with a small on-chip antenna in 180nm CMOS」^[6]の一部の内容を含む。時間領域差分法における、シミュレーション条件を示す。解析領域は図 3.18 の通り $(x, y, z) = (300 \mu\text{m}, 300 \mu\text{m}, 600 \mu\text{m})$ とした。また、パラメータとして、Si 基板の比誘電率は 11.8、抵抗率は周波数分散をもたず $10 \Omega \cdot \text{cm}$ で一定とした。初めに、マイクロストリップパッチアンテナ・折り畳みスロットアンテナ・折り曲げ構造を持たないスロットアンテナ(以下では通常のスロットアンテナと呼称する)の周波数利得について解析した結果を図 3.19 に示す。マイクロストリップパッチアンテナは、ターゲット周波数である 0.85 THz において 5 dBi の利得を達成している。この結果から、マイクロストリップパッチアンテナが確かに狭帯域において高感度なアンテナであることが確認できる。通常のスロットアンテナはターゲット周波数である 0.885 THz 付近において -5 dBi の利得しか得られておらず、またその他の帯域においても利得は非常に低いものとなっている。一方で、折り畳みスロットアンテナはターゲット周波数付近において 0~1 dBi 程度の利得が得られており、その他の帯域では総じてマイクロストリップパッチアンテナよりも 5 dBi 程度高い利得を持っていることが分かる。この結果から、折り畳みスロットアンテナが広帯域において安定した感度をもつアンテナであることが確認できる。次に、通常

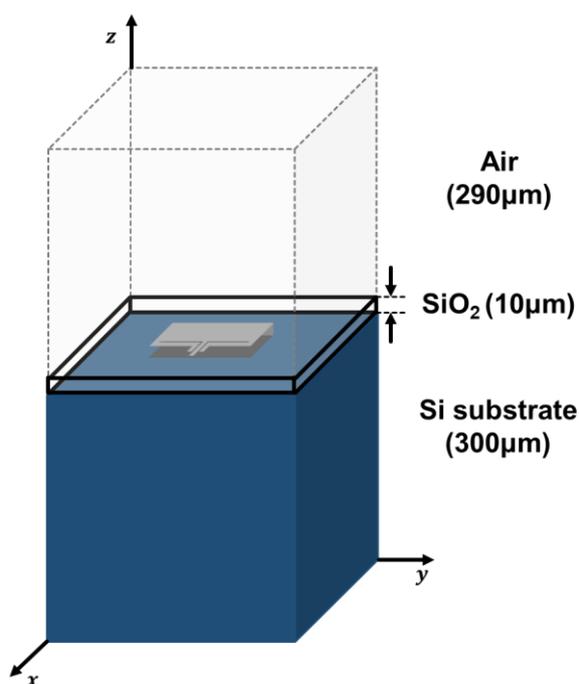


図 3.18 アンテナの時間領域差分法による解析領域

のスロットアンテナと折り畳みスロットアンテナそれぞれの共振点における、その周辺の電界分布の解析結果を図 3.20 に示す。この図は、図 3.18 の解析領域中の $y = 150\mu\text{m}$ における $z-x$ 面の電界分布を示している。マイクロストリップ給電線路からの放射影

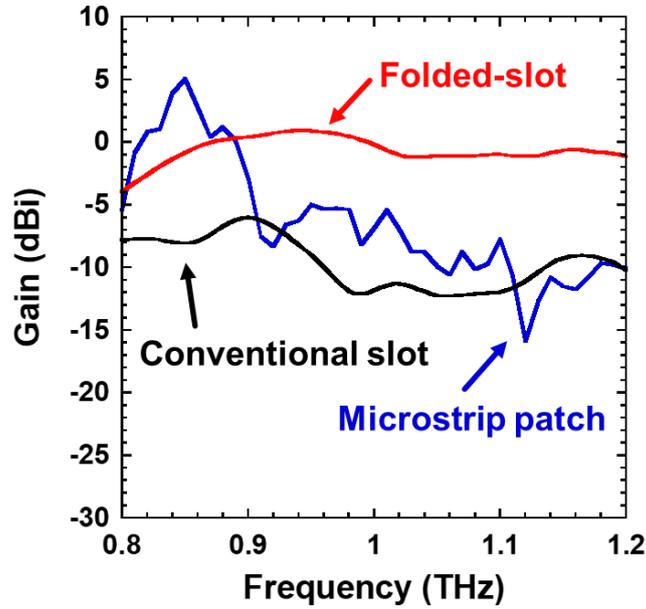


図 3.19 各アンテナの周波数利得

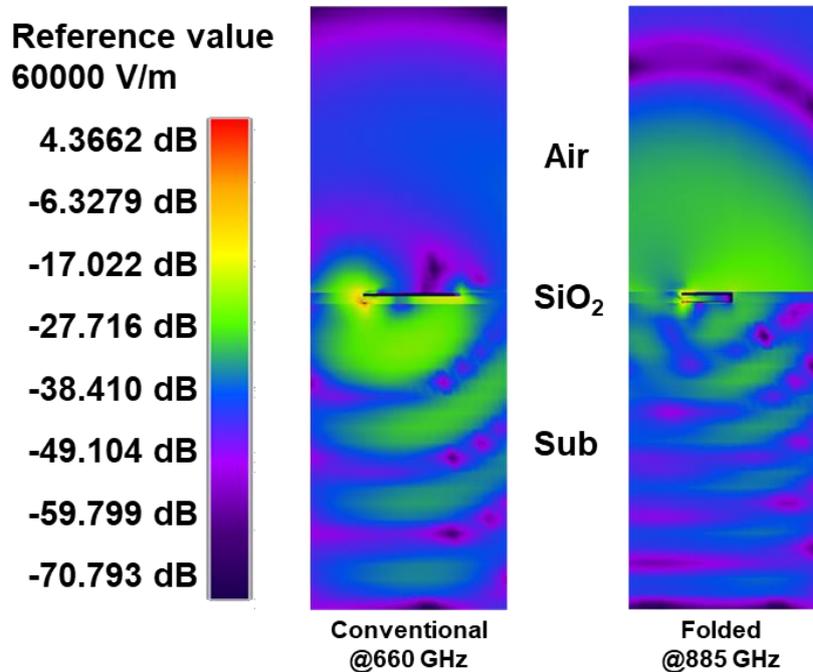


図 3.20 時間領域差分法による電界放射シミュレーション結果

Conventional: 折り曲げ構造をもたないスロットアンテナ

Folded: 折り畳みスロットアンテナ

3.3 アンテナとテラヘルツ波検出器の特性解析

響を排除するため、この解析において各アンテナへの給電は、給電点直下に配置した $2\ \mu\text{m} \times 12\ \mu\text{m}$ の導体板から給電点に直接接続し給電した。図 3.20 から、通常のスロットアンテナが主に Si 基板に対して電界放射を行っていること、また、折り畳みスロットアンテナがこれと比較して空間中に対してより強力な電界放射を行っていることが分かる。この結果から、スロットアンテナの折り曲げ構造は、Si 基板への電界放射問題を抑制することが分かる。次に、折り畳みスロットアンテナの、各部寸法変更によるアンテナ特性の変化についての解析結果を示す。はじめに、折り畳みスロットアンテナの折り曲げ位置を変更し、この時のアンテナ特性の変化を解析した。折り曲げ位置の変更において、図 3.21 における M6 層導体板の y 方向長さ y を変化させたが、この時 M6 層および M1 層における導体板の y 方向長さの合計は $45\ \mu\text{m} \times 2 = 90\ \mu\text{m}$ を維持したまま変化させた。つまり、 $y = 47\ \mu\text{m}$ であれば、M6 層の導体板は y 方向に $47\ \mu\text{m}$ の長さをもち、M1 層の導体板は y 方向に $43\ \mu\text{m}$ の長さをもつ。この時のアンテナのリアクタンスと利得を図 3.22 に示す。この結果から、折り畳み位置までの距離 y が短くなるにしたがっ

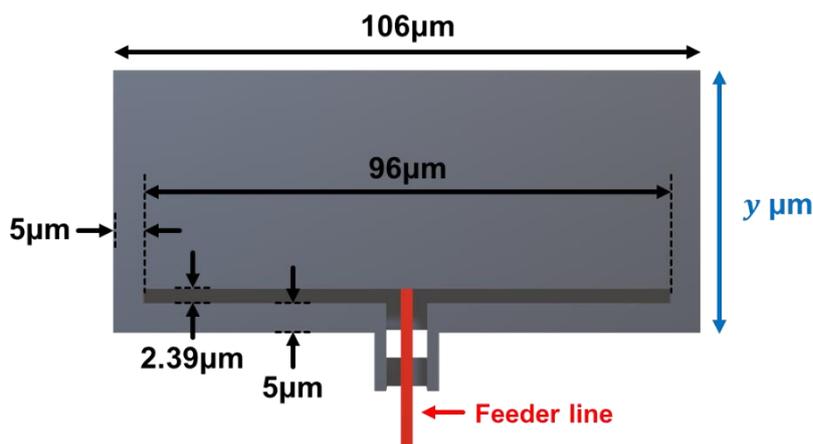


図 3.21 折り畳みスロットアンテナの折り曲げ位置

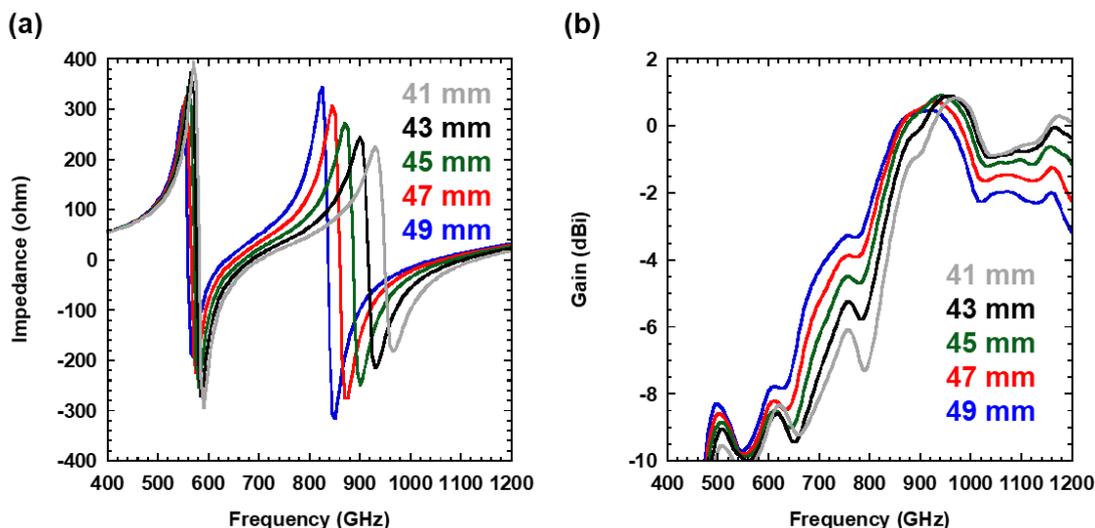


図 3.22 折り曲げ位置の変更時におけるアンテナの(a)リアクタンスと(b)周波数利得

3.3 アンテナとテラヘルツ波検出器の特性解析

て、共振周波数が高周波側に移動していることが分かる。また、折り畳み位置までの距離 y が短くなるにしたがって、利得ピークも高周波側に移動していることが分かる。また、折り返し位置が $45\ \mu\text{m}$ よりも長い状態では、ピーク利得が減少している。これは折り返した導体板がスロット下部に到達しておらず、反射板としての機能が損なわれている可能性を示している。次に、折り畳みスロットアンテナの幅を変更し、この時のアンテナ特性の変化を解析した。アンテナ幅の変更において、図 3.23 における M6 層および M1 層導体板の x 方向長さ x を変化させたが、この時スロット長を含むその他の寸法は変更していない。この時のアンテナのリアクタンスと利得を図 3.24 に示す。この結果から、アンテナ幅の変更によって、アンテナ利得がわずかに改善されることが分かった。また、アンテナ幅の変更はアンテナのリアクタンス特性にほとんど影響しないことが分かった。

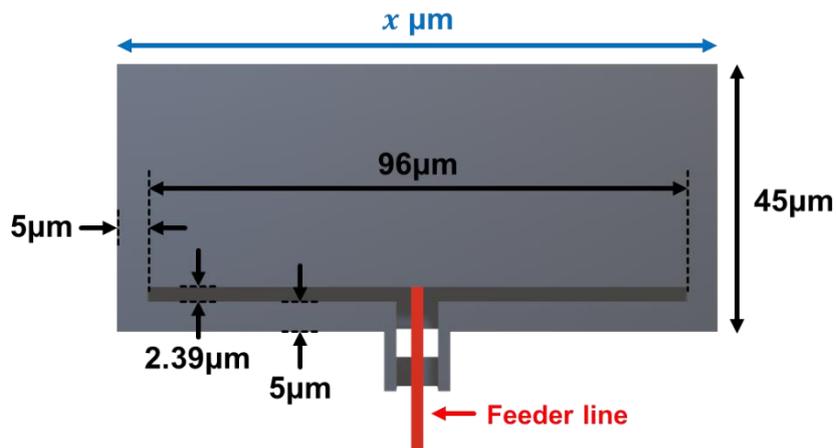


図 3.23 折り畳みスロットアンテナの幅

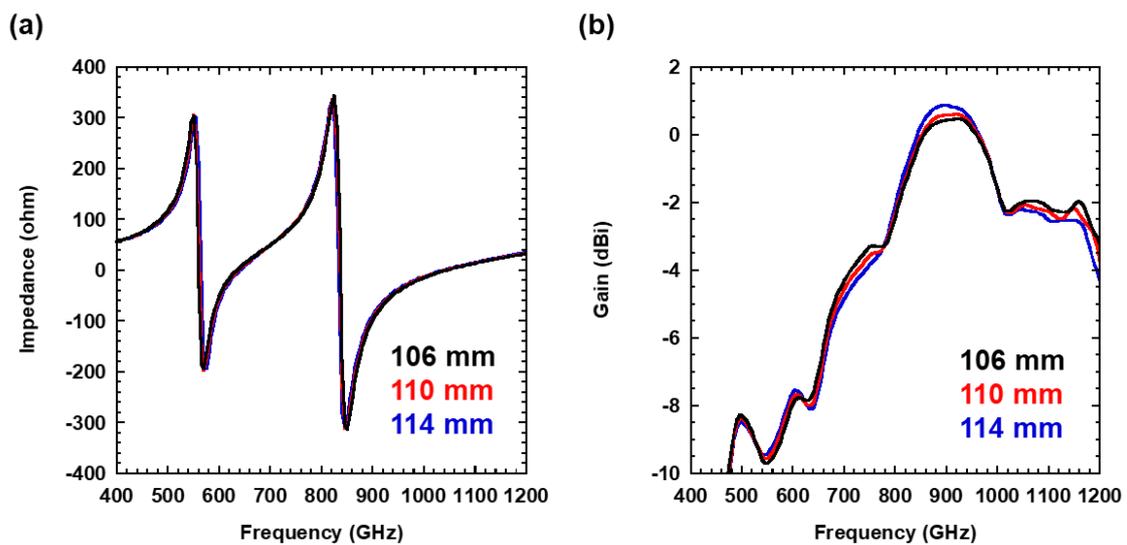


図 3.24 アンテナ幅の変更時におけるアンテナの(a)リアクタンスと(b)周波数利得

3.3.3 テラヘルツ波検出器の特性解析

本節では、3.2 節で述べた 2 種類の試作テラヘルツ波検出器について、テラヘルツ波源を用いて実測し、それらの特性について評価した結果を述べる。本節の内容は、自筆のオンチップアンテナ特性に関する論文「Wideband terahertz imaging pixel with a small on-chip antenna in 180nm CMOS」^[6]の一部の内容を含む。測定環境のセットアップを図 3.25 に示す。テラヘルツ波源には光注入型テラヘルツパラメトリック発生器(is-TPG: injection-seeded Terahertz Parametric Generator)^[11]を用いた。is-TPG は非線形結晶である MgO:LiNbO₃ を用いており、位相整合条件を変化させることで、その出力周波数を連続に変化させることが可能なテラヘルツ波源である^[11]。is-TPG から出力されたテラヘルツ波は、図に示した光学系を介してテラヘルツ波検出器のアンテナに照射される。テラヘルツ波検出器の出力信号を正確に測定するため、測定にはロックインアンプを用いた。また、ロックインアンプと光学系内の光学チョッパは同期しており、テラヘルツ波検出器に照射されるテラヘルツ波を 31 Hz・Duty 比 50% で変調している。はじめに、試作した 2 種類のテラヘルツ波検出器の周波数応答を測定した。この測定では、is-TPG のテラヘルツ波出力周波数を 0.8 THz から 1.2 THz まで変化させて、テラヘルツ波検出回路の周波数応答を測定した。また、is-TPG の出力するテラヘルツ波は、200 Hz で OOK(On-Off Keying)変調されている。この測定結果と、シミュレーション上における周波数応答を図 3.26 に示す。図中に示した利得は、ロックインアンプで測定されたテ

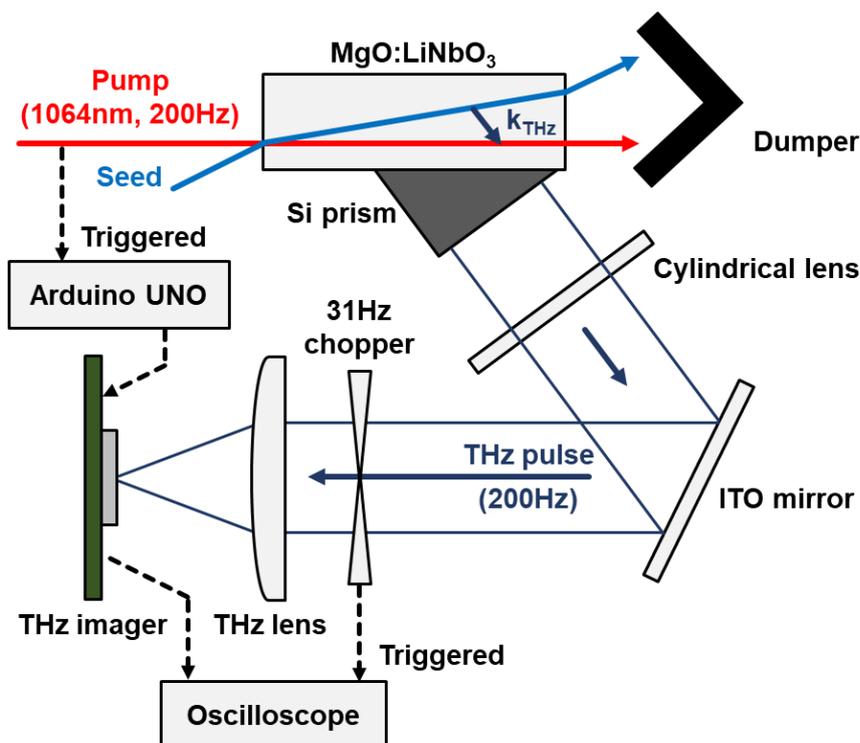


図 3.25 テラヘルツ波検出器の周波数特性測定環境

3.3 アンテナとテラヘルツ波検出器の特性解析

ラヘルツ波検出器出力を、検波回路内のアンプ利得と単一のテラヘルツ波検出器あたりに照射されるテラヘルツ波のパワーで割った数値である。照射されるテラヘルツ波のパワーは、is-TPG の出力周波数と出力パワーの関係から逆算している。ただし、大気や水分子による吸収など、is-TPG の出力パワーが小さくなってしまふ周波数においては十分な計算の精度が得られない。そのため、実測値のうち is-TPG の出力パワーが $1 \mu W$ 以下となる周波数のデータ点は削除してプロットしている。この結果から、マイクロストリップパッチアンテナを用いたテラヘルツ波検出器は、設計通りの狭帯域において高利得な特性を持っていることが分かる。また、折り畳みスロットアンテナを用いたテラヘルツ波検出器は、設計通りの広帯域な特性を持っていることが分かった。次に、試作した2種類のテラヘルツ波検出器の過渡応答を測定した。測定環境のセットアップを図 3.27 に示す。この測定環境は、図 3.27 の測定環境から光学チョップとロックインアンプを取り除き、各テラヘルツ波検出器の出力をオシロスコープにより直接観測するものである。この測定では、それぞれのテラヘルツ波検出器について is-TPG のテラヘルツ波出力周波数を、マイクロストリップパッチアンテナを用いた検出器に対して 0.926 THz、折り畳みスロットアンテナを用いた検出器に対して 1.026 THz とした。このテラヘルツ波は先の測定同様に、200 Hz で OOK 変調されている。図 3.28 に測定波形を示す。図に示した測定波形は、オシロスコープの平均化機能を用いて $n=128$ による平均化を行った波形である。測定の最中に、テラヘルツ波の入射を遮っている場合であっても、200 Hz の雑音成分が出力信号に観測された。この原因は is-TPG のテラヘルツ波出力時に、ポンプ光レーザに大電流を流す必要があることから、この雑音が混入した可能性がある。そのため、図に示した波形は、テラヘルツ波を入射した場合の波形から、テラ

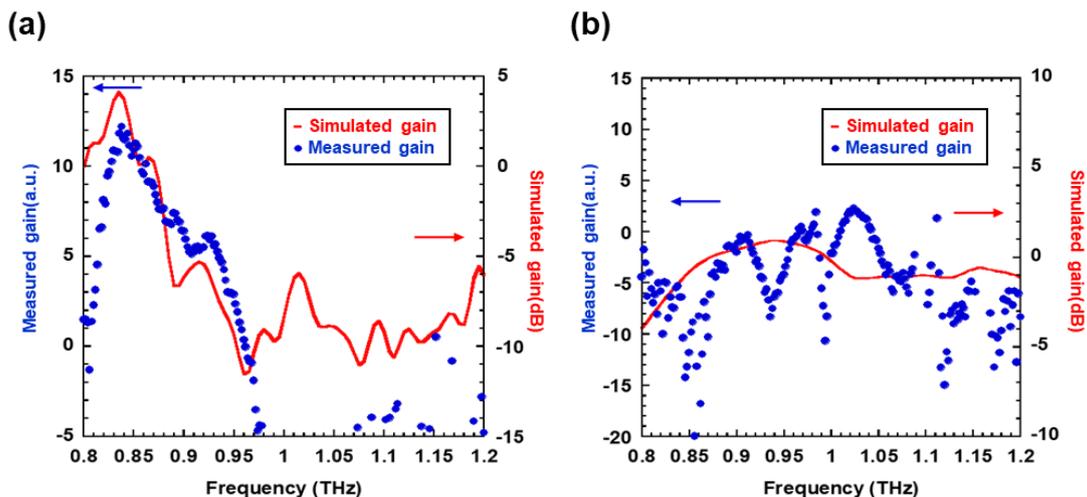


図 3.26 各アンテナのシミュレーションおよび実測に基づく周波数特性

(a) マイクロストリップパッチアンテナ

(b) 折り畳みスロットアンテナ

3.3 アンテナとテラヘルツ波検出器の特性解析

ヘルツ波入社していない場合の波形を差し引いたものになっている(バックグラウンド雑音の除去)。この結果から、各種オンチップアンテナと、テラヘルツ波検出器が正常に動作していることが分かる。

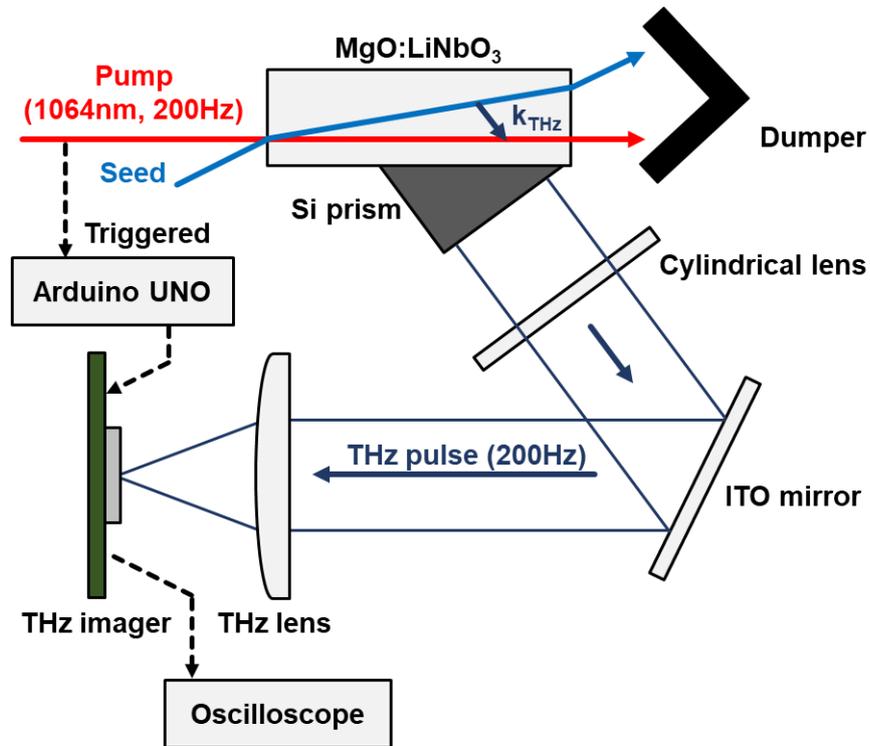


図 3.27 テラヘルツ波検出器の過渡応答特性測定環境

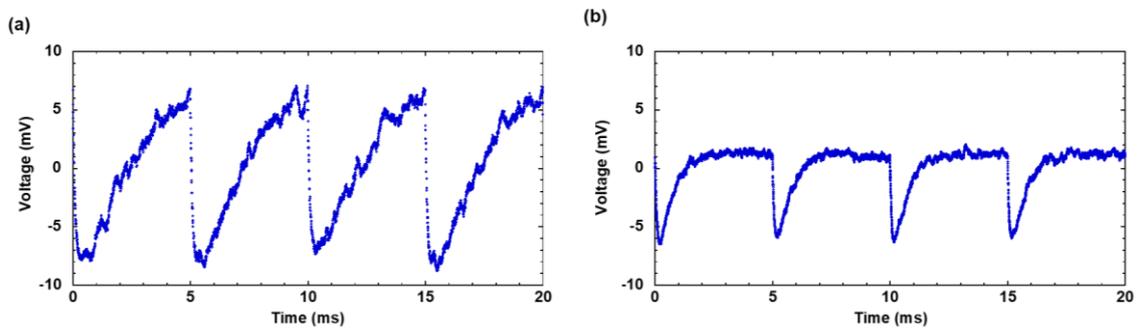


図 3.28 テラヘルツ波検出器の過渡応答特性

(a) マイクロストリップパッチアンテナ

(b) 折り畳みスロットアンテナ

参考文献 (第 3 章)

- [1] Kojima, Hiromu, et al. "Analysis of square-law detector for high-sensitive detection of terahertz waves." *Journal of Applied Physics* 125.17 (2019): 174506.
- [2] Kojima, Hiromu, and Tanemasa Asano. "Impact of subthreshold slope on sensitivity of square law detector for high frequency radio wave detection." *Japanese Journal of Applied Physics* 58.SB (2019): SBBL05.
- [3] Lee, Kwyro, et al. "Semiconductor device modeling for VLSI." pp. 211–219 (1993).
- [4] Wada, Toshiaki, Masayuki Ikebe, and Eiichi Sano. "60-GHz, 9- μ W wake-up receiver for short-range wireless communications." *2013 Proceedings of the ESSCIRC (ESSCIRC)*. IEEE, 2013.
- [5] Wakita, Kosuke, et al. "Design and fabrication of a terahertz imaging array in 180-nm CMOS process technology." *2016 21st International Conference on Microwave, Radar and Wireless Communications (MIKON)*. IEEE, 2016.
- [6] Kanazawa, Yuri, et al. "Wideband terahertz imaging pixel with a small on-chip antenna in 180 nm CMOS." *Japanese Journal of Applied Physics* 58.SB (2019): SBBL06.
- [7] Motoyoshi, Makoto. "Through-silicon via (TSV)." *Proceedings of the IEEE* 97.1 (2009): 43-48.
- [8] NICT, “テラヘルツ波 大気減衰率 提供サービス”, <https://smiles-p6.nict.go.jp/thz/jp/decay.html>, 2022, December 9th.
- [9] Yee, Kane. "Numerical solution of initial boundary value problems involving Maxwell's equations in isotropic media." *IEEE Transactions on antennas and propagation* 14.3 (1966): 302-307.
- [10] Berenger, Jean-Pierre. "A perfectly matched layer for the absorption of electromagnetic waves." *Journal of computational physics* 114.2 (1994): 185-200.
- [11] Kawase, Kodo, Jun-ichi Shikata, and Hiromasa Ito. "Terahertz wave parametric source." *Journal of Physics D: Applied Physics* 35.3 (2002): R1.

第4章

テラヘルツイメージセンサ

テラヘルツ波帯の利用可能性は第1章に述べた通りであるが、単一のテラヘルツ波検出器だけではなく、テラヘルツ波検出器の2次元アレイ(テラヘルツイメージセンサ)を用いることができれば、より高度な用途にテラヘルツ波帯を活用することが可能になる。テラヘルツ波帯を用いた非破壊検査や物質同定は、アレイセンサを用いることで点ではなく面での測定が可能になる。単一のテラヘルツ波検出器を用いた場合でも、走査を行うことで面での測定を行うことはできる。しかし、測定対象の走査には時間を要し、また、走査の間測定対象が完全に静止していることが求められるなど、その用途は限られる。アレイセンサによるイメージングは、デバイス走査の必要がないため高速であり、動作方式によっては動作している測定対象に対しても適切にイメージングを行うことが可能である。本章では、テラヘルツイメージングに向けた、テラヘルツ波検出器のアレイ化によるテラヘルツイメージセンサの構築について述べる。また、第3章で示したように、テラヘルツ波検出器の出力は一定値ではなく、時間軸上で変化するアナログ回路の過渡応答である。この出力信号をそのまま扱うことは困難であり、これを適切に扱うためには A/D 変換器が必要不可欠である。そのため、本章ではテラヘルツイメージセンサに用いる A/D 変換器についても述べる。

4.1 テラヘルツ波検出器のアレイ化と信号の読み出し

第3章で述べたテラヘルツ波検出器は、オンチップアンテナとテラヘルツ波検出回路が、およそ $200\mu\text{m}$ 四方程度の領域にひとつのユニットとして実装されている。そのため、テラヘルツ波検出器をアレイ化するためには、単にこのユニットを任意の個数アレイ状に配置すればよい。例えば、テラヘルツイメージセンサ構成したいのであれば、テラヘルツ波検出器を2次元のアレイ状に配置するのが一般的である。しかし、テラヘルツ波検出器のアレイ化に伴い、各検出器の出力信号を読み出す方法については考慮が必要である。今日、可視光領域のイメージセンサとして広く用いられている CMOS イメージセンサ(CIS: CMOS Image Sensor)の多くは、撮像後にピクセルアレイを1行ずつ選択し A/D 変換する Column ADC 方式を採用している^[1-5]。これは、多くの CIS において、集積された CIS チップ上には、画素アレイの列数分の A/D 変換器が存在することに起因している。そのため、撮像後に全ピクセルの出力値を同時に A/D 変換することは不可能であり、1行ずつ読み出して A/D 変換するというプロセスを全行に対して

4.1 テラヘルツ波検出器のアレイ化と信号の読み出し

行うことで、1枚の撮像結果を得ることができる。もし撮像の完了後に、すべてのピクセルが出力値を保持し続けることができるのであれば、このような読み出し方法は多少の時間を要するものの、十分に実用的である。しかし、現実にはピクセル出力値を長時間保持することは困難であり、ピクセル出力の保持期間を短縮するために、ある行の撮像・A/D変換を行い、それが済み次第、次の行の撮像・A/D変換を行うという行程を踏む必要がある。このような撮像方法を、ローリングシャッタ撮像という。この撮像方法を採用する場合、 n 行目の撮像と $n+1$ 行目の撮像は、別の時刻において実施されていることになる。デバイス走査によるイメージングでも述べた内容であるが、ピクセル感に同時性のない撮像は、動きのない測定対象にのみ有効である。例えば、高速で運行している新幹線上から、このようなイメージセンサを用いてイメージングを行うと、行ごとの撮像タイミングのずれが顕著になる。その結果、得られた画像にはローリングシャッタ歪みという、ピクセル間の非同時性に起因する歪みが発生してしまう。ローリングシャッタ歪みのイメージを、図4.1に示す。もちろん、A/D変換器の動作を高速にする等、ピクセル間の非同時性を無視できるほどに短縮することができればローリングシャッタ歪みは抑制可能であるが、これは本質的な解決策ではない。多くの可視光帯のCISでは、ピクセル内の受光素子であるフォトダイオードとして、埋め込み型フォトダイオードを用いることでこの問題を解決している^[6]。「ピクセル出力値を長時間保持することは困難」と先に述べたが、可視光CISにおけるこの原因はフォトダイオードの暗電流であった。可視光CISは、可視光がフォトダイオードに入射することで、フォトダイオードを介してFD(Floating Diffusion)容量から電荷が流れ出ることで、その入射強度を測定している。通常のフォトダイオードを用いた場合、可視光の入射がない状態(非撮像時)であっても、フォトダイオードには微小な暗電流が流れており、時間とともにFD

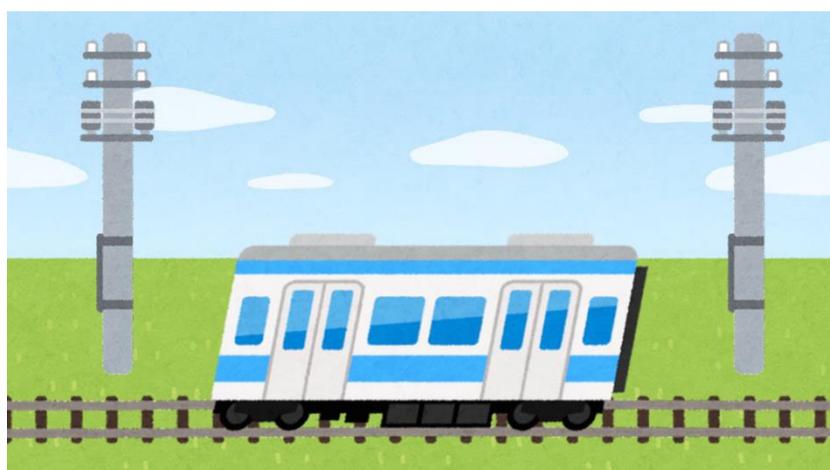


図 4.1 ローリングシャッタ歪みのイメージ図

ローリングシャッタ方式では画面上部の行から順に撮像を行う
そのため行間の同時性がなく動体の撮像では歪みが発生する

4.2 離散時間型 A/D 変換機と連続時間型 A/D 変換機

容量のポテンシャルが減少変化してしまう。埋め込み型フォトダイオードは暗電流のないフォトダイオードである。そのため、可視光 CIS に埋め込み型フォトダイオードを採用することで、「ピクセル出力値を長時間保持することは困難」であった根本的な原因を解決した。そのため、すべてのピクセルで同時に撮像を行い、その後は時間をかけて 1 行ずつ読み出し・A/D 変換しても問題がなく、ローリングシャッタ歪みも発生しない。このような、全ピクセルにおいて同時に撮像可能なイメージセンサを、グローバルシャッタイメージセンサという。先述の通り、テラヘルツ波帯の利用可能性は保安検査をはじめとする非破壊検査が主である。また、放射線を用いる場合と比較して、生体への影響が極限まで少ないことも利点のひとつであった。保安検査ではベルトコンベア上を流れる荷物の検査や、あるいは携行品の検出のために人体に対して検査を行うことを考えると、その測定対象は多くの場合動体であることが予想できる。グローバルシャッタ動作は画像の歪みを抑えるだけでなく、検査時間の短縮にもつながることから、実用に向けたテラヘルツイメージセンサはグローバルシャッタイメージセンサであることが望ましい。テラヘルツイメージセンサのグローバルシャッタ化は、可視光 CIS と異なるアプローチを行う必要がある。3.3.3 節で示した通り、テラヘルツ波検出器の出力はアナログ回路の過渡応答波形である。テラヘルツ波の入射強度により、テラヘルツ波検出器の出力波形は電圧軸・時間軸の双方で変化する。そのため、撮像後のある時刻にテラヘルツ波検出器の出力電圧を S/H (Sample and Hold) したとして、電圧値こそ(短時間は)保持できるものの、過渡応答特性がすべて失われてしまうため無意味である。このように、時系列を含めたアナログ波形を保持することは容易ではないため、本研究ではこの機能を A/D 変換器側に負担させている。A/D 変換器は時間軸における動作から、離散時間型と連続時間型に大別することができる。これらの詳細は 4.2 節で述べるが、連続時間型 A/D 変換器は入力されたアナログ波形に対して、その時系列まで反映した A/D 変換を行うことが可能である。また、試作するテラヘルツイメージセンサにおいては、すべてのピクセル出力波形に対して連続時間型の A/D 変換を行うために、ピクセル数と同数の A/D 変換器を設けるピクセル並列アーキテクチャ(詳細は 4.4 節にて述べる)を採用することとした。

4.2 離散時間型 A/D 変換機と連続時間型 A/D 変換機

A/D 変換器は、入力信号の時系列有無によって、離散時間型 A/D 変換器と連続時間型 A/D 変換器に大別することができる。離散時間型 A/D 変換器は、連続したアナログ波形のある一点を切り取って(離散サンプリングを行って)、その値を A/D 変換する A/D 変換器の総称である。具体的な例として、フラッシュ型 A/D 変換器、逐次比較型 A/D 変換器(SAR ADC: Successive Approximation Register A/D Converter)、パイプライン型 A/D 変換器、また、シングルスロープ型 A/D 変換器(SS ADC: Single Slope A/D

4.3 電圧制御発振器型 A/D 変換機 (VCO ADC)

Converter)が挙げられる。先に述べた通り、可視光 CIS では埋め込み型フォトダイオードを用いることでピクセルの出力値を強力に保持することが可能であり、A/D 変換のためにピクセル出力を離散サンプリングするための追加回路は不要である。そのため、これらの A/D 変換器は可視光 CIS において広く利用されている。しかし、テラヘルツイメージセンサはピクセルの出力値に時系列の要素も含まれているため、これらの A/D 変換器を用いることは不適である。仮に、テラヘルツ波検出器の出力波形を SAR ADC に入力したとする。SAR ADC は、例えば二分探索により A/D 変換を行うが、二分探索の最中にもテラヘルツ波検出器の出力電圧は変化し続ける。このとき、テラヘルツ波検出器の出力波形は適切に A/D 変換されないことが明らかである。連続時間型 A/D 変換器は、時系列をもつ連続したアナログ波形に対して、その時点で入力されている入力値に応じて逐次 A/D 変換を行う A/D 変換器の総称である。具体的な例として、デルタシグマ型 A/D 変換器(Δ - Σ ADC: Delta-Sigma A/D Converter)、二重積分型 A/D 変換器、また、電圧制御発振器型 A/D 変換器(VCO ADC: Voltage-Controlled Oscillator A/D Converter)が挙げられる。連続時間型 A/D 変換器は、そもそも連続して変化する入力波形を A/D 変換するため、時系列を含めたアナログ波形をそのまま量子化することができる。例えば、テラヘルツ波検出器の出力波形を VCO ADC に入力した場合、VCO ADC は入力波形を内部的に積分し、その積分値を出力することができる。本研究では、VCO ADC を用いて、テラヘルツイメージセンサのピクセル並列アーキテクチャ(詳細は 4.4 節にて述べる)を実装する。次節では、VCO ADC の動作原理と実装方法・具体的な動作について述べる。

4.3 電圧制御発振器型 A/D 変換機 (VCO ADC)

本節では、テラヘルツイメージセンサのピクセル並列アーキテクチャ(詳細は 4.4 節にて述べる)に用いる、電圧制御発振器型 A/D 変換器(VCO ADC: Voltage-Controlled Oscillator A/D Converter)^[7]の動作原理と実装方法・具体的な動作について述べる。VCO ADC は、電圧制御発振器(VCO: Voltage-Controlled Oscillator)と、カウンタ回路という 2 つの回路要素からなる。電圧制御発振器は、入力された電圧値に比例した発振周波数のクロック信号を出力する発振器である。つまり、電圧制御発振器は、入力された電圧値(アナログ値)を、出力するクロック信号の発振周波数(アナログ値)に変換する回路要素である。電圧制御発振器の出力するクロック信号は、後段のカウンタ回路に入力される。カウンタ回路は、入力されたクロック信号の立ち上がりエッジ(Positive edge)の個数を数え上げる。つまり、カウンタ回路は、入力されたクロック信号の発振周波数(アナログ値)を、カウント値(デジタル値)に変換する回路要素である。ここで、カウンタ回路が一定時間 t_{cnt} の間動作するとき、 t_{cnt} の間における電圧制御発振器の平均発

4.3 電圧制御発振器型 A/D 変換機 (VCO ADC)

信周波数の f と、 t_{cnt} の間にカウントされた立ち上がりエッジの個数 $N_{posedge}$ は比例の関係にある。これを式(4.3.1)に示す。

$$N_{posedge} = \bar{f} \times t_{cnt} \quad (4.3.1)$$

そのため、カウンタ回路は、アナログ値である入力クロック信号の発振周波数を、その発振周波数(と比例したカウント値)というデジタル値に変化しているといえる。よって、VCO とカウンタ回路を組み合わせることで、入力されたアナログ電圧値を離散化された(デジタル値の)周波数に変換する回路として機能する。これが VCO ADC の A/D 変換原理である。次に、VCO ADC の実回路実装について述べる。図 4.2 に電圧制御発振器の回路図を示す。図中の V_{PIX} が電圧制御発振器の入力端子であり、テラヘルツイメージセンサを構成する際には、テラヘルツ波検出器の出力端子が接続される。また、図中の VCO_{OUT} が電圧制御発振器のクロック出力端子であり、VCO ADC として用いる際にはカウンタ回路の入力端子に接続される。電圧制御発振器は、2つのランプ波源(Ramp gen)、2つの比較器、また、1つの RS-FF(Reset-Set Flip-Flop)回路からなる。ランプ波源は、ランプ波形を出力する波源であり、ランプ波の傾きは入力されたアナログ電圧値に比例する。比較器はランプ波源の出力 V_{RAMP} と、外部から入力されるリファレンス電圧 V_{CTRL} を比較する。比較器はこれらの入力値が $V_{RAMP} < V_{CTRL}$ を満たす時には論理 0 を出力し、また、 $V_{RAMP} > V_{CTRL}$ を満たす時には論理 1 を出力する。RS-FF 回路は、セット端子(S)に論理 1 が入力されると出力端子(Q)に論理 1 をセットし、リセット端子(R)に論理 1 が入力されると出力端子(Q)に論理 0 をセットするフリップフロップ回路である。セット端子とリセット端子がともに論理 0 の場合には、既にセットされている値を保持し続ける。一般に、RS-FF はセット端子とリセット端子に対して同時に論理 1 を入力することを許容していない(この状態における動作が未定義である)。ここからは電圧制御発振器の具体的な動作について述べる。初期状態において、RS-FF の出力端子(Q)

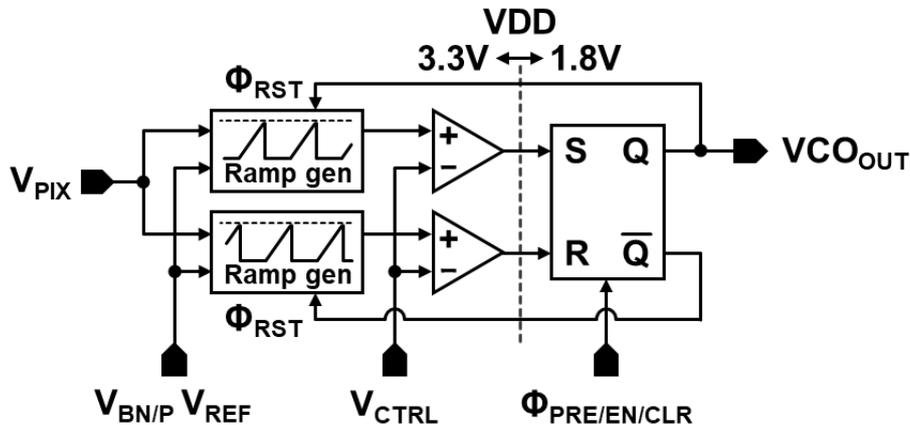


図 4.2 電圧制御発振器のブロック図

4.3 電圧制御発振器型 A/D 変換機 (VCO ADC)

に論理 0 がセットされていたとする。Q=0 であるとき、図 4.2 に含まれる 2 つのランプ波源のうち、上側のランプ波源①のリセット端子(RST)に論理 0 が入力されるため、ランプ波源①がランプ波生成を開始する。この時、もう一方のランプ波源②のリセット端子(RST)には論理 1 が入力されており、ランプ波源②は初期状態のまま動作を停止している。ランプ波源①は入力された V_{PIX} に比例した傾きのランプ波を生成する。ランプ波源①の出力値 V_{RAMP1} は、比較器①により常にリファレンス電圧 V_{CTRL} と比較されている。ランプ波源①の出力値が $V_{RAMP1} > V_{CTRL}$ を満たしたタイミングで、比較器①の出力は論理 0 から論理 1 に変化する。この時、比較器①から出力された論理 1 は、RS-FF のセット端子(S)に入力され、RS-FF の出力端子(Q)に論理 1 がセットされる。Q=1 であるとき、図 4.2 に含まれる 2 つのランプ波源のうち、下側のランプ波源②のリセット端子(RST)に論理 0 が入力されるため、ランプ波源②がランプ波生成を開始する。この時、もう一方のランプ波源①のリセット端子(RST)には論理 1 が入力されており、ランプ波源①は初期化され動作を停止している。ランプ波源②の出力値 V_{RAMP2} は、比較器②により常にリファレンス電圧 V_{CTRL} と比較されている。ランプ波源②の出力値が $V_{RAMP2} > V_{CTRL}$ を満たしたタイミングで、比較器②の出力は論理 0 から論理 1 に変化する。この時、比較器②から出力された論理 1 は、RS-FF のリセット端子(R)に入力され、RS-FF の出力端子(Q)に論理 0 がセットされる。ここまでの動作を 1 周期として、電圧制御発振器はこの動作を繰り返す。このとき、動作の繰り返し周期 T はランプ波形の傾きに反比例する。ランプ波形の傾きは電圧制御発振器の入力 V_{PIX} に比例するため、動作の繰り返し周期 T は電圧制御発振器の入力 V_{PIX} に反比例する。動作の繰り返し周期 T と、動作の繰り返し周波数 f が逆数の関係にある。そのため、電圧制御発振器は入力 V_{PIX} に比例した周波数 f で繰り返し動作を行う。繰り返し動作 1 周期において、RS-FF の出力端子(Q)は必ず論理 0 から論理 1 に変化する。電圧制御発振器の出力 V_{CO_OUT} は、RS-FF の出力端子(Q)と同一ノードである。よって、電圧制御発振器の出力 V_{CO_OUT} には、入力 V_{PIX} に比例した周波数 f をもつクロック信号を出力する。 V_{PIX} の値が一定の時、電圧制御発振器から出力されるクロック信号の周波数は一定であり、Duty 比は 50% のクロック信号を出力する。ただし、 V_{PIX} の値が一定である必要はなく、 V_{PIX} の変動に追従する形で電圧制御発振器の出力周波数が変化する。ところで、以上の動作を実現するためには、ランプ波源と比較器は必ずしも 2 セット必要ない。つまり、1 つのランプ波源に繰り返しランプ波形の生成を行わせ、ランプ波形が V_{CTRL} に達するたびにランプ波形のリセットを行うことで、より小型な電圧制御発振器とすることができる。しかし、このような構成を取った場合、ランプ波源の初期化に要する時間を考慮する必要がある。ランプ波源はその出力が V_{CTRL} と等しくなるまで、内部のキャパシタに電荷をチャージし続けることでランプ波を生成する。ランプ波源の初期化においては、このキャパシタから電荷を完全に抜き去る必要がある。キャパシタに蓄えられた電荷量はランプ波形の

4.3 電圧制御発振器型 A/D 変換機 (VCO ADC)

傾きによらず一定であることから、キャパシタの放電には常に一定の時間 Δt を要する。単一のランプ波源を繰り返し用いる場合、動作の繰り返し周期は $T/2 + \Delta t$ と表記できる。入力 V_{PIX} の値が小さいとき、ランプ波形の傾きは小さく、 $T/2$ は比較的大きな値をとる。このとき、動作の繰り返し周期は $T/2$ が支配的である。しかし、入力 V_{PIX} の値が大きいとき、ランプ波形の傾きは大きく、 $T/2$ は比較的小きな値をとる。このとき、動作の繰り返し周期は Δt が支配的になり、入力 V_{PIX} と出力周波数 f_{VCO} の関係に非線形性が生じてしまう。先に提案した通り、2組のランプ波源と比較器を用いた相補的なリセット機構を設けることで、この問題を解決することができる。次に、カウンタ回路の実装について述べる。T-FF(Toggle Flip-Flop)回路は、入力端子(T)と出力端子(Q)をもつフリップフロップ回路の一種である。T-FF は、入力端子(T)に立ち上がりエッジが入力される度に、出力端子(Q)の論理を逆転させる。そのため、T-FF はそれ単体で 1-bit のカウンタ回路として機能する。VCO ADC に用いるカウンタ回路は、後述する理由から 12-bit 程度のカウンタ回路である必要がある。そのため、12 個の T-FF を縦続接続することで、12-bit のカウンタ回路を実装した。このような、縦続接続されたフリップフロップ回路によるカウンタ回路を、リップルカウンタと呼ぶ。図 4.3 に、VCO ADC に用いるカウンタ回路のブロック図を示す。カウンタ回路は、2つの 2 入力 NAND ゲート、2つの 12-bit リップルカウンタ、また、2つの 12-bit データバッファにより構成されている。2 入力 NAND ゲートの入力端子のうち、一方を入力端子、もう一方を制御端子として考える。制御端子の論理が 0 であるとき、入力端子の論理によらず、出力端子の論理は 1 に固定されている。また、制御信号の論理が 1 であるとき、入力端子の論理を反転したものが出力端子に現れる。入力端子にクロック信号を与えることを考えると、2 入力 NAND ゲートはクロック信号を遮断または反転して通過させるクロックゲートとしてはたらくことが分かる。つまり、図中において、Lock-in 信号(図中では $\Phi_{THz_ON/OFF}$)が論理 1 のときのみ、電圧制御発振器から出力されたクロック信号は(反転して)リップルカウンタに到達することが可能である。よって、図に示したカウンタ回路は、Lock-in 信号の論理を 1 と

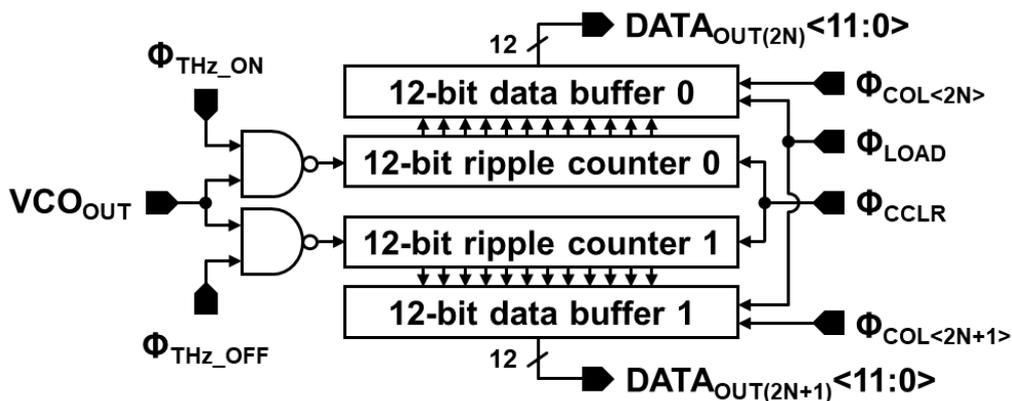


図 4.3 カウンタ回路のブロック図

した任意の期間において、クロック信号の立ち下がりエッジ数をカウントすることが可能である。また、リップルカウンタには等しいビット幅をもつデータバッファが併設されている。データバッファは、LOAD 信号の論理が 1 となっている間、リップルカウンタの値を取り込む 12-bit ラッチ回路になっている。つまり、Lock-in 信号を用いて任意の期間でカウント動作を行った後に、LOAD 信号を用いてデータバッファにリップルカウンタの値をコピーすることが出来る。一度カウント値のコピーが済んでしまえば、リップルカウンタを初期化してしまっても構わず、また、次のカウント動作を開始することも可能である。データバッファが存在しない場合、リップルカウンタのカウント値をチップ外部に読み出すまでの間、リップルカウンタを初期化することはできない。テラヘルツイメージセンサとして実装した場合には、全ピクセル分のカウント値を外部に読み出し終わるまでの間、次の撮像が開始出来ないことを意味する。そこで、カウント値の対比場所としてデータバッファを設けることで、カウント値の読み出しと次の時刻における新たなカウント動作が並列して行えるように設計した。次の時刻における撮像が終わるまでの間に、前の時刻で撮像した全ピクセル分のカウント値をチップ外部に読み出すことができれば、このテラヘルツイメージセンサは休みなく常に撮像(と平行したデータ読み出し)を続け続けることが可能になる。図 4.3 に示した通り、カウンタ部にはこのようなカウンタ・データバッファが 2 組存在している。これら 2 組の回路は、それぞれ独立して動作可能であり、2 つの Lock-in 信号を用いることで、任意の 2 つの期間(重複を許す)において、カウント動作を行うことが出来る。一般に、イメージセンサにおける A/D 変換では、ピクセル回路の製造ばらつき等による固定パターン雑音を取り除く必要がある。そのため、テラヘルツ波が入射していない状態での VCO ADC 出力値と、テラヘルツ波が入射した状態での VCO ADC 出力値の差分を取ることで、固定パターン雑音の除去を行う。このようなオフセット雑音の除去手法を、(広義的な)相関二重サンプリング(CDS: Correlated Double Sampling)という。2 組のカウンタ回路を、テラヘルツ波が入射していない/入射している期間において動作させることで、それぞれの期間における A/D 変換値を同時に取得することが出来る。この 2 つの A/D 変換値は、チップ外部に読み出した後、CDS を行なうのに用いることができる。

4.4 ピクセル並列アーキテクチャ

本節では、4.1 節から 4.3 節で触れたピクセル並列アーキテクチャについて、その具体的な回路構成と実装方法の検討を行う。ピクセル並列アーキテクチャでは、ピクセル回路と A/D 変換器を同数実装し、それらを一対一で対応させる必要がある。このような回路構成をとるための方法としては、ピクセル回路内に A/D 変換器を設ける in-Pixel ADC 方式と、ピクセル回路アレイの外部に A/D 変換器アレイを設ける Column ADC

4.4 ピクセル並列アーキテクチャ

方式が挙げられる。in-Pixel ADC 方式を用いる場合のイメージセンサブロック図を図 4.4 に示す。in-Pixel ADC 方式では、ピクセル回路内に A/D 変換器が組み込まれているため、これを 1 つのユニットとして、必要に応じた個数アレイ状に配列することで、ピクセル並列アーキテクチャを実装することができる。in-Pixel ADC 方式を用いる最大の利点は、ピクセル回路と A/D 変換器が回路的に 1 ユニットとして独立しているため、ピクセル数の増減に柔軟に対応可能な点である。しかし、各ユニットからの出力信号は A/D 変換器の出力信号となる。例えば、in-Pixel ADC 方式に 12-bit 精度の A/D 変換器を用いた場合、すべてのユニットからは 12-bit のデジタル信号が出力されることとなる。つまり、12-bit のデジタル信号配線が、ユニットの個数分必要になってしまう。32×32 のユニットアレイをもつテラヘルツイメージセンサを構成した場合には、このデジタル信号線の本数は $12 \times 32 \times 32 = 12288$ 本に上る。仮に $1\text{cm} \times 1\text{cm}$ の比較的大きな半導体チップ上にこれらを集積したとしても、チップ外周に配置できるボンディングパッドの個数は数百から千数百個程度である。つまり、すべてのユニットから出力される多数の信号を、直接チップ外部に読み出すことは不可能である。そのため、in-Pixel ADC 方式では、ユニットアレイからの出力配線を行あるいは列方向でまとめて出力し、これを X-Y アドレス方式などを用いて順次読み出す必要がある。図 4.4 の左側と下側に配置されたデコーダ回路は、全ユニットからの X-Y アドレス読み出しに用いる制御回路である。行デコーダと列デコーダによって、ユニットアレイから任意のユニットを選択し、そのユニットの出力信号をチップ外部に読み出す。全ピクセルを用い

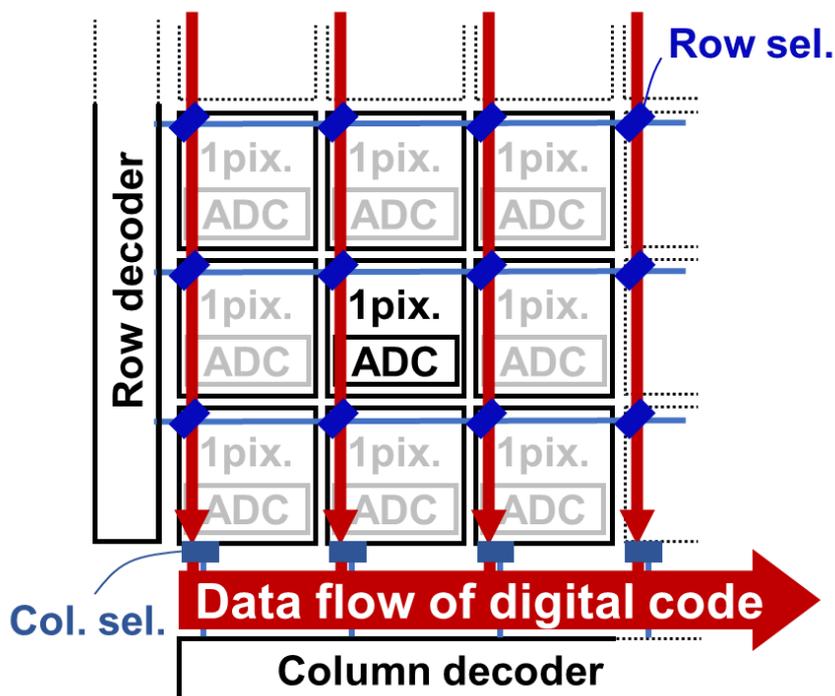


図 4.4 in-Pixel ADC 方式によるピクセル並列アーキテクチャ

て同時撮像を行った場合、撮像の完了後に全てのユニットを順次選択して読み出す必要がある。この読み出し期間中は、次の撮像を行うことができず、撮像インターバルが長くなってしまいう問題が生じる。4.3 節で述べたデータバッファを用いて撮像結果を保持することで、この問題に対しても一定の改善が可能である。しかし、読み出しのために駆動される回路規模が大きく、撮像に要する時間に対して読み出しに要する時間が大きくなることから、インターバルのない連続撮像を行うことは困難である。仮にイメージセンサとしてのフレームレートを優先するのであれば、あえてすべてのピクセルで同時に撮像を行わず、X-Y アドレスにより読み出しが完了したピクセルから、すぐに次の撮像動作に移らせることも考えられる。このような撮像動作を行えば、各ピクセルでは次の読み出しまでに撮像が完了しており、イメージセンサとして最大のフレームレートを達成できる可能性が高い。しかし、この方式は各ピクセル間において同時性がなく、4.1 節で述べたローリングシャッタ歪みを発生させる。テラヘルツイメージセンサでは、フレームレートの向上により、測定対象のより高速な検査を目指しているが、その結果4.1 節で述べたような測定対象への制約が発生してしまうのでは本末転倒である。次に、Column ADC 方式について述べる。Column ADC 方式を用いる場合のイメージセンサブロック図を図 4.5 に示す。Column ADC 方式では、ピクセルアレイと A/D 変換器アレイが独立して配置される。図の例では、ピクセルアレイの下部に A/D 変換器アレイを配置した。これは、可視光 CMOS イメージセンサの構成によく用いられる構成である。可視光 CMOS イメージセンサでは、ピクセルアレイの列数と同数の A/D 変換器をアレイとして配置し、1 行ずつピクセル出力を A/D 変換して外部に読み出していた。テラヘルツイメージセンサでは、ピクセル並列構成を取るために、A/D 変換器は列数

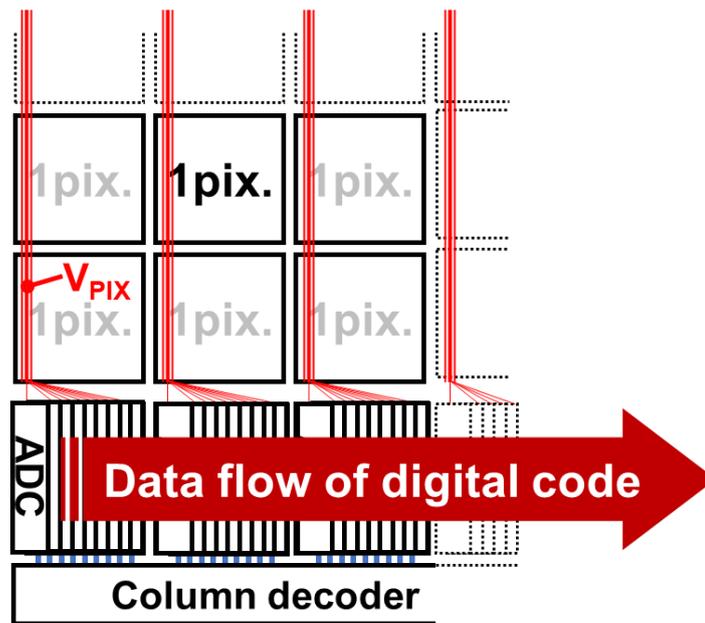


図 4.5 Column ADC 方式によるピクセル並列アーキテクチャ

4.4 ピクセル並列アーキテクチャ

ではなくピクセル数と同数用意されている。図中に示した各ピクセルから A/D 変換器へ延びる縦配線は、ピクセル(テラヘルツ波検波回路)からのアナログ出力信号線である。in-Pixel ADC 方式では各ユニットから多ビットの配線が出力されていたが、Column ADC 方式では各ピクセルからは 1 本の配線のみが出力されており、配線が空間的に余裕を持っている。また、この信号は A/D 変換器によって多ビット出力となるが、多ビットの配線は A/D 変換器アレイ部にのみ必要であり、読み出し時に駆動される回路をより小規模に抑えることが可能である。A/D 変換器の配置について考える。例えば、ピクセルアレイが $32 \times 32 = 1024$ 個のピクセルによって構成されている場合、1024 個の A/D 変換器が必要である。in-Pixel ADC 方式では、A/D 変換器はユニット内に収まる寸法であれば良かった。しかし、Column ADC 方式では、ピクセルアレイの下部(あるいは上部等でも構わないが)に、必要な A/D 変換器のすべてを集積する必要がある。 32×32 のピクセルアレイでは、1 ピクセル列の幅に 32 個(ピクセル 1 列分)の A/D 変換器を配置しなければならない。A/D 変換結果の読み出しにおいては、先に述べた通り駆動回路面積が小規模になるだけでなく、A/D 変換器アレイが直線状に並んでいることから、読み出しにおける A/D 変換器アレイの選択は 1 次元方向のみで済む。そのため、図 4.5 に示したように、読み出しのためのデコーダ回路は列デコーダのみで済む。A/D 変換値の読み出し速度を考えると、in-Pixel ADC 方式では行・列の選択→選択されたユニットから 12-bit の値が出力→チップ外部への読み出しとなり、Column ADC 方式では列の選択→選択された A/D 変換器から直接チップ外部に読み出しとなる。Column ADC 方式の方がそもそもとして回路動作ステップが少ないだけでなく、行・列の選択線や 12-bit の出力線の総延長も短く設計することが可能であり、より高速なデータ読み出しが可能になる。Column ADC 方式を用いる場合でも、in-Pixel 方式でも述べた撮像インターバルの問題は存在する。しかし、Column ADC 方式は読み出しに要する時間が短く、データバッファを用いることで十分にインターバルを解消することが可能である。また、A/D 変換器の回路要素においてその実装面積を考えると、カウンタ回路とデータバッファが最も大規模な回路要素となる。そのため、そもそも in-Pixel 方式ではデータバッファを設けることにより、ユニットの実装面積が増加する可能性がある。一方で、Column ADC 方式では、図 4.5 における A/D 変換器の横幅には制約があるものの、A/D 変換器の縦幅に関しては制約がない。そのため、現実的に Column ADC 方式の方がデータバッファの採用が容易である。特に、Column ADC 方式におけるユニットサイズの増大は、イメージセンサの解像度に直接かかわるピクセルピッチの増大を意味している。そのため、いずれの方式においてもデータバッファの採用は有効であるものの、Column ADC 方式ではデータバッファの採用によるイメージセンサ性能の劣化がない。これらの利点から、本研究では Column ADC 方式を用いて、テラヘルツイメージセンサのピクセル並列アーキテクチャを構成した。

4.5 テラヘルツイメージセンサのレイアウト

3.3.3 節で述べたテラヘルツ波検出器と、4.3 節で述べた電圧制御発振器型 A/D 変換器(VCO ADC)を組み合わせることで、ピクセル並列アーキテクチャをもつテラヘルツイメージセンサを構成することができる。ピクセル並列アーキテクチャの実装方式については、4.4 節で述べた Column ADC 方式を採用する。本節では、テラヘルツイメージセンサの全体構成と、集積に向けたレイアウトについて述べる。図 4.6 に、テラヘルツイメージセンサの全体構成を表したブロック図を示す。テラヘルツイメージセンサは、テラヘルツ波検出器を 32×32 のアレイ状に配置したピクセルアレイ、その上下にピクセル数と同数の A/D 変換器、また、その外側にはデータ読み出し用のデコーダ回路が配置され、構成されている。3.1.4 節で述べた通り、テラヘルツ波検出器はオンチップアンテナとテラヘルツ波検波回路を組み合わせた回路要素である。そのため、ピクセルアレイを構成するためには、このテラヘルツ波検出器をアレイ状に配置するだけで良い。本試作でピクセルとして用いるテラヘルツ波検出器は、ターゲット周波数において高い利得が得られたパッチアンテナ型のテラヘルツ波検出器を用いた。各ピクセルから

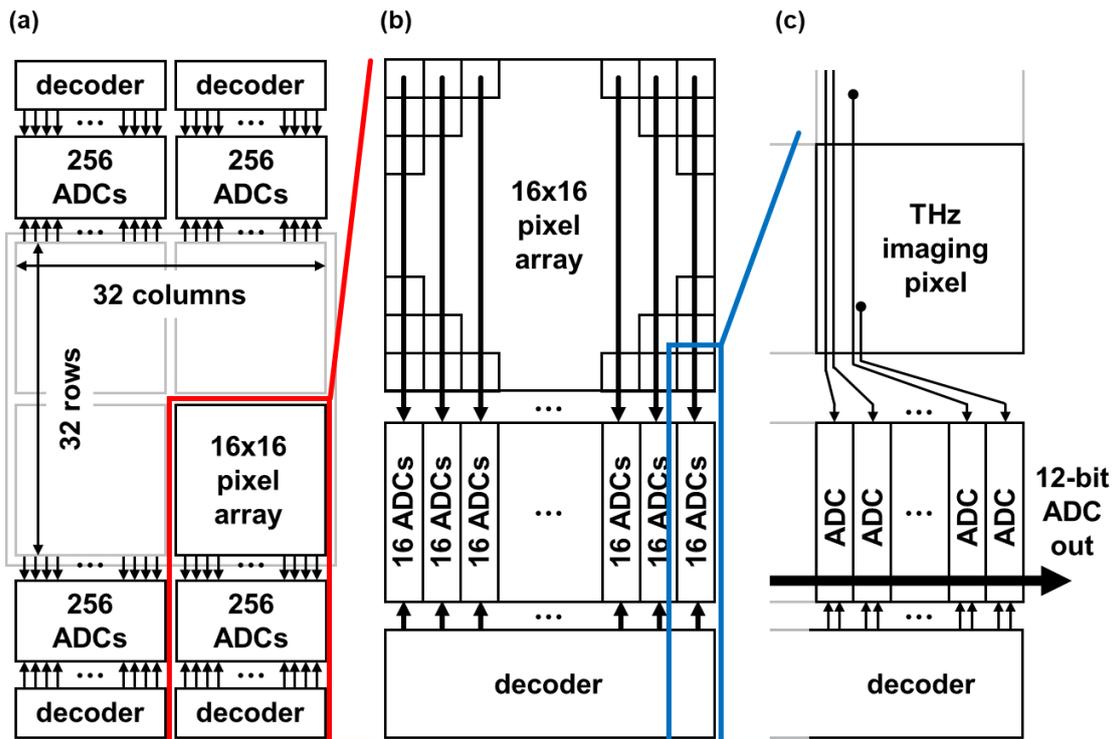


図 4.6 テラヘルツイメージセンサのブロック図

- (a) 32×32 テラヘルツイメージセンサ
- (b) 16×16 テラヘルツサブイメージセンサ
- (c) サブイメージセンサ右下部の拡大図

4.5 テラヘルツイメージセンサのレイアウト

A/D 変換器への配線は、各ピクセルのアンテナ部に干渉しないよう配線する必要がある。図 3.7 および図 3.9 で示したように、アンテナ部の上下左右には配線のための空間余裕があるため、列方向の単純な配線のみで、各ピクセルからの出力信号を A/D 変換器に接続することができる。4.4 節で述べた通り、Column ADC 方式ではピクセル数の増加に伴って、A/D 変換器の横幅に関する制約が厳しくなる。そのため、本イメージセンサでは、1 つの 32×32 ピクセルのテラヘルツイメージセンサとして構成するのではなく、4 つの 16×16 ピクセルのテラヘルツサブイメージセンサを組み合わせることで、実質的に 32×32 ピクセルのテラヘルツイメージセンサを構成している。そのため、本テラヘルツイメージセンサの制御とデータ読み出しは、4 つのサブイメージセンサに対して行う必要がある。イメージセンサ全体を単一のイメージセンサとして同時に動作させる場合、4 つのサブイメージセンサはすべて同一の制御信号を用いて制御することができる。また、読み出しにあたっては、4 つのサブイメージセンサから同時に多ビットのデジタル値データが出力される。 $12\text{-bit} \times 256$ ピクセル $\times 4$ サブイメージの出力信号が、約 1ms の間に読み出されるため、そのデータレートは概算で 12Mbps 程度となる。このような高速な信号の取得には、ロジックアナライザや FPGA(Field-Programmable Gate Array)等を適切に用いる必要がある。この詳細は第 5 章において述べる。次に、試作テラヘルツイメージセンサのレイアウトについて述べる。図 4.7 に、試作チップ全体のレイアウト図を示す。レイアウトには半導体集積回路用 CAD(Computer-Aided Design)ツールである、Cadence 社製の Virtuoso を用いた。特に半導体集積回路用の CAD ツールを EDA(Electric Design Automation)ツールとも呼ぶ。試作プロセスは、SilTerra Malaysia 社の $0.18\mu\text{m}$ 1P6M Si CMOS プロセスを用いた。また、図 4.8 に試作チップの写真を示す。試作チップは 4 つのテラヘルツサブイメージセンサからなる 32×32 テラヘルツイメージセンサ本体と、設計変更したオンチップアンテナ・テラヘル波検出器のテスト試作(TEG: Test Element Group)を兼ねたテスト試作領域からなる。TEG 領域の回路要素は、テラヘルツイメージセンサ本体と独立して動作する。チップはそれ単体では測定することができず、電源装置やデータ読み出しのための各種外部機器に接続するため、測定用ボードにワイヤボンディング実装して用いる。試作チップを実装した測定用ボードの写真を図 4.9 に示す。測定用ボードには、試作チップの他、試作チップに供給する電源を安定化させるためのレギュレータ回路や、各種信号線をモニタするためのテストポイント、また、後述する FPGA を用いた制御・測定の際にその接続性(接続のための端子数と電気的な特性)を確保するため、FMC(FPGA Mezzanine Card)コネクタを備えている。具体的な測定については、第 5 章で述べる。

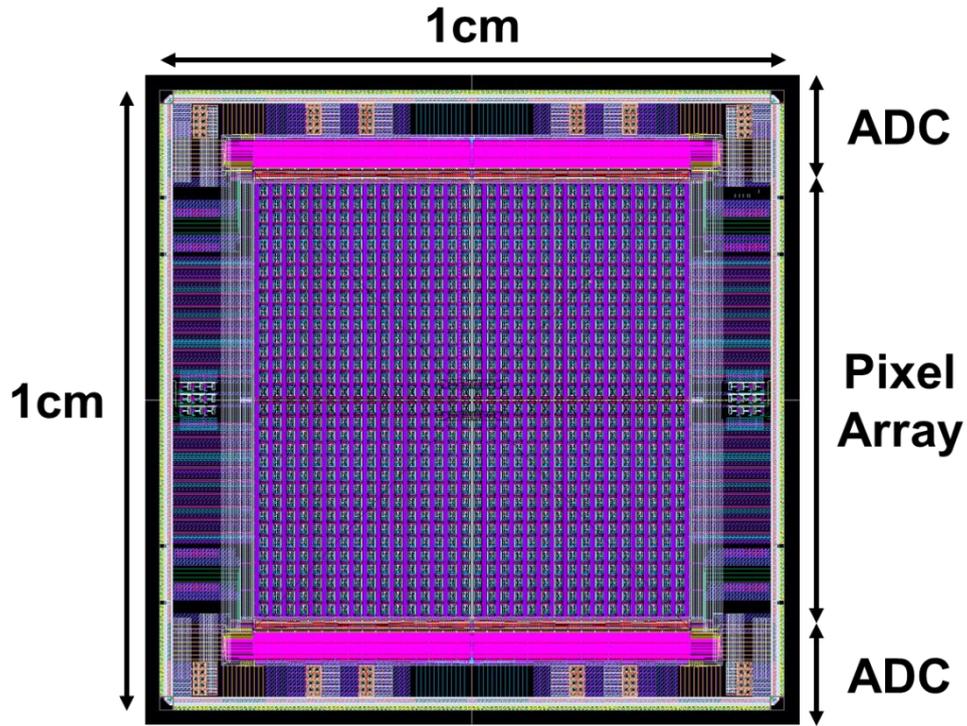


図 4.7 テラヘルツイメージセンサのレイアウト

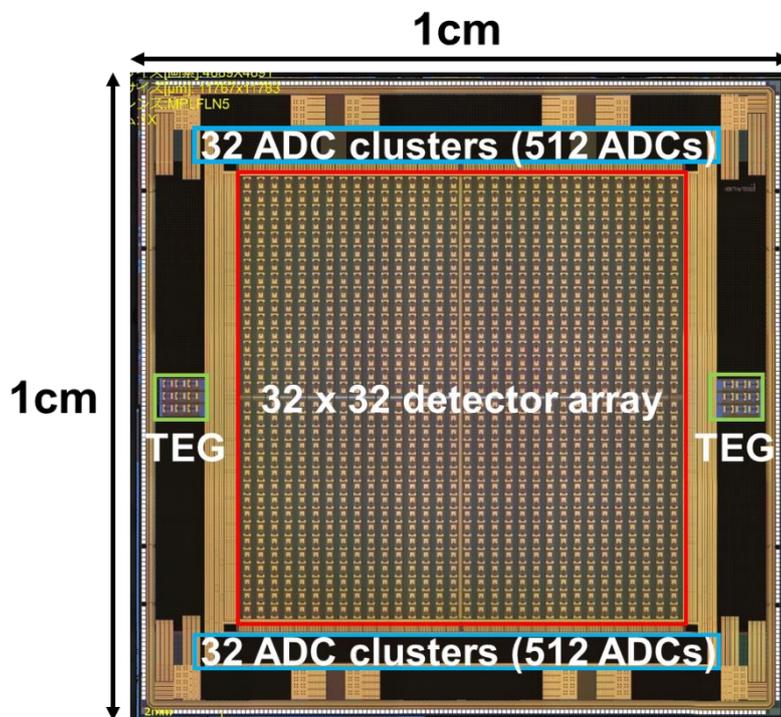


図 4.8 試作テラヘルツイメージセンサのチップ写真

4.5 テラヘルツイメージセンサのレイアウト

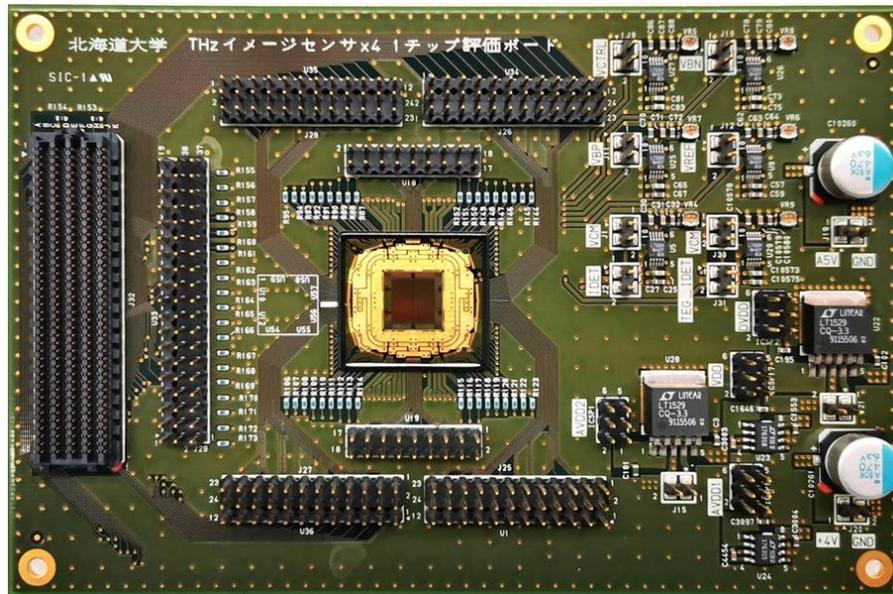


図 4.9 テラヘルツイメージセンサ測定用ボード
中央の正方形の部品が試作したイメージセンサチップである

参考文献 (第 4 章)

- [1] Oike, Yusuke, and Abbas El Gamal. "CMOS image sensor with per-column $\Sigma \Delta$ ADC and programmable compressed sensing." *IEEE Journal of Solid-State Circuits* 48.1 (2012): 318-328.
- [2] Snoeij, Martijn F., et al. "Multiple-ramp column-parallel ADC architectures for CMOS image sensors." *IEEE Journal of Solid-State Circuits* 42.12 (2007): 2968-2977.
- [3] Lim, Seunghyun, et al. "A high-speed CMOS image sensor with column-parallel two-step single-slope ADCs." *IEEE Transactions on Electron Devices* 56.3 (2009): 393-398.
- [4] Takahashi, Tomohiro, et al. "A stacked CMOS image sensor with array-parallel ADC architecture." *IEEE Journal of Solid-State Circuits* 53.4 (2018): 1061-1070.
- [5] Nie, Kaiming, et al. "A single slope ADC with row-wise noise reduction technique for CMOS image sensor." *IEEE Transactions on Circuits and Systems I: Regular Papers* 67.9 (2020): 2873-2882.
- [6] Fossum, Eric R., and Donald B. Hondongwa. "A review of the pinned photodiode for CCD and CMOS image sensors." *IEEE Journal of the electron devices society* (2014).
- [7] Yokoyama, Sayuri, et al. "5.8 A 32×32 -Pixel 0.9 THz Imager with Pixel-Parallel 12b VCO-Based ADC in $0.18 \mu\text{m}$ CMOS." *2019 IEEE International Solid-State Circuits Conference-(ISSCC)*. IEEE, 2019.

第 5 章

テラヘルツイメージセンサの解析

本章では、試作テラヘルツイメージセンサの測定方法と測定結果について述べる。第 4 章の末尾でも述べた通り、試作チップは測定用ボードに実装したうえで測定を行った。はじめに試作イメージセンサの制御とデータ処理を行う FPGA について述べ、次にテラヘルツ波源を用いた測定の結果を述べる。また、その後に試作イメージセンサに生じているばらつきについて測定し、後処理によるテラヘルツイメージセンサのばらつき補正について議論する。5.4 節および 5.5 節の内容は、自筆の論文である「Pixel Variation Characteristics of a Global Shutter THz Imager and its Calibration Technique」^[1]の一部の内容を含む。

5.1 制御・データ処理用 FPGA の構成

測定用ボードを用いて測定を行うためには、ボード上の試作イメージセンサチップに対して、外部の信号源から動作に適した制御信号を入力し制御する必要がある。制御内容をおおまかに述べると、試作テラヘルツイメージセンサは、全ピクセルにおいて同時に撮像を行い、その後全 A/D 変換器で同時に A/D 変換を行う。ここまでの動作については、すべてのピクセルと A/D 変換器が同時に同様の動作を行うため、制御に必要な信号線数は少なく、また、その制御は容易である。A/D 変換が完了したのち、A/D 変換値をデータバッファに転送し、これを順次読み出していく。この動作についても、チップ内の読み出し用列デコーダ回路を用いることで、簡単な制御によって動作させることができる。しかし、この読み出されたチップ出力は 0 と 1 だけで構成された 2 進数 (バイナリ) 値であり、適切な処理をもって画像として再構成しなければ、イメージセンサとしての役割が果たせない。つまり、テラヘルツイメージセンサは、イメージングのための制御と比較して、出力データの取得と再構成の処理は複雑なものとなる。もっとも簡単な画像再構成の手法として、ロジックアナライザの仕様が考えられる。テラヘルツイメージセンサからの出力は多ビットのバイナリ列であるため、その出力信号のすべてをロジックアナライザにダンプし、得られたバイナリ列を PC 上のソフトウェア処理などによって画像に再構成することができる。しかし、この手法では、測定 (撮像) から撮像結果の確認 (画像としての再構成) までに多くの工数と時間を要する。先にも述べた通り、このようなテラヘルツイメージセンサの高速動作性を犠牲にするような手法は、

5.1 制御・データ処理用 FPGA の構成

最終的な実用に向けて本末転倒な結果を生んでしまう。そのため、本研究では、試作チップの制御と画像の再構成の両機能を実装可能な FPGA を使用した。FPGA はプログラマブルロジックデバイス(PLD: Programmable Logic Device)の一種であり、ハードウェア記述言語(HDL: Hardware Description Language)を用いて内部の回路構成を指定し書き換えることができる。FPGA は言語によりその機能を構成可能であるソフトウェア的な一面を持っているが、その実回路はすべてハードウェアとして実装されるため、適切な記述を行うことができれば複雑な処理であっても高速・低遅延・低消費電力で行うことが可能である。本研究では、テラヘルツイメージセンサの制御にはパターンジェネレータ機能を、また、試作チップからの出力信号を画像として再構成するデータ処理機能を、同一の FPGA 上に実装し、テラヘルツイメージセンサの測定に用いた。はじめに、FPGA 上におけるパターンジェネレータ機能を実装する方法について述べる。パターンジェネレータとは、周期性を持った任意の波形を繰り返し出力する装置である。テラヘルツイメージセンサの制御信号はすべてデジタル信号を用いるため、ここでは特に任意の周期性デジタル信号を出力する装置を指す。テラヘルツイメージセンサに限らず、イメージセンサは撮像と撮像結果の A/D 変換を 1 サイクルとして、この動作を繰り返すことで連続した撮像を行う。つまり、この 1 サイクルの間の制御信号パターンは、それ以降のサイクルにおいても再利用可能である。そのため、この制御信号パターンを出力するパターンジェネレータを構成することができれば、テラヘルツイメージセンサの撮像動作の制御はよりシンプルなものになる。パターンジェネレータを FPGA 上に実装する場合、必要となる主な回路要素は、波形のタイミングを管理するためのタイマー回路と、信号波形ごとの信号パターンを決定する論理回路である。信号パターンはタイマー回路の時刻を元に、どの時刻で論理を 0(1)にし、どの時刻で論理を 1(0)にするかを、ブール代数によって記述することで設定する。図 5.1 に簡素化したパターンジェネレータの回路ブロック図を示す。また、図 5.2 に同回路の動作波形を示す。図に示したパターンジェネレータは、2-bit タイマー回路(2-bit カウンタ回路)が出力する 4 つのタイミング(Time=0~3)のうち、任意のタイミング $T_{0/1}$ において、出力 $OUT_{0/1}$ の論理 1 とすることができるパターンジェネレータである。図中では、任意のタイミングをそれぞれ $T_0=3$ および $T_1=1$ とした。以下に動作を述べる。外部から入力されるクロック信号によって、クロック信号の立ち上がりエッジごとにタイマー回路の時刻が進行する。このとき、タイマー回路の出力($t[1:0]$)と $T_0[1:0]$ および $T_1[1:0]$ は、それぞれ常に AND ゲートによって比較されている。設定したタイミング $T_{0/1}$ の値とタイマー回路の出力が等しくなったとき、これらの AND ゲートの出力論理は 1 となる。また、それ以外のタイミングにおいて、これらの AND ゲートの出力論理は 0 である。以上がデジタル回路素子によるパターンジェネレータ構成の基本要素である。図で示したパターンジェネレータは任意の 1 タイミングにおいて論理を 1 にするだけの機能しか持たないが、実際のパターンジ

ジェネレータでは出力論理ゲートを複雑化することで、より柔軟な信号パターン生成を可能にしている。また、パターンジェネレータの実装では、タイマー回路のビット数によってその精度と最大の信号パターン長を変化させることができる。タイマー回路に入力するクロック信号の周波数が一定である場合、タイマー回路の最大時刻カウント値と最大の信号パターン長は比例の関係になる。また、最大の信号パターン長を一定とした場合には、タイマー回路の最大時刻カウント値とクロック信号周波数の積は一定となる。このとき、タイマー回路のビット数を増加させることで、最短の信号パルス幅とその時間軸精度が向上する。実装するタイマー回路のビット数は、1 サイクルの信号パターン長、必要な最短パルス幅(あるいは信号パターンの必要精度)、また、タイマーの駆動クロック周波数から決定される。1 サイクルの信号パターンが 200ms の期間をもち、信号パターンの必要精度が $100\mu\text{s}$ であるとする。このとき、 $200\text{ms}/100\mu\text{s}=2000$ であることから、タイマー回路は少なくとも時刻 2000 までカウント可能である必要があり、これは 11-bit タイマー回路を用いることで満足である。また、タイマー回路の駆動周波数は

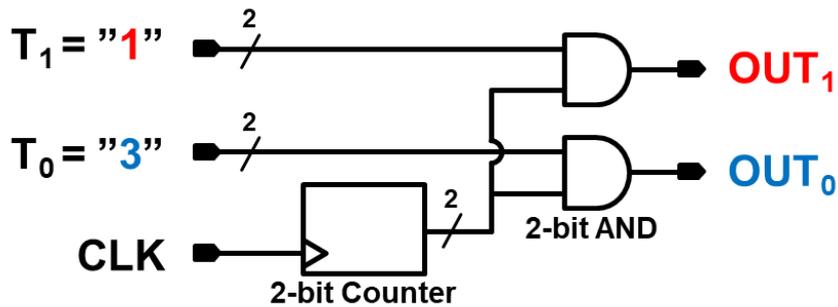


図 5.1 簡易的なパターンジェネレータ回路

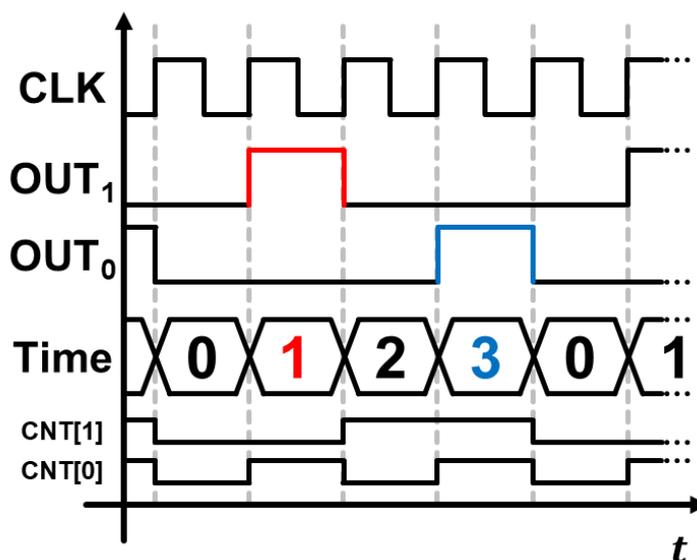


図 5.2 パターンジェネレータ回路の動作波形

5.1 制御・データ処理用 FPGA の構成

信号精度 $100\mu\text{s}$ の逆数を取ることで 10kHz と求まる。ただし、この駆動周波数は必ずしも 10kHz である必要はなく、例えば、倍の周波数をもつ 20kHz の駆動クロックと、 11-bit タイマー回路と比較して倍の時刻までカウント可能な 12-bit タイマー回路を用いても良い。一般に、FPGA は FPGA ボード上に数十 MHz から数百 MHz 程度のクロック源(その多くは水晶発振器を用いている)をもつ。また、このクロック源と異なる周波数のクロック信号を利用したい場合には、適宜周波数を変換する回路を実装する必要がある。例えば、水晶発振器の発振周波数の $1/n$ 倍の周波数のクロック信号は、T-FF 等を用いた分周器によって生成可能である。多くの場合、FPGA の開発ツールには PLL(Phase-Locked Loop)発振器の設計ツールが含まれている。このツールでは、入力するクロック信号の周波数や出力したいクロック信号の周波数を入力することで、FPGA 内に実装されている PLL に与える適切なパラメータを計算し、これをブラックボックス的なハードウェア要素として、FPGA 全体のハードウェア設計に組み込んでくれる。その結果、PLL に入力したクロックの m/n 倍の周波数をもつクロック信号を生成が可能になり、これを FPGA 内で利用することができる。本来、PLL の構成にはある程度の知識が要求されるが、FPGA 開発ツールでは比較的簡単に PLL を使用することができるようになっている。

次に、FPGA を用いて、テラヘルツイメージセンサの出力信号から、画像を再構成する方法について述べる。4.5 節で述べた通り、試作したテラヘルツイメージセンサは、 16×16 ピクセルから構成されるサブイメージセンサ 4 つを配置することで構成されている。そのため、テラヘルツイメージセンサからの信号読み出しでは、4 つのサブイメージセンサから並行して信号が出力される。サブイメージセンサの配置は、テラヘルツイメージセンサの中心を原点とした x 軸および y 軸について対称に、折り返して配置されている。図 4.5 にサブイメージセンサ内部に含まれている、データバッファと読み出し用列デコーダ回路の対応関係を示す。サブイメージセンサには $16\times 16=256$ 個のピクセルと、それと同数の A/D 変換器が実装されている。さらに、4.3 節で述べた通り、各 A/D 変換器には 2 組のカウンタとデータバッファが実装されている。つまり、256 個の A/D 変換器に対して、読み出す対象であるデータバッファは倍の 512 個存在している。この中から、任意のデータを選択して読み出すため、列デコーダは外部から入力された 9-bit のアドレス信号(0~511)に対して、それと対応したデータバッファを選択し、チップ外部に読み出し可能な状態とする。列デコーダを用いたデータバッファの選択読み出しは、全データの読み出しに限らず、機能的なデータ読み出しを可能にする。例えば、CDS を行わない場合等、A/D 変換器のカウンタ・データバッファを 1 組しか利用しない場合には、意図的に読み出す必要がないデータバッファをスキップして読み出しを行うことが可能である。このとき、アドレス信号は $0, 2, 4, \dots, 2n, \dots, 510$ と変化していく必要があるが、これはアドレス信号を 2 進数で表記した時の最下位ビット (LSB: Least

Significant Bit)を 0 に固定したまま、それ以外のビットを 0 から 1 ずつ増加させていくだけでよい。このとき、データの読み出しにかかる時間は、全データバッファからデータを読み出した場合と比較して半分になる。また、アドレス信号の制御を工夫することで、 16×16 のピクセルアレイの一部分(例えば左下の 4×4 ピクセル)だけを選択的に読み出すことも可能である。つまり、デコーダによる選択読み出しを採用したイメージセンサは、集積された回路部分はそのままだけに、より高速に動作する小規模イメージセンサとして利用することも可能である。アドレス信号の生成は、FPGA に実装したパターンジェネレータによって行われるため、完全に任意の読み出しパターンを適用可能である。このようにして、4つのサブイメージセンサからそれぞれのデータバッファ値を読み出すことができる。ところで、テラヘルツイメージセンサ全体は、サブイメージセンサ 4 を対称に配置して構成されていることには注意を要する。テラヘルツイメージセンサ全体に対して、0 から 511 のアドレス信号を入力した場合の、ピクセルの読み出し順序を図 5.4 に示す。ただし、実際の読み出しはデータバッファから行われており、この図はあくまでそのデータバッファと対応したピクセルの位置を表したものである。サブイメ

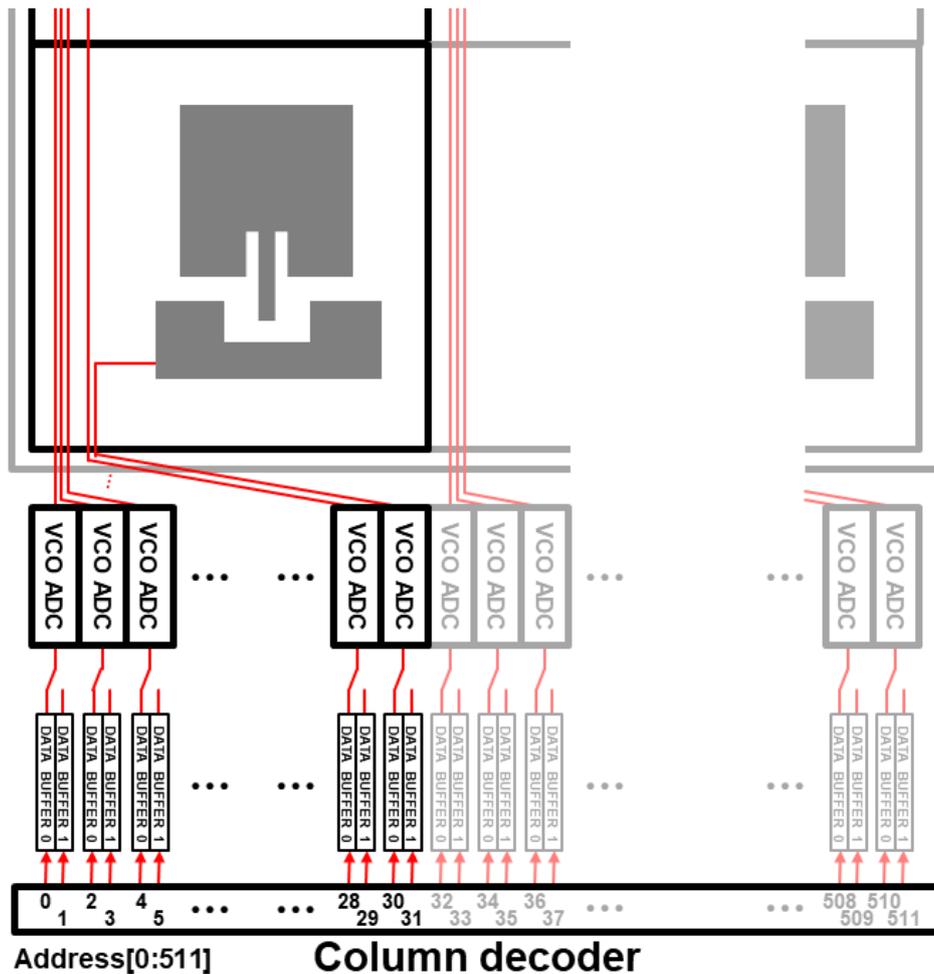


図 5.3 A/D 変換器のデータバッファとデコーダアドレスの関係

5.1 制御・データ処理用 FPGA の構成

ージセンサ内では、ピクセルの読み出し順序は左上から順に 1 列ずつ規則的に読み出しが行われる。テラヘルツイメージセンサ全体では、この読み出し順序も対称になっており、サブイメージセンサの配置によって読み出し順序の上下や左右が反転する。もちろん、4つのサブイメージセンサに対して別々のアドレス信号を与えることで、反転のない順序での読み出しは可能になる。しかし、この後に述べる画像としての再構成を行う際に、この順序の反転を考慮すれば十分である。そのため、制御信号線を増加させないためにも、すべてのサブイメージセンサ内列デコーダは、同一のアドレス信号を受け取る構成とした。また、4つのサブイメージセンサ内の列デコーダをそれぞれ独自に設計することで、アドレス信号線を共有したまま反転のない順序で読み出すことは可能である。しかし、このためには4つのサブイメージセンサをそれぞれ設計する必要があり、回路の設計・検証に要する時間が増大してしまう。そのため、試作したテラヘルツイメージセンサでは、サブイメージセンサという設計単位を、そっくりそのまま折り返して配置することとした。また、画像としての再構成時に読み出し順序の反転を考慮することは比較的容易であり、その内容も HDL によって記述するのみである。わずかな機能追加のためだけに実回路の設計コストを増加させることは、可能な限り避けるべき要素である。

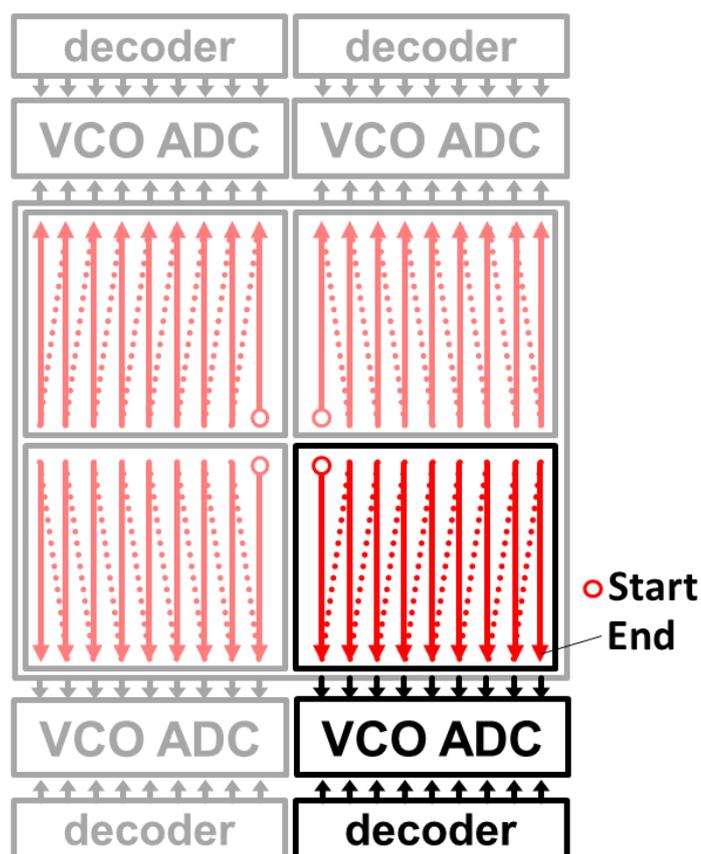


図 5.4 テラヘルツイメージセンサ全体における画素読み出し順序

ここまで、試作テラヘルツイメージセンサチップに FPGA を用いることで、その制御が可能であることを示した。この構成に、ピエゾ素子によって駆動されるリニアステージを追加することで、テラヘルツイメージセンサを用いた超解像撮像が可能になる。図 3.9 に示したように、テラヘルツ波検出器の専有する面積 $215\mu\text{m}\times 215\mu\text{m}$ のうち、パッチアンテナの放射素子面積($78.5\mu\text{m}\times 78.5\mu\text{m}$)の占める割合は 13%程度である。これは、ピクセルアレイに対してテラヘルツ波が照射されたとき、その大部分がオンチップアンテナで受信できないことを意味する。一般に、イメージセンサはピクセル面積に対する受光素子面積は開口率と呼ばれ、イメージセンサの性能評価指標のひとつである。開口率の高いイメージセンサは入射したエネルギーを効率的に受信/受光できるため、開口率の低いイメージセンサと比較して感度の高いイメージセンサを構成しやすい。しかし、テラヘルツ波検出器の放射素子以外が占める面積は、マッチング線路、検波回路、地導体板といった必要な要素によるものであり、テラヘルツ波検出器の小型化にはさらなる検証を要する。とはいえ、テラヘルツ波検出器の寸法がテラヘルツ波長よりも長くなっているという事実は、テラヘルツ波の空間解像度が十分に生かせていないことを意味する。そこで、本研究では、試作テラヘルツイメージセンサチップと FPGA を用いた最小限のイメージングシステムに、リニアステージを追加することで超解像撮像を可能にした。リニアステージは、外部から電圧による制御を行うことで、ステージの X-Y 方向の位置を微小かつ正確に変化させることが可能な装置である。ステージの駆動部にはピエゾ素子を用いられており、ピエゾ素子の逆圧電効果を利用することでこのような位置制御を可能にしている。試作テラヘルツイメージセンサチップ(を実装した測定用ボード)をリニアステージ上に固定し、ステージの位置を微小に変化させながら撮像を行うことで、放射素子がカバーしていなかった座標上の点においても、テラヘルツイメージングを行うことが可能になる。このようなピクセルシフトを用いた超解像撮像は、イメージセンサの実効的な開口率を高めるとともに、撮像結果の空間解像度も高める。 2×2 のテラヘルツ波検出器を用いたテラヘルツイメージセンサにおいて、X 方向と Y 方向に 2 回ずつ、計 4 回のピクセルシフト撮像を行う場合の動作イメージ図を図 5.5 に示す。図からは、4 回のピクセルシフト撮像によって、オンチップアンテナの放射素子が本来撮像できない空間に対しても撮像可能になることが分かる。実際に試作したテラヘルツイメージセンサは 32×32 のピクセルアレイをもち、X 方向と Y 方向に 5 段階の計 25 回のピクセルシフト撮像を行うこととした。また、このピクセルシフト撮像では、25 枚の 32×32 ピクセル画像を得ることも可能であるが、これらをピクセルシフト時の空間座標と対応するように画像の再構成を行うことで、1 枚の 160×160 ピクセル画像として出力する機能を FPGA 上に実装した。また、リニアステージ有無によらず、再構成した画像は、VGA 端子を経由して FPGA と接続されたモニタにリアルタイムで表示される。画像再構成の詳細については、次節で述べる。

5.2 テラヘルツイメージの再構成

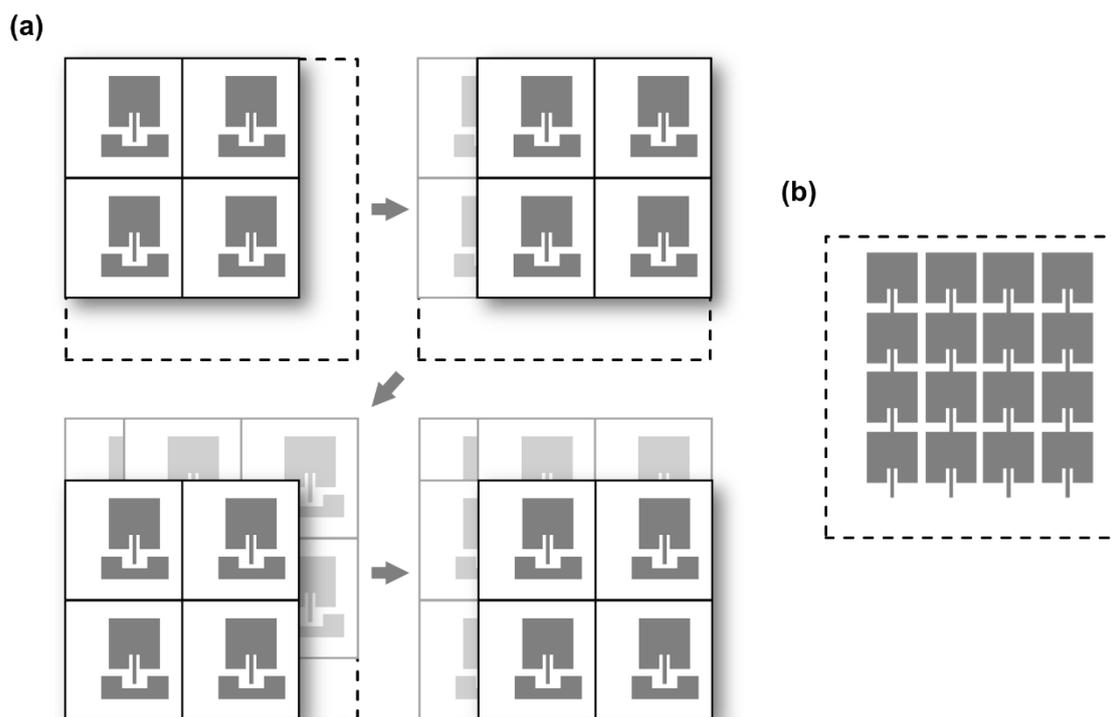


図 5.5 ピクセルシフトによる超解像撮像の概念図

(a) ピクセルシフトの概要

(b) ピクセルシフトによる実効的なアンテナ密度

5.2 テラヘルツイメージの再構成

本節では、試作テラヘルツイメージセンサチップから出力された信号を、FPGA を用いて画像として再構成するための方法について述べる。イメージセンサチップと FPGA の接続状況を図 5.6 に示す。測定に用いた FPGA は、Xilinx 社製 Kintex-7 FPGA チップを搭載した、東京エレクトロデバイス社製の「TB-7K-325T-IMG Rev.2」である。測定用ボードと FPGA は FMC コネクタと FMC ケーブルを介して接続されている。FMC コネクタは規格上、HPC(High Pin Count)規格と LPC(Low Pin Count)規格が存在する。これらは物理的なコネクタ形状は同一であるものの、有効な内部配線数が異なっている。HPC 規格は LPC 規格の完全な上位規格であり、400 本の配線(シングルエンド配線 160 本・高速差動シリアル配線 20 組 40 本・接地電位配線 159 本・電源供給配線 15 本・他配線 26 本)での接続がサポートされている。LPC 規格では、160 本の配線(シングルエンド配線 68 本・高速差動シリアル配線 2 組 4 本・接地電位配線 61 本・電源供給配線 10 本・他配線 17 本)での接続がサポートされている。また、HPC/LPC の両規格において、シングルエンド配線は 2 本を 1 組として差動配線としても利用可能である。測定

対象である試作テラヘルツイメージセンサチップの出力は、ひとつのサブイメージセンサからの出力が 12-bit であるため、 $12\text{-bit} \times 4 = 48\text{-bit}$ のビット幅を持つ。この他に、FPGA からテラヘルツイメージセンサチップに入力する制御信号線が複数必要である。そのため、本測定では FPGA と測定用ボードは HPC 規格のコネクタ・ケーブルを用いて接続した。FMC コネクタは一般の回路部品として提供されており、試作したテラヘルツイメージセンサに限らず、任意の測定対象において測定用ボードに実装可能である。本測定のような、測定対象と FPGA の接続配線数が膨大な測定においては、このような規格を活用することで測定がより簡単に行えるようになる。FPGA の内部には、先に述べたテラヘルツイメージセンサ用制御信号出力パターンジェネレータと、テラヘルツイメージセンサの出力を保存するための $160 \times 160 = 25600\text{-words} \cdot 12\text{-bit}$ データメモリとデータメモリ制御のためのメモリコントローラ、VGA 規格に則った信号パターンを生成するビデオパターンジェネレータ、また、撮像結果を VGA 接続モニタに対して出力するための VGA コントローラが実装されている。パターンジェネレータは、テラヘルツイメージセンサの動作に必要な制御信号を繰り返し出力する信号発生器である。データメモリは、テラヘルツイメージセンサチップから出力されたデータを保存するためのメモリである。5.1 節で述べた、ピクセルシフトによる超解像撮像を行うために、 $32 \times 32 = 1024\text{-words}$ ではなく、 $160 \times 160 = 25600\text{-words}$ のメモリを用意した。FPGA 内でメモリ機能を実装する場合、HDL では大規模なレジスタとして記述することが可能である。しかし、単に HDL でレジスタとして記述したメモリは、ワード数およびビット数の増大に伴って、その回路要素配置の最適化(Place and Route という)計算に必要な

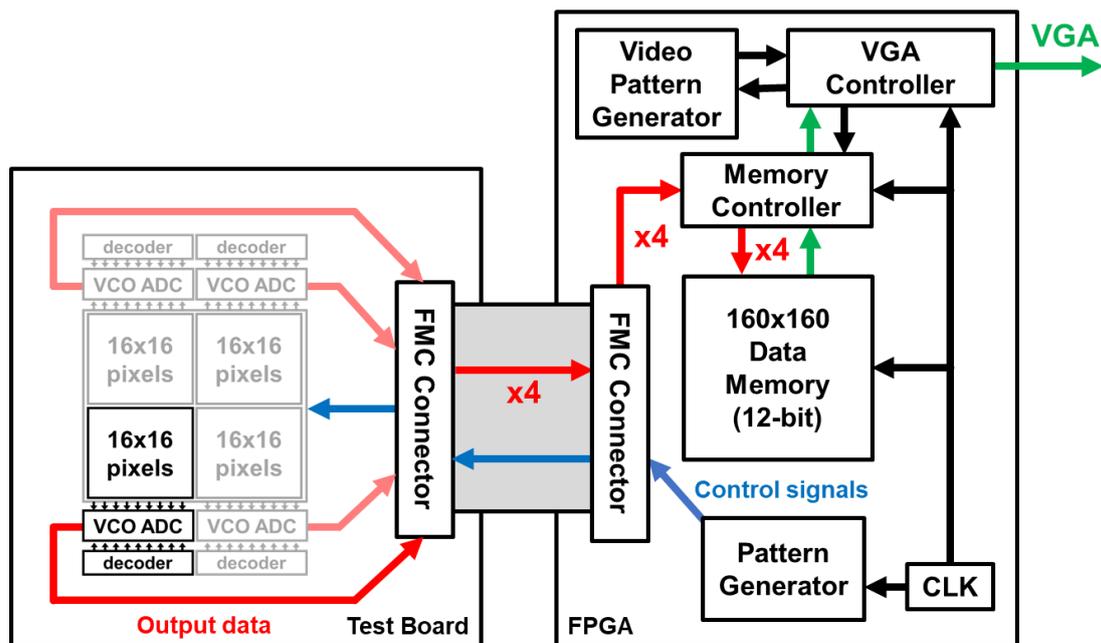


図 5.6 テラヘルツイメージセンサ(測定用ボード)と FPGA の接続状況

5.2 テラヘルツイメージの再構成

時間が、指数関数的に増大してしまう。そこで、本測定で用いるデータメモリは Block RAM を用いて実装している。Block RAM は、FPGA 内部に存在する大規模なレジスタ (あるいはルックアップテーブル) 群を用いて構成され、効率的な大規模メモリ回路実装を可能にするものである。多くの FPGA 開発ツールでは、この Block RAM を構成するための設計ツールが付属しており、必要なワード数・ビット数・動作速度等を指定することで、ブラックボックス的な Block RAM モジュールを生成してくれる。Block RAM はメモリ構築に最適化された専用の回路素子を用いて実装されるため、メモリ規模が大きい場合でも、Place and Route に要する時間は大きく増加しない。データメモリはレジスタを用いて構成するには大規模すぎるため、最適化時間の短縮のためにも Block RAM を用いて実装した。また、このデータメモリは VGA 接続モニタに撮像結果を出力する際のビデオメモリとしても活用される。一般に、ビデオメモリは画面に表示したいデータの書き込みと、画面に表示するためのデータ読み出しが非同期に行われる。そのため、データメモリは 2 つの非同期入出力ポートをもつ、True Dual Port Memory として実装した。このような非同期メモリを用いたい場合も、Block RAM 設計ツールを用いることで簡単に設計・実装することができる。メモリコントローラはデータメモリに対して、テラヘルツイメージセンサの出力信号を適切なメモリ番地に書き込むための制御と、VGA 接続モニタへ撮像結果を出力する際に適切な順序で読み出すための制御を行う。5.1 節で述べた通り、テラヘルツイメージセンサからのデータ読み出し順序は、サブイメージセンサごとに対称な順序となっている。メモリコントローラは、各サブイメージセンサから読み出されたデータを、実際の撮像領域に対応したメモリ番地に書き込む制御も行う。5.1 節の末尾で述べた、読み出し順序の反転問題は、メモリコントローラが制御することで解決する。また、メモリコントローラは、後述する VGA コントローラからの読み出し指示を受けて、データメモリから撮像結果の表示に用いるデータを読み出すための制御も行う。ビデオパターンジェネレータは、VGA 規格に則った、垂直・水平同期信号の生成を行う。本測定では、撮像結果の表示には 160×160 ピクセルの解像度が必要であるため、VGA 規格の中で最も低い解像度である 640×480 ピクセルの規格 (この映像規格もまた VGA と呼ばれる) に則った信号生成を行った。ただし、実際の表示では視認性を確保するために、 160×160 ピクセルの画像を縦横 3 倍に引き伸ばし、 480×480 ピクセルで行った (ちょうど画像の縦幅が映像規格名としての VGA と一致する)。VGA コントローラは、ビデオパターンジェネレータの水平・垂直同期信号にあわせて、撮像結果の読み出しをメモリコントローラに指示する。先に述べた、 160×160 ピクセルの画像を 480×480 ピクセルの領域に表示するための制御も、VGA コントローラが行っている。読み出された撮像結果は、ビデオパターンジェネレータの出力する同期信号とあわせて、FPGA 上の VGA 端子に出力される。VGA 端子は VGA ケーブルによりモニタと接続されており、モニタ上にはリアルタイムで撮像結果が表示さ

れ、また、撮像結果は常時更新される。FPGA からの出力を VGA 規格に則った映像フォーマットとしたが、これにより市販のモニタを FPGA に接続するだけで撮像結果を確認可能であり、また、市販されている VGA 規格の映像信号をキャプチャするキャプチャデバイスを用いることで、撮像結果の記録を行うこともできる。研究領域では、その出力を必ずしも何らかの規格に合わせる必要はないが、このように市場に流通している規格が出力規格として選定可能であるならば、その恩恵を有効活用することも視野に入れるべきである。ピクセルシフトによる超解像撮像を行う場合の、メモリコントローラの動作について述べる。16×16 ピクセルのサブイメージセンサを用いて、図 5.5 のような 4 回のピクセルシフト撮像を行う場合の、データメモリとメモリ書き込み順序について図 5.7 に示す。データメモリは 16×16 ピクセルの出力データを 4 セット保持する必要があるため、16×16×4=1024-words のメモリとした。16×16 ピクセルをもつサブイメージセンサからは、図 5.7(b)のような順序でデータが読み出される。これを、2 次元配列のメモリ上に画像として再構成するためには、図 5.7(a)に示した 0 番から 255 番の番号をもつメモリに対して、読み出したデータを順次書き込んでいけばよい。この動作は、メモリの番地を(x, y)で表すと、はじめは x=0 として(x, y)=(0, 0), (0, 2), (0, 4), ..., (0, 15)という順でメモリの 1 列目に書き込みを行い、次に x=2 として 3 列目、x=4 として 5 列目に書き込んでいき、(x, y)=(30, 30)まで値を書き込む。ここまでの動作によって、サブイメージセンサから読み出されたすべてのデータは、データメモリ内に格納されている。次に、図 5.7(c)に示したように、サブイメージセンサをリニアステージに

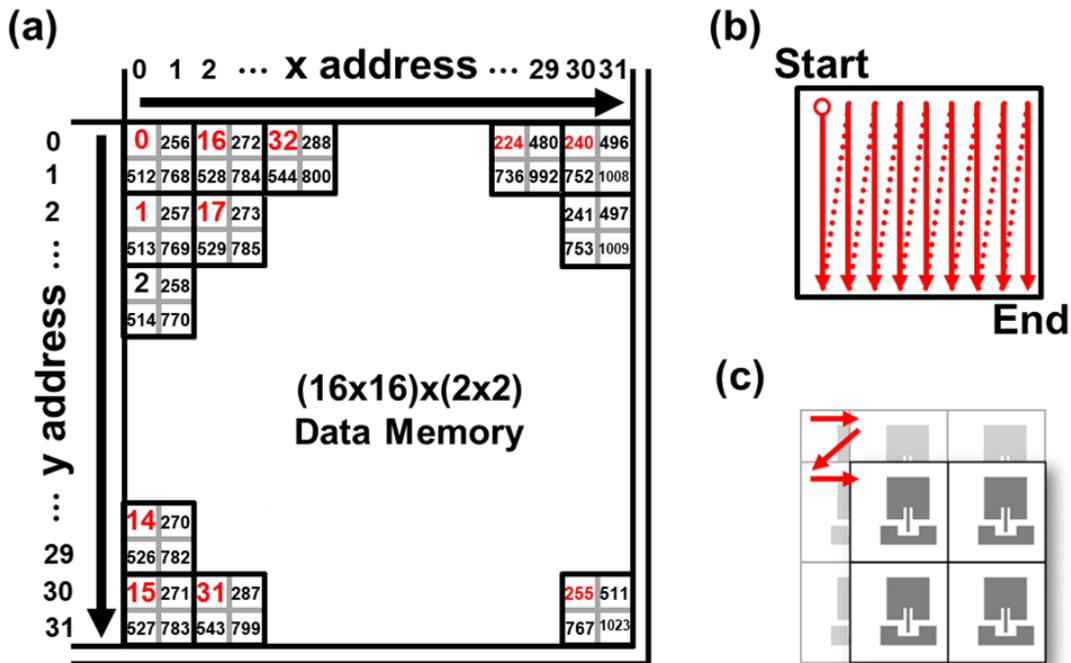


図 5.7 2×2 ピクセルシフト撮像の概要

(a)メモリ書き込み順序 (b)画素読み出し順序 (c)ピクセルシフト順序

5.3 テラヘルツ波源を用いたイメージング

よって1段階移動する。そして、再度撮像を行い、その出力を $(x, y)=(1, 0), (1, 2), (1, 4), \dots, (31, 30)$ まで書き込む。このような動作を計4回のピクセルシフト撮像において繰り返すことで、4回目の動作終了時には 64×64 ピクセルを持つ超解像画像がデータメモリ内に格納される。また、データメモリ内には、これらのデータが撮像した空間座標に対応して2次元に格納されているため、画像としての再構成もすでに完了しているといえる。そのため、順次読み出していくことで、ピクセルシフト撮像の撮像結果を表示することが可能である。このとき、データメモリからの読み出し順序は $(x, y)=(0, 0), (1, 0), (2, 0), \dots, (31, 31)$ のように、メモリの1行目から水平方向に読み出す必要がある。これは、VGA規格を含めた多くの映像フォーマット規格において、画面出力に水平方向の走査線を用いるためである。実際の測定においては、5.1節で述べた通り $5 \times 5=25$ 回のピクセルシフト撮像を行うため、サブイメージセンサあたりのメモリアドレスは x と y ともに0から79の範囲である。また、図の例ではサブイメージセンサ領域のみについて説明をしているが、実際にはこのデータメモリとメモリコントローラ等をFPGA内に4セット用意し、それらを並列に動作させる必要がある。撮像結果はVGAモニターで随時確認するとともに、PCと接続して用いる市販のVGAキャプチャデバイスを利用し、動画ファイルの形式でPC内部に取り込み保存した。

5.3 テラヘルツ波源を用いたイメージング

本節では、試作テラヘルツイメージセンサの測定に用いる測定系の構成と、その測定結果について述べる。図5.8に、テラヘルツイメージセンサの撮像実験に用いた光学系と、測定に用いた各種装置のブロック図を示す。テラヘルツ波源には、3.3.3節で述べ

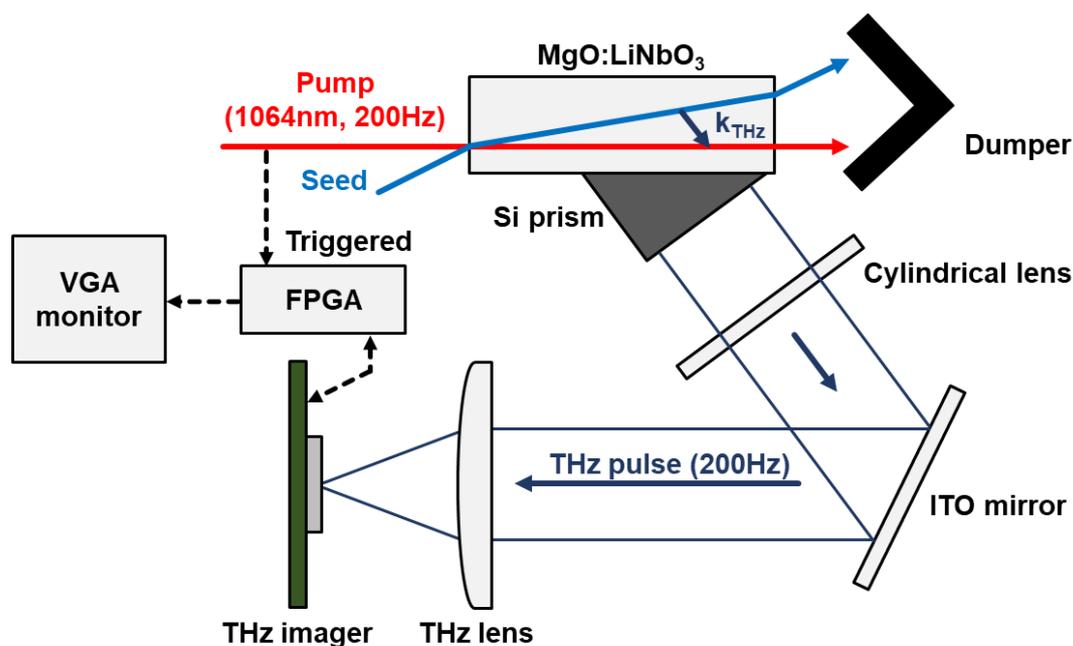


図 5.8 テラヘルツイメージセンサの測定環境

た is-TPG(injection-seeded Terahertz Parametric Generator)^[2]を用いた。撮像実験において、is-TPG の出力するテラヘルツ波は 200Hz で OOK(On-Off Keying)変調されており、このテラヘルツ波パルスを図に示した光学系を用いて試作テラヘルツイメージセンサに照射した。OOK 変調周波数が 200Hz であるとき、テラヘルツイメージセンサの撮像フレームレートも同一の 200fps となる。ただし、試作テラヘルツイメージセンサの A/D 変換器には 2 つのカウンタ・データバッファが存在し、1 フレームの中で 2 つの状態を記録することが可能であるため、実効的なフレームレートは 400fps となる。図〇〇〇〇に示したように、テラヘルツ波パルスはテラヘルツ波レンズによって集光された状態でテラヘルツイメージセンサに照射される。この、レンズによって集光されたテラヘルツ波パルスを、以降ではテラヘルツ波ビームと呼称する。図 5.9 にテラヘルツ波ビームの撮像実験の様子と撮像結果を示す。図 5.9 はテラヘルツイメージセンサの出力データを、FPGA 上でサーモグラフィ等に用いられる色調に変換し、VGA 接続のモニタに出力したものである。図中左上の領域にテラヘルツ波ビームが照射されており、その丸いビームスポット形状が撮像されているのが確認できる。また、図中中央付近には帯状の固定パターン雑音が画像として見えており、これ以外の画素においてもテラヘルツ波検出器や電圧制御発振器型 A/D 変換器の製造ばらつきによる色むらが見られる。図〇〇〇〇はテラヘルツイメージセンサの出力に対して、テラヘルツ波ビームが入射していないときの画像フレームを差し引くことで CDS 処理を行った後のテラヘルツイメージセンサ出力画像である。CDS によって、テラヘルツビームがあっていない(=A/D 変換器の出力値が一定値から変化しない)画素の値は 0 となる。この操作により、画素や A/D 変換器の製造ばらつきによる固定パターンの雑音を除去することができ、結果

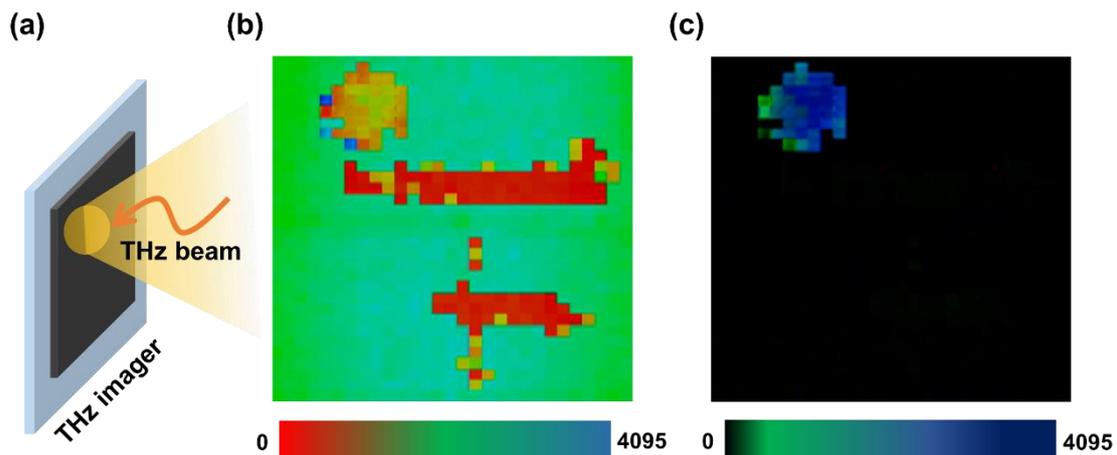


図 5.9 テラヘルツイメージセンサによるテラヘルツビーム撮像

(a) テラヘルツビーム照射のイメージ

(b) 未処理の撮像結果 (c) CDS 処理後の撮像結果

5.3 テラヘルツ波源を用いたイメージング

としてテラヘルツ波ビームのみが鮮明に確認できるようになる。次に、CDS によるばらつき抑制の結果を確認した。テラヘルツ波ビーム未照射時のイメージセンサ出力について、CDS を行う前と行った後の画素値をプロットしたものを図 5.10 に示す。ただし、これらのプロットは 16×16 のサブイメージセンサ領域における測定値のプロットである。また、CDS を行う前と行った後の画素値の分布ヒストグラムを、図 5.11 に示す。これらの図の軸には count/ms という単位が用いられているが、これは電圧制御発振器型 A/D 変換器内のカウンタ回路を 1 ミリ秒間動作させた際のカウント値に相当している。テラヘルツイメージセンサの測定では、カウンタ回路がちょうど 1 ミリ秒間動作するようにパターンジェネレータから制御信号を与えており、この count/msec という数値は A/D 変換器の出力値と同一の値である。試作テラヘルツイメージセンサは、電圧制御発振器型 A/D 変換器を用いているため、テラヘルツ波ビームが入射されていない状態であっても、A/D 変換器の出力値は 0 にならない。これは、A/D 変換器内部の電圧制御発振器がフリーランで常に発振していることに起因する。そのため、図 5.10(a) に示すように、CDS を行わない場合は、テラヘルツ波ビームが照射されていない画素

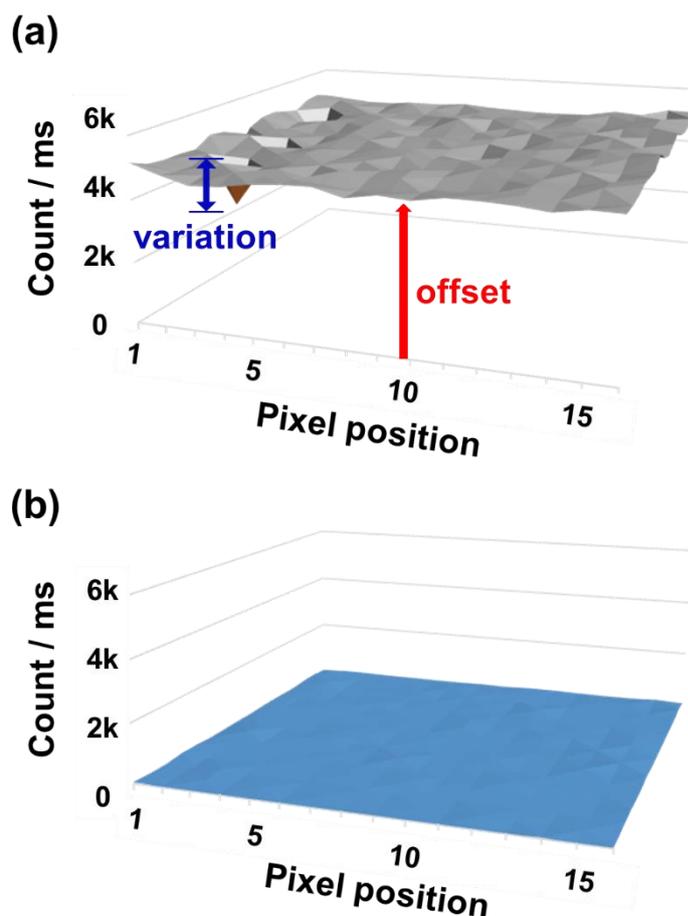


図 5.10 テラヘルツ波未照射時のイメージセンサ出力値

(a) 未処理のイメージセンサ出力値 (b) CDS 処理後のイメージセンサ出力値

であっても画素値は0にならず、一定のオフセット値が存在する。この現象は、図 5.9(b)の撮像結果でも同様であり、図中のビームスポット部以外の部分において、画素値が2000程度のオフセット値を持っていることが確認できる。CDSを行うことで、これらのオフセットが除去される。この様子は図 5.10(b)で確認できる。また、先述の通り、撮像結果にはテラヘルツイメージセンサの製造ばらつきに起因する、画素値のばらつきが存在している。CDSを行う前の撮像結果(図 5.10(a))において、画素値の標準偏差は0.24 kcount/msであった。CDSを行った後の撮像結果(図 5.10(b))において、画素値の標準偏差は0.03 kcount/msであった。このように、CDSを行うことで、画素値のばらつきによる影響を抑制することができる。

次に、テラヘルツイメージセンサの応答性を確認した。図 5.8の光学系全体は固定したまま、テラヘルツイメージセンサの空間位置をずらすことで、イメージセンサチップ上に照射されるテラヘルツ波ビームの位置を変化させた。このときの、撮像結果を図 5.12に示す。この図は、動画として保存したビームスポット移動の様子から、そのうち

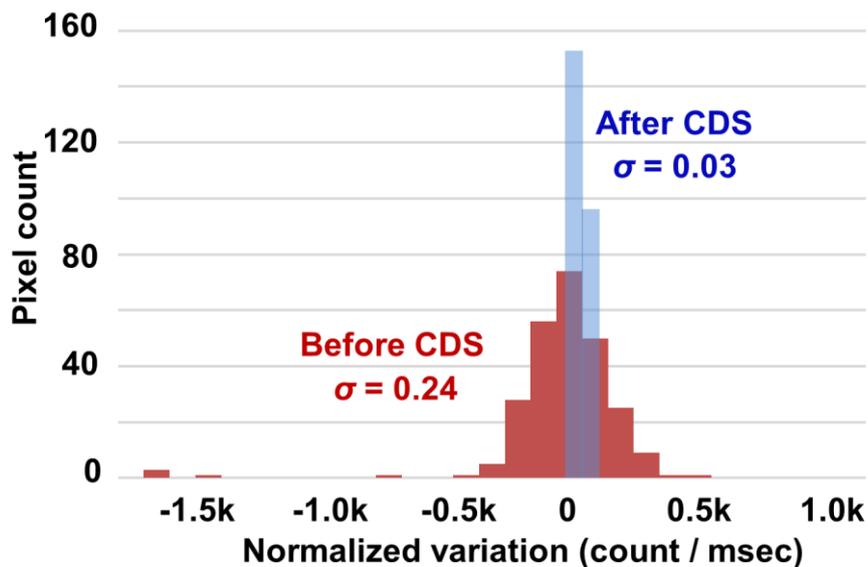


図 5.11 テラヘルツイメージセンサ出力値のヒストグラム

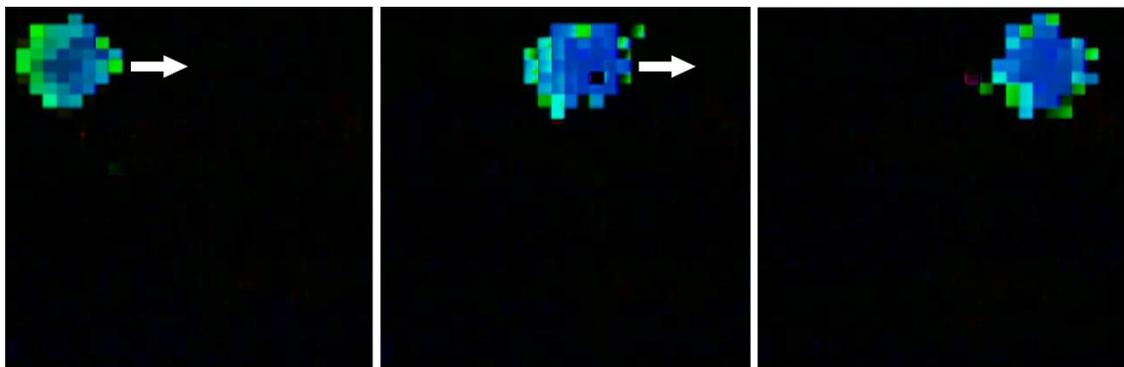


図 5.12 移動するテラヘルツビームの撮像結果(動画)

5.3 テラヘルツ波源を用いたイメージング

3 フレームを静止画として切り出し、移動方向に白抜きの矢印を付したものである。この結果から、ビームスポットの照射位置が変化すると同時に、撮像結果でもビームスポットが円形を保ちながら移動していく様子が確認できた。2.1 節で述べた通り、マイクロボロメータを用いた手法では、素子からの読み出しが素子の温度変化に依存するためその応答性が低くなる傾向がある。その結果、ビームスポットの移動に対して、尾を引くような形で残像が発生し、ビームスポットが変形して見える可能性がある。本研究で試作したテラヘルツイメージセンサでは、ビームスポットが円形を保ちながら移動していく様子が撮像できたため、高い応答性を持っていることが分かる。次に、テラヘルツ波ビームを金属製の構造物で遮った状態での撮像実験を行った。測定に用いた光学系と各種測定装置類は、先の測定に用いた状態(図 5.8)と同様の状態で測定を行った。図 5.13 に、テラヘルツ波ビームを金属製の細線で遮った際の、測定の様子と撮像結果を示す。図 5.13(a)に示したように、金属製の細線をテラヘルツイメージセンサチップの直上にかざすことで、テラヘルツ波ビームの入射を一部遮った。図 5.13(b)は金属細線をかざす前の状態における撮像結果であり、また、図 5.13(c)は金属細線をかざした状態における撮像結果である。ただし、これらの撮像結果はともに CDS 後の画像である。ただし、図 5.13(c)中の白色破線は撮像結果ではなく、金属配線によるテラヘルツ波ビームの遮蔽位置を分かり易くするために画像加工を行い付したものである。撮像結果から、金属細線によってテラヘルツ波ビームが遮られ、金属細線の影がテラヘルツイメージセンサによって撮像されていることが分かる。次に、テラヘルツ波ビームを有孔の金属箔で遮った際の、測定の様子と撮像結果を図 5.14 に示す。図 5.14(b)中の白色破線は撮像結果ではなく、遮蔽前のビームスポットサイズのおよそのサイズを分かり易くするために画像加工を行い付したものである。撮像結果から、金属箔によってテラヘルツ波ビームが

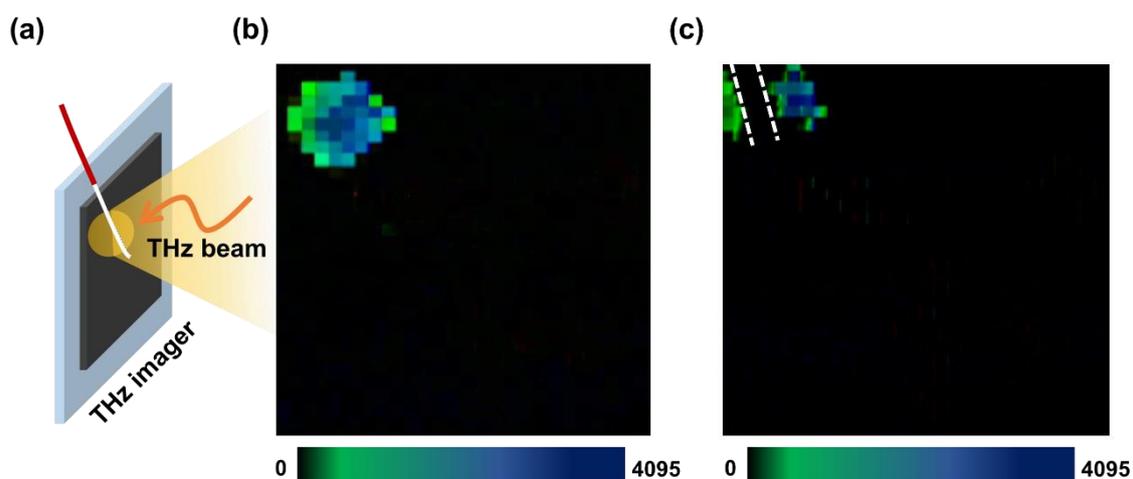


図 5.13 テラヘルツイメージセンサによるテラヘルツビーム撮像(金属細線)

(a) テラヘルツビーム照射と金属細線のイメージ

(b) 金属細線がないときの撮像結果 (c) 金属細線があるときの撮像結果

遮られ、金属箔上の破孔部を通過したテラヘルツ波ビームのみが、より小さなビームスポットとして撮像されていることが分かる。

最後に、テラヘルツイメージセンサ内の電圧制御発振器型 A/D 変換器の線形性評価を行った。図 5.15 に、A/D 変換器の線形性評価に用いた測定系の模式図を示す。A/D 変換器の線形性評価にあたって、A/D 変換器の入力に相当する V_{PIX} を変化させながら、A/D 変換器の出力値を記録する必要がある。 V_{PIX} はテラヘルツ波検出器の出力電圧であるため、外部から直接 V_{PIX} に値を入力することはできない。そこで、ピクセル回路内の

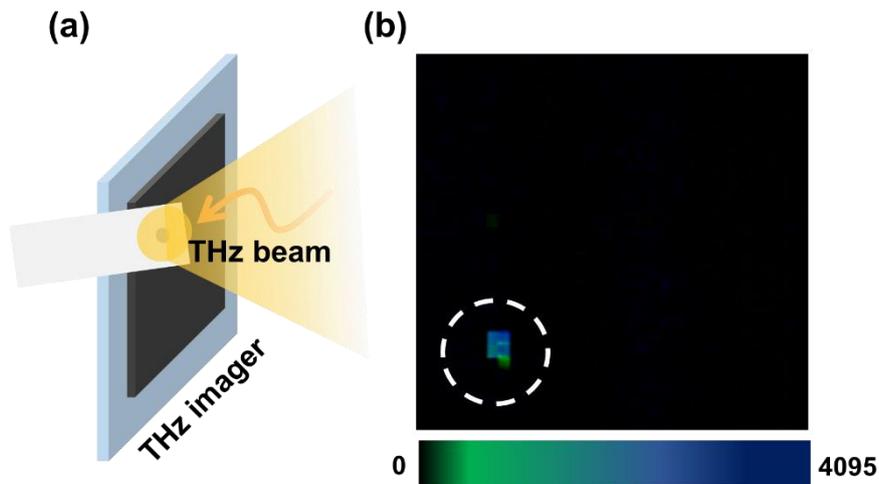


図 5.14 テラヘルツイメージセンサによるテラヘルツビーム撮像(有孔の金属薄膜)

- (a) テラヘルツビーム照射と有孔の金属薄膜のイメージ
- (b) 有孔の金属薄膜があるときの撮像結果

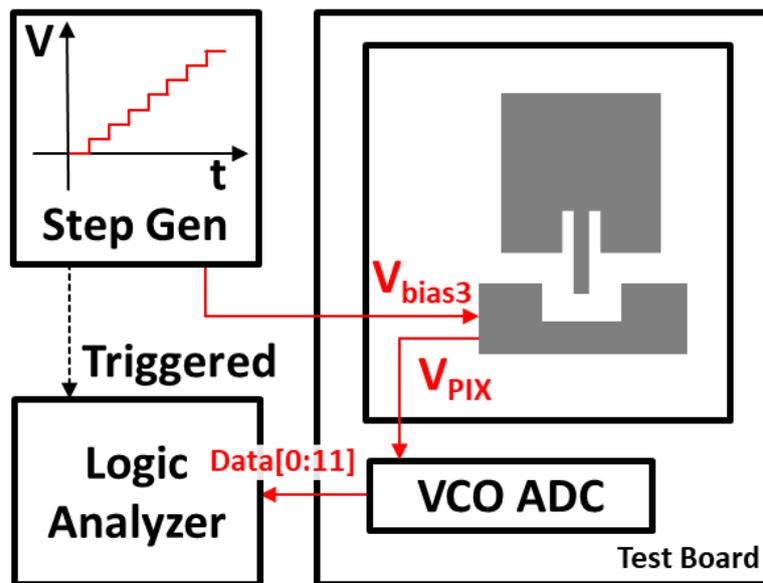


図 5.15 A/D 変換器の線形性評価における測定機器類の接続状況

5.3 テラヘルツ波源を用いたイメージング

V_{bias3} を変化させることで V_{PIX} の値を変化させ、その際の A/D 変換器の出力値を記録した。3.1.4 節で述べた通り、テラヘルツ波検出器の回路内部において、サブスレッショルドオペアンプは負帰還要素としてはたらく。そこで、このオペアンプの非反転入力端子である V_{bias3} を外部入力端子とみなすと、サブスレッショルドオペアンプは V_{bias3} を入力とし V_{PIX} を出力とするボルテージフォロアとして機能する。そのため、 V_{bias3} の値を外部から操作することにより、疑似的に V_{PIX} の値を操作することが可能である。 V_{bias3} の操作には、制御信号と同期して電圧を階段状に変化させることができるステップ電圧源を用いた。また、A/D 変換器出力値の記録には、 V_{bias3} の操作と同期してデジタル値の取得を行うことができるロジックアナライザを用いた。 V_{bias3} に印加するステップ電圧は、350mV から 75 μ V ステップで上げていき、最大値を 799.25mV までの 6000 段階とした。また、各 V_{bias3} の値に対する A/D 変換を 300 回を行い、その平均値出力値を各 V_{bias3} の値に対する A/D 変換器の出力値として記録した。測定された A/D 変換器の入出力特性を図 5.16 に示す。図中には測定値のほかに、最小二乗法による近似直線を示している。A/D 変換器の入出力特性は右肩上がりであり、入力と出力の間に正の相関があることが分かる。次に、A/D 変換器の線形性を評価した。線形性の評価には、微分非線形性 (DNL: Differential Non-Linearity) と、積分非線形性 (INL: Integral Non-Linearity) を用いた。例えば、0V 以上 4V 未満の電圧値を入力とし、これを 2-bit のデジタル値に変換し出力する A/D 変換器を考える。この ADC は理想的には、図 5.17 の Ideal に示すように、入力が 0V 以上 1V 未満であれば 00(2)、1V 以上 2V 未満であれば 01(2)、2V 以上 3V 未満であれば 10(2)、また、3V 以上 4V 未満であれば 11(2) を出力する。しかし、現実の A/D 変換器には、図 5.17 の Real に示すような理想値とのずれが存在する。LSB(Least

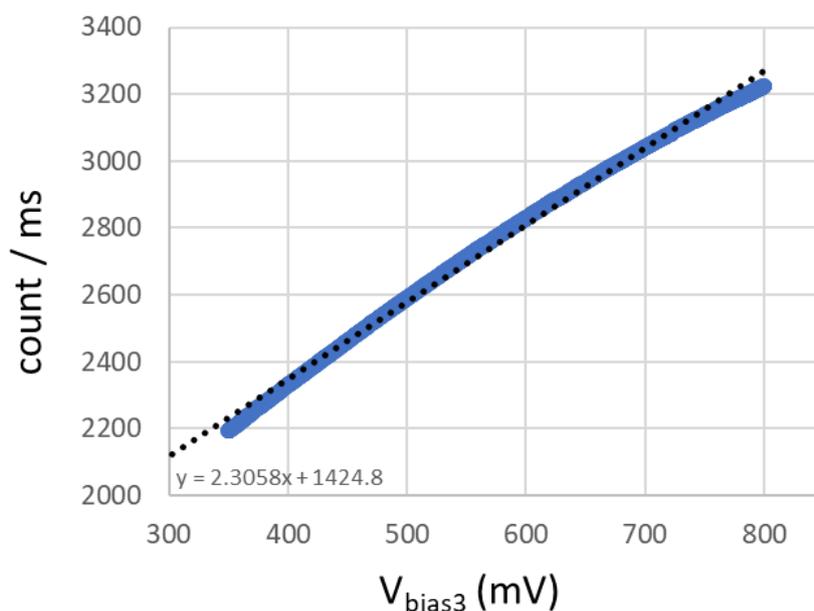


図 5.16 電圧制御発振器の入出力特性

Significant Bit)とは、最小分解能の意である。例では、0~4Vを2-bit精度で計測しているため、1LSBは入力換算で1Vの入力幅に相当する。DNLの値が $\pm 0.5\text{LSB}$ 以上のとき、あるデジタル出力に対応するアナログ入力が存在しない、コードミッシングが生じている可能性がある。コードミッシングの有無はA/D変換器の評価項目の1つである。仮に2-bit精度のA/D変換器を考えた際、コード01に対応する入力が存在しなければ、本来4段階の分解能をもつA/D変換器が、3段階の分解能しか持たないことになり、A/D変換器の変換性能が損なわれていることを表す。図5.18(a)に、A/D変換器の入出力特性から求めたDNLを示す。得られたDNLの最大は $+1.85\text{LSB}$ であり、最小値は -1.72LSB であった。これは、先述の通りコードミッシングの発生可能性を示唆している。しかし、電圧制御発振器型A/D変換器はクロック信号の連続カウントアップによってA/D変換を行うというその特性上、コードミッシングは発生せず、出力コードの連続性が保証されている。次に、INLの測定について述べる。INLとは、ある出力コードの理想閾値と測定閾値の偏差である。例えば図5.2.13に示すような入出力特性をもつ、3-bit精度のADCを考える。このときコード101を出力する理想的な入力の最小値は $5/8[V_{\text{ref}}]$ であるが、測定値は図のように $6.3/8[V_{\text{ref}}]$ であったとする。このとき、このコードにおけるINLは、その差分である $1.3/8[V_{\text{ref}}]$ となり、INLは 1.3LSB と求めることができる。また、INLは、DNLを積分することでも求めることができる。図5.18(b)に、A/D変換器の入出力特性から求めたINLを示す。得られたINLの最大は $+45.58\text{LSB}$ であり、最小値は -23.98LSB であった。INLの値は比較的大きな値となっているが、これは電圧制御発振器の非線形性による影響が大きい。INLプロットの概形は2次曲線であり、これ

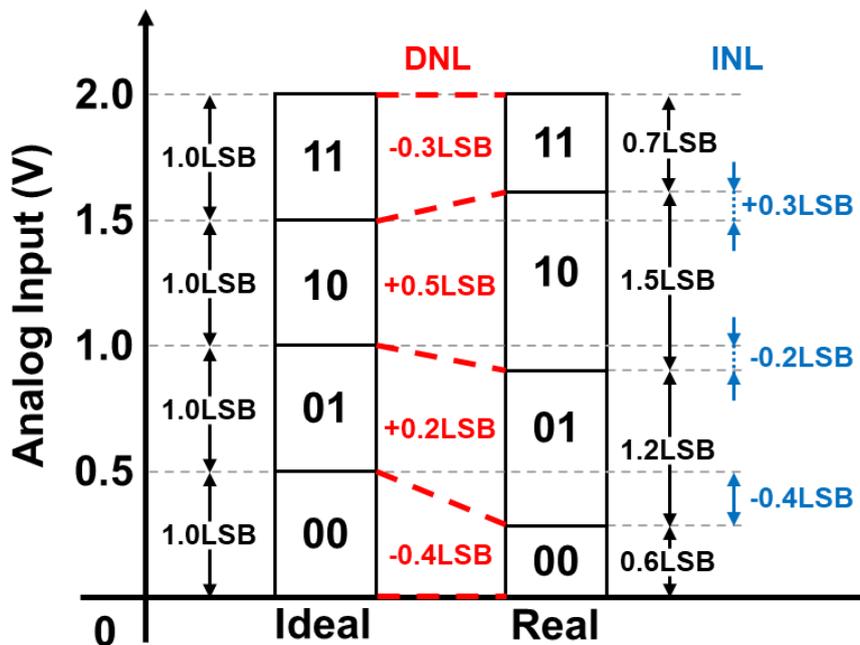


図 5.17 理想の A/D 変換特性と現実の A/D 変換器の差異

5.3 テラヘルツ波源を用いたイメージング

は DNL が 1 次の増加特性を持っていることを示している。また、このような単純な INL 特性を持つ場合、後段で非線形性の補正を行うことが比較的容易である。

最後に、Si CMOS プロセスを用いて試作された、他手法との比較を表 5.1 に示す。本研究では 180nm の Si CMOS プロセスを用いて試作を行っているため、他手法と比較して製造コストの低いテラヘルツイメージセンサとなっている。また、ピクセル当たりの消費電力も、比較的低い値となっている。また、単一の MOSFET のみを検波回路として用いる手法と比較して、本研究ではテラヘルツ波検出器に 2 段のアンプ構成を用いたことで、高いオンチップゲインを獲得している。これまで提案された他手法では、A/D 変換器を同一のチップ内にもつものは存在しなかったため、本研究が A/D 変換器を混載した初めてのテラヘルツイメージセンサである。また、本研究では A/D 変換器の実装だけでなく、グローバルシャッタ撮像に対応した初めてのテラヘルツイメージセンサである。ノイズフロアレベルは他手法と比較して高い値になっている。3.1.4 節で述べた通り、本研究において支配的な雑音は $1/f$ 雑音である。そのため、ノイズフロアレベル測定を 31Hz ではなく、例えば 100kHz で行った際のノイズフロアレベルは $13.7\text{pW/Hz}^{0.5}$ と試算できる。このことから、本手法におけるノイズフロアレベルは、他手法と比較して妥当な値であるといえる。

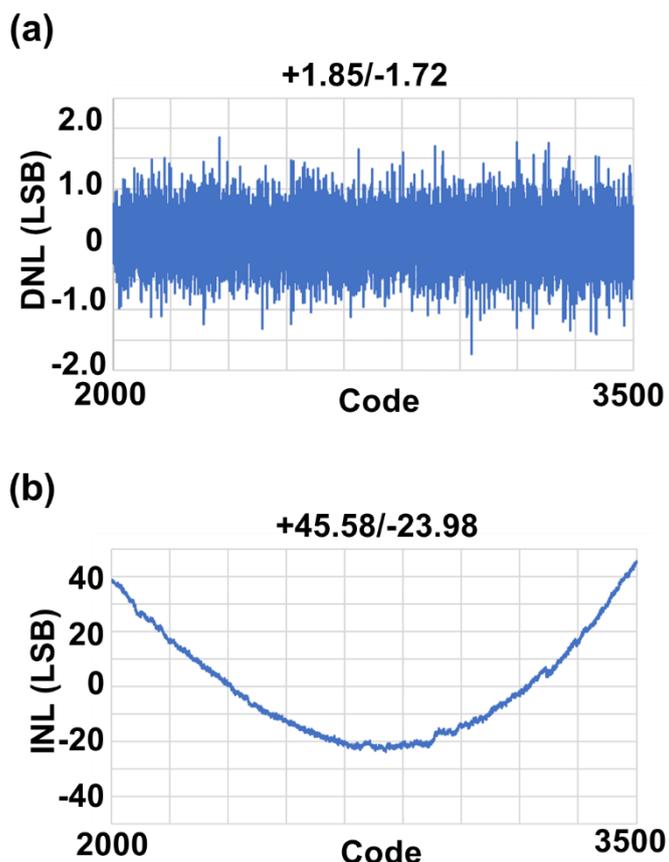


図 5.18 電圧制御発振器型 A/D 変換器の(a)DNL と(b)INL

表 5.1 他手法(Si CMOS プロセスを用いたテラヘルツイメージセンサ技術)との比較

	Sensors 2016[3]	IEEE THz Sci. 2016[4]	RFIT 2017[5]	ASSCC 2018[6]	ISSCC 2021[7]	our work[8]
CMOS Process	130nm	130nm	65nm	180nm	130nm	180nm
Array	31 × 31	8 × 8	7 × 7	32 × 24	32 × 32	32 × 32
Pixel pitch ($\mu\text{m} \times \mu\text{m}$)	240 × 240	159 × 159	500 × 500	220 × 200	80 × 80	215 × 215
Power consumption ($\mu\text{W}/\text{pixel}$)	174	150	N/A	N/A	13.3	4.5
Antenna	Bow tie	Patch	Differential patch	Patch	Rectangular wire loop	Patch
Detection Device	MOSFET rectifier	MOSFET rectifier	MOSFET amplifier	MOSFET rectifier	MOSFET amplifier	MOSFET amplifier
Responsivity (V/W)	300k @270GHz	3.46k @820GHz	1.2k @303GHz	1.28k @860GHz	N/A	218k @930GHz
On-chip gain (dB)	58	13.5	N/A	N/A	139	45
ADC	External	External	External	N/A-bit Delta-Sigma	6-bit Flash	12-bit VCO-Based
Shutter	Focal plane	Focal plane	Focal plane	Focal plane	Focal plane	Global
NEP ($\text{pW}/\text{Hz}^{0.5}$) (Noise Equivalent Power)	18.7@156kHz	21.2@1MHz	20	N/A	262@40kHz	91@31Hz

5.4 試作イメージセンサのばらつき

5.3 節では、試作したテラヘルツイメージセンサに対してテラヘルツ波を照射し、その特性の測定を行った。試作したテラヘルツイメージセンサは、製造ばらつきに起因する画素ばらつきを有していたが、これに対して CDS を適用することで、そのオフセット成分を有効に除去できることを示した。しかし、画素ばらつきにはオフセットばらつきだけではなく、画素(主にテラヘルツ波検出回路)の利得ばらつきも存在する。利得ばらつきとは、テラヘルツ波がイメージセンサに入射した際の、画素応答特性のばらつきである。CDS はテラヘルツ波が入射していない状態(暗画像)を撮像結果から差し引く演算を行うため、テラヘルツ波が入射していない状態におけるばらつき(オフセットばらつき)の抑制には有効であるが、テラヘルツ波が入射することで現れる利得ばらつきに対しての抑制効果をもたない。本節では、試作したテラヘルツイメージセンサの画素ばらつきに関して、より詳細なシミュレーションと測定を行い、その特性を評価する。

5.4.1 モンテカルロ法による素子ばらつきのシミュレーション解析

はじめに、テラヘルツイメージセンサの構成要素のうち、1画素に相当する回路要素を切り出し、回路シミュレーションによって画素ばらつきの要因を特定する。先述の通り、テラヘルツイメージセンサはピクセル並列アーキテクチャをもつ。そのため、 $32 \times 32 = 1024$ ピクセルのテラヘルツイメージセンサは、1024個の並列動作するテラヘルツ波検出器と電圧制御発振器型 A/D 変換器とも考えることができる。1組のテラヘルツ波検出器と電圧制御発振器型 A/D 変換器を、以降「テラヘルツイメージングユニット (TIU: Terahertz Imaging Unit)」と呼称する。TIU 内部に含まれる各回路要素における、それぞれの製造ばらつき影響を解析することで、TIU の回路改善のための方針を得ることができる。また、TIU 回路の改善によってそのばらつきが抑制されれば、テラヘルツイメージセンサの画素ばらつきも同様に抑制される。そこで、TIU 内部における各回路要素のばらつき影響を見積もるため、単一の TIU 回路モデルに対して、モンテカルロ法によるシミュレーション解析を行った。モンテカルロ法によるシミュレーション解析は、回路内に含まれる MOSFET のデバイスパラメータを乱数により変化させることで、実際に半導体集積を行った際のデバイス特性ばらつきを見積もることができる。集積時に発生するデバイスパラメータの分布範囲(ばらつき範囲)等のデータは、半導体集積ファウンダリから集積回路設計者向けに提供されている。例えば、MOSFET のデバイスパラメータのうち、ゲート幅 W とゲート長 L が製造時にばらつくとする。ただし、実際にはゲート幅とゲート長に限らず、ドープ密度のばらつきやそれに起因する閾値電圧のばらつきなど、多くのデバイスパラメータが分析の対象である。 $W=400\text{nm}$ ・ $L=180\text{nm}$ のパラメータを持つ複数の MOSFET を設計したとする。理想回路としての

回路シミュレーションでは、デバイスパラメータはばらつかず、設計したすべての MOSFET は同一の特性をもつ。しかし、モンテカルロ法によるシミュレーション解析では、製造時のデバイスパラメータばらつきを考慮することができ、すべての MOSFET は異なる特性を持つこととなる。例えば、ある MOSFET は $W=401\text{nm} \cdot L=182\text{nm}$ というデバイスパラメータを持ち、また、別の MOSFET は $W=397\text{nm} \cdot L=180\text{nm}$ というデバイスパラメータを持つことになる。このとき、各 MOSFET のデバイスパラメータは、デバイスパラメータの分布範囲から乱数を用いて選択される。デバイスパラメータの選択方法は様々あり、例えば分布範囲内から乱数を用いて完全ランダムに選択することができる。しかし、ランダムなデバイスパラメータ選択は、シミュレーションの試行回数(デバイスパラメータの振り直し)をある程度多く設定しないと、回路全体の特性分布を正しく見積もることができない。より少ないシミュレーション試行回数でシミュレーション結果を取束させるために、様々なパラメータ選択の手法が提案されている。本研究では、パラメータ選択の手法として、ラテン超格子サンプリング(LHS: Latin Hypercube Sampling)法を用いた。LHS 法を用いる場合の、デバイスパラメータの分布範囲と、モンテカルロ法におけるデバイスパラメータ選択の関係性を図 5.19 に示した。図中では、説明のために先の仮定に基づいて、ゲート幅 W とゲート長 L のみを変動するパラメータとした。LHS 法では、すべてのパラメータについて、パラメータの分布領域を複数の領域に分割する。各領域はその確率が等しくなるように区切られており、図

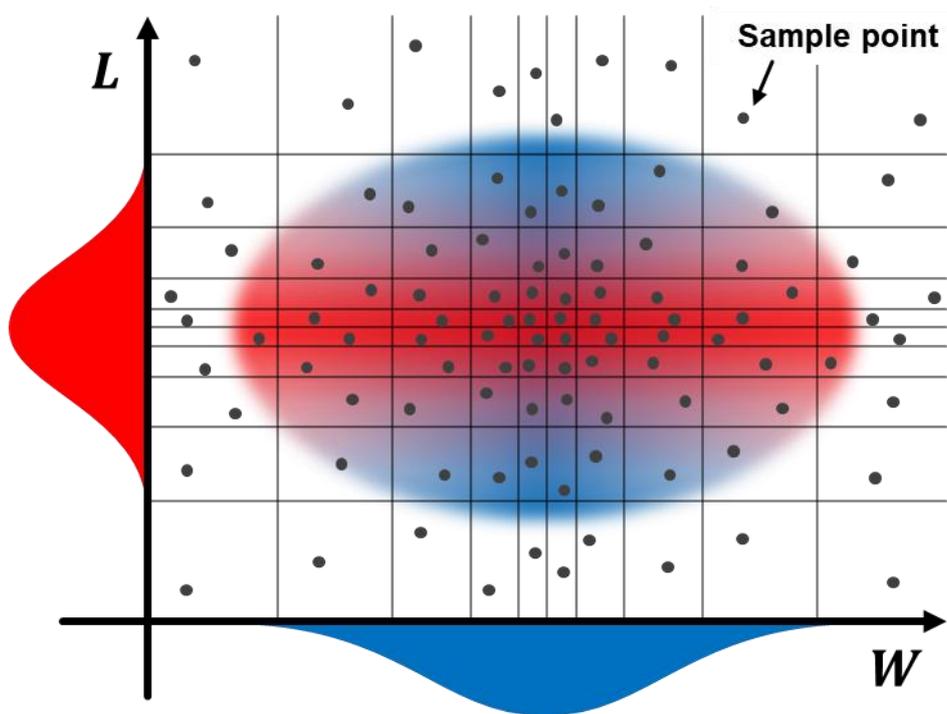


図 5.19 ラテン超格子サンプリング法におけるパラメータ領域の分割
L と W の分布を $10 \times 10 = 100$ 領域に分割しパラメータのサンプルを行っている

5.4 試作イメージセンサのばらつき

5.19 に示したように、分布の中央から遠ざかるほど領域分割は粗いものとなる。LHS 法では、このように分割したパラメータ領域に対して、すべての領域から均等にパラメータの選択を行う。図○○○○の例では、すべての格子内から均等な回数パラメータを選択し、シミュレーションを行う。つまり、LHS 法を用いた場合、シミュレーションの試行回数が少ない場合でも、各パラメータは幅広い領域から選択される。そのため、LHS 法では少ないシミュレーション試行回数であっても、パラメータの分散性が保証される。格子内における具体的なパラメータの選択はランダムである。例えば、MOSFET のパラメータを、 $W: 405\sim 410\text{nm}$ ・ $L: 182\sim 185\text{nm}$ という格子の中から選択する場合、その領域内の点($W=406.2\text{nm}$ ・ $L=184.0\text{nm}$ 等)がランダムに選択される。また、LHS 法におけるパラメータ領域の分割数 d は任意に設定することが可能であり、 $d=1$ ならばランダム法によるパラメータ選択と同様のパラメータ選択を行うことになる。パラメータ領域の分割数を大きくすることで、パラメータの分散性がより保証されるが、シミュレーションを行うべき格子数もまた増加する。そもそも LHS 法を用いる場合、ランダム法と比べて少ないシミュレーション試行回数で、シミュレーション結果が収束することが利点であった。また、パラメータ領域の分割数はある程度以上の値であれば、そのシミュレーション結果の精度はほとんど変化しない。そのため、パラメータ領域の分割数は数百程度の値(具体的には $d=200$ 程度)とするのが適切である。以降で述べるモンテカルロ法によるシミュレーション解析では、デバイスパラメータの選択に LHS 法を用いている。TIU を構成する MOSFET のうち、どの MOSFET のばらつきが TIU 特性のばらつきに影響を与えているか見積もるため、TIU の回路モデルに対してモンテカルロ法によるシミュレーション解析を行った。このシミュレーション解析は、Cadence 社製の回路シミュレータ管理ソフトである ADE XL(Analog Design Environment XL)を用いて行った。シミュレーション解析では、TIU を構成するすべての MOSFET がばらついた場合(TIU)、テラヘルツ波検出器を構成する MOSFET がばらついた場合(PIX)、テラヘルツ波検出器に含まれるカスコードアンプを構成する MOSFET がばらついた場合(cascode)、テラヘルツ波検出器に含まれるサブスレッショルドオペアンプを構成する MOSFET がばらついた場合(sub- V_{th})、電圧制御発振器を構成する MOSFET がばらついた場合(VCO)について、TIU の出力値(電圧制御発振器の発信周波数)を測定し、その分布を求めた。また、カスコードアンプおよびサブスレッショルドオペアンプを構成する MOSFET については、それぞれがばらついた場合についても TIU の出力値を測定し、その分布を求めた。各 MOSFET の名称は、図 5.20 に示すテラヘルツ波検出回路中の表記と対応している。これらのシミュレーション解析では、テラヘルツ波の入射がない状態(THz OFF)とテラヘルツ波の入射がある状態(THz ON)について解析した。テラヘルツ波の入射がある状態を解析するためには、本来テラヘルツ波帯の信号を入力する必要がある。しかし、テラヘルツ波のような非常に高い周波数(非常に短い周期)を持

つ信号を用いた場合、シミュレーションの解析時間単位をその周期以下に設定する必要があるため、1回のシミュレーションに要する時間が非常に長くなってしまいます。そのため、テラヘルツ波の入射がある状態のシミュレーション解析では、テラヘルツ波成分をもつ疑似的な入力として、 $10\text{ mV}_{\text{p-p}}$ のパルス波を入力した。入力端子は、5.4.2 節で述べるテラヘルツイメージセンサばらつきの実測も考慮して、テラヘルツ波検出回路のアンテナバイアス端子 I_{DET} に入力した(シミュレーション上では任意の端子に任意の信号を入力可能であるが、実測ではチップ外部から信号を入力できる端子に限られるため)。 I_{DET} 端子はパルス入力期間を含めて、常に 0.5V でバイアスされており、パルス入力時にはその電圧値が 0.51V になる。これらのシミュレーション解析の結果を図 5.21 に示す。また、これらの THz OFF/ON の両状態の結果について、TIU 全体がばらついた場合の TIU 出力値の分散を 1 として正規化したときの、各回路要素のばらつき影響による TIU 出力値の分散を、表 5.2 に示す。この表に含まれるすべての数値は、図 5.21 で示した THz OFF/ON の両状態における分散を元に計算したものである。これらのシミュレーションはシミュレーションの精度(LHS 法におけるパラメータ分割数)を $d=1000$ として行った。表 5.2 から、PIX 回路がばらついたときの TIU 出力への影響が、TIU 全体がばらついたときの影響を上回っているが、これはシミュレーションの精度)を $d=8000$ まで高めることで大小関係が逆転する。そのため、TIU 全体のばらつき影響は PIX 回路のばらつき影響と同等あるいはごくわずかに大きいことが予想される。 $d=8000$ としたとき、1回のシミュレーションには半日近い時間を要するため、すべてのシミュレーションをこの精度で行うことは困難であった。また、先に述べた通り LHS

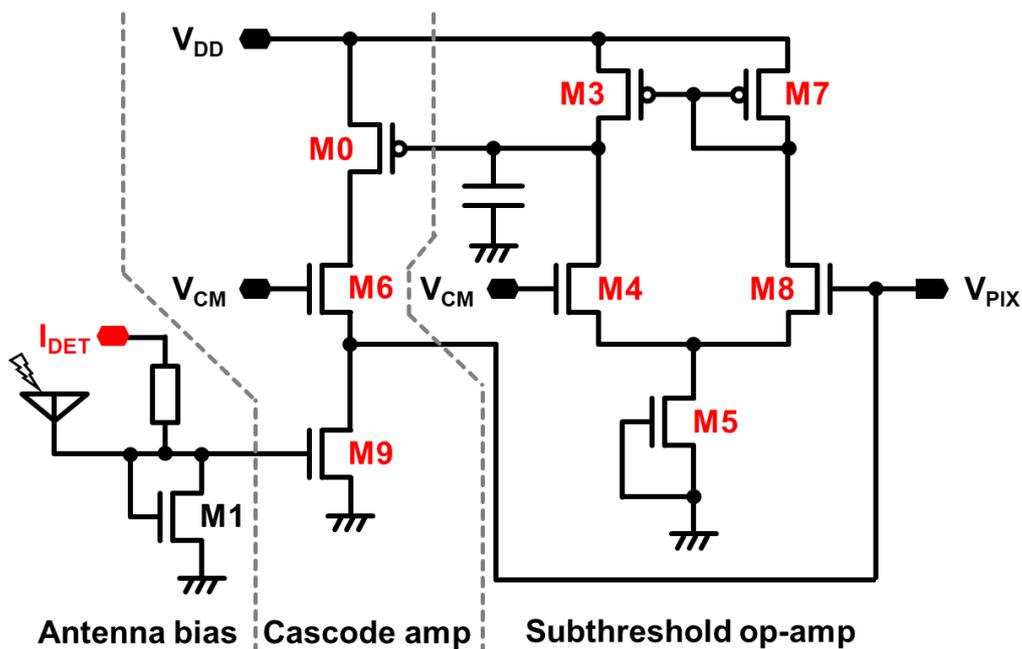


図 5.20 テラヘルツ波検出回路中の MOSFET 名称

5.4 試作イメージセンサのばらつき

法によるモンテカルロサンプリングシミュレーションは、 $d=1000$ 程度で十分な精度を持っているため、このようなシミュレーション結果の差がごく僅かしかない場合にのみ精度を高めることで追加シミュレーション解析を行うのが適切であると考えられる。THz OFF 状態におけるシミュレーション結果は、テラヘルツ波が照射されていない状態における画素値のばらつき(オフセットばらつき)を表している。THz ON 状態におけるシミュレーション結果は、テラヘルツ波が照射されている状態における画素値のばらつき(オフセットばらつき+利得ばらつき)を表している。これらの結果から、TIU の特性ばらつきは主にテラヘルツ波検出回路のばらつきに影響されており、これと比較して

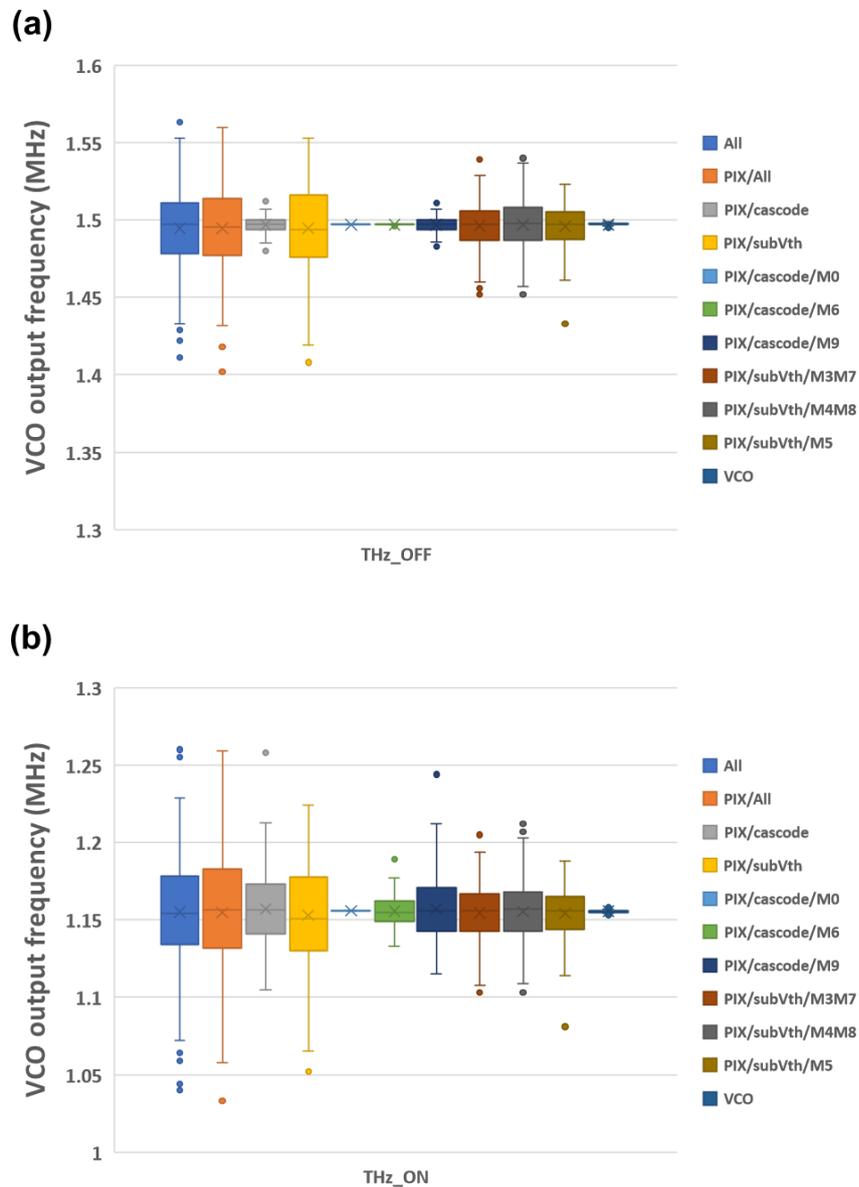


図 5.21 テラヘルツ波検出回路の各要素によるばらつき影響
 (a) パルス強度 0 (THz OFF) 状態 (b) パルス強度 $10\text{mV}_{\text{p-p}}$ (THz ON) 状態

電圧制御発振器のばらつきは僅かであることが分かる。THz OFF 状態のシミュレーション結果に注目すると、テラヘルツ波検出回路中において、特にサブスレッショルドオペアンプのばらつきが、TIU のばらつき(オフセットばらつき)に影響していることが分かる。3.1.4 節で述べた通り、サブスレッショルドオペアンプはカスコードアンプの出力に対して直流成分(オフセットばらつき)を除去するようにはたらく。サブスレッショルドオペアンプを構成する MOSFET にばらつきがある場合、その直流成分除去後の収束値にばらつきが現れる。そのため、サブスレッショルドオペアンプのばらつきはテラヘルツ波検出回路の出力(直流成分)のばらつきを生み、これを入力とする電圧制御発振器の発振周波数にもオフセットばらつきが現れる結果となっている。THz OFF/ON の両状態において、サブスレッショルドオペアンプを構成する MOSFET のばらつきによる影響は大きく変化していない。この結果は、サブスレッショルドオペアンプのばらつきはオフセットばらつきに影響を与えるものの、利得ばらつきにはあまり影響を与えないことを表す。また、THz OFF 時において、カスコードアンプのばらつきは TIU のばらつきにあまり影響を持っていない。本来、THz OFF 時におけるカスコードアンプのばらつきは、カスコードアンプ出力の直流成分のばらつきとなって現れる。その影響が少ないということは、テラヘルツ波検出回路においてカスコードアンプのばらつき影響が少ないか、あるいは、サブスレッショルドオペアンプの負帰還動作によってカスコードアンプのばらつきによる影響が抑制されている可能性を示している。特に、THz OFF/ON の両状態において、カスコードアンプに含まれる MOSFET M0 の特性のみを

表 5.2 各要素のばらつきによる TIU 出力への影響度

Circuit Element	THz_OFF	THz_ON
TIU(PIX+VCO)	1.000	1.000
PIX	1.037	1.055
PIX/cascode	0.177	0.621
PIX/subVth	1.041	0.875
PIX/cascode/M0	0.000	0.000
PIX/cascode/M6	0.017	0.242
PIX/cascode/M9	0.171	0.550
PIX/subVth/M3M7	0.580	0.483
PIX/subVth/M4M8	0.649	0.544
PIX/subVth/M5	0.489	0.415
VCO	0.031	0.030

5.4 試作イメージセンサのばらつき

ばらつかせた場合、TIU の出力値はほとんど変化していない。M0 はサブスレッショルドオペアンプの負帰還先となる負荷素子であり、その閾値電圧がばらつくと負荷としての入出力特性がばらついてしまう。しかし、先に述べた結果から、M0 のばらつきによる TIU 特性への影響は、サブスレッショルドオペアンプの負帰還動作により抑制されていることが分かる。THz OFF/ON の両状態におけるばらつき影響を比較することで、各 MOSFET のばらつきについて、TIU 全体の利得ばらつきへの影響を見積もることができる。先述の通り、サブスレッショルドオペアンプのばらつきによる影響は、THz OFF/ON の両状態を比較してあまり変化していない。一方で、カスコードアンプのばらつきによる TIU 特性への影響は、THz OFF/ON の両状態において大きく変化している。この結果から、カスコードアンプのばらつきは、TIU の利得ばらつきに影響していることが分かる。3.1 節で述べた通り、MOSFET によるテラヘルツ波の二乗検波回路は、その入出力特性が検波に用いた MOSFET のデバイスパラメータによって決定される。シミュレーション中において、検波を行う MOSFET である M6 のばらつき影響に注目すると、THz OFF/ON の両状態においてそれが大きく変化していることが分かる。この結果から、二乗検波回路を含むカスコードアンプ(特に M6)のばらつきが、TIU の利得ばらつきに影響を与えていることが分かる。

この測定で得られた知見をまとめると、サブスレッショルドオペアンプに用いた MOSFET のばらつきは TIU 出力のオフセットばらつきに影響し、カスコードアンプに用いた MOSFET のばらつきは TIU 出力の利得ばらつきに影響する。ところで、オフセットばらつきは CDS によって取り除くことが可能であるから、これらのばらつきのうち真に対処すべきは利得ばらつきである。もちろん、サブスレッショルドオペアンプのばらつきによる TIU 特性への影響も少ない方が望ましいが、これが利得ばらつきには大きく影響していないことが分かった。そのため、回路的な改良を行うのであれば、カスコードアンプのばらつきによる TIU 特性への影響を抑制することを主眼として、回路の再設計を行うのが良いと考えられる。次節では、試作したテラヘルツイメージセンサのばらつきを測定・評価する。

5.4.2 試作テラヘルツイメージセンサの画素ばらつき測定

5.3 節の撮像結果と 5.4.1 節のシミュレーション解析結果から、試作したテラヘルツイメージセンサの画素出力値にはオフセットばらつきと利得ばらつきの両方が存在していることが分かる。本節では、試作したテラヘルツイメージセンサの画素ばらつきについて、より詳細に測定し評価する。画素ばらつき測定のための測定環境を、図 5.22 に示す。測定には、5.3 節でも用いた、試作テラヘルツイメージセンサを実装した測定用ボードと、テラヘルツイメージセンサの制御および出力を取得するための Arduino UNO ボードを利用した。測定対象は、テラヘルツイメージセンサを構成するサブイメ

ージセンサのうちの1つとした(図5.23)。これは、テラヘルツイメージセンサが同様のサブイメージセンサ4つから構成されており、サブイメージセンサ1つの特性を解析することで、テラヘルツイメージセンサ全体の特性を十分に把握できるためである。5.3節では、テラヘルツイメージセンサの最大性能(主にフレームレート)を試験する意味も

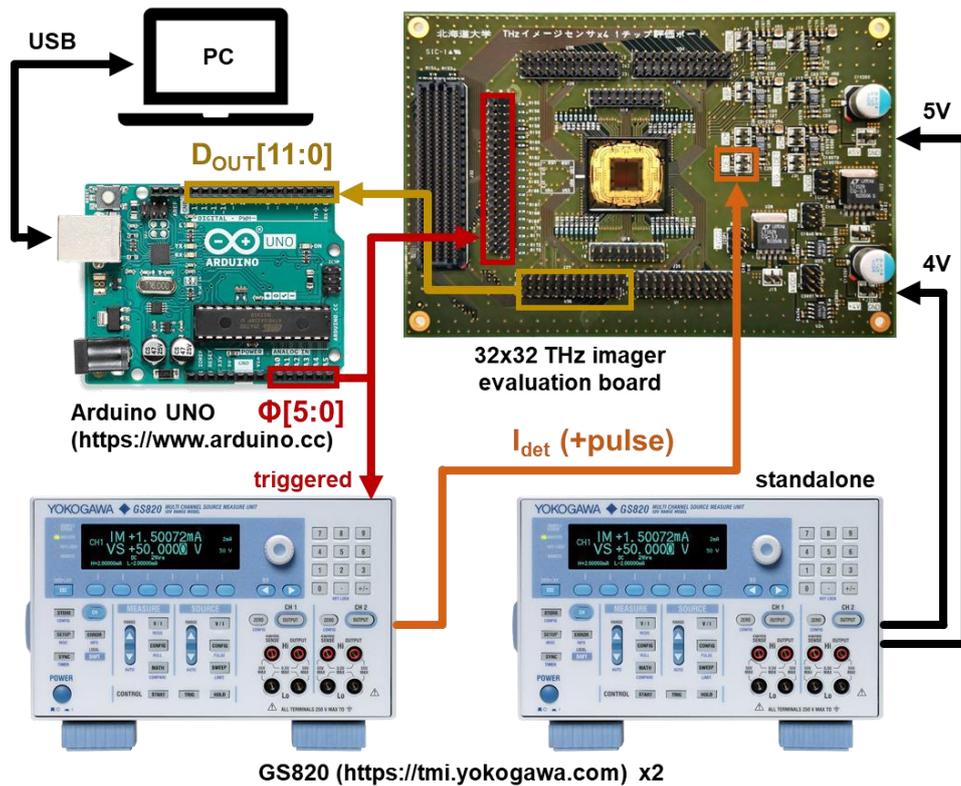


図 5.22 テラヘルツイメージセンサの画素ばらつき測定環境

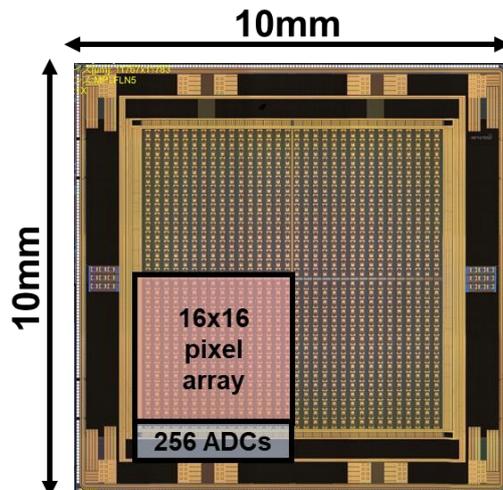


図 5.23 画素ばらつき測定の測定対象(サブイメージセンサ領域)

5.4 試作イメージセンサのばらつき

含めて、複雑な演算を高速に行うことができる FPGA を用いて、テラヘルツイメージセンサの制御および出力取得を行った。本節では、テラヘルツイメージセンサを高速に動作させる必要がないため、機能・計算力では FPGA に劣るマイコンボード(Arduino UNO)を用いて、テラヘルツイメージセンサの制御および出力取得を行った。本研究の目的のひとつに、テラヘルツイメージセンサの実用化があり、そのためにはより安価に試作したテラヘルツイメージセンサを利用できる必要がある。参考までに、5.3 節で用いた FPGA ボードの市場価格は 20 万円程度であり、本節で用いる Arduino UNO ボードの市場価格は 5000 円程度である。1.3 節ではデバイスコストについて述べたが、デバイスを実用化するためにはデバイスが安価であるだけでは不十分であり、使用するために必要な周辺機器の価格についても考慮すべきである。ただし、Arduino UNO は計 20 本の入出力端子しかもたない。そのうち、テラヘルツイメージセンサの出力(12-bit)を取得するための端子 12 本を差し引いて、テラヘルツイメージセンサの制御に用いることができる端子数は 8 本である。ここで、データバッファからのデータ読み出しのためには、列デコーダに対して 9-bit の制御信号を入力することが必要である。このままでは端子数が不足してしまうため、カウンタ IC を用いて読み出しアドレスの生成を行った。カウンタ IC は、入力されたクロック信号の立ち上がりエッジの個数をカウントし、その値を出力する IC チップである。参考までに、カウンタ IC の市場価格は 1 個 100 円程度である。これにより、本来データバッファのアドレス指定には 9 本の端子必要であったところ、カウンタ IC に対するクロック信号線とリセット信号線の 2 本の端子を用いて実装することができた。残った 6 本の端子は、電圧制御発振器の初期化信号や、A/D 変換器内のカウンタ前段のクロックゲートの制御信号など、制御信号を入力するために利用した。試作テラヘルツイメージセンサの画素ばらつき測定にあたって、測定のための制御信号波形を図 5.24 に示す。テラヘルツイメージセンサの本来の入力端子は各オンチップアンテナであるが、試作チップの外部からオンチップアンテナに直接信号を入力することはできない。そのため、本測定では 5.3 節で用いたように、テラヘルツ波検出器のアンテナバイアス端子 I_{det} を入力端子とした。 I_{det} 端子から信号を入力せずとも、5.3 節で撮像に用いたようにテラヘルツ波を直接テラヘルツイメージセンサに照射すればよいと思われるかもしれない。しかし、光学系を用いたテラヘルツ波の照射では、すべての画素に対して等しい強度のテラヘルツ波を照射することは不可能である。そのため、全画素に対して接続されている電氣的な配線 I_{det} を入力端子として利用することで、全画素に対して等しい入力信号を与えた。測定のために入力した信号はパルス波であり、テラヘルツ波成分をもつ疑似的な入力信号として 0~20 mV_{p-p}(2mV 刻み)のパルス波を入力した。 I_{det} 端子はパルス入力期間を含めて、常に 0.5V でバイアスされており、パルス入力時にはその電圧値が 0.5~0.52 V になる。パルス波を用いた理由は、主に以下の 2 つである。まず、 I_{det} ノードには測定用ボードや試作チップ内にお

いて比較的大きな寄生容量が付加されており、テラヘルツ波帯の信号を各テラヘルツ波帯検出器に入力することは困難であること、また、テラヘルツ波帯の信号源を用意すること自体がコスト的に困難であることが、その理由である。

- 1) テラヘルツイメージセンサ(主に電圧制御発振器)の初期化
- 2) 疑似入力パルス信号の入力開始と A/D 変換器による A/D 変換の開始
- 3) 疑似入力パルス信号の入力終了と A/D 変換器による A/D 変換の終了
- 4) 列デコーダに対してカウンタ IC から読み出しアドレス(初期値 0)を入力
- 5) 指定アドレスのデータバッファから A/D 変換結果の読み出し
- 6) カウンタ IC にパルス信号を入力し読み出しアドレスを 1 つ進める
- 7) 全てのデータ読み出しが完了するまで手順 5 と手順 6 を繰り返す
- 8) A/D 変換器のカウンタおよびデータバッファの初期化を行い手順 1 に戻る

先述の通り、測定対象はテラヘルツイメージセンサを構成する 16×16 ピクセルサブイメージセンサである。測定は、各画素・各パルス入力強度においてそれぞれ 100 回ずつ行い、その際のイメージセンサ出力値(A/D 変換器出力値)の平均を測定値とした。測定された各パルス強度におけるイメージセンサ出力値の分布を、図 5.25 に示す。図中の各パルス強度中には、 $16 \times 16 = 256$ 個の測定値が含まれている。測定結果から、パルス強度が 0~12 mV の区間では、パルス強度の増加に伴い、画素間の出力値ばらつきが大

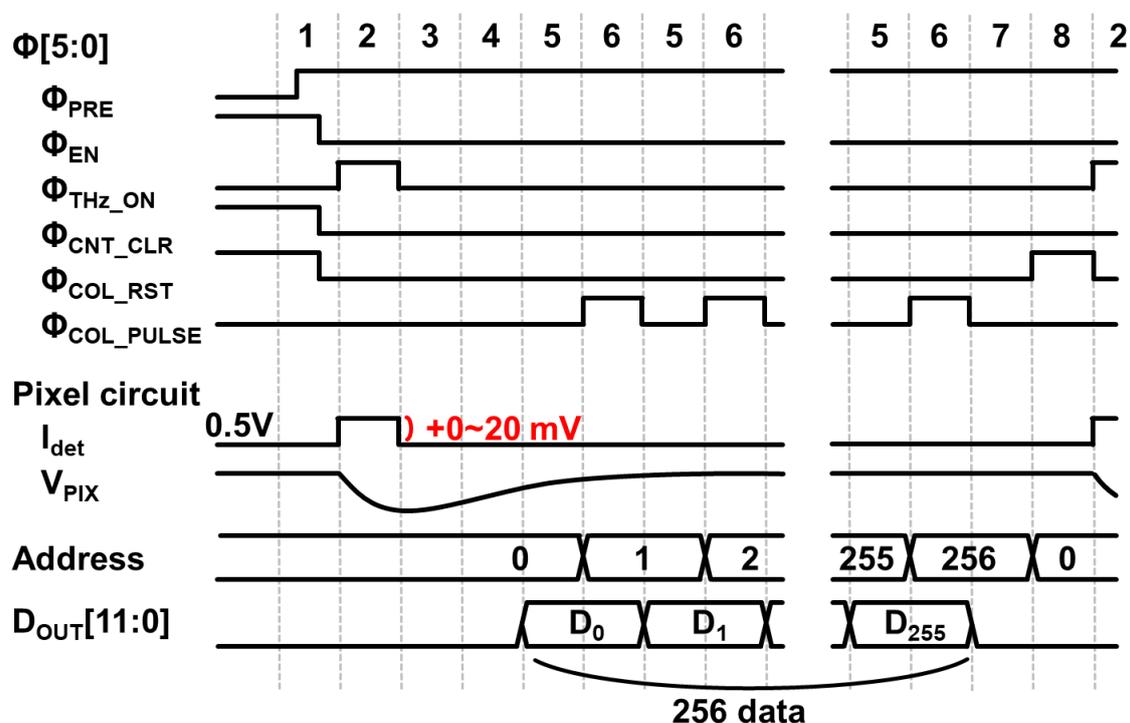


図 5.24 画素ばらつき測定における制御手順と各種制御信号波形

5.4 試作イメージセンサのばらつき

きくなっていくことが分かる。パルス強度が 12~20mV の区間では、画素間の出力値ばらつきはほとんど変化しないかわずかに減少しているが、これは高強度のパルス入力に対して画素出力が飽和しているためだと考えられる。5.3 節ではテラヘルツ波源を用いて測定を行ったが、本測定における A/D 変換器の出力値から逆算すると、テラヘルツ波入射時の回路挙動は、パルス強度に換算して 2mV 未満の領域であることが推測される。これらの入力強度とばらつき量の関係は、5.3 節のシミュレーション解析結果(常に存在するオフセットばらつきと信号入力によって発生する利得ばらつきの関係)と同様の傾向を示している。測定された値のうち、パルス強度が 0mV であるときの測定結果を、疑似的な撮像結果(THz OFF)として図 5.26(a)に示す。また、パルス強度が 10mV であるときの測定結果を、疑似的な撮像結果(THz ON)として図 5.26(b)に示す。これらの図から、(疑似的な)テラヘルツ波が入射されていない状態と(疑似的な)テラヘルツ波が入射されている状態における、イメージセンサ出力画像の視覚的な参考を得ることができる。また、これらの図は 5.3 節における、TIU 全体に使用されている MOSFET がばらついた際のシミュレーション解析の結果と関連している。また、パルス強度が 0mV であるときの測定結果からパルス強度が 10mV であるときの測定結果を差し引いた結果を、疑似的な CDS 画像(“THz OFF” – “THz ON”)として図 5.27 に示す。先にも述べた通り、CDS はオフセットばらつきの除去には効果的であるが、利得ばらつきの補正には効果がないことが分かる(本測定ではすべての画素に同様の入力を与えているため、もし CDS により利得ばらつきが改善されているのであれば、CDS 画像は平坦な画像となるはずである)。本節では、5.3 節で得られたシミュレーション解析結果と、実

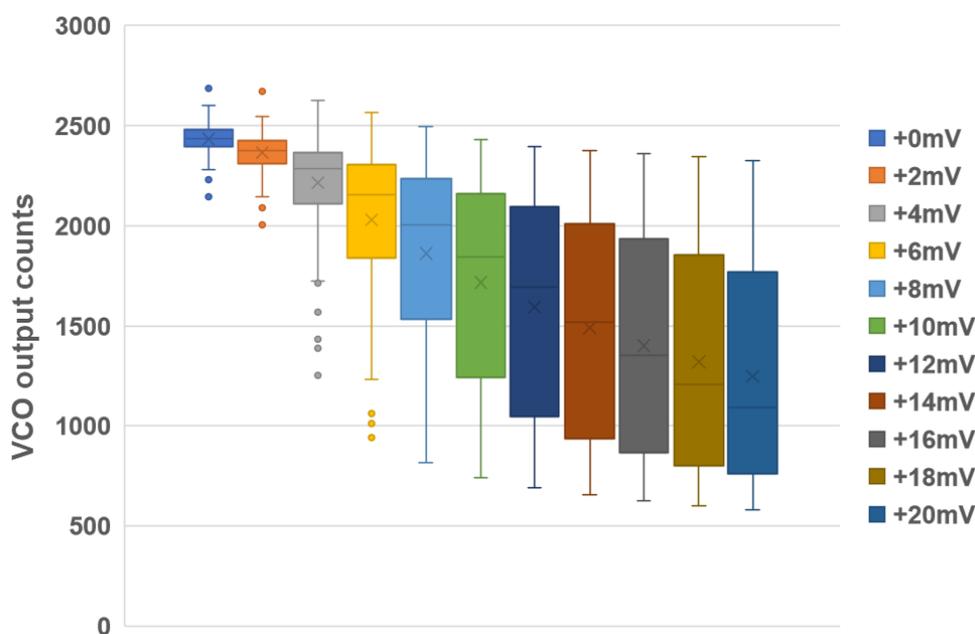


図 5.25 各パルス強度における画素出力値の分布

5.4 試作イメージセンサのばらつき

際に試作したテラヘルツイメージセンサについて、そのばらつき特性(オフセットばらつきと利得ばらつきの関係性)が同様の傾向をもつことを示した。5.5 節では、本節で得た 256 個の画素特性に関するデータを用いて、後処理によるばらつき補正可能性について検討する。

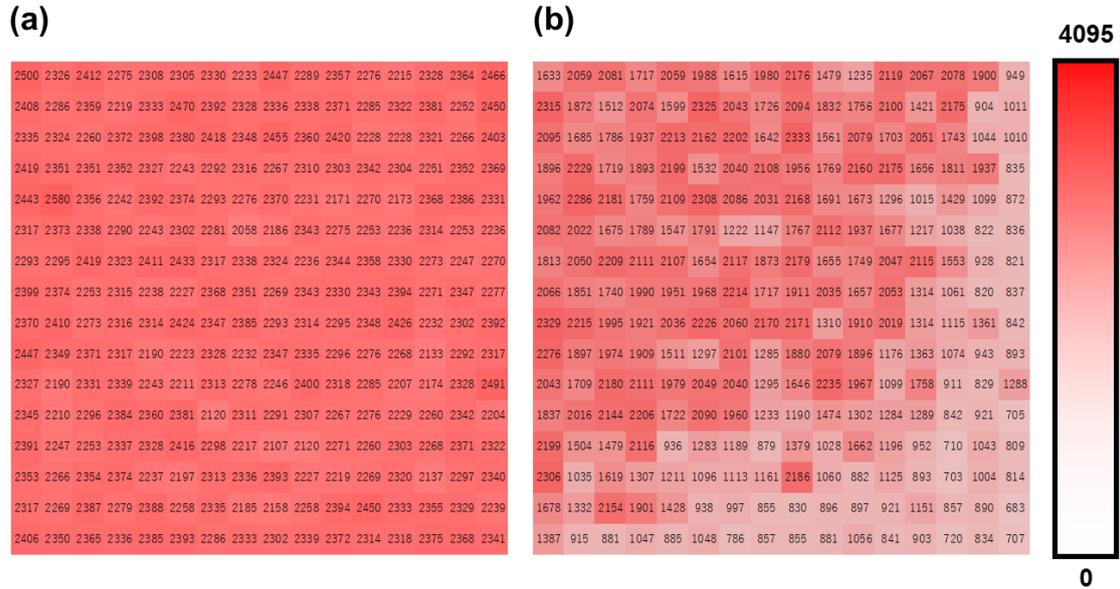


図 5.26 パルス入力による疑似的な撮像結果

(a) パルス強度 0 (THz OFF) 状態 (b) パルス強度 $10\text{mV}_{\text{p-p}}$ (THz ON) 状態

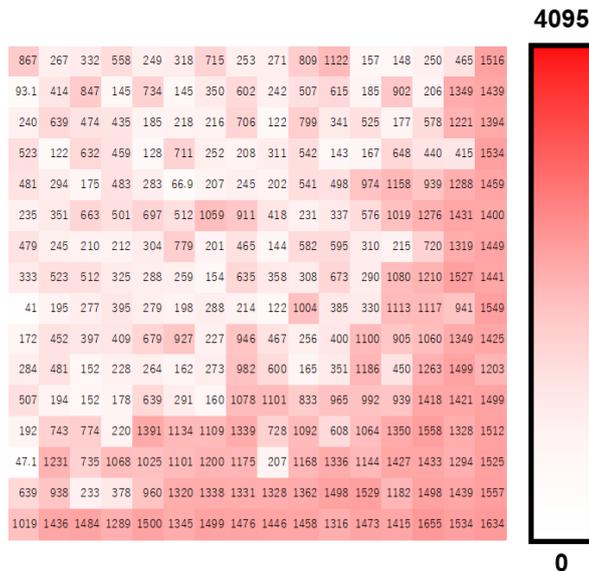


図 5.27 THz OFF 状態から THz ON 状態を差し引いた CDS 画像

5.5 後処理によるばらつき補正

5.3 節のシミュレーション解析結果と、5.4 節の試作テラヘルツイメージセンサの測定結果から、テラヘルツイメージセンサの各画素には、オフセットばらつきと利得ばらつきの両方が存在していることが分かった。5.3 節の末尾で述べた通り、各画素のばらつきを改善するためには、テラヘルツ波検出回路に含まれるサブスレッショルドオペアンプとカスコードアンプのばらつき影響を減らすことが必要である。しかし、新たな回路の設計とイメージセンサチップへの実装・集積は、最短でも半年から1年を要する作業であるため、測定結果から得られた知見を即座にフィードバックし反映することは難しい。本節では、5.4 節で測定したサブイメージセンサ領域の画素 256 個について、そのオフセットばらつきと利得ばらつきを、後処理によって補正する方法について検討する。これは、既に試作されたテラヘルツイメージセンサの画素ばらつきを、その特性の解析結果を用いて補正しようというアプローチである。本節で述べる後処理とは、テラヘルツイメージセンサの出力値を FPGA や PC に取り込み演算処理を行うことで、オフセットばらつきと利得ばらつきの両方を抑制するものである。以降では、測定された画素値をはじめとする数値を ${}^n\text{Data}(i)$ の形式で表記する。添え字の n は、その値が式(5.5.n)における計算結果であることを表す。また、 i は入力したパルス強度である。例えば ${}^2\text{Data}(8)$ は、式(5.5.2)における計算結果のうち、入力したパルス強度が 8mV の点を表す。初めに、5.4 節でも述べた測定対象と測定方法について簡単に述べる。本節で用いる測定結果は、5.4 節の図 5.21 に用いた値と同一の値である。測定対象は、試作したテラヘルツイメージセンサを構成する、 16×16 ピクセルのサブイメージセンサ領域である(図 5.23)。測定対象の画素(テラヘルツ波検出器と電圧制御発振器型 A/D 変換器のペアをさす)に対して、テラヘルツ波検出器のアンテナバイアス端子 Idet から、疑似的なテラヘルツ波入力として、2mV 刻みで 0~20mV_{p-p} の強度を持つパルス波を入力した。 Idet 端子はパルス入力期間を含めて、常に 0.5V でバイアスされており、パルス入力時にはその電圧値が 0.5~0.52V になる。測定は、各画素・各パルス入力強度においてそれぞれ 100 回ずつ行い、その際のイメージセンサ出力値(A/D 変換器出力値)の平均を測定値とした。このときの、各画素の入出力特性を、図 5.28 に示す。図には、パルス強度を入力とし画素出力値を出力とした、256 画素の入出力特性が示されている。この図は 5.4 節で示した図 5.25 のプロット方法を、箱ひげ図による度数分布から、系列(画素)ごとの折れ線に変更したものである。系列数が 256 と多いため、測定点間を折れ線で結ぶことでグラフの視認性を高めている(折れ線が測定点間の入出力特性を補間している訳ではない)。パルス強度が 0mV である点は、各画素におけるオフセット値を示しており、この点が画素によってばらついていることから、各画素にはオフセットばらつきが存在していることが分かる。また、パルス強度が増大するにしたがって画素出

力値は低下していくが、その低下の仕方(傾き)が画素によってばらついていることから、各画素には利得ばらつきが存在していることが分かる。特に利得ばらつきに注目すると、一部の画素はパルス強度 8mV 程度で画素値が飽和しつつある一方で、一部の画素はパルス強度 20mV においても画素値がほとんど変化していない。各画素の入出力特性において、CDS を行った結果を図 5.29 に示す。また、この演算内容を式(5.5.1)に示す。

$${}^1Data(i) = Data(0) - Data(i) \quad (5.5.1)$$

ここで、CDS 演算は各画素のパルス強度 0mV における画素値をオフセットばらつきとみなし、パルス強度 2~20mV の点における画素値とこれの差分をとることで行った。

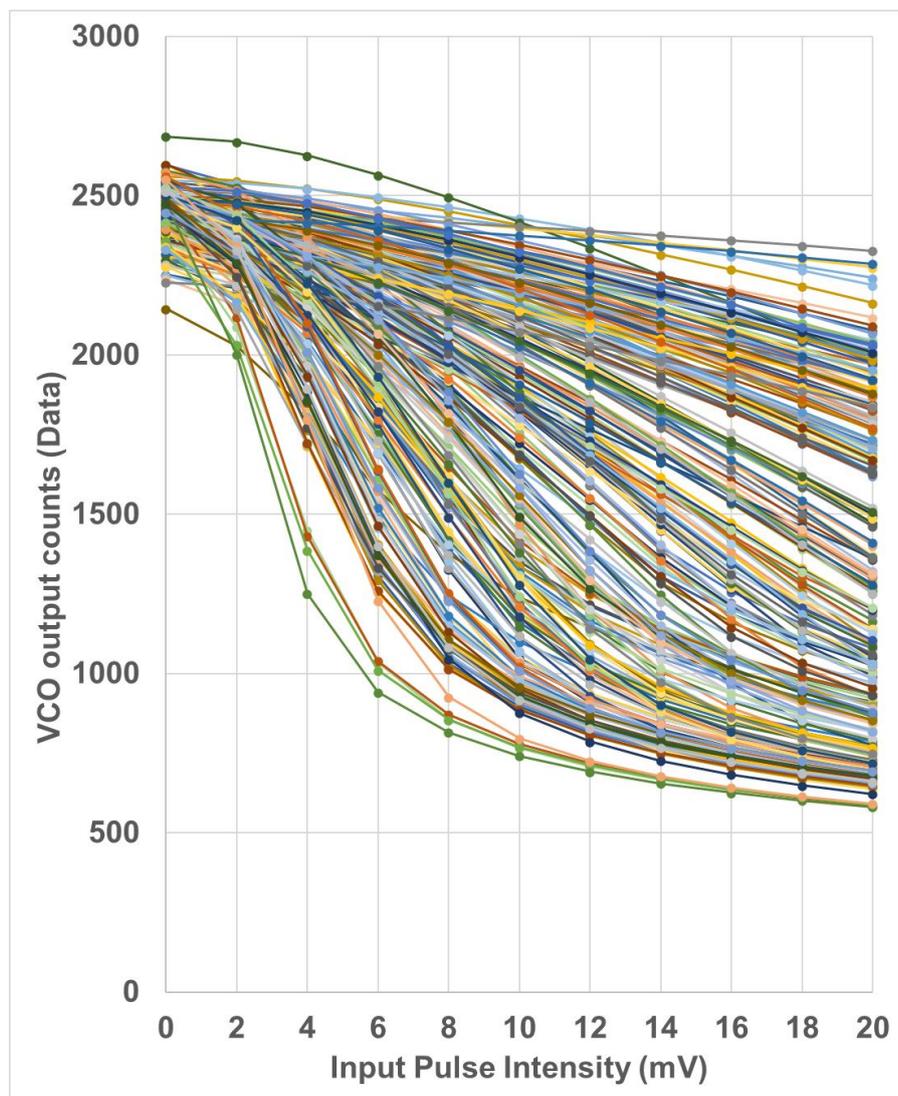


図 5.28 各画素の入出力特性

5.5 後処理によるばらつき補正

また、差分の値を正とするために、パルス強度 0mV における画素値から、パルス強度 2~20mV における画素値を引いている。ここでいう CDS は広義的な CDS であり、時間相関のある熱雑音等まで考慮した True CDS とは異なる単なるオフセット補正である。この結果からも、CDS によるオフセットばらつきの除去のみでは、各画素の特性が一致しないことは明らかである。また、この図では CDS により各系列の原点が揃うことで、利得ばらつきがより可視化されている。次に、すべての測定点のうち、画素値が飽和傾向を示している点(図 5.29 において縦軸の値が 750 以上となっている点)を取り除く。この演算内容を式(5.5.2)に示す。

$${}^2Data(i) = \begin{cases} {}^1Data(i), & {}^1Data(i) \leq 750 \\ \text{"N/A"}, & {}^1Data(i) > 750 \end{cases} \quad (5.5.2)$$

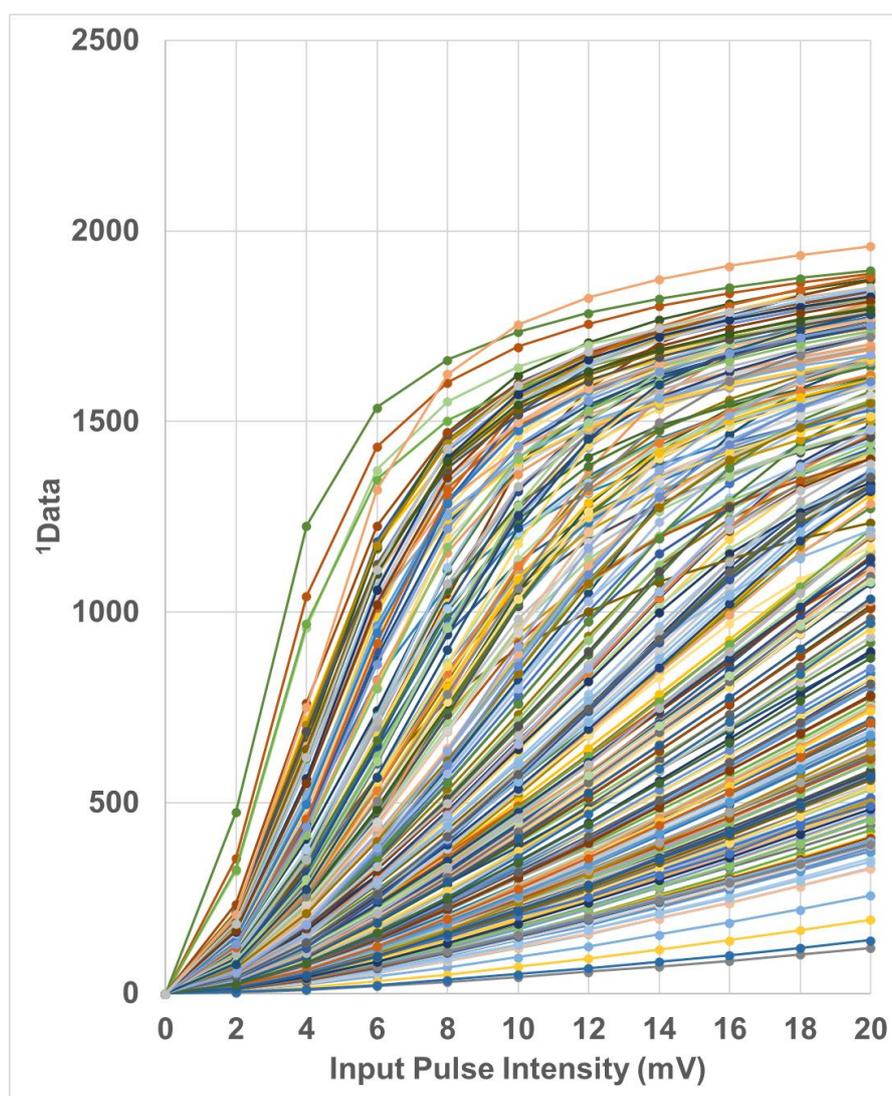


図 5.29 オフセット補正(CDS)を行った場合の画素入出力特性

5.4 節でも述べた通り、テラヘルツ波検出回路におけるテラヘルツ波入射時の回路動作は、パルス強度に換算して 2mV 未満の領域で行われていることが推測できる。そのため、図 5.29 のパルス強度 2mV における系列の最大値(約 500)に対して、1.5 倍の値である 750 を画素値飽和の閾値とした。また、パルス強度 2mV における各系列の測定値は、テラヘルツ波検出回路の微弱な入力に対する利得を表しており、それ以上のパルス強度における利得もまたこの測定点の値に相関があると考えられる。そこで、式(5.5.2)の操作に加えて、すべての系列の測定値について系列自身のパルス強度 2mV における画素値を用いて正規化した。この結果を図 5.30 に示すとともに、この演算内容を式(5.5.3)に示す。

$${}^3Data(i) = \frac{{}^2Data(i)}{{}^2Data(2)} \quad (5.5.3)$$

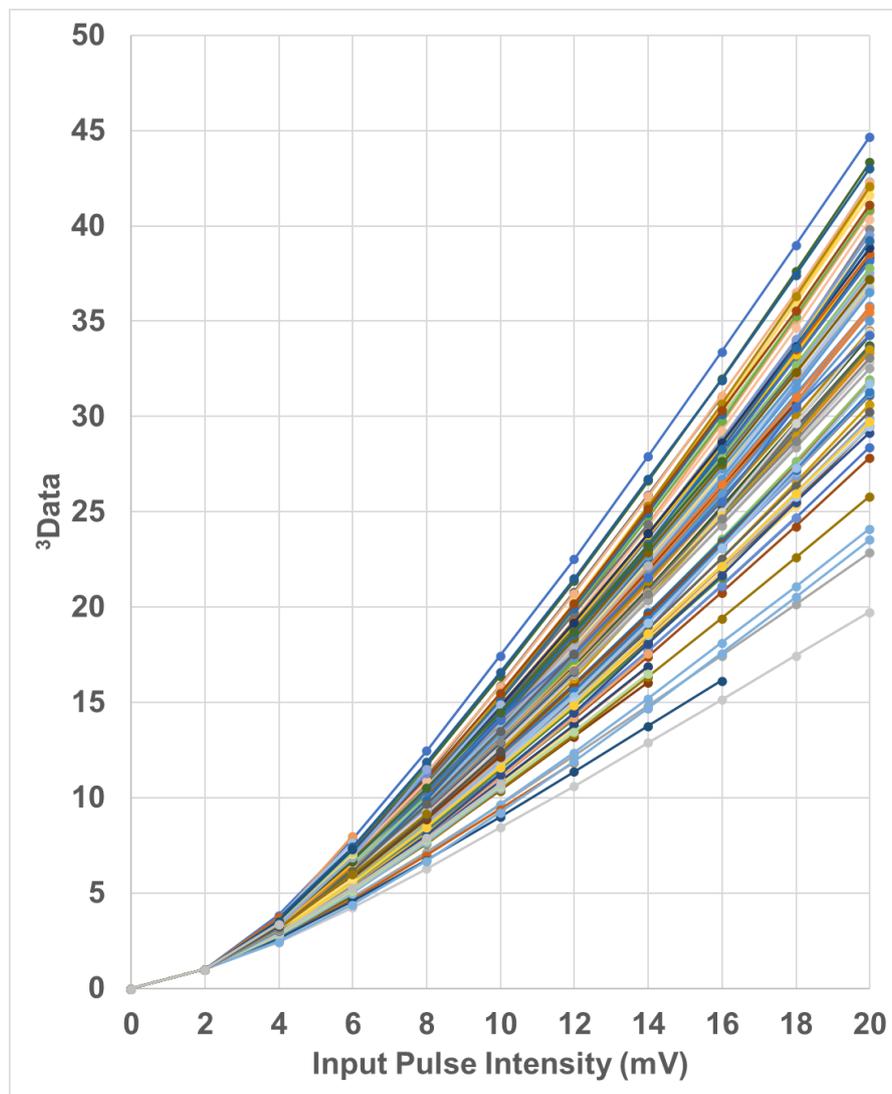


図 5.30 パルス強度 2mV における正規化後の画素入出力特性

5.5 後処理によるばらつき補正

図 5.29 に示した CDS 直後における画素の入出力特性と比較して、式(5.5.3)によって計算された画素の入出力特性は、利得のばらつきが少なくなっていることが分かる。しかし、図 5.30 からは、パルス強度の増加に伴って、画素の入出力特性に開きが生じることも分かる。最後に、パルス強度 2~20 mV における画素の入出力特性のフィッティングを行う。この結果を図 5.31 に示すとともに、この演算内容を式(5.5.4)に示す。ただし、式中の ${}^3i_{MAX}$ は各系列において ${}^3Data(i)$ が最大となるようなパルス強度 i であり、 ${}^3Data_{MAX}$ はそのときの最大値である。

$${}^4Data(i) = \frac{{}^3Data(i)}{{}^3Data_{MAX}} \times ({}^3i_{MAX})^{1.3 \sim 1.5} \quad (5.5.4)$$

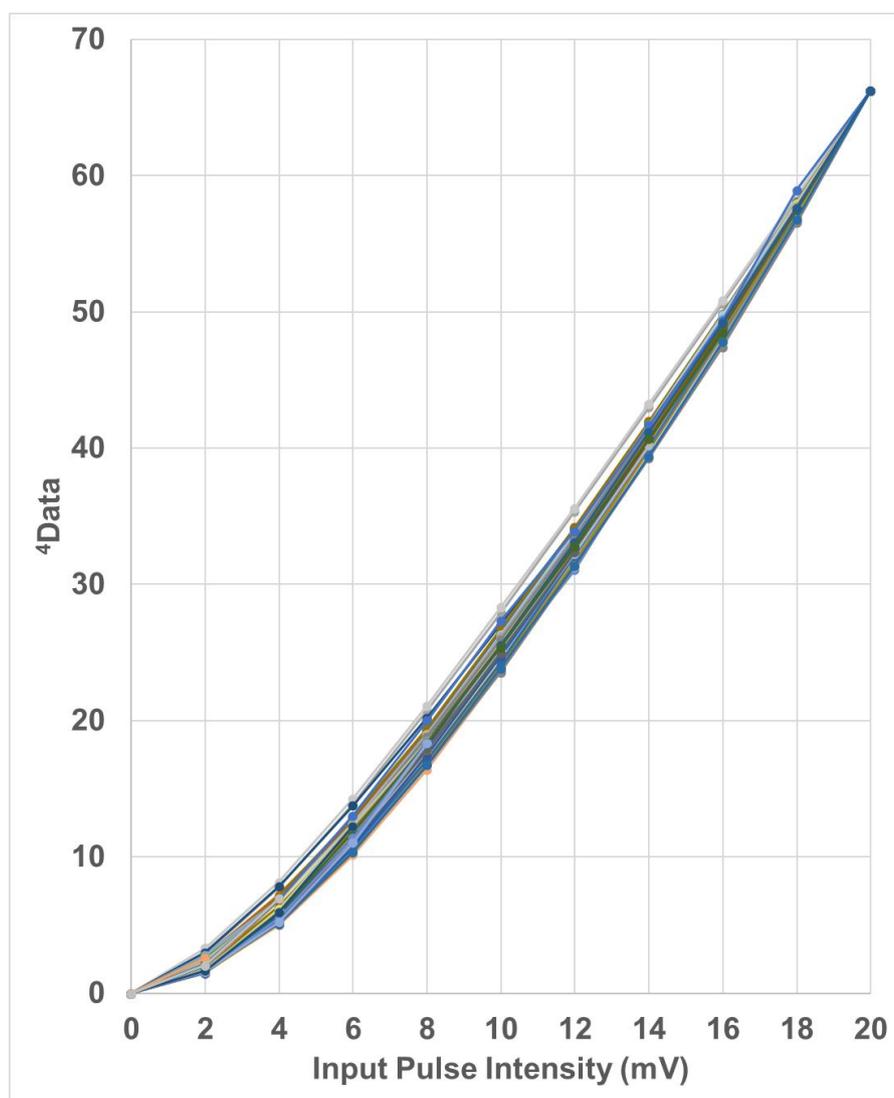


図 5.31 すべての計算を適用し補正を行った場合の画素入出力特性

ここで、 ${}^2\text{Data}$ と ${}^3\text{Data}$ は単調増加であるため、 ${}^3\text{Data}$ に最大を与える i の値は、 ${}^2\text{Data}$ にも最大を与える。また、この最大を与える i を探索する必要はなく、 ${}^2\text{Data}$ の各系列において、定義される最大の i が ${}^2\text{Data}$ の最大を与える。画素の入出力特性フィッティングに用いた式(5.5.4)は、より高度なフィッティングによって精度が改善される可能性がある。しかし、本節ではあくまで FPGA や PC を用いた後処理による、テラヘルツイメージセンサのばらつき補正が目的である。後処理を行う際、複雑な演算や最大値・最小値・中央値といった特定値の探索は、演算コストが高く計算リソースの過剰な消費や計算時間の増大による処理遅延を招く可能性がある。試作したテラヘルツイメージセンサは最大 400fps で動作することが分かっているが、これは通常の可視光 CMOS イメージセンサによる動画撮像と比較して大幅に高速である。本節で提案する後処理によるばらつき補正では、400fps でイメージセンサから提供される出力値すべてに対して、式(5.5.1)から式(5.5.4)のすべてを適用する必要があるため、各演算は簡素であることが望ましい。そのため、前述の理由から探索なしに求めることができる ${}^3i_{\text{MAX}}$ と ${}^3\text{Data}_{\text{MAX}}$ の値を用い、簡素な式によって画素特性のフィッティングを行っている。式(5.5.1)により CDS 処理のみを行った結果(図 5.29)と、これに式(5.5.2)から式(5.5.4)を適用した結果(図 5.31)を比較すると、パルス強度 2 mV における変動係数は 1.004 mV から 0.1438 mV まで 85.7%抑制されている。変動係数とは、ある値の標準偏差を平均値で割った数値であり、異なる尺度の数値分布を比較する場合に用いる指数である。この結果から、提案した演算手法によって、後処理での利得ばらつき抑制が可能であることが示された。

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

ここまで第 5 章では、試作テラヘルツイメージセンサの測定と、その後処理による画素ばらつき抑制について述べた。本節では次回の試作機会に向けて、テラヘルツ波検出回路の改良を行うことにより、テラヘルツイメージセンサの画素ばらつきを抑制する方法について述べる。5.4 節のシミュレーション解析結果からも、テラヘルツイメージセンサの画素ばらつきは、画素回路(テラヘルツ波検出回路)に用いられている MOSFET の製造ばらつきによって発生していることが分かる。特に、製造に伴う MOSFET の閾値電圧ばらつきは、3.1 節で述べた検波回路の出力値にも大きく関わるものである。SOI(Silicon On Insulator)集積技術を用いることで MOSFET の製造ばらつき(特に閾値電圧ばらつき)を抑制する手法が提案されている^[9]。しかし、本研究で扱うテラヘルツイメージセンサは、デバイスコスト抑制のために標準的な Si CMOS プロセスで集積することを前提としているため、このようなアプローチを行うことはできない。半導体集積ファウンダリから提供される標準プロセスを用いる以上、その製造に伴うばらつきは織り込み済みの要素として設計を行う必要がある。そこで、本研究では次期テラヘルツイメージセンサ試作に向けて、テラヘルツ波検出回路の特性ばらつきを抑制するための方

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

法について述べる。5.4 節のシミュレーション解析結果から、テラヘルツ波検出回路のうち、カスコードアンプのばらつきが画素の利得ばらつきに影響し、サブスレッショルドオペアンプのばらつきが画素のオフセットばらつきに影響することが分かっている。テラヘルツ波検出回路に用いられているすべての MOSFET の閾値電圧ばらつきを補正することができれば、これらの画素ばらつきも大幅に抑制されることが期待できる。しかし、5.4 節の結果から、それぞれの MOSFET によって画素回路ばらつきへの影響度が上下することが分かっており、すべての MOSFET に対して何らかの閾値電圧ばらつき補正機構を設けるのは回路面積的にも非効率である。そこで、カスコードアンプとサブスレッショルドオペアンプそれぞれから MOSFET を選定し、それらを閾値電圧ばらつき補正の対象とした。図 5.32 にテラヘルツ波検出回路と各 MOSFET の名称についての関係性を示す。カスコードアンプからは利得ばらつきへの影響がおおきい入力段の MOSFET (M9) を補正の対象とし、サブスレッショルドオペアンプからはオフセットばらつきに対して一定の影響をもつテール電流源 MOSFET (M5) を補正の対象とした。特に後者については、M5 以外の差動対 M4/M8 や負荷対 M3/M7 も同程度のオフセットばらつき影響を有しているが、この中で M5 のみ対を持たない単一の回路要素であるため、補正の対象とした。例えば、差動対 M4/M8 のばらつき影響が他の要素と比較して圧倒的に大きいのであればそれを補正の対象とすべきであるが、他の要素と同程度のばらつき影響を有しているのであれば、より小規模な回路追加で済む単一の MOSFET を補正対象とするのが適切であると考えられる(単純に考えて MOSFET 対を補正するための回路は、単一の MOSFET を補正するための回路の 2 倍の回路要素を必要とするため)。

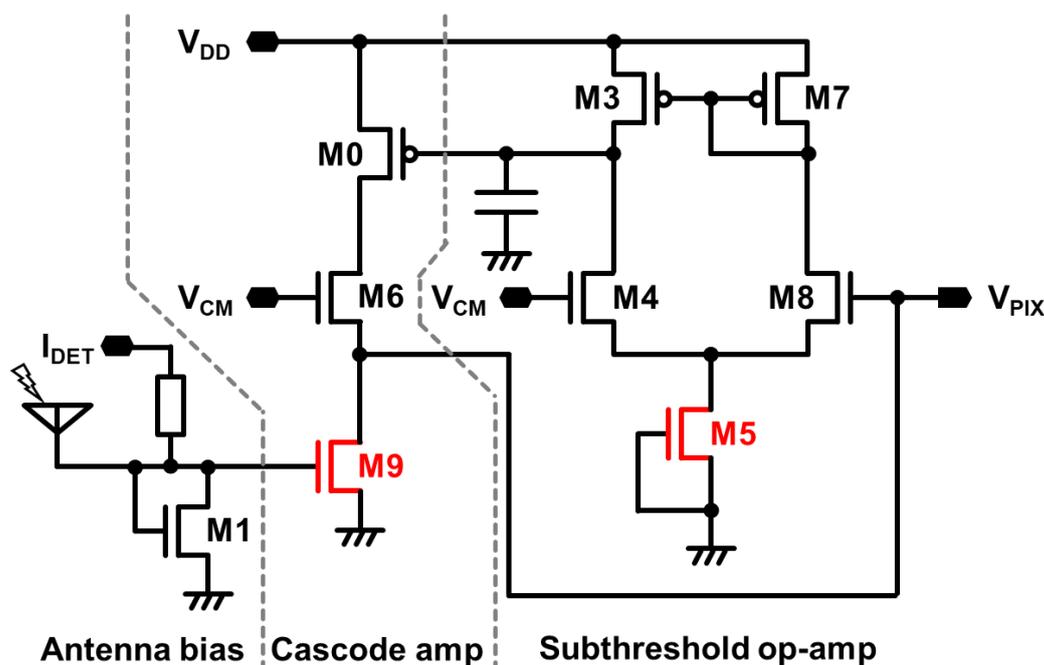


図 5.32 テラヘルツ波検出回路に含まれる MOSFET の名称

め)。これらの MOSFET の閾値電圧ばらつきを補正する方法はいくつか挙げることができる。カスコードアンプ入力段 MOSFET(M9)であれば、これは常時アンテナバイアスによってバイアスされたうえで動作を行っているため、アンテナバイアスに閾値電圧の変動分を加味することで閾値電圧のばらつき影響を相殺することが可能である。また、サブスレッショルドオペアンプのテール電流源 MOSFET(M5)であれば、これも接地電位によってバイアスされたうえで動作を行っているため、このバイアス電位を接地電位から閾値電圧ばらつきを加味した電位に変更することでその影響を相殺することができる。閾値電圧ばらつきは製造に伴うばらつきであり、半導体の動作課程では変化しないことから、このような単純な補正方法も有効である。しかし、テラヘルツ波検出回路は単一で用いるわけではなく、テラヘルツイメージセンサの画素回路として数百から千個程度を並列に動作させる必要がある。各画素回路のばらつきは実際に集積して測定するまで分からないため、すべての画素回路に対して補正のためのアナログバイアス線を用意する必要が生じてしまう。しかし、4.4 節でも述べた通り、集積した半導体チップに対して信号を入出力するためのボンディングパッドは数百個程度であるから、このような配線を実際に設けることは不可能である。そのため、チップ外部から与える信号やバイアス線数を削減したうえで、すべての画素回路(千個程度)に対して有効な閾値電圧ばらつきの補正を行う必要がある。集積半導体チップのばらつきには、チップ内での MOSFET 間のわずかなドーピング密度ばらつきなどに起因するチップ内ばらつき(OCV: On-Chip Variation)と、チップ間での Si 基板の特性差(使用した Si ウエハ上の領域によって特性が異なる)などに起因するチップ間ばらつき(D2D: Die-to-Die Variation)が存在する。これらの関係を図 5.33 に示す。Si ウエハはシリコンの単結晶インゴットを薄く切り出すことで製造される。大元となるインゴットを完全に均質にすることは不可能なため、切り出された Si ウエハ上にも特性のむらが存在する(図 5.33(a))。また、半導体集積チップは、この Si ウエハ上に任意の回路を集積したものを正方形や長方形に分割することで得られるため、Si ウエハの領域によってチップの特性が異な

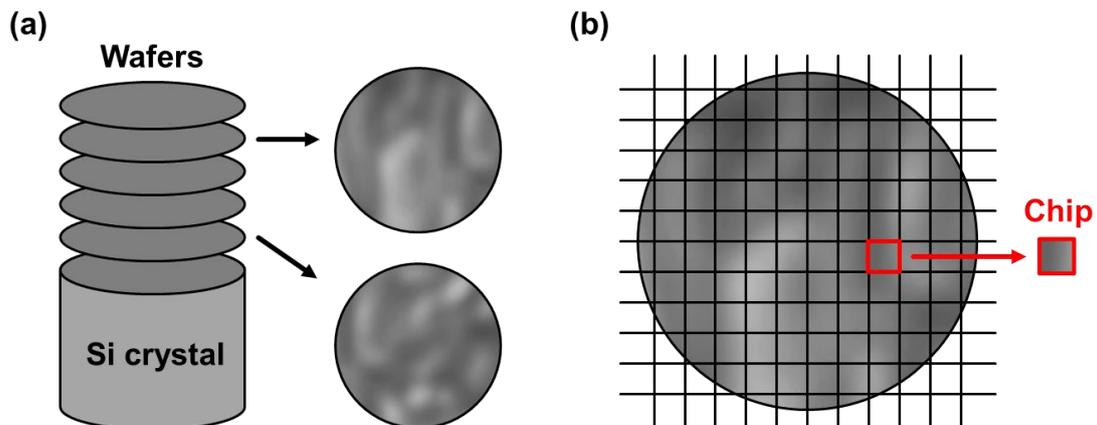


図 5.33 (a)Si ウエハの特性むらのイメージと (b)ウエハとチップの関係性

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

る(図 5.33(b))。Si ウエハはより小さな領域に切り分けられることで、その領域内での特性の分散は抑制されるが、一方でその分散の中心にオフセットが生じる。このようなチップの集積領域による特性のばらつきがチップ間ばらつきの要因である。また、チップ内ばらつきは、このチップ内に残存する特性の分散の他に、集積に用いるマスクの加工精度や、確率的に生じるドーピング密度・ゲート幅・ゲート長といったデバイスパラメータのばらつきに影響を受ける。イメージセンサ用途として考えた際、優先して解決すべきはチップ内ばらつきである。5.4 節で述べたように、チップ内部における画素特性のばらつきは、そのまま撮像結果に雑音として表れてしまう。より正確で低雑音な撮像を行うためにも、各画素の特性をそろえることが最重要課題である。また、チップ間ばらつきについても可能な限り抑制することが望ましいものの、個々の撮像結果の品質(少なくとも人間が認知できるレベル)には大きく影響しない。しかし、チップ間ばらつきは例えば「イメージセンサチップ A で撮像した結果はいつもイメージセンサチップ B で撮像した結果より暗い」というような、複数の試作物を比較した際にはそれぞれの単純な性能比較が困難になってしまう。研究用途であれば、試作したイメージセンサチップ 100 個程度(参考までに半導体集積における最小ロットは 100 チップ程度である)の中から、最も低雑音で高感度なものを測定すればよい。しかし、研究目的ではなく実用を目的に半導体チップの製造を行うのであれば、集積したチップの多くが同程度の性能で動作する必要がある。これは半導体チップの歩留まりにも関わる内容であり、過度の選別を要求するような半導体チップは非常に高価な製品となる。本研究の目的は、テラヘルツイメージセンサの実用化に向けた、安価なテラヘルツイメージセンサの開発であるため、このようなチップ間ばらつきの抑制も必要な要素である。2 つの MOSFET M5 と M9 の閾値電圧ばらつき補正機構を内蔵した、新たなテラヘルツ波検出回路の回路図を図 5.34 に示す。この回路は図 5.32 に示した従来型のテラヘルツ波検出器に対して、MOSFET M5 と M9 の閾値電圧ばらつきを補正する機構を付加したものである。図中において、新たに追加された要素は赤色で示されている。具体的には、4 つのスイッチ・2 つのキャパシタが追加されている。また、従来型の回路では I_{det} と V_{CM} といった 2 つの端子が外部からのアナログバイアス配線であったが、図 5.34 の補正機構付き回路では I_{det} に相当する V_{C2} 、 V_{CM} に相当する V_{C0} と V_{C1} 、また、新たに V_{C3} の計 4 つの端子が外部からのアナログバイアス配線となっている。この回路の動作原理を理解するために、簡素化した閾値電圧ばらつき補正機構を図 5.35 に示す。図 5.35(a)は、抵抗値が無限大の抵抗と、ダイオード接続された MOSFET が、直列に接続されている様子を示している。このとき、抵抗の抵抗値が非常に大きいことから、抵抗に流れる電流 I_R はごく僅かな値となる。また、ダイオード接続された MOSFET は、その閾値電圧 V_{th} を閾値とするダイオードとして振る舞う。ここで、ダイオード接続された MOSFET のドレイン・ソース間には、抵抗で制限されたわずかな電流が流れる。このとき、ダイオード接

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

続された MOSFET の電流・電圧特性から、MOSFET のゲート端子とドレイン端子はその閾値電圧 V_{th} 付近でバイアスされる。ここで、このバイアス電位は MOSFET の設計上の閾値電圧ではなく、実際の閾値電圧を元に生成される。つまり、この回路において MOSFET の閾値電圧がばらついていても、電流 I_R によってバイアス電圧は決定される。例えばこの回路が複数個存在する場合、それぞれの MOSFET はそれぞれの閾値電圧付近においてバイアスされる。このような回路構成をとることで、多数の MOSFET に対して、同時にそれぞれの閾値電圧を生成することが可能である。この後に、ダイオード接続を解除する(ゲート端子とドレイン端子を切り離す)ことで、各 MOSFET のゲート端子に、それぞれの MOSFET がもつ実際の閾値電圧がバイアスされた状態を生み出すことができる。実際のテラヘルツ波検出回路では、この回路を図 5.35(b)のような形式で実装している。大抵抗はゲート端子を接地電位にバイアスした

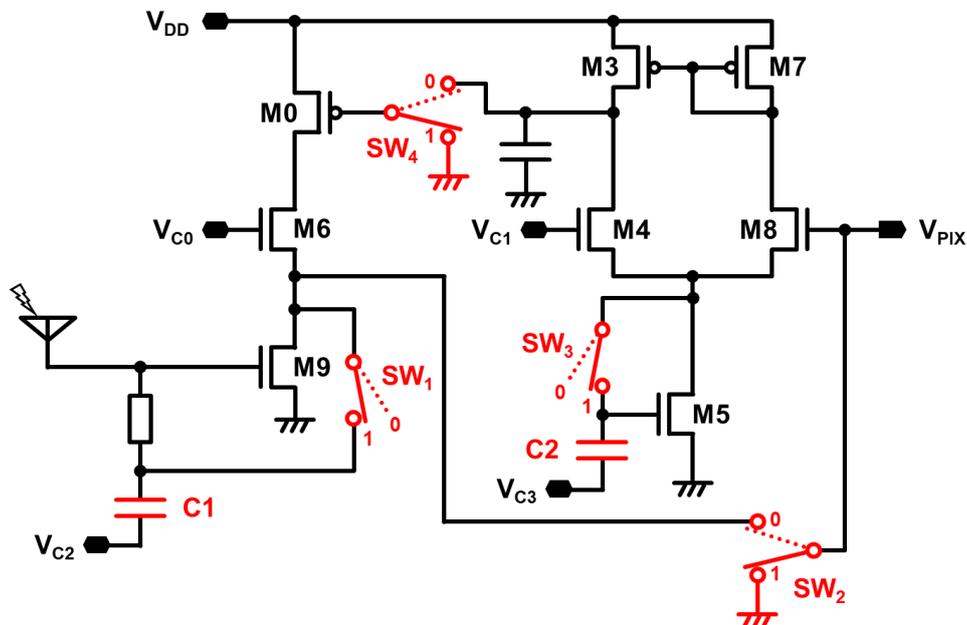


図 5.34 閾値電圧ばらつきの補正機構を有したテラヘルツ波検出回路

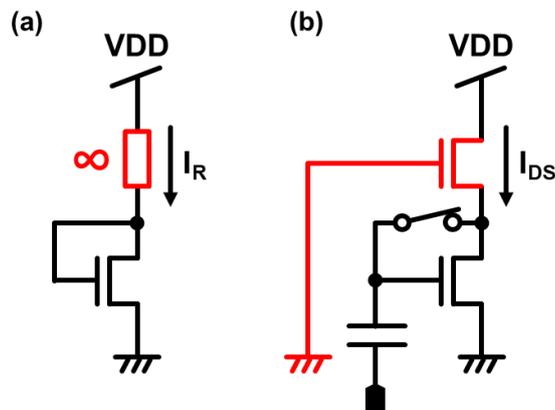


図 5.35 (a)補正機構の原型と(b)実回路における実装方法

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

n-チャネル MOSFET とし、そのリーク電流 I_{DS} によって閾値電圧補正対象の MOSFET の動作点を設定する。また、閾値電圧補正対象の MOSFET には、ゲート端子にキャパシタを設けることで、生成されたバイアス電位の長期間保持を可能にするとともに、ゲート端子とドレイン端子の接続状況を任意に切り替えられるスイッチを追加した。図 5.34 の回路中では、閾値電圧補正対象の MOSFET のゲート端子とドレイン端子を接続するためのスイッチが SW_1 と SW_3 であり、各ゲート端子に生成されたバイアス電圧を保持するためのキャパシタが C1 と C2 である。 SW_2 と SW_4 は、カスコードアンプとサブスレッショルドオペアンプを接続・切断するためのスイッチである。また、図 5.34 ではすべてのスイッチが制御論理 1 側に設定されているが、これは閾値電圧補正を行う際の接続状況を表しており、すべてのスイッチの制御論理を 0 側に設定した状態が、テラヘルツ波検出回路としての動作状態に対応している。この回路における、具体的な閾値電圧補正の手順を以下に示す。補正動作における各スイッチの動作波形を図 5.36 に示す。この波形では、初めにカスコードアンプ入力段の MOSFET(M9)の閾値電圧ばらつきを補正し、次にサブスレッショルドオペアンプのテール電流 MOSFET(M5)の閾値電圧ばらつきを補正している。補正動作では、初めに SW_2 と SW_4 により、カスコードアンプとサブスレッショルドオペアンプを切り離す。これによって、2つのアンプ間における負帰還ループが解消され、それぞれのアンプが独立して動作する状態になる。ここで、 SW_1 の論理を 1 とすることで、カスコードアンプの入力段である M9 のゲート端子とドレイン端子が接続される。また、図 5.35(b)に示したような、大抵抗の代わりとなる MOSFET は、カスコードアンプに内蔵されている MOSFET M6 を使用する。M6 のゲートバイアス端子である V_{C0} を接地電位にバイアスすることで、M9 に流れる電流をリーク電流レベルまで抑えることができる。そのため、M9 に対する閾値電圧ばらつ

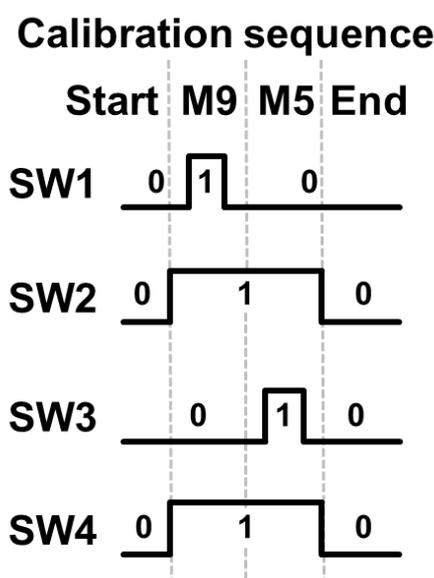


図 5.36 各スイッチの制御波形

き補正機構を実装するにあたって、大抵抗の代わりとなる MOSFET を追加する必要はない。これらの操作によって、先に述べた補正動作が行われ、M9 のゲート端子(およびドレイン端子)には M9 の閾値電圧付近の電圧がバイアスされる。最後に SW1 の論理を 0 とすることで、M9 のゲート端子とドレイン端子を切断する。このとき、ゲート端子のバイアス電圧はキャパシタ C1 によって一定時間保持される。次に、サブスレッショルドオペアンプのテール電流源である M5 の閾値電圧ばらつきを補正するために、SW3 の論理を 1 とする。また、図 5.35(b)に示したような、大抵抗の代わりとなる MOSFET は、サブスレッショルドオペアンプに内蔵されている MOSFET M4 と M8 を使用する。M4 のゲートバイアス端子である V_{C1} を接地電位にバイアスし、M8 のゲート端子を SW2 によって接地電位にバイアスすることで、M5 に流れる電流をリーク電流レベルまで抑えることができる。そのため、M5 に対する閾値電圧ばらつき補正機構を実装するにあたって、大抵抗の代わりとなる MOSFET を追加する必要はない。これらの操作によって、先に述べた補正動作が行われ、M5 のゲート端子(およびドレイン端子)には M5 の閾値電圧付近の電圧がバイアスされる。最後に SW3 の論理を 0 とすることで、M5 のゲート端子とドレイン端子を切断する。このとき、ゲート端子のバイアス電圧はキャパシタ C2 によって一定時間保持される。ここまでの補正動作によって、M5 と M9 のゲート端子はそれぞれの閾値電圧付近にバイアスされた状態となっている。ここで、これらのバイアス電圧は大抵抗の代用となる MOSFET のリーク電流によって決定されているため、各 MOSFET の厳密な閾値電圧ではない。しかし、複数の新型画素回路を用意して補正動作を行った場合、すべての M5 のゲート端子はそれぞれの閾値電圧から一定のオフセットを持った電圧でバイアスされており、すべての M9 のゲート端子もまたそれぞれの閾値電圧から一定のオフセットを持った電圧でバイアスされているはずである。これは、すべての M5 に流れるリーク電流がほぼ一定であり、すべての M9 に流れるリーク電流もまたほぼ一定であるから、リーク電流によって決定される各バイアス電圧と各閾値電圧の差は一定であると考えられるためである。M9 についてはカスコードアンプの入力段 MOSFET であるため、そのバイアス電位はより正確に閾値電圧付近であることが望ましい。リーク電流によって決まるバイアス電圧は、M9 の閾値電圧よりも低い可能性があるが、この問題は V_{C2} 端子に追加のオフセット電位を与えることで解決することができる。つまり、M9 の閾値電圧補正の後に、任意の電位分 V_{C2} ノードの電位を引き上げることで、M9 のゲートバイアス電圧を上昇させることが可能である。このとき、閾値電圧補正動作の結果は破棄されておらず、すべての M9 のゲート端子は補正動作による一定の閾値付近の電圧に、オフセット電位を追加した電位でバイアスされることとなる。この機構は M5 についても同様であり、 V_{C3} ノードの電位を引き上げることで、M5 の閾値電圧ばらつきを考慮した任意のバイアス電位を与えることが可能である。ここまでの動作によって、複数の画素回路内における M5 と

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

M9 は、各 MOSFET の閾値電圧ばらつきを考慮した任意の電位によってバイアスすることが可能となる。また、補正動作と追加のオフセット電位印加はすべての画素回路に対して同時かつ同一の制御線を用いて行うことが可能である。そのため、過剰な制御線の増加や、グローバルシャッタ動作を阻害する 1 画素ずつ選択して補正動作を行うことによる撮像間隔の増大といった問題は発生しない。閾値電圧ばらつきの補正を行い、追加のオフセット電位を印加したのち、SW2 と SW4 の論理を 0 とすることで、この画素回路は動作を開始する(ただし $V_{C0} \sim V_{C3}$ に対して適切な電位を設定する必要がある)。また、ここまでの説明では M5 と M9 の閾値電圧補正を別時刻に行ったが、補正期間中は 2 つのアンプが独立しているため、これらの補正動作は同時に並行して行うことが可能である。この新型画素回路について、半導体ファウンダリから提供されているコーナーケース(デバイスパラメータのベストケースとワーストケースを指す)モデルを用いてシミュレーション解析を行った。コーナーケースは、n-チャネル MOSFET と p-チャネル MOSFET それぞれについて、閾値電圧が最も低くなる Fast 条件と、閾値電圧が最も高くなる Slow 条件が与えられている。例えば n-チャネル MOSFET が Fast 条件で p-チャネル MOSFET が Slow 条件であるようなコーナーケースを、Fast/Slow 条件を省略して FS コーナーと呼ぶ。シミュレーション解析は、FF・FS・SF・SS の 4 コーナーすべてと、集積時の典型的なデバイスパラメータである TT(Typical/Typical)条件を加えた 5 条件について行った。各条件において、新型画素回路の出力値に注目して LHS 法によるモンテカルロサンプリングシミュレーションを行った(同シミュレーション解析についての詳細は 5.4.1 節を参照)。LHS 法のサンプリング数は $n=2000$ として解析を行った。この結果を図 5.37 に示す。図 5.37(a)は、各条件における新型の画素回路について閾値補正を行わなかった場合の画素回路出力値の分布を示している。また、図 5.37(b)は、各条件における新型の画素回路について先に述べた閾値補正を行った場合の画素回路出力値の分布を示している。閾値補正を行わなかった場合、画素ばらつきのワーストケースは SF コーナーであり、その平均値は 142.3 mV であるのに対して標準偏差は 11.67 mV と、その変動係数(標準偏差÷平均値)は 8.2 %である。同様に閾値補正を行わなかった場合、画素ばらつきのベストケースは TT 条件であり、その平均値は 221.4 mV であるのに対して標準偏差は 3.090 mV と、その変動係数は 1.4 %である。一方で閾値補正を行った場合、画素ばらつきのワーストケースは SS コーナーであり、その平均値は 148.4 mV であるのに対して標準偏差は 1.235 mV と、その変動係数(標準偏差÷平均値)は 0.83 %である。同様に閾値補正を行った場合、画素ばらつきのベストケースは FS コーナーであり、その平均値は 175.9 mV であるのに対して標準偏差は 1.040 mV と、その変動係数は 0.59 %である。また、閾値補正を行わなかった場合のワーストケースである SF コーナーについて、閾値補正の有無による変動係数の抑制率を計算すると、閾値補正を行った場合の変動係数は 0.85 %であったことから、その変動係数は

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

89.7%抑制されている。また、閾値補正を行わなかった場合のベストケースである TT 条件について、閾値補正の有無による変動係数の抑制率を計算すると、閾値補正を行った場合の変動係数は 0.70%であったことから、その変動係数は 50.1%抑制されている。この結果から、新型の画素回路における閾値補正機構は、画素出力値のばらつきを、5 条件すべてにおいて抑制することが分かる。次に、同様の 5 条件下において、新型画素回路の過渡応答についてのシミュレーション解析を行った。シミュレーション解析によって得られた新型画素回路の過渡応答波形を図 5.38 に示す。図 5.38(a)は閾値補正を行わなかった場合、図 5.38(b)はカスコードアンプの入力段 MOSFET(M9)のみの閾値補正を行った場合、また、図 5.38(c)はカスコードアンプの入力段 MOSFET(M9)とサブスレッショルドオペアンプのテール電流源 MOSFET(M5)両方の閾値補正を行った場合に新型画素回路から出力される過渡応答波形である。閾値補正を行わなかった場合、5 条件それぞれにおける画素回路の過渡応答波形は大きく異なっており、それらの特性が明らかに異なることが見て取れる。特にテラヘルツ波の入射により出力電圧が下がった際の収束値が大きく異なっており、このような収束値のばらつきは電圧制御発振器型

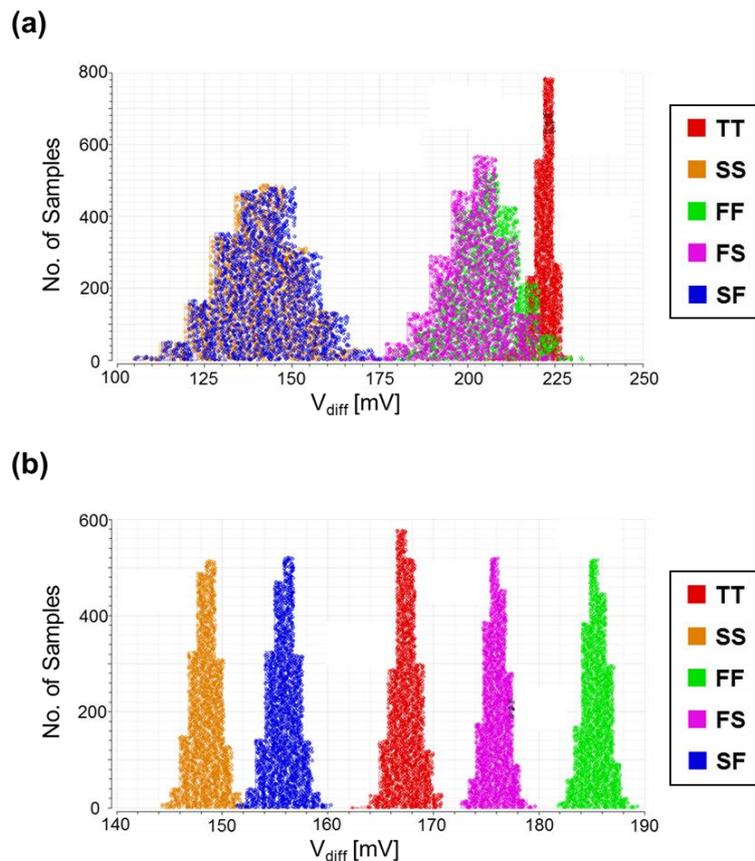


図 5.37 モンテカルロサンプリングシミュレーションによる画素出力値の解析結果

(a) 閾値補正を行わなかった場合の画素出力値分布

(b) 閾値補正を行った場合の画素出力値分布

5.6 テラヘルツ波検出回路の改良による画素ばらつき抑制

A/D 変換器のような連続時間型 A/D 変換器(VCO ADC)を後段に用いる場合に大きな影響をもたらす(VCO ADC は入力信号を積分するため・詳細は 4.3 節)。また、このような収束値のばらつきはテラヘルツ波が照射されていない区間についても発生しており、その結果 VCO ADC の出力値が各条件の間で大きく異なることは想像にたやすい。カスコードアンプの入力段 MOSFET(M9)について閾値補正を行った場合、テラヘルツ波の入射により出力電圧が下がった際の収束値が安定していることが分かる。テラヘルツ波の入射前と入射中については、各条件における過渡応答波形がおよそ一致しており、それらの特性がより近いものとなっていることが分かる。ただし、テラヘルツ波が入射した後の収束値が条件によってばらついている。このようにテラヘルツ波が入射していない状態において収束値が異なっている場合、これらのイメージセンサはテラヘルツ波の入射強度が弱いほど未入射時の特性が支配的になり、それらの特性がばらつく可能性がある。最後にカスコードアンプの入力段 MOSFET(M9)とサブスレッショルドオペアンプのテール電流源 MOSFET(M5)の両方について閾値補正を行った場合、テラヘルツ

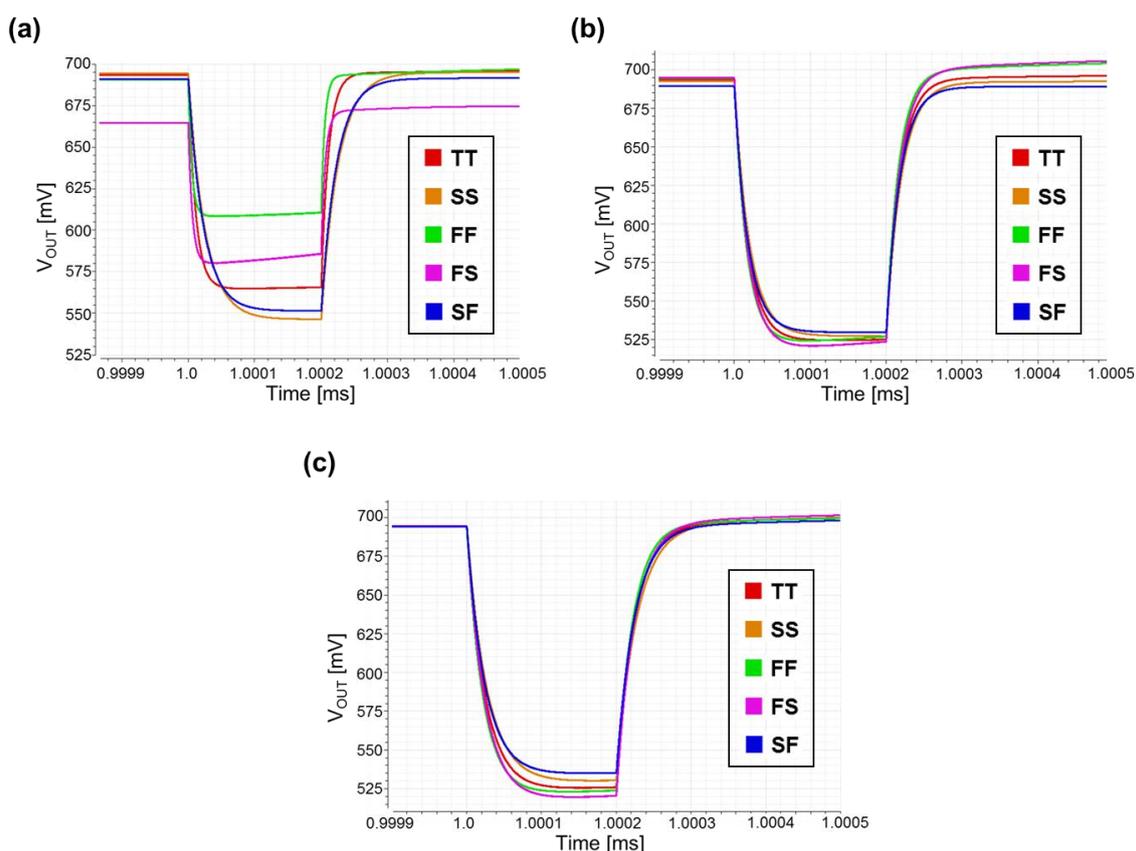


図 5.38 新型画素回路の過渡応答波形

(a) 閾値補正を行わなかった場合

(b) カスコードアンプの入力段 MOSFET(M5)の閾値補正を行った場合

(c) M5 に加えてテール電流源 MOSFET(M9)の閾値補正を行った場合

波が入射していない状態の収束値のばらつき(オフセットばらつき)が効果的に抑制されており、テラヘルツ波が入射した際の過渡応答波形もおおむね同様の特性を示していることが分かる。テラヘルツ波入射時の収束値にはわずかなばらつきが存在しているが、これはすべての画素回路において同様のわずかなずれ(=最大応答時のオフセット)として表れるものである。このようなばらつきは過渡応答波形の振れ幅が一定量変動するだけであるため、後段での処理によって容易に取り除くことができる(画素の出力レンジが変動するため、それぞれの最大出力値を1として正規化すれば5条件下におけるイメージセンサの特性はほとんど一致するものと考えられる)。よって、モンテカルロサンプリングシミュレーションによる解析結果と過渡応答シミュレーションの結果から、提案した新型の画素回路は画素ばらつきの抑制に効果的であることが分かった。また、過渡応答シミュレーションの結果から、4つのコーナーケースとTT条件において、提案した画素回路の過渡応答特性がよく一致することが分かった。この結果から、新型画素回路を用いてテラヘルツイメージセンサを量産した際に、複数個体のテラヘルツイメージセンサチップ間において、それらの特性がより一致する可能性が高く、テラヘルツイメージセンサの実用に向けて、その半導体チップの歩留まり向上への見通しを得ることができた。

5.7 ピクセルシフトによる超解像テラヘルツイメージング

本節では5.1節で述べたピクセルシフトによる超解像撮像技術をもとに、実際にテラヘルツイメージセンサ・テラヘルツ波源・リニアステージを用いた超解像撮像を行った結果について述べる。図5.39に、撮像実験に用いたイメージセンサ測定用ボードとリニアステージの写真を示す。図のテラヘルツイメージセンサボードは、図4.9に示したものと同一の試作物である。また、リニアステージは piezo素子によって電気的に駆動することが可能であり、上下方向および左右方向にそれぞれ $200\mu\text{m}$ の可動域をもつ。この可動域は、試作したテラヘルツイメージセンサの画素ピッチと同程度であるため、

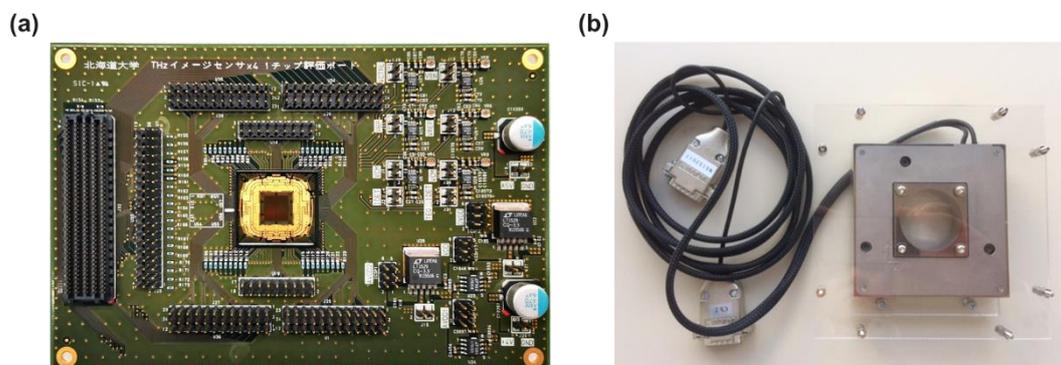


図 5.39 (a)テラヘルツイメージセンサ測定用ボードと(b) piezo・リニアステージ

5.7 ピクセルシフトによる超解像テラヘルツイメージング

ピクセルシフトによって画素間の空間解像度を高めるのに適している。また、ピエゾ素子によるリニアステージは応答性に優れており、制御信号の投入から数 ms のうちに任意の座標まで駆動することができる。ピクセルシフトによる超解像撮像では、撮像位置によって撮像時刻が異なるため、動体の撮像には向かない。しかし、ピエゾ素子によるリニアステージのような高速に動作するリニアステージを用いることで、撮像インターバルの短縮と、ある程度の動体撮像可能性を確保することが可能になる。撮像対象が完全に静止している場合であれば、必ずしも高速なリニアステージは必要なく、例えばステッピングモーターによって駆動されるような製品を用いることも可能である(動作速度を落とすかわりに、リニアステージにかかる費用が低減される)。図 5.40 に撮像に用いた光学系と測定環境を示す。テラヘルツ波源には is-TPG を使用し、200Hz で OOK(ON-OFF Keying)変調された 0.86THz のテラヘルツ波が、テラヘルツイメージセンサに照射される。撮像は 5ms(OOK 変調の 1 周期に相当)毎に行い、都度リニアステージによってテラヘルツイメージセンサの空間位置をずらしながらピクセルシフト超解像撮像を行った。3.2 節で述べた通り、テラヘルツイメージセンサの画素ピッチは $215\mu\text{m}$ であるが、これに対して縦横にそれぞれ 5 倍の超解像を行うため、 $215\mu\text{m} \div 5 = 43\mu\text{m}$ ずつ縦横方向にピクセルシフトを行った。最終的な撮像結果を得るためには、縦横にそれぞれ 5 回のピクセルシフトを行う必要があるため、合計 25 回の撮像を行った。1 回の撮像に要する時間は OOK 変調周期に律速された 5ms であるため、25 回の撮像には 25 倍の 125ms を要した。5ms の内訳は、1ms 程度のリニアステージ駆動期間・1ms 未満の撮像期間・3ms 程度の撮像結果読み出し期間である。5.1 節では FPGA を用いた測定について説明したが、この撮像実験では測定装置の低コスト化を試みるべ

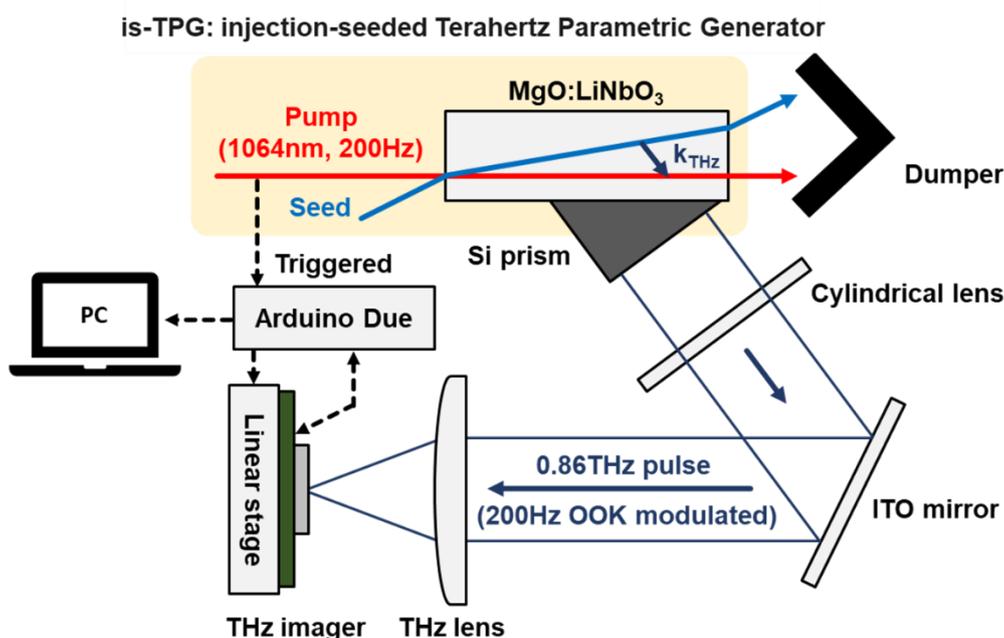


図 5.40 ピクセルシフト超解像実験に用いた光学系および測定環境

く、Arduino Due というマイコンを使用した。Arduino Due は実売価格 1 万円未満のマイコンであり、従来の測定に用いていた FPGA(実売 20~30 万円程度)と比較して大幅に安価なデバイスである。マイコンは同時に 1 つの処理のみを行うことができるが、FPGA を用いた場合は複数の処理をハードウェア上においてより高速かつ並列して行うことが可能である。そのため、FPGA を用いた測定は比較的高コストであるものの、撮像間隔をより短縮できる可能性がある。例えば、合計 2ms の撮像・ピクセルシフト時間の間に、前時刻の撮像結果を読み出すことができれば、500fps での撮像が可能であり、超解像撮像にかかる時間を 50ms まで短縮することができる。ただし、現状ではテラヘルツ波源の OOK 変調周波数の上限が 200Hz であるため、これを測定するには Arduino Due がもつ処理速度で十分であると判断した。図 5.41 に撮像のモデルと撮像結果を示す。撮像実験では、事務作業等で書類止めに用いられるゼムクリップを撮像対象として撮像を行った。この様子を図 5.41(a)に示している。図 5.41(b)はピクセルシフトを行わなかった場合の撮像結果である。ゼムクリップの線径は 0.69mm であったが、これは画素数にして 3.2 画素の幅に相当する。ピクセルシフトを行わなかった場合では、ゼムクリップの幅を 2,3,4 画素といった離散値でしかとらえることができない。図 5.41(c)は縦横それぞれ 5 回のピクセルシフトを行った場合の撮像結果である。この時、ゼムクリップの曲線形状やその幅がより詳細に撮像できていることが確認できる。ここで、撮像結果図 5.41(b)および図 5.41(c)において、ゼムクリップ下端の部分が途切れているように見える。これは照射したテラヘルツ波の偏波方向(電界)が図中の垂直方向であったため、水平方向に存在するゼムクリップがワイヤグリッド偏光子のように振る舞いテラヘルツ波を透過している(十分に遮蔽できない)ためだと考えられる。また、撮像に用いたテラヘルツイメージセンサはピクセル並列アーキテクチャをもつため、各画素・ADC の特性を事前に測定することで、後段でのばらつき補正が可能である(より詳

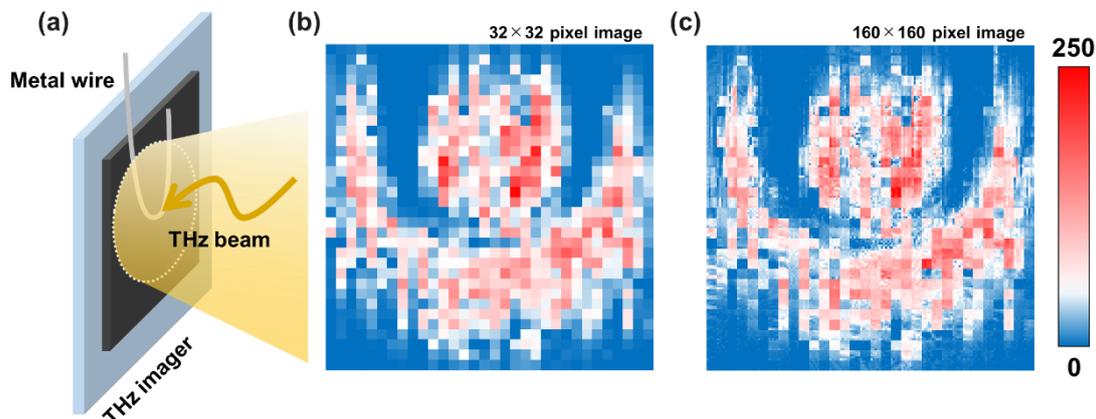


図 5.41 金属ワイヤのテラヘルツ撮像

(a) 撮像状況のモデル (b) 32×32 画素の撮像結果

(c) ピクセルシフト超解像撮像を行った 160×160 画素の撮像結果

5.7 ピクセルシフトによる超解像テラヘルツイメージング

細な検討については 5.5 節を参照)。そこで、ゼムクリップを配置しなかった際のテラヘルツ波単体の撮像結果を用いてイメージセンサの画素ばらつきを補正した。簡単のため、補正はテラヘルツ波単体の撮像結果と、テラヘルツ波単体の撮像結果モデル(イメージセンサに対して照射されるテラヘルツ波の強度はイメージセンサの中心からガウス分布している)を比較し、画素値を正規化することで行った。後段のソフトウェア処理による画素ばらつき補正を行った場合の撮像結果を図 5.42 に示す。ゼムクリップを用いた撮像結果のモデルデータと、図 5.41(b)および図 5.42 を比較し相関係数を求めたところ、モデルデータと図 5.41(b)の相関係数 0.469 であり、モデルデータと図 5.42 の相関係数 0.643 であった。この結果から、ピクセルシフトによる超解像撮像とソフトウェアによる画素ばらつき補正を行うことで、テラヘルツ波のガウス分布形状がより真値に近づき、またゼムクリップの形状もより真値に近いものになっていることが確認できる。また、ピクセルシフト超解像撮像を行った場合の実効的なピクセルピッチは $43\mu\text{m}$ であるが、この値は 2.1 節で述べたマイクロボロメータ型テラヘルツイメージセンサの画素ピッチと同程度の値である。

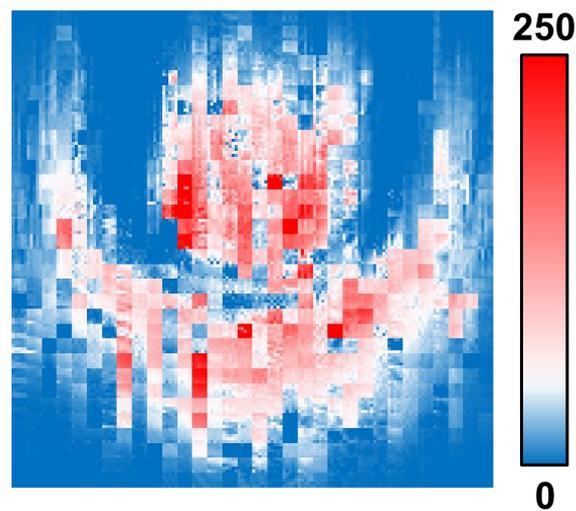


図 5.42 後段処理による画素ばらつき補正を行ったピクセルシフト超解像撮像結果

参考文献 (第 5 章)

- [1] Kanazawa, Yuri, Prasoon Ambalathankandy, and Masayuki Ikebe. "Pixel Variation Characteristics of a Global Shutter THz Imager and its Calibration Technique." *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences* (2022).
- [2] Kawase, Kodo, Jun-ichi Shikata, and Hiromasa Ito. "Terahertz wave parametric source." *Journal of Physics D: Applied Physics* 35.3 (2002): R1.
- [3] Al Hadi, Richard, et al. "A 1 k-pixel video camera for 0.7–1.1 terahertz imaging applications in 65-nm CMOS." *IEEE Journal of Solid-State Circuits* 47.12 (2012): 2999-3012.
- [4] Kim, Dae Yeon, et al. "Design and demonstration of 820-GHz array using diode-connected NMOS transistors in 130-nm CMOS for active imaging." *IEEE Transactions on Terahertz Science and Technology* 6.2 (2016): 306-317.
- [5] Song, Kiryong, et al. "A CMOS 300-GHz 7 by 7 detector array for THz imaging." 2017 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT). IEEE, 2017.
- [6] Fang, Tong, et al. "A 25 fps 32×24 Digital CMOS Terahertz Image Sensor." 2018 IEEE Asian Solid-State Circuits Conference (A-SSCC). IEEE, 2018.
- [7] Jain, Ritesh, et al. "34.3 A 32×32 pixel 0.46-to-0.75 THz light-field camera SoC in $0.13 \mu\text{m}$ CMOS." 2021 IEEE International Solid-State Circuits Conference (ISSCC). Vol. 64. IEEE, 2021.
- [8] Yokoyama, Sayuri, et al. "5.8 A 32×32 -Pixel 0.9 THz Imager with Pixel-Parallel 12b VCO-Based ADC in $0.18 \mu\text{m}$ CMOS." 2019 IEEE International Solid-State Circuits Conference-(ISSCC). IEEE, 2019.
- [9] Tsutsui, Gen, et al. "Impact of SOI thickness fluctuation on threshold voltage variation in ultra-thin body SOI MOSFETs." *IEEE Transactions on nanotechnology* 4.3 (2005): 369-373.

第6章

結論

本研究では、はじめにアンテナ型テラヘルツ波検出器に用いる、オンチップアンテナ構造の最適化を行った。アンテナ型テラヘルツ波検出器を用いたテラヘルツイメージセンサ構成に向け、ピクセル並列アーキテクチャの検討と、電圧制御発振器型 A/D 変換器の設計を行った。テラヘルツイメージング分野の更なる応用に向け、アンテナ型テラヘルツ検出器のアレイ化と、電圧制御発振器型 A/D 変換器を組み合わせることで、世界初となるピクセル並列アーキテクチャをもつグローバルシャッタテラヘルツイメージセンサを構成した。試作したテラヘルツイメージセンサについて、テラヘルツ波源を用いた撮像実験を行い、最大 400fps でのリアルタイム撮像動作を確認した。また、試作したテラヘルツイメージセンサについて、シミュレーション解析および実測によって、その画素ばらつきの特性を明らかにした。得られた画素ばらつき特性をもとに、後処理による画素ばらつきの補正手法を提案した。提案手法の適用により、テラヘルツイメージセンサの利得ばらつきは 85.7%抑制された。次期試作に向けて、シミュレーション解析によって得られた画素ばらつき特性をもとに、新型画素回路の提案を行った。新型画素回路は検波回路内部の 2 つの MOSFET の閾値電圧ばらつきを補正する機能をもつ。閾値電圧補正の対象には、利得ばらつきに影響を持つカスコードアンプの入力段 MOSFET と、オフセットばらつきに影響を持つサブスレッショルドオペアンプのテール電流源 MOSFET を選定した。この画素回路をシミュレーションにより解析したところ、閾値電圧ばらつきの補正を行わない場合と比較してそのばらつきは最大 89.7%抑制された。また、新型画素回路による閾値電圧ばらつき補正は、同一チップ内におけるチップ内ばらつきを抑制するだけでなく、チップ間ばらつきをも効果的に抑制することが分かった。この結果から、新型画素回路を用いてテラヘルツイメージセンサを集積することで、試作した複数のテラヘルツイメージセンサチップ間における特性ばらつきの抑制が期待される。また、チップ間ばらつきが抑制可能になることで、テラヘルツイメージセンサの実用化に向けた量産時には、本手法の利用により性能の著しく異なる不良品の製造率が抑制され、その歩留まりが改善される可能性がある。また、リニアステージを用いたピクセルシフト超解像撮像と後段での画素ばらつき補正を行うことで、Si CMOS プロセスで製造可能なアンテナ型テラヘルツイメージセンサの実効的な画素密度を、マイクロボロメータ型のテラヘルツイメージセンサと同程度まで向上させることが可能であることを示した。

謝辞

本研究を行うにあたり、指導教官である池辺将之先生には、研究の進め方から論文の執筆に至るまで、あらゆる面でお世話になりました。量子知能デバイス研究室の葛西誠也先生には、システムの動作や試作イメージセンサチップの測定、また、測定結果の評価方法について有益なご助言をいただき大変お世話になりました。集積電子デバイス研究室の本久純一先生には、研究を進める際や発表練習を行うにあたり多大なご協力を頂き深く感謝いたします。集積ナノシステム研究室の浅井哲也先生には、回路を提案するにあたり有益な御助言をいただき、大変お世話になりました。電磁工学研究室の五十嵐一先生には、論文構成やその具体的な実用可能性に関する有益なご助言を頂き深く感謝申し上げます。また、機能通信センシング研究室、集積アーキテクチャ研究室、集積ナノシステム研究室の皆様にも大変お世話になりました。本研究はJSPS 科研費 20J20561の助成を受けたものです。最後に、ここに書ききれなかった方々を含め、学生生活の中でお世話になった全ての人たちに心より感謝いたします。

研究業績

1. 学術雑誌

- (1) Y. Kanazawa, P. Ambalathankandy, and M. Ikebe, “Pixel Variation Characteristics of a Global Shutter THz Imager and its Calibration Technique,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, IEICE. Vol.E106-A, No.5, May 2023. (IF: 0.51, 掲載決定)
- (2) Y. Kanazawa, S. Yokoyama, S. Hiramatsu, E. Sano, T. Ikegami, Y. Takida, P. Ambalathanakandy, H. Minamide, and M. Ikebe, “Wideband terahertz imaging pixel with a small on-chip antenna in 180 nm CMOS,” *Japanese Journal of Applied Physics*, IOPscience, Vol. 58, SBBL06, 2019, DOI: 10.7567/1347-4065/ab03c9, March 2019. (IF: 1.48, TC: 3)

2. 査読付国際会議

- (1) Kanazawa, Y., Ambalathankandy, P., and Ikebe, M. (2022, October). Simultaneous pixel calibration for global shutter THz imager. In *2022 29th IEEE International Conference on Electronics, Circuits and Systems (ICECS)* (pp. 1-4). IEEE.
- (2) Y. Kanazawa, S. Hiramatsu, E. Sano, S. Yokoyama, P. Ambalathanakandy, and M. Ikebe, “CMOS Terahertz Imaging Pixel With A Wideband On-chip Antenna,” *IRMMW-THz 2018*, Nagoya, Japan, September 2018. (pp. 1-2). (AR: 88.5%)

3. 講演

- (1) Y. Kanazawa, “A 32×32 -Pixel Global Shutter CMOS THz Imager with VCO-Based ADC,” *ASP-DAC2021*, online, January 2021.
- (2) 金澤悠里, 横山紗由里, 池上高広, P. Ambalathankandy, 平松正太, 佐野栄一, 瀧田佑馬, 南出泰垂, 池辺将之, “画素並列 ADC アーキテクチャを用いた 32×32 解像度グローバルシャッタテラヘルツイメージセンサ,” *LSI とシステムのワークショップ 2019*, 東京, 2019 年 5 月.

- (3) 金澤悠里, 横山紗由里, 池上高広, P. Ambalathankandy, 平松正太, 佐野栄一, 瀧田佑馬, 南出泰垂, 池辺将之, “180nm CMOS プロセスを用いた 32 × 32 画素並列 VCO 型 ADC 構成テラヘルツイメージセンサ,” 映像情報メディア学会情報センシング研究会(IEDM, ISSCC 特集), 東京, 2019 年 3 月.
- (4) 金澤悠里, “テラヘルツピクセル回路の広帯域化と可視光ピクセルの同時集積,” VDEC デザイナーズフォーラム 2018, 登別, 2018 年 9 月.
- (5) 金澤悠里, 平松正太, 佐野栄一, 横山紗由里, 池辺将之, “テラヘルツイメージング用 CMOS ピクセル回路の広帯域化,” 電気情報通信学会(ICD, SDM)・映像情報メディア学会(ITE) 共催研究会, 札幌, 2018 年 8 月.

4. 受賞

- (1) 金澤悠里, 池辺将之: 次世代遠隔医療に向けたデータ結合転送技術, 第 7 回北海道大学部局横断シンポジウムベストプレゼンテーション賞(生命科学・医学セッション 2), 北海道大学遺伝子病制御研究所・電子科学研究所, 2021 年 10 月 1 日.
- (2) 金澤悠里, 横山紗由里, 池上高広, P. Ambalathankandy, 平松正太, 佐野栄一, 瀧田佑馬, 南出泰垂, 池辺将之: 画素並列 ADC アーキテクチャを用いた 32 × 32 解像度グローバルシャッタテラヘルツイメージセンサ, LSI とシステムのワークショップ最優秀ポスター賞学生部門, 電子情報通信学会集積回路研究専門委員会, 2019 年 5 月 13 日.
- (3) 金澤悠里: テラヘルツピクセル回路の広帯域化と可視光ピクセルの同時集積, VDEC デザインアワード優秀賞, 東京大学大規模集積システム設計教育研究センター(VDEC), 2018 年 9 月 28 日.
- (4) 金澤悠里: テラヘルツピクセル回路の広帯域化と可視光ピクセルの同時集積, VDEC Design Award, IEEE SSCS Japan Chapter, 2018 年 9 月 28 日.