



# HOKKAIDO UNIVERSITY

Title	Growth of III-V Compound Semiconductor Nanowire Heterostructures and Their Electron Device Applications [an abstract of dissertation and a summary of dissertation review]
Author(s)	蒲生, 浩憲
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第15539号
Issue Date	2023-03-23
Doc URL	<a href="https://hdl.handle.net/2115/89756">https://hdl.handle.net/2115/89756</a>
Rights(URL)	<a href="https://creativecommons.org/licenses/by/4.0/">https://creativecommons.org/licenses/by/4.0/</a>
Type	doctoral thesis
File Information	Hironori_Gamo_review.pdf, 審査の要旨



## 学位論文審査の要旨

博士の専攻分野の名称 博士 (工学) 氏名 蒲生 浩憲

審査担当者 主査教授 本久 順一

副査教授 葛西 誠也

副査教授 池辺 将之

### 学位論文題名

## Growth of III-V Compound Semiconductor Nanowire Heterostructures and Their Electron Device Applications

(III-V 族化合物半導体ナノワイヤヘテロ構造の成長と電子デバイス応用)

本論文は、III-V ナノワイヤからなる立体集積回路の基本素子作製技術の確立を主眼とし、有機金属気相選択成長法で、ナノワイヤをコアとしてその側壁に Sb 系半導体を成膜したコアシェルナノワイヤ構造に着目し、コアシェルナノワイヤによる n 型チャンネル (コア) と p 型チャンネル (シェル) の一括集積技術の提案と、InGaAs/GaSb コアシェルナノワイヤヘテロ構造を形成し、縦型トランジスタ素子に応用することで単一素子で n 型、p 型トランジスタ動作する新奇デバイス作製技術の確立を目的としてナノワイヤ結晶成長と電子素子応用の研究を行ったものである。

集積回路は、電界効果トランジスタ (FET) の微細化によって、機能あたりのコストを削減すると同時に性能を向上してきたが、短チャンネル効果や電力密度増大が問題になり、幾何学的なスケールリングによる高速化と低消費電力化の両立が難しくなっている。この中で、新チャンネル材料として III-V 族化合物半導体を用いた n 型 FET 素子の報告は近年増加傾向にある。一方で、p 型 FET 素子の報告例は少なく、良好なスイッチング特性が得られていない。これは、正孔移動度が高い Sb 系半導体の結晶成長技術が未開拓であり、高品質な結晶が得られていない。また、電子と正孔の移動度差は 2-10 倍あるため、回路で電流密度を整合できないなど、材料物性と現代技術に関して解決すべき課題がある。したがって、電流密度を整合するために p 型の素子サイズを n 型よりも小さくし集積面積で調整することや p 型素子に特異な構造、技術を導入することで高性能化する技術の開発が求められている。

本論文は第 1 章から第 8 章までで構成されている。第 1 章では、本研究の背景と目的について説明するとともに各章の概要を示している。

第 2 章では、半導体ナノワイヤ材料技術の変遷と特徴、作製方法と InAs、GaSb の基本的な物性に関して説明している。また、ナノワイヤ縦型トランジスタの基本原則について述べている。

第 3 章では、本研究で用いた有機金属気相選択成長法の基本的な成長機構を述べるとともに、素子作製に使用したプロセス技術や評価に使用した装置について説明している。

第 4 章では、InAs ナノワイヤ縦型トランジスタにおいて、補償ドーピングによる疑似真性層形成や高濃度ドーピングによるコンタクト層形成でオフリーク特性の改善とスイッチングの急峻化を検討した。最小サブスレッショルド係数 (SS) は 68 mV/桁を示し、FET の SS の最小理論限界 (60 mV/桁) に近い値を達成した。また、疑似真性層の導入により、オフリーク電流を低減し、SS が大幅に低減することを明らかにした。次に、透過型電子顕微鏡観察により、InAs ナノワイヤの側面ファ

セットは原子層レベルで平坦になることを確認し、InAs ナノワイヤ/酸化膜界面は良好な界面特性を示すことを明らかにした。また、この界面特性が SS の低減に寄与していることを明らかにした。

第 5 章では、InAs/InP コアシェルナノワイヤの結晶構造評価と InAs/InP コアシェルナノワイヤ縦型トランジスタの電気特性評価を行った。X 線回折装置を用いてコアシェルナノワイヤ成長における InAs ナノワイヤと InP シェルの歪み量を概算した。次に、縦型トランジスタにおいて、コアシェル構造を導入することで二次元電子ガスを形成し高電流化を検討した。シェル膜厚の厚膜化によって、オン電流が増大し、閾値電圧が負側にシフトすることを明らかにした。また、一次元ポアソンシュレーディンガー方程式を解くことで、InAs/InP のバンド構造と波動関数を計算しヘテロ界面近傍でキャリア閉じ込めが生じ、二次元電子ガスが形成されることを理論的にも確認した。これらの結果から、コアシェル構造によるデバイス性能への影響について調査し、InP シェル膜厚の厚膜化によって、酸化膜容量が小さくなり SS が劣化することを示し、オン電流増大と SS の低減にはトレードオフがあることを明らかにした。これにより、高性能化における重要な設計指針を得た。

第 6 章では、選択成長ナノワイヤの原子層レベルで平坦なファセット面をテンプレートとすることで、平坦な GaSb 層を形成できることに注目し、InGaAs/GaSb コアシェルナノワイヤの成長温度依存性と成長時間依存性を調査した。GaSb の成長温度 450 °C で横方向に成長し平坦なファセットを形成した。500 °C では横方向成長とナノワイヤ上部に二次元島成長が生じ側面ファセットにラフネスを生じることを示した。次いで、二端子デバイスを作製することで、InGaAs/GaSb ヘテロ接合界面平坦性による良好な整流特性を生じることを明らかにした。

第 7 章では、Si 上 InGaAs/GaSb コアシェルナノワイヤを用いて縦型トランジスタを作製し、電気特性を評価した。ゲート電圧によってドレイン電流が変調され、スイッチング動作を確認した。負のゲート電圧では on/off 比が 2 桁の p 型スイッチング動作を示し、正のゲート電圧では on/off 比が 3 桁の n 型スイッチング動作を示した。負のゲート電圧では、InGaAs ナノワイヤの障壁が変調され、正孔が拡散することによりキャリア伝導することが分かった。一方で、正のゲート電圧では、InGaAs/Si ヘテロ接合におけるトンネリングによって伝導することが分かった。これらの結果から、単一素子で n 型、p 型 FET 動作を実現し、III-V 材料をチャンネルとした立体集積回路の基本素子を構築し、III-V ナノワイヤを用いた立体集積回路の実現に向けた重要な知見を得た。

第 8 章では、学位論文を総括し展望を述べている。

これを要するに、本論文は、次世代エレクトロニクスの構成要素として III-V 族化合物半導体ナノワイヤヘテロ構造からなるチャンネル材料の結晶成長と電子素子応用技術を確認するとともに、半導体ナノワイヤヘテロ構造の結晶成長機構に関する知見とその縦型トランジスタ応用だけでなく、単一素子上で異なる素子原理を統合する新しいデバイス原理を見出すことで、新たな電子素子を実証したものであり、ここで得られた知見は結晶成長学および半導体工学に貢献するところ大である。よって著者は、博士(工学)の学位を授与される資格があるものと認める。