HOKKAIDO UNIVERSITY

Title	ランダムに分布した金属ナノドットアレイにおける単電子伝導特性に関する研究
Author(s)	瘧師, 貴幸
Degree Grantor	北海道大学
Degree Name	博士(工学)
Dissertation Number	甲第15540号
Issue Date	2023-03-23
DOI	https://doi.org/10.14943/doctoral.k15540
Doc URL	https://hdl.handle.net/2115/89809
Type	doctoral thesis
File Information	Takayuki_Gyakushi.pdf

Hokkaido University Collection of Scholarly and Academic Papers : HUSCAP

博士論文

ランダムに分布した金属ナノドットアレイにおける単電子伝導特性に関する研究

Study on single-electron conduction properties
in randomly distributed metal nanodot array

北海道大学大学院情報科学院
ナノ物性工学研究室

瘧師　貴幸

目次

第 1 章　序章
1. 1.　はじめに　4
1. 2.　研究背景　4
1. 3.　単電子デバイス　6
1. 3. 1.　単電子デバイスの概要　6
1. 3. 2.　単一ドットを有する単電子デバイスに関する研究と課題　9
1. 4.　マルチドット単電子デバイス　12
1. 4. 1.　マルチドット単電子デバイスの構造および特徴　12
1. 4. 2.　マルチドット単電子デバイスに関するこれまでの研究　13
1. 4. 3.　単層 Fe ナノドットデバイスの検討　14
1. 5.　研究目的　15
1. 6.　論文の構成　16
1. 7.　参考文献　17

第 2 章　Fe ナノドットデバイスにおいて観測された単一ドットに由来する振動特性
2. 1.　はじめに　22
2. 2.　デバイス作製　22
2. 3.　デバイスの電気特性評価　31
2. 3. 1.　典型的な電流振動特性　31
2. 3. 2.　コンダクタンスの Fe 膜厚依存性　33
2. 3. 3.　単一ドットに由来するシンプルな振動特性　34
2. 3. 4.　サテライトドットに由来する振動ピークのシフト　36
2. 4.　小括　36
2. 5.　参考文献　37

第 3 章　Fe ナノドットデバイスの動作安定性
3. 1.　はじめに　38
3. 2.　デバイス作製　39
3. 3.　単一ドットに由来するシンプルな振動特性の温度依存性　40
3. 4.　オフセットチャージ安定性の評価　42
3. 5.　オフセットチャージの急峻なジャンプ　46
3. 6.　小括　47
3. 7.　参考文献　48

第 4 章　Fe ナノドットデバイスのマルチゲート動作
4. 1.　はじめに　49
4. 2.　ダブルゲートデバイスの作製と評価方法　50
4. 3.　2 つのゲートを用いた振動特性の評価　52
4. 4.　ゲート容量比の評価および不均一な電界分布の考察　53
4. 5.　トリプルゲートデバイスの作製と評価　59
4. 6.　小括　61
4. 7.　参考文献　62

第 5 章　金属ナノドットアレイにおける単電子特性の特徴
5. 1.　はじめに　64
5. 2.　マクロサイズのナノドットデバイスの電気特性　65
5. 2. 1.　デバイス作製　65
5. 2. 2.　コンダクタンスの Fe 膜厚および基板依存性　66
5. 2. 3.　シンプルなモデルを用いたドット密度の推定　68
5. 3.　マイクロサイズのナノドットデバイスの電気特性　70
5. 3. 1.　デバイス作製　70
5. 3. 2.　振動特性のコンダクタンス依存性　70
5. 3. 3.　振動特性の温度およびドレイン電圧依存性　74
5. 4.　小括　80
5. 5.　参考文献　81

第 6 章　総括　82
謝辞　85
研 究 業 績 目 録　86

第 1 章　序章

1. 1.　はじめに

はじめに研究の背景について説明する. 次に単一ドットから構成される単電子デバイスの概要と課題について説明し, その課題を解決し得るマルチドット単電子デバイスの可能性について説明する. 最後に, 本研究の目的と構成について説明する.

1. 2.　研究背景

これまでの CMOS (Complementary Metal Oxide Semiconductor)トランジスタを用いた電子工学では, いかにデバイスを微細化・集積化し, 高機能化を実現するかに重きが置かれてきた[1]. しかし, 高集積化に伴い, 消費電力の増加の影響が大きくなっている. また, デバイスのサイズが 10 nm 程度になると, サイズゆらぎに起因する特性のばらつきが無視できなくなる. 近年, 再構成可能コンピューティング[2–4]やリザーバーコンピューティング[5,6]といった新しい情報処理技術が注目を集めている. これらの情報処理技術は, デバイスの特性ばらつきを許容できるという特徴を持つ. 特に, 従来の CMOS とは異なる動作原理・材料系を用いたナノデバイスを利用することで, これらの技術をより低消費・高機能に実現することが期待できる. 単電子デバイスは電子がトンネル効果で移動し, 出力電流が入力ゲート電圧に対して振動するクーロンブロッケード振動特性を示すため, 低消費電力・高機能を実現するナノデバイスの候補の一つである[7–10]. これまでは, 半導体ドット系・金属ドット系を問わずいかに電極間に 1 個のドットを配置した単電子デバイスを作製し, その特性を評価するかに重点が置かれてきた[11-15]. 例えば, Si ドット系単電子デバイスを用いたインバーター動作[16], 半加算動作[17]といった高機能な動作が実証されている. しかし単電子デバイスは電子 1 個単位のトンネルを利用するため, デバイス間の配線を充電するのに時間がかかり, 動作が遅くなってしまう. さらに, 数 nm 程度のサイズのドットにおける単電子効果を利用するため, ドットサイズの不均一性による特性ばらつきを無視できない. これらの課題のために, デバイス応用に向けた検討が十分に行われていなかった.

単電子デバイスの低い動作速度を補うには, 配線を用いること無く多数のドットを連結させ, 1 個のデバイスに高い機能性を付与することが必要である. 複数のドットをアレイ状に配置したマルチドット単電子デバイスは, 多くの入出力端子を取り付けることが比較的容易であり, 高機能な動作が得られることが報告されている. 例えば, Si マルチドット単電子デバイスに複数のゲートを取り付けることにより, 特性ばらつきを許容した上で論理機能をフレキシブルに再構成できることが実証されている[18,19].

単電子デバイスを作製する上での課題は主に 2 つある. 1 つは, 電極間に数 nm 程度のサイズのドットを精確に配置することである. もう一つは, ドット間のトンネル距離を数 nm 以

下になるようにトンネル障壁を取り付ける必要があることである．これまでに，単電子デバイスを作製するための多くの手法が報告されている．例えば，化学的に合成したドットを電極間に散布する手法[2,14,15, 20,21]，集束イオンビーム (Focused ion beam: FIB)によるドットの作製[22]，パターン依存酸化法[23,24]，電子線を用いた直接描画[25]，化学気相成長[26]，斜め蒸着法[11]，イオン注入[27]，エレクトロマイグレーション法[28]などが検討されている．一般的に，単電子デバイスの作製には精確に制御されたリソグラフィ技術が要求される．

自己組織化法は，トンネル接合を介して接続されたナノドットアレイの作製に用いることができる．例えば，化学的に合成したナノドットをマイクロメートルサイズのチャネルに配置する方法が報告されている[29,30]．また，金属ナノドットを酸化物やフッ化物等の絶縁体中に分散させたグラニュラー薄膜も候補の一つである[31−37]．グラニュラー膜の利点は，金属蒸着のみにより比較的容易に多数のドットを配置できることである．また，トンネル接合を介して多数のドットが連結することで複雑なネットワークを形成することが特徴である．しかし，サイズのばらついた多数のドットがランダムに存在するため，個々のドットの単電子特性が平均化され，振動特性は明確に観測されないと考えられてきた．そのため，複雑な系を用いたナノドットアレイデバイスは可能性を秘めているにも関わらず，その単電子特性の評価・理解は進んでいない．

1. 3.　単電子デバイス

単電子デバイスはナノドット中の電子を 1 個単位で制御することが可能であり, 超低消費電力・高機能性を有するナノデバイスとして期待される. ここでは, 単電子デバイスの基本的な動作原理である単電子トンネリングおよび, 最もシンプルなデバイス構造を有する単電子トランジスタについて説明する.

1. 3. 1. 単電子デバイスの概要

●単一電子トンネリング

電子の波動性に基づき, 電子の波動関数がトンネル障壁を越えて反対側へ浸み出す現象をトンネル効果という. また, 電子が微小なトンネル接合を透過する際, トンネル効果は電荷の量子化という粒子性に支配される. このように電子の波動性と粒子性の二重性が現れるトンネル効果が単一電子トンネリングである[38]. ここで, Fig. 1−1 に示すような, 十分小さな静電容量 C を持つ平行平板電極で挟まれた単一トンネル接合と外部電源が直列につながった系について考える. このとき, 電子 1 個がトンネリングする前後でトンネル接合の静電エネルギーU が変化する. トンネル前の電荷を Q, 素電荷を e, 電子がトンネルする前後での静電エネルギーの変化を ΔU とする. この時, ΔU は次式のように表される.

$$\Delta U = \frac{(Q - e)^2}{2C} - \frac{Q^2}{2C} = \frac{e}{C}\left(\frac{e}{2} - Q\right)$$

$|Q| < \frac{e}{2}$ の場合, $\Delta U > 0$ となるためエネルギー的に損である. 従って, 電子のトンネリングは禁止される. $Q = CV$ より, $-\frac{e}{2C} < V < \frac{e}{2C}$ の領域では電流が流れない. このように V が小さい時に, クーロン反発力により電子のトンネルが抑制される現象をクーロンブロッケードと呼ぶ. クーロンブロッケードは, 電子 1 個がトンネリングする前後で変化したトンネル接合の静電エネルギーが熱揺らぎ $k_B T$ よりも十分に大きい状態で起こる. 電子 1 個分の静電エネルギーの変化を, 帯電エネルギーE_C と呼ぶ. 静電容量 C を用いると, $E_C = e^2/2C$ と表される. 単電子トンネリングを観測するための第一条件は次式のように表される.

$$E_C = \frac{e^2}{2C} \gg k_B T$$

トンネル伝導のみが系の電子輸送において支配的であるためには, 熱揺らぎ $k_B T$ が帯電エネルギーE_C に比べて十分小さくなければならない. これは, トンネル接合のサイズを小さくするほど帯電エネルギーが大きくなり, より高温においてクーロンブロッケードの観測が可能になることを意味する. 2 つ目の条件としては, トンネル接合の抵抗 R_T が量子化抵抗

$R_Q = \frac{h}{e^2} \cong 25.8$ kΩ (h: プランク定数)よりも高くなければならない. トンネル抵抗 R_T が量子

化抵抗 R_Q よりもはるかに小さい場合，電子の波動関数がトンネル接合を越えて広がるため，金属伝導が支配的となる．つまり，クーロンブロッケードを観測する第二条件は次式のように表される．

$$R_T >> R_Q \cong 25.8\ \mathrm{k\Omega}$$

また，時定数 RC を持つ周辺回路を考慮すると，$h/E_C << RC$ でなければならない．これは，配線容量による影響も無視できず，RC が大きくなると帯電効果に影響を与えてしまうためである．これら 3 つの条件が，クーロンブロッケードが生じるための必要条件である．単電子デバイスは，このクーロンブロッケード現象を利用したデバイスである．

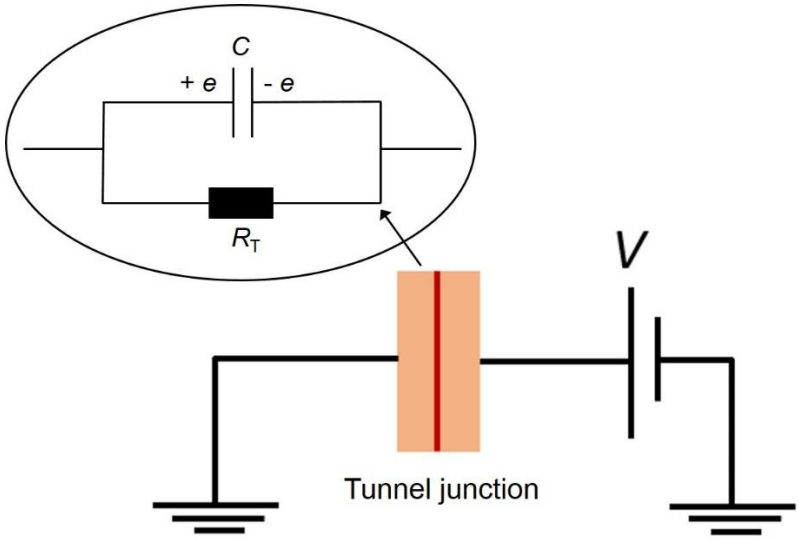

Fig. 1−1.　Schematic circuit diagram of a system with a single tunnel junction and an external power supply connected in series.

●単電子トランジスタの動作原理

ここでは単電子デバイスの中で，最もシンプルな単電子トランジスタの構造および動作原理について説明する．Fig. 1−2 に単電子トランジスタの模式回路図を示す．ソース・ドレイン電極の間に単電子島と呼ばれるナノドットがトンネル容量を介して結合した構造である．また，ゲート電極もドットと容量的に結合しており，ゲート電圧によりドット中の電子数を制御することができる．Fig. 1−3(a)に示すようにソース・ドレイン電極のフェルミ準位間にドット内の化学ポテンシャルが存在しない場合，電子はトンネルすることができないため，ドレイン電流は流れない (クーロンブロッケード状態)．ゲート電圧をプラス(マイナス)に掃引すると，Fig. 1−3(b)に示すように，ドット内の化学ポテンシャルが上下する．ソース・ドレイン電極のフェルミ準位とドット内の化学ポテンシャルが整合した際，電子はトンネルすることができるため，ドレイン電流が流れる．この状態から，さらにゲート電圧を印加すると再びクーロンブロッケード状態となり，ドレイン電流が流れなくなる．従って，Fig.

1–4 に示すように，ゲート電圧に対してドレイン電流が周期的に振動するクーロンブロッケード振動と呼ばれる現象が観測される．この現象は，単電子トランジスタのみならず，多くの単電子デバイスの基本原理となる重要なものである．

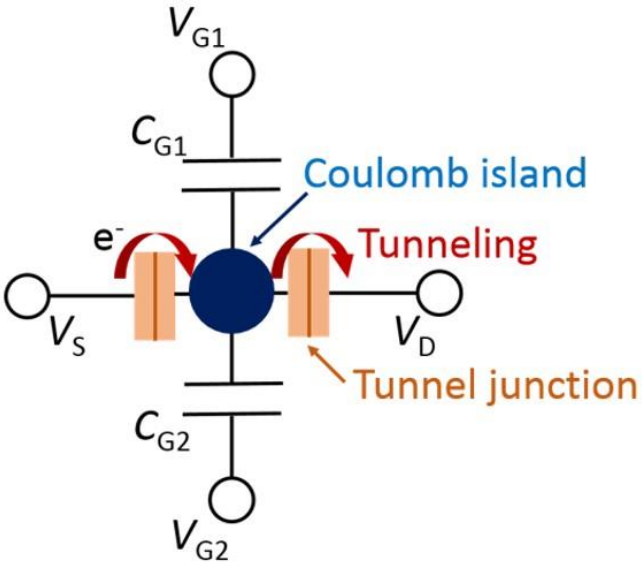

Fig. 1−2.　Schematic equivalent circuit diagram of a single-electron transistor.

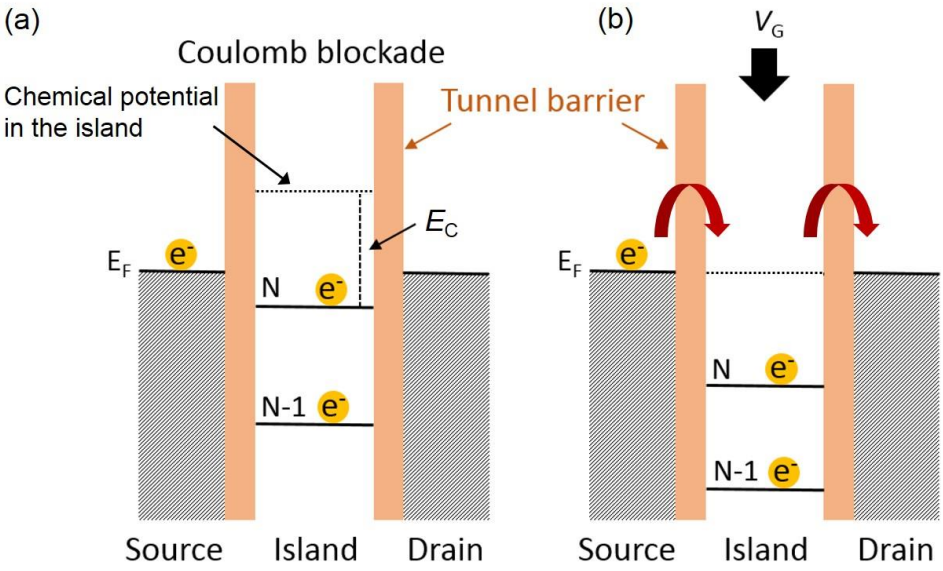

Fig. 1−3.　Energy diagram of the single-electron transistor. (a) electron-tunneling is suppressed due to the Coulomb blockade of the island. (b) Drain current I_D flows when electrons tunnel through the chemical potential in the dot. The chemical potential in the island can be tuned by the gate voltage V_G.

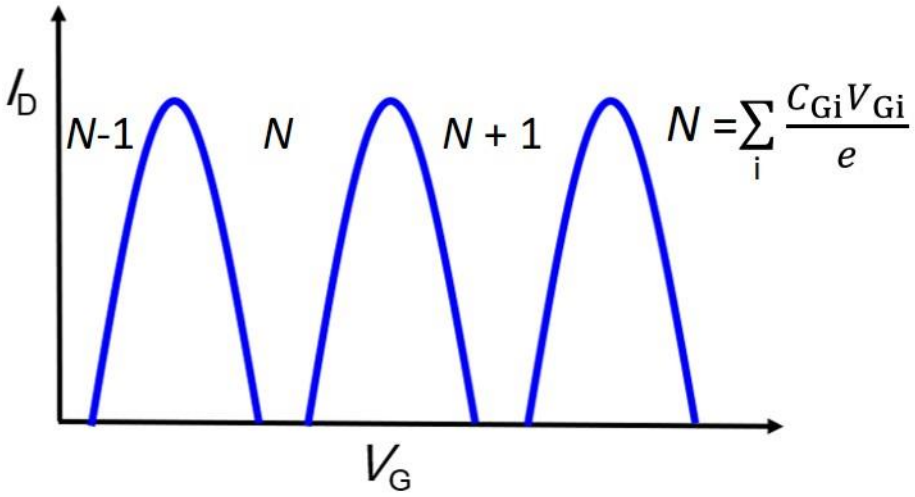

Fig. 1−4. Schematic diagram of the Coulomb blockade oscillation characteristic. *N* is the number of electrons in the nanodot.

1. 3. 2. 単一ドットを有する単電子デバイスに関する研究と課題

単電子トランジスタの作製方法は, 半導体ドット系・金属ドット系を問わず多く研究されている. 金属ドット系では, 蒸着により Al ドットを作製し,ドットを酸化させることでトンネルバリアを形成するという方法が有名である[11]. 他にも, 化学合成した Au ドットを微小電極間(~ 5 nm)に散布するという方法も知られている[14]. 半導体ドット系では, 二次元電子ガス(two dimensional electron gas: 2DEG)を用いた報告例が良く知られている[12,13]. GaAs/AlGaAs などのバンドギャップの違う異種の半導体材料のヘテロ接合や Si/SiO_2 界面に正電圧を印加することで, 2 次元電子ガス(量子ドット)を作り出す. 次に複数の微細ゲートに負電圧を印加することで, その領域から電子が排除され, ドットの両側にトンネルバリアが形成される. これまでの単電子トランジスタの研究では, 材料系を問わずいかにして電極間に 1 個のドットを配置し, その単電子特性を評価するかに重きが置かれてきた. これまでに, 単電子トランジスタを用いた論理スイッチング動作や加算動作といった高機能な動作が可能であることが実証されている[16,17,39,40]. しかし, 単電子トランジスタは以下に述べる 4 つの課題のために, デバイス応用に向けた検討が十分に行われて来なかった.

(1) 室温動作する単電子トランジスタを作製するためには, 4 nm 程度のドットを電極間に精確に配置しなければならない. さらに, ドットと電極間のトンネル距離が 2 ~ 3 nm 程度以下になるようにトンネルバリアを取り付けなければならない.

(2) ドットサイズが数 nm 程度になると, サイズの不均一性によるデバイスの特性ばらつきが無視できない.

(3) 複数の単電子トランジスタを組み合わせることで機能を得ることができる. しかし単電子トランジスタは電子 1 個単位のトンネルを利用するため, Fig. 1−5 に示すようにデバイス同士を配線した場合, その配線を充電するのに時間がかかり動作が遅くなる.

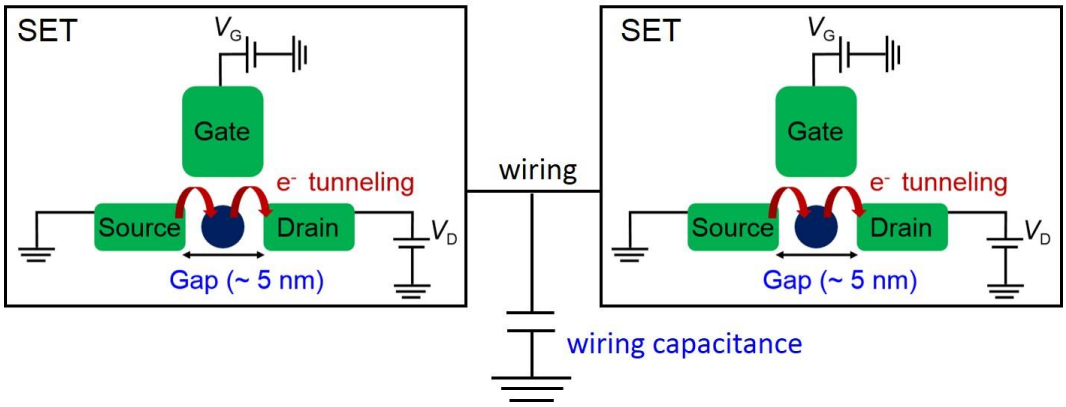

Fig. 1−5.　As the single-electron transitors (SETs) operate through one-by-one electron tunneling, the current drivability for charging the wiring connecting to other devices is low.

(4) オフセットチャージドリフト

単電子デバイスの応用へ向けた課題として動作の不安定性も挙げられる．これは単電子デバイスが扱う電子の数が極めて少なく，周囲の電荷の影響を受けやすい事に由来する．このため Fig. 1−6 に示すように，ドットの周囲の可動電荷(イオン等)が移動すると，クーロンブロッケード振動の位相がシフトするオフセットチャージドリフトと呼ばれる現象が生じることが知られている[41,42]．従来の MOSFET の I_D−V_G 特性がゲート閾値電圧の前後で ON と OFF が切り替わる 2 値のスイッチング特性を示すのに対し，単電子デバイスは Fig. 1−4 に示されるようにクーロンブロッケード効果により，ドレイン電流がゲート電圧に対して周期的に振動するユニークな特性を示す．そのため Fig. 1−7 に示すように，オフセットチャージドリフトに起因し，デバイスが ON から OFF へ意図せずに切り替わってしまう．このことから，経時不安定性による振動特性のランダムな位相シフトにより，デバイスの ON と OFF を切り替えるゲート閾値電圧を正確に制御することが困難になる．そのため，オフセットチャージドリフトを抑制することは，単電子デバイスの応用に向けて重要な課題である．

Si ドットを用いた単電子デバイスでは，オフセットチャージドリフトが小さく非常に安定した特性が報告されているが，金属ドット系を用いた単電子デバイスではオフセットチャージドリフトが大きく特性の安定性に問題があり，デバイス応用に向けた課題となっている[41]．特に Al−Al_2O_3 系を用いたデバイスにおいて，オフセットチャージドリフトが顕著であることが報告されている．また Si ドットと Al ゲートを組み合わせて作製した単電子デバイスにおけるオフセットチャージドリフトが，これら Si ドットと Al-Al_2O_3 系の中間の値をとることも報告されている[42]．しかし，金属ドット系を用いたデバイスにおいてオフセットチャージドリフトが顕著に生じる原因，及び Si ドット系と金属ドット系デバイスの間に大きな違いが生じるメカニズムの詳細については不明な点が多い．さらに，金属ドット系におけるオフセットチャージドリフトの評価の報告例は Al 系材料に限られており，他の金属材料を用いたデバイスにおけるオフセットチャージドリフトの影響は未解明である．

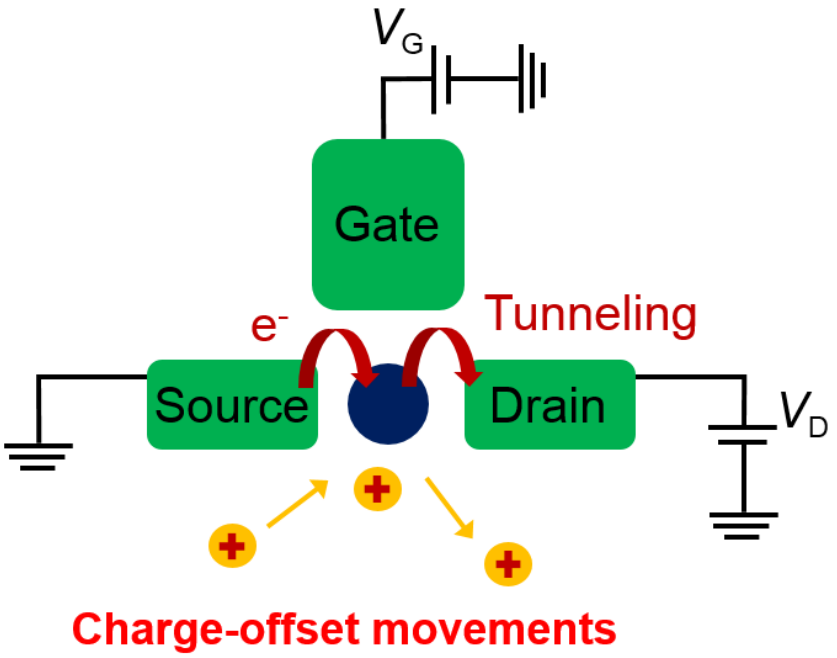

Fig. 1−6. Schematic diagram of the movement of offset charges around a single-electron island.

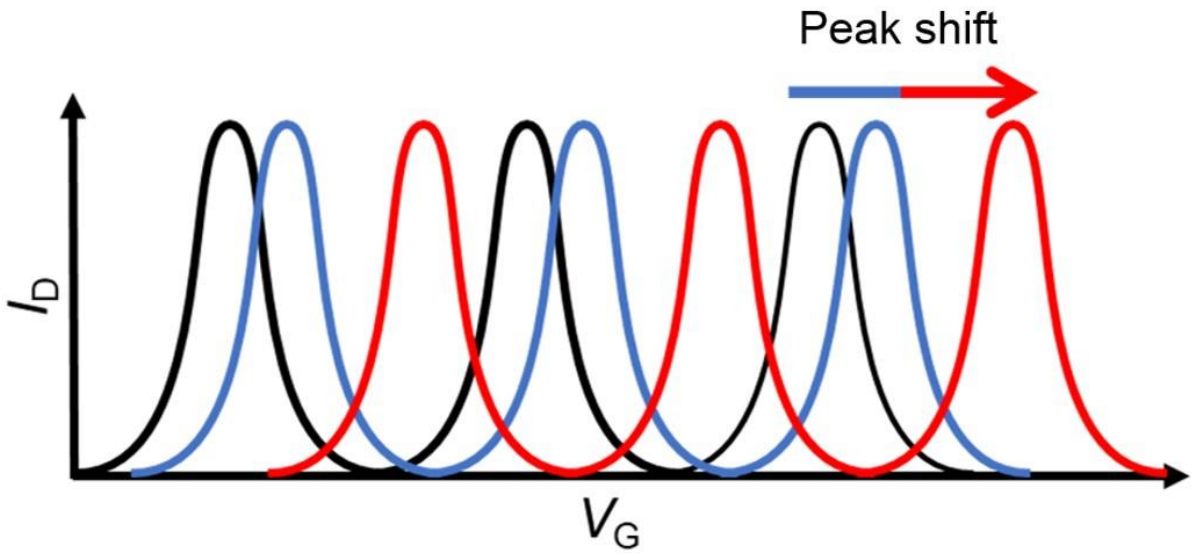

Fig. 1−7. The phase of the Coulomb blockade oscillation ramdomly shifts due to the charge offset drift.

1. 4.　マルチドット単電子デバイス

電極間に複数のドットを配置したマルチドット単電子デバイスは，複数の入出力端子を取り付けることが比較的容易であり，高機能なデバイスとして期待される．はじめに，マルチドット単電子デバイスの構造・特徴について説明する．

1. 4. 1. マルチドット単電子デバイスの構造および特徴

これまでに述べてきた単電子トランジスタにおける課題を解決するために, Fig. 1−8 に示すような複数のドットをアレイ状に配置したマルチドット単電子デバイスが提案されている．マルチドット単電子デバイスは，ドット同士がトンネル接合を介して結合しているため，寄生容量による動作速度の低下を補うことができる．さらに，複数の入出力端子を取り付けることが比較的容易であり，1 つのデバイスに高い機能性を付与することができる．このデバイスの特徴として，所望の機能が得られるようにデバイスを作製するのではなく，作製後に得られた特性から機能を探索するという従来とは異なるコンセプトを採用する点が挙げられる．これまでに, Si マルチドットデバイスに複数のゲートを取り付けることで，論理機能をフレキシブルに選択できる高機能な動作が可能であることが実証されている[18]．金属ドット系では，化学合成した金ナノドットを電極間に散布することでデバイスを作製し，論理機能を可変できることが報告されている[2]．これらのデバイスはいずれも，特性ばらつきを許容し，逆にばらつきを利用して機能を探索する．開澤らの数値シミュレーションは，ドットサイズのゆらぎによるゲート容量のばらつきが振動特性を複雑にさせるため，論理機能の探索が容易になることを示した[43]．

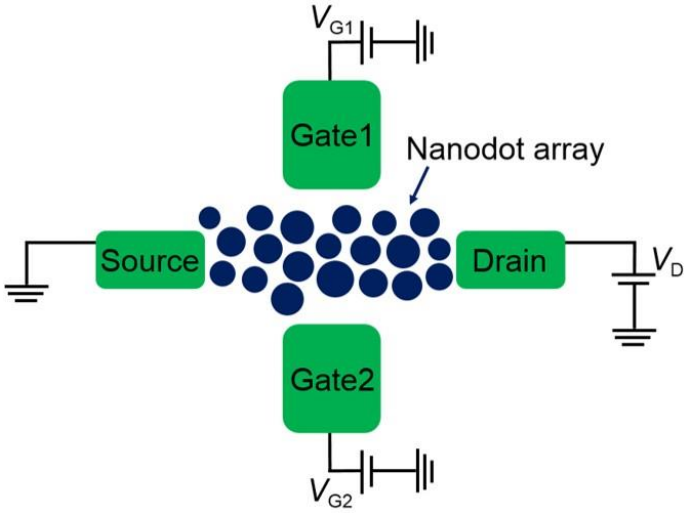

Fig. 1−8.　Schematic diagram of the nanodot array based multi-dot single-electron device.

1. 4. 2. マルチドット単電子デバイスに関するこれまでの研究

マルチドット単電子デバイスの作製方法は，半導体ドット系・金属ドット系を問わず研究されている．半導体ドット系では，GaAs/AlGaAs，Si/SiO_2 の界面に形成した 2DEG を用いるものや[44−46]，Si 細線の酸化により細線の形状に依存したドットを形成するパターン依存酸化法が報告されている[47-49]．しかし，どちらの手法においてもドットを形成するのに精確なリソグラフィ技術が必要になり，多数のドットを配置することが難しい．金属ドット系では，化学合成したドットを電極間に散布し，交流電圧を印加した際の誘電泳動によりナノドットアレイを作製する方法が報告されている[20]．他に，自己組織化法により金属ナノドットアレイを作製する試みも検討されている．例えば，化学合成したドットを Langmuir-Blodgett 法によりマイクロメータースケールの電極ギャップに配置する方法や[29,30]，Fig. 1−9 に示す金属ナノドットが絶縁体中に分散した構造を有するグラニュラー薄膜を利用する方法が検討されている[31−37]．グラニュラー膜は，スパッタ法や電子ビーム蒸着法を用いて比較的簡便に作製することができる．また，金属ドットと絶縁体が形成する微小なトンネル接合が複雑に連結したネットワーク構造を有する．ドットのサイズやトンネル距離は直接制御できないものの，ドットの帯電効果に由来する単電子特性が得られる[32−37]．さらに，このようにランダムに分布するナノドットアレイではドットの形状や周囲のドットの大きさのばらつきにより，ドットとゲート間の容量が不均一になることが予想される．このような不均一性は，振動特性を複雑なものにするため，デバイスの機能的な動作の可能性が期待される．しかしながら，無数の伝導パスにより個々のドットの単電子特性が平均化されるため，明瞭な振動特性は観測されないと考えられてきた．このために，多数のドットがランダムに存在する系を用いたデバイスは可能性を秘めているにも関わらず，その単電子特性の評価・理解は進んでいないのが現状である．

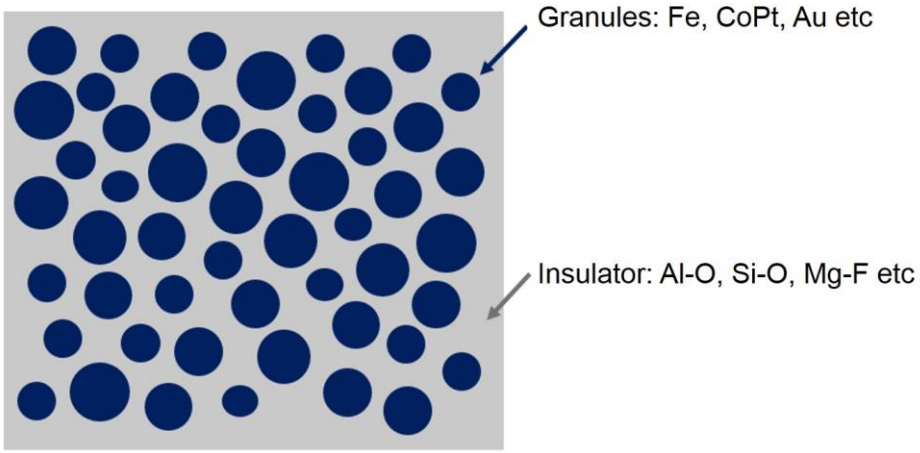

Fig. 1−9.　Conceptual diagram of metal−insulator granular thin film.

1. 4. 3. 単層 Fe ナノドットデバイスの検討

表面エネルギーの小さな絶縁体基板上(SiO_2, Al_2O_3, MgO, etc)に，表面エネルギーの高い金属薄膜(Fe, CoPt, Au, etc)を成長させる場合，薄膜形成の初期段階において三次元的な島が形成される(Volmer−Weber 成長) [50]．その際，成長の初期に三次元的な核が形成され，島(ドット)が小さいうちは，主に表面拡散により島に到達する吸着原子を捕獲して成長する．島が成長してサイズが大きくなると，互いに接触・合体し，やがて連続膜となる．Fig. 1−10 に示すように薄膜の膜厚により，平均的な島のサイズや島同士の間隔を変えることができる．

上記で述べた成長様式を利用して作製した金属ドットをデバイスに利用する試みが行われている．例えば，Co−AlO グラニュラー膜を用いたデバイスにおいてクーロンブロッケードに由来する非線形な I_D−V_D 特性を観測したという報告や[34]，Fe−SrF_2 グラニュラー膜を用いたマルチドットデバイスにおいて振動特性を観測したという報告がある[36]．しかしながらグラニュラー膜の構造上，ソース・ドレイン電極に対して垂直方向への伝導も可能であるため，無数の伝導パスが存在する．そのため，個々のドットの単電子特性が平均化され，明瞭な振動特性は観測されていない．

そこで本研究では，金属ナノドット層を 1 層としてドット数を減らした単層 Fe ナノドットアレイを用いることを提案する．これにより，絶縁体中の金属ドットを介する伝導パスを平面方向のみに限定できる．しかし，これだけでは面内方向の伝導パスがまだ多数存在する．そこで本研究では，電子線リソグラフィによる微細加工を施すことで，微小電極ギャップ間に幅数百 nm の単層 Fe ナノドットアレイを配置したマルチドットデバイスを作製し，その単電子特性を評価した．

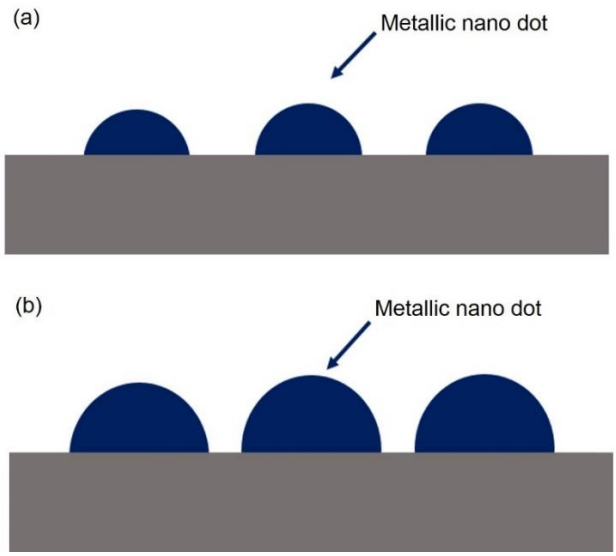

Fig. 1−10.　Schematic of the metallic dots formed on the substrate, where the thickness of the metallic film is thin (a) and thick (b).

1. 5. 研究目的

これまでのCMOSを用いたエレクトロニクスでは, いかにして素子のサイズゆらぎによる特性ばらつきを排除し, 秩序的な構造を作製するかに重きが置かれてきた. しかし微細化が進み, 素子サイズが 10 nm 程度になるとゆらぎの影響が無視できない. そのため, ゆらぎを許容した新しい高機能デバイスの実現が望まれる.

複数のドットから構成されるマルチドットデバイスは, 複数の入出力端子を取り付けることが比較的容易であり, 再構成可能な論理ゲート動作などの高機能性を有することが実証されている. このデバイスは, 作製後に入力電圧の組み合わせにより振動特性を制御できるため, ドットサイズや配置のゆらぎに起因する特性ばらつきを許容でき, 従来の CMOS よりも少ない素子数・消費電力で膨大な情報量を処理できる可能性が期待できる. 特に金属ドット系は, 蒸着のみにより比較的容易に多数のドットを配置できるため, マルチドットデバイスの作製に有利である. しかし, この手法により形成されるナノドットアレイは, サイズのばらついた多数のドットがランダムに存在する複雑な系である. このような複雑な系の場合, 個々のドットの特性が平均化されるため, 明瞭な振動特性は観測されないと考えられる. このために, 複雑な系を用いた金属マルチドットデバイスは可能性が期待できるものの, その単電子特性の評価・理解は進んでいない.

これらの背景を踏まえ, 本研究では多数の金属ドットがランダムに存在するナノドットアレイにおける単電子特性の特徴を明らかにすることで, デバイスの可能性を見極めることを目指した. 金属ドット材料として Fe を用い, 1 層だけ成膜した単層 Fe ナノドットアレイを用いたデバイスを作製し, その電気特性を評価した.

1. 6.　論文の構成

本論文の各章における概要を述べる.

第 1 章は序章であり, 研究背景と研究目的について述べる. まず, シンプルな構造を有する単電子トランジスタの概要と課題について述べ, その課題の解決策として期待される金属マルチドットデバイスの可能性について述べる.

第 2 章では, Fe ナノドットデバイスを用いて観測された振動特性について述べる. 多数のドットがランダムに存在する系においても, 明瞭な振動特性が得られることを明らかにした. さらに, Fe 膜厚により平均的なドットサイズ・トンネル距離の条件を整えることで, ナノドットアレイ中の 1 個のドットに由来する振動特性が一定頻度で観測されることを明らかにした. これらは, 多ドット系においても個々のドットの単電子特性が抽出できることを示唆する重要な結果である. これらの成果は, 次章以降に述べる研究に発展した.

第 3 章では, Fe ナノドットデバイスの動作安定性について述べる. 作製したデバイスの振動特性を数日間にわたって評価したところ, オフセットチャージドリフトに対して比較的安定した動作が期待できることが示唆された. この結果は, ドット周辺の可動電荷(イオン等)の移動による影響が小さいことを示唆しており, 材料系やデバイスの構造に起因するものと予想される.

第 4 章では, Fe ナノドットデバイスのマルチゲート動作について述べる. ナノドットアレイの上下にゲートを取り付けることでダブルゲートデバイスを作製し, その振動特性を評価した. その結果, 2 つのゲートを用いて振動特性を制御できることを明らかにした. この結果から, 複雑な系を用いたマルチドットデバイスの論理ゲート動作の可能性が期待できる. さらに, ランダムに分布したドットに起因し, 上下のゲートに対する応答が不均一になることを明らかにした. ドットのランダムな配置に由来するバリエーションに富んだ出力は, デバイスの機能性を高めることにつながると期待される. 本章では, 3 つのゲートを取り付けたトリプルゲートデバイスにおける振動特性についても評価した. その結果, ドットと各ゲート間の容量が不均一であることを利用し, 振動特性にバリエーションを付与できる可能性が示唆された.

第 5 章では, ナノドットアレイにおけるドットの分布の状況(ドット密度, サイズ, ドット間距離)と振動特性の関係について述べる. Fe 膜厚と基板の状態によりドットの分布状況を変え, 振動特性を評価した. その結果, 振動特性の特徴は Fe 膜厚の増加により, 複雑な振動特性からシンプルな振動特性に変化することが分かった. これは, 基板の状態(ドット密度やサイズ)に依らなかった. さらに振動特性の特徴を決める要因はデバイスのコンダクタンスであり, コンダクタンスを調整することによって, ナノドットアレイに由来する複雑な振動特性から単電子トランジスタ(SET)に近いシンプルな振動特性まで変えることができることを示した.

第 6 章では総括を行う.

1. 7. 参考文献

[1] A. Chin and S. R. McAlister, The power of functional scaling: beyond the power consumption challenge and the scaling roadmap. *IEEE Circuits and Devices Magazine* **21,** 27 (2005).

[2] S. K. Bose, C. P. Lawrence, Z. Liu, K. S. Makarenko, R. M. J. van Damme, H. J. Broersma, and W. G. van der Wiel, Evolution of a designless nanoparticle network into reconfigurable Boolean logic. *Nat*. *Nanotechnol*. **10,** 1048 (2015).

[3] T. Zhang, D. Guérin, F. Alibart, D. Vuillaume, K. Lmimouni, S. Lenfant, A. Yassin, M. Oçafrain, P. Blanchard, and J. Roncali, Negative Differential Resistance, Memory, and Reconfigurable Logic Functions Based on Monolayer Devices Derived from Gold Nanoparticles Functionalized with Electropolymerizable TEDOT Units. *J*. *Phys*. *Chem*. **121,** 10131 (2017).

[4] T. Chen, J. van Gelder, B. van de Ven, S. V. Amitonov, B. de Wilde, H-C. R. Euler, H. Broersma, P. A. Bobbert, F. A. Zwanenburg, and W. G. van der Wiel, Classification with a disordered dopant-atom network in silicon. *Nature* **577,** 341 (2020).

[5] T. Oya, Feasibility and advantage of reservoir computing on single-electron devices. *Jpn*. *J*. *Appl*. *Phys*. **59,** 040602 (2020).

[6] M. Akai-Kasaya, Y. Takeshima, S. Kan, K. Nakajima, T. Oya, and T. Asai, Performance of reservoir computing in a random network of single-walled carbon nanotubes complexed with polyoxometalate. *Neuromorphic Computing and Engineering* **2,** 014003 (2022).

[7] M. A. Kastner, The single-electron transistor. *Rev*. *Mod*. *Phys*. **64,** 849 (1992).

[8] K. K. Likharev, Single-electron devices and their applications. *Proc*. *IEEE* **87,** 606 (1999).

[9] Y. Takahashi, Y. Ono, A. Fujiwara, and H. Inokawa, Silicon single-electron devices. *J*. *Phys*. *Condensed Matter* **14,** 995 (2002).

[10] S. Cotofana, C. Lageweg, and S. Vassiliadis, Addition related arithmetic operations via controlled transport of charge. *IEEE Trans*. *Computers* **54,** 243 (2005).

[11] Y. Nakamura, C. Chen, and J.-S. Tsai, 100-K operation of Al-based single-electron transistors. *Jpn*. *J*. *Appl*. *Phys*. **235,** 1465 (1996).

[12] D. Goldhaber-Gordon, H. Shtrikman, D., Mahalu, D. Abusch-Magder, U. Meirav, and M. A. Kastner, Kondo effect in a single-electron transistor. *Nature* **391,** 156 (1998).

[13] K. Kobayashi, H. Aikawa, A. Sano, S. Katsumoto, and Y. Iye, Fano resonance in a quantum wire with a side-coupled quantum dot. *Phys*. *Rev*. *B* **70,** 035319 (2004).

[14] N. Okabayashi, K. Maeda, T. Muraki, D. Tanaka, M. Sakamoto, T. Teranishi, and Y. Majima, Uniform charging energy of single-electron transistors by using size-controlled Au nanoparticles. *Appl*. *Phys*. *Lett*. **100,** 033101 (2012).

[15] K. S. Makarenko, Z. Liu, M. P. de Jong, F. A. Zwanenburg, J. Huskens, and W. G. van der Wiel, Bottom-up single-electron transistors. *Adv*. *Mater*. **29,** 1702920 (2017).

[16] Y. Ono, Y. Takahashi, K. Yamazaki, M. Nagase, H. Namatsu, K. Kurihara, and K. Murase, Si complementary single-electron inverter with voltage gain. *Appl*. *Phys*. *Lett*. **76,** 3121 (2000).

[17] Y. Ono, K. Yamazaki, M. Nagase, S. Horiguchi, K. Shiraishi, and Y. Takahashi, Single-electron and quantum SOI devices. *Microelectronic Engineering* **59,** 435 (2001).

[18] T. Kaizawa, T. Oya, M. Arita, Y. Takahashi, and J.-B. Choi, Single-Electron Device With Si Nanodot Array and Multiple Input Gates. *IEEE Trans*. *Nanotechnology* **8,** 535 (2009).

[19] M. Jo, Y. Kato, M. Arita, Y. Ono, A. Fujiwara, H. Inokawa, Y. Takahashi, and J.-B. Choi, Effect of Arrangement of Input Gates on Logic Switching Characteristics of Nanodot Array Device. *IEICE Trans*. *Electronics* **E95-C,** 865 (2012).

[20] Y. Mizugaki, K. Matsumoto, M. Mmoriya, H. Shimada, A. Hirano-Iwata, and F. Hirose, One-dimensional array of small tunnel junctions fabricated using 30-nm-diameter gold nanoparticles placed in a 140-nm-wide resist groove. *Jpn*. *J*. *Appl*. *Phys*. **57,** 098006 (2018).

[21] O. Bitton, D. B. Gutman, R. Berkovits, and A. Frydman, Multiple periodicity in a nanoparticle-based single-electron transistor. *Nat*. *Commun*. **8,** 402 (2017).

[22] E. M. Ford, and H. Ahmed, Control of Coulomb blockade characteristics with dot size and density in planar metallic multiple tunnel junctions, *Appl*. *Phys*. *Lett*. **75,** 421 (1999).

[23] Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwadate, Y. Nakajima, S. Horiguchi, K. Murase, and M. Tabe, Fabrication technique for Si single-electron transistor operating at room temperature. *Electron*. *Lett*. **31,** 136 (1995).

[24] Y. Ono, Y. Takahashi, K. Yamazaki, M. Nagase, H. Namatsu, K. Kurihara, and K. Murase, Fabrication method for IC-oriented Si single-electron transistors. *IEEE Trans*. *Electr*. *Dev*. **47,** 147 (2000).

[25] A. Dutta, S. P. Lee, S. Hatatani, and S. Oda, Silicon-based single-electron memory using a

multiple-tunnel junction fabricated by electron-beam direct writing. *Appl*. *Phys*. *Lett*. **75,** 1422 (1999).

[26] A. Dutta, S. Oda, Y. Fu, and M. Willander, Electron Transport in Nanocrystalline Si Based Single Electron Transistors. *Jpn*. *J*. *Appl*. *Phys*. **39,** 4647 (2000).

[27] H. Tsuji, N. Arai, T. Matsumoto, K. Ueno, Y. Gotoh, K. Adachi, H. Kotaki, J. Ishikawa, Silver nanoparticle formation in thin oxide layer on silicon by silver-negative-ion implantation for Coulomb blockade at room temperature. *Appl*. *Surf*. *Sci*. **238,** 132 (2004).

[28] S. Ueno, Y. Tomoda, W. Kume, M. Hanada, K. Takiya, J. Shirasaki, Field-emission-induced electromigration method for the integration of single-electron transistors. *Appl*. *Surf*. *Sci*. **258,** 2153 (2012).

[29] H. Lehmann, S. Willing, S. Möller, M. Volkmann, and C. Klinke, Coulomb blockade based field-effect transistors exploiting stripe-shaped channel geometries of self-assembled metal nanoparticles. *Nanoscale* **8,** 14384 (2016).

[30] S. Willing, H. Lehmann, M. Volkmann, and C. Klinke, Metal nanoparticle film–based room temperature Coulomb transistor. *Sci*. *Adv*. **3,** e1603191 (2017).

[31] B. Abeles, P. Sheng, M.D. Coutts, and Y. Arie, Structural and electrical properties of granular metal films. *Adv*. *Phys*. **24,** 407 (1975).

[32] D. C. Ralph, C. T. Black, and M. Tinkham, Spectroscopic Measurements of Discrete Electronic States in Single Metal Particles. *Phys*. *Rev*. *Lett*. **75,** 1422 (1999).

[33] X. Han, M. Shinohara, N. Yoshikawa, and M. sugahara, Observation of Single-Electron Charging Effect in BiSrCaCuo Granular Thin Films. *Phys*. *Rev*. *Lett*. **74,** 3241 (1995).

[34] K. Yakushiji, S. Mitani, and K. Takanashi, Tunnel magnetoresistance oscillations in current perpendicular to plane geometry of CoAlO granular thin films. *J*. *Appl*. *Phys*. **91,** 7038 (2002).

[35] H. Hosoya, M. Arita, K. Hamada, Y. Takahashi, K. Higashi, K. Oda, and M. Ueda, Structural and electromagnetic characterizations of Fe-SrF_2 granular films. *J*. *Phys*. *D* **39,** 5103 (2006).

[36] H. Hosoya, M. Arita, H. Nishio, K. Ohta, T. Takezaki, K. Hamada, Y. Takahashi, and J. -B. Choi, Single-electron transistor properties of Fe-SrF_2 granular films. *Matter*. *Sci*. *Eng*. *B* **147,** 100 (2008).

[37] M. Arita. H. Hosoya. K. Ohta, K. Hamada, Y. Takahashi, and J. -B. Choi, Magnetoresistance of Fe-SrF_2 single-electron devices with a current-in-plane geometry. *Superlatt*. *Microstr*. **44,** 449 (2008).

[38] 春山純志, 単一電子トンネリング概論, コロナ社 (2002).

[39] K. Maeda, N. Okabayashi, S. Kano, S. Takeshita, D. Tanaka, M. Sakamoto, T. Teranishi, and Y. Majima, Logic Operations of Chemically Assembled Single-Electron Transistor. *ACS Nano* **6,** 2798 (2012).

[40] S. J. Kim, J. J. Lee, H. J. Kang, J.-B. Choi, Y. S. Yu, Y. Takahashi, D. G. Hasko, One electron-based smallest flexible logic cell. *Appl*. *Phys*. *Lett*. **101,** 183101 (2012).

[41] N. M. Zimmerman, W. H. Huber, B. Simonds, E. Hourdakis, A. Fujiwara, Y. Ono, Y. Takahashi, H. Inokawa, M. Furlan, and M. W. Keller, Why the long-term charge offset drift in Si single-electron tunneling transistors is much smaller (better) than in metal-based ones: Two-level fluctuator stability. *J*. *Appl*. *Phys*. **104,** 033710 (2008).

[42] M. D. Stewart and N. M. Zimmerman, Stability of Single Electron Devices: Charge Offset Drift. *Appl*. *Sci*. **6,** 187 (2016).

[43] T. Kaizawa, T. Oya, M. Arita, Y. Takahashi, and J.-B. Choi, Multifunctional Device Using Nanodot Array. *Jpn*. *J*. *Appl*. *Phys*. **45,** 5317 (2006).

[44] D, Schröer, A. D. Greentree, L. Gaudreau, K. Eberl, L. C. L. Hollenberg, J. P. Kotthaus, and S. Ludwig, Electrostatically defined serial triple quantum dot charged with few electrons. *Physical Review B* **76,** 075306 (2007).

[45] M. R. Delbecq, T. Nakajima, T. Otsuka, S. Amaha, J. D. Watson, M. J. Manfra, S. Tarucha, Full control of quadruple quantum dot circuit charge states in the single electron regime. *Appl*. *Phys*. *Lett*. **104,** 183111 (2014).

[46] T. Takakura, A. Noiri, T. Obata, T. Otsuka, J. Yoneda, K. Yoshida, and S. Tarucha, Single to quadruple quantum dots with tunable tunnel couplings. *Appl*. *Phys*. *Lett*. **104,** 113109 (2014).

[47] T. Uchida, M. Arita, A. Fujiwara, and Y. Takahashi, Coupling capacitance between double quantum dots tunable by the number of electrons in Si quantum dots. *J*. *Appl*. *Phys*. **117,** 084316 (2015).

[48] T. Uchida, M. Jo, A. Tsurumaki-Fukuchi, M. Arita, A. Fujiwara, and Y. Takahashi, Fabrication and evaluation of series-triple quantum dots by thermal oxidation of silicon nanowire. *AIP Adv*. **5,** 117144 (2015).

[49] M. Jo, T. Uchida, A. Tsurumaki-Fukuchi, M. Arita, A. Fujiwara, Y. Ono, K. Nishiguchi, H. Inokawa and Y. Takahashi, Fabrication and single-electron-transfer operation of a triple-dot single-electron transistor. *J. Appl. Phys*. 118, 214305 (2015).

[50] 宮崎栄三, 表面科学の基礎と応用, フジ・テクノシステム (1991).

第 2 章　Fe ナノドットデバイスにおいて観測された単一ドットに由来する振動特性

2. 1.　はじめに

単層 Fe 薄膜の成長初期に形成される自己組織化ナノドットアレイを用いたマルチドットデバイスを作製し, その電気特性を評価した. ここでは, リソグラフィ技術により数百 nm オーダーの電極ギャップと Fe ナノドットアレイパターンを有するデバイスを作製し, 明瞭な振動特性の観測を目指した.

2. 2.　デバイス作製

デバイス作製はリソグラフィプロセスを用いて行った. 以下に作製手順の詳細について記述する.

(1) Au 電極パッドの作製

ここでは, コンタクトパッド作製までのプロセス工程を記述する. まずダイシングソーにより, 熱酸化 SiO_2(200 nm)/Si 基板を 20 mm×20 mm の大きさに切り出した. その後, N,N-ジメチルホルムアミドおよびエタノールにより有機洗浄を行い(保護レジストの除去), 硫酸 90 ml と過酸化水素水 30 ml の混合液(ピラニア溶液)を用いた無機洗浄を行った. この無機洗浄により, 有機および無機汚染物質を除去する. 洗浄手順を Table 2−1 に示す.

洗浄後の SiO_2 (200 nm)/Si 基板上に, フォトリソグラフィおよびリフトオフプロセスによりコンタクトパッド(Au 35 nm/Cr 5 nm)を作製した. 基板表面に OFPR-800LB(300 nm)/PMGI-SF6(300 nm)のフォトレジストを Table 2−2 の条件でスピンコーターを用いて塗布した. ここで 2 層レジストを用いたプロセスを採用した理由は, コンタクトパッド作製時に電極エッジのバリ形成を防ぐためである. フォトリソグラフィ時の紫外線露光は, ズースマイクロテック製マスクアライナ(MA6)を用いた. フォトリソグラフィによりパターンを描画した後, NMD-3 を用いて現像を行い, 120℃で 5 min ポストベークした. 現像条件を Table 2−3 に示す.

現像後, ヤマト科学製プラズマリアクター(PR500)を使用し, 酸素プラズマアッシング処理を行うことでレジスト残渣を除去した. 酸素プラズマアッシングは, 酸素ガス流量 150 ml/min, 出力 300 W でエッチトンネルを残したまま 10 min 行った. その後, 真空蒸着装置内(< 10^{-3} Pa)において抵抗加熱蒸着により Cr 5 nm, Au 35 nm を成膜した. ここでの Cr は, Au と SiO_2 基板の密着層としての役割を果たしている.

蒸着後はリフトオフプロセスを行った. リフトオフ手順を Table 2−4 に示す. 110℃で 30

min 温めた N,N-ジメチルホルムアミドに 10 min 浸し，その後超音波洗浄を 5 min 行った. 再度，同時に温めておいた N,N-ジメチルホルムアミドに浸し，超音波洗浄を 5 min 行った後，アセトンに浸し超音波洗浄を 5 min 行った. 最後に，超純水に浸し超音波洗浄を 5 min 行った.

Table 2−1. Substrate cleaning procedure

N,N-dimethylformamide ×2times	ultrasonic cleaning 5 min
Ethanol ×1time	ultrasonic cleaning 5 min
Piranha solution ×1time	Dip 5 min
Ultrapure water ×5times	Dip 5 min

Table 2−2. Coating conditions of photoresist

Photoresist	Coating Condition	Prebake time
PMGI-SF6	3000 rpm, 20 sec	190 °C, 5 min
OFPR-800LB	3000 rpm, 20 sec	110 °C, 90 sec

Table 2−3. Photoresist development conditions (contact pad)

Resist development	NMD3	200 sec
Rinse	ultrapure water	1 sec
Rinse	ultrapure water	10 sec
Rinse	ultrapure water	30 sec

Table 2−4. Lift-off procedure

N,N-dimethylformamide ×1time	110℃ 10 min
N,N-dimethylformamide ×2time	ultrasonic cleaning 5 min
Acetone ×1time	ultrasonic cleaning 5 min
Ultrapure water ×1time	ultrasonic cleaning 5 min

(2) 微細電極の作製

微細なソース・ドレイン電極の作製には電子線(Electron Beam)リソグラフィを使用した．電子線リソグラフィは，電子線を照射することでレジストを感光させ，パターンを描画するプロセスである．電子線リソグラフィのプロセスの流れを Fig. 2−1 に示す．電子線描画用のレジストには PMGI-SF6(300 nm)および ZEP-520A(350 nm)の 2 層レジストを使用した．レジストの塗布条件を Table 2−5 に示す．微細電極の描画パターンは，予め作製しておいたコンタクトパッド(Au/Cr)に合わせるように，ソース・ドレイン電極間のギャップ長(L)を $L = 50 \sim 400$ nm に設計した．パターン描画の際には，エリオニクス製の電子描画装置 ELS-3700 および ELS-F125 を用いた．それぞれの装置で使用した描画条件を Table 2−6，Table 2−7 に示す．電子線による描画を行った後，ZEP-520A を ZED-N50 で，PMGI-SF6 を NMD3 によりそれぞれ現像を行った．現像条件を Table 2−8 に示す．

現像後，酸素プラズマアッシングによりデスカム処理(レジスト残渣の除去)を行った．その後，真空蒸着装置を用いて金属薄膜を形成した．ここでは(1)において説明したのと同様に，抵抗加熱蒸着により Au 35 nm/Cr 5 nm を成膜した．蒸着後，110℃に温めた N,N-ジメチルホルムアミドを用いてリフトオフプロセスを行った．リフトオフの条件は Table 2−4 に示したものと同じである．作製した微小電極ギャップの走査型電子顕微鏡(Scanning-Electron Microscope: SEM)像を Fig. 2−2 に示す.

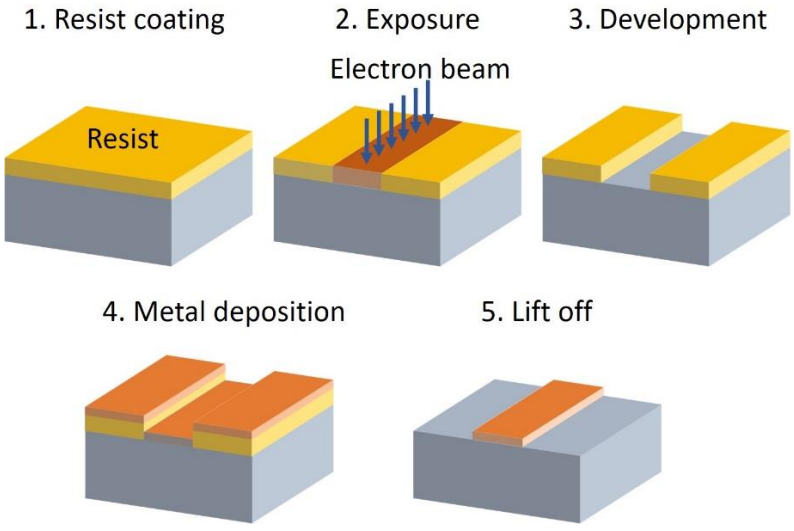

Fig. 2−1. Electron Beam Lithography Process. (1) resist coating (2) pattern drawing by electron beam (3) removal of the exposed resist area by development (4) metal deposition, (5) lift-off.

Table 2−5. Coating conditions of EB resist

Resist	Coating Condition	Prebake time
PMGI-SF6	3000 rpm, 20 sec	190℃, 5 min
ZEP-520A	5000 rpm, 70 sec	180℃, 2 min

Table 2−6. Electron beam drawing conditions (ELS-F125)

Accelerating Voltage	125 kV
Beam current	100 pA
Beam Diameter	1.7 nm
Chip Size	600 μm × 600 μm
Dot Size	2.5 nm × 2.5 nm

Table 2−7. Electron beam drawing conditions (ELS-3700)

Accelerating Voltage	30 kV
Beam current	100 pA
Beam Diameter	6 nm
Chip Size	500 μm×500 μm
Dot Size	25 nm ×25 nm

Table 2−8. Resist development conditions (EB lithography)

ZEP-520A development	ZED-N50	22°C, 5 min
Rinse	ZMD-B	22°C, 1 min
PMGI-SF6 development	NMD3	1 min
Rinse	ultrapure water	1 sec
Rinse	ultrapure water	10 sec
Rinse	ultrapure water	30 sec

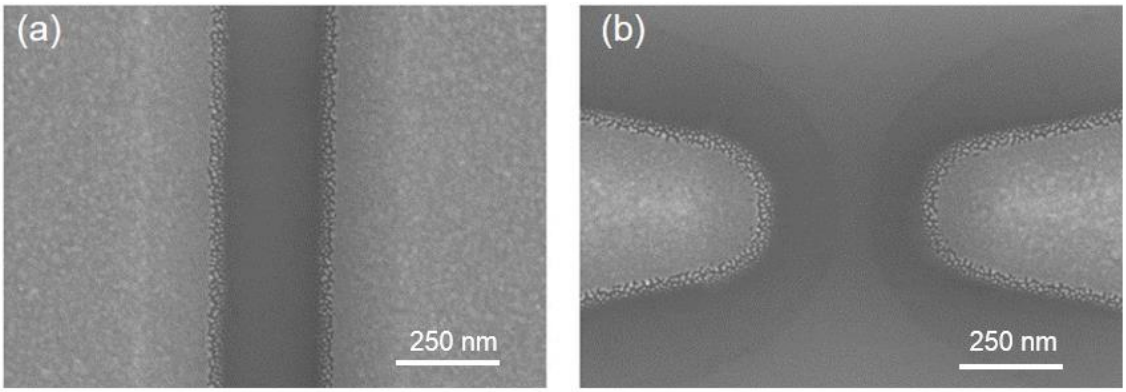

Fig. 2−2. The fabricated electrode having a gap L = 200 nm (a) and 350 nm (b).

(3) MgF_2/Fe ナノドットアレイの作製

本研究では, 金属ナノドットアレイの材料に Fe を, ナノドットアレイのカバー層(絶縁体材料)として MgF_2 を選択した. MgF_2/Fe ナノドットアレイは高真空($< 10^{-7}$ Pa)蒸着装置を用いた電子ビーム(EB)蒸着により作製した. EB 蒸着法は, 高真空中において電子ビームをターゲット材料に照射し, ターゲット材料を加熱し蒸気化させて基板に堆積させることで薄膜を形成する方法である[1]. 特に EB 蒸着は, 粉末材料や高融点材料の成膜に適している. この方法は, 材料ごとに蒸着レートを決めることができるため, 膜厚の制御を比較的容易に行えるというメリットがある. 使用した高真空 EB 蒸着装置の構成の概略図を Fig. 2−3 に示す. チャンバー下部に蒸着源とそれを加熱蒸発させるための電子銃が 2 つあり, 蒸着源を個々に電子ビームで加熱蒸発させ, 基板上に 2 種類の物質を薄膜として形成できる. また, 4 つの基板上に同時に成膜することが可能である. 成膜時, 蒸着源上方にある特殊形状のシャッターを回転(回転速度 1.9 s^{-1})させて試料ごとに異なる時間で蒸着源と基板との間を遮ることで, 基板位置によって異なる膜厚のデバイスを同時に作製することが可能となる. この特殊形状シャッターの詳細については次項に記述する.

実際のデバイス作製では, EB リソグラフィを用いて幅 W = 600 nm の Fe ナノドットアレイパターンを微小電極間に作製した. その際は ZEP-520A (350 nm)のみの単層レジストを用いた. レジストの塗布条件および, 電子線の描画条件は前述したものと同じである. Fe ナノドットアレイパターン作製後, 高真空 EB 蒸着装置を用いて MgF_2 (45 nm)/Fe (平均 Fe 膜厚 t_{Fe} = 1.7 ~ 3.0 nm)を成膜した. ここで, t_{Fe} は平坦膜を仮定したときの Fe の平均的な膜厚である. MgF_2/Fe の成膜は, 1×10^{-6} Pa 以下で室温において行った. Fe および MgF_2 の蒸着レートは, それぞれ 0.02 nms^{-1} および 0.07 nms^{-1} で一定に保った. Fe 蒸着に際しては, 特殊形状シャッターを用い, Fe 膜厚の異なる試料を同時に作製する膜厚傾斜蒸着を行った. 一方, MgF_2 を成膜する際には, 均一な膜厚にするためにシャッターは回転させなかった. 成膜した Fe 膜厚範囲では, SiO_2 表面における Fe 原子のマイグレーションおよび凝集によりナノドットアレイが形成される.

Fe ナノドットアレイ作製後, 110℃に温めた N,N-ジメチルホルムアミドを用いてリフトオフを行った. リフトオフの条件は Table 2−4 に示したものと同様である. Fe ナノドットアレイ作製後のデバイスの SEM 像を Fig. 2−4 に示す. 微小電極ギャップ間に微細加工を施したサブミクロンサイズの Fe ナノドットアレイが挟まれたナノブリッジ構造が形成されている.

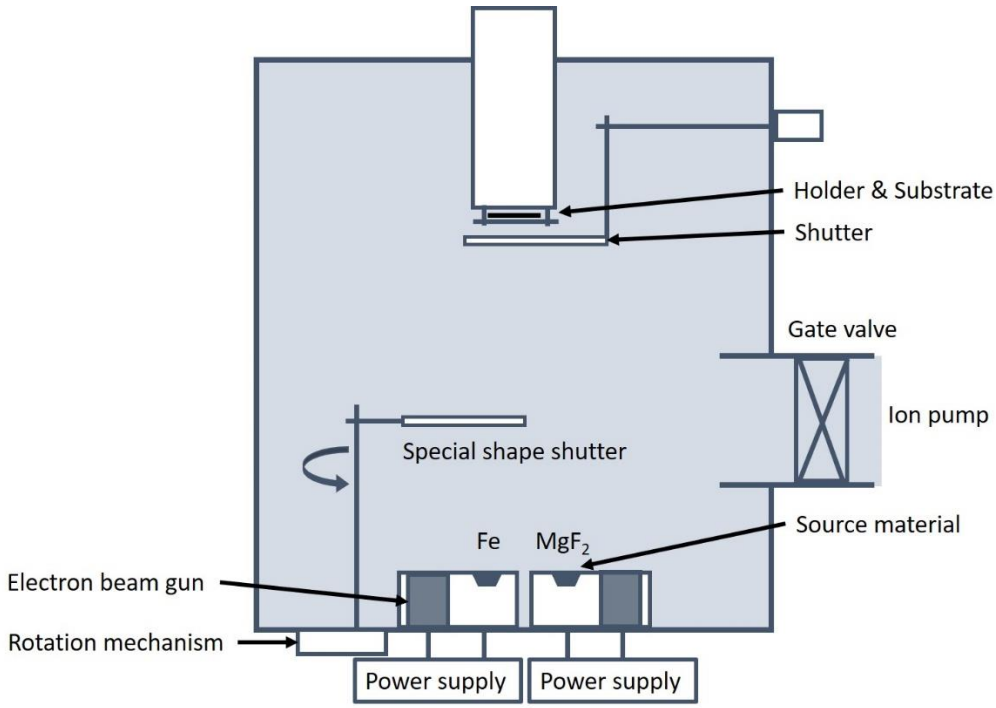

Fig. 2−3. Schematic diagram of the high-vacuum electron beam deposition system.

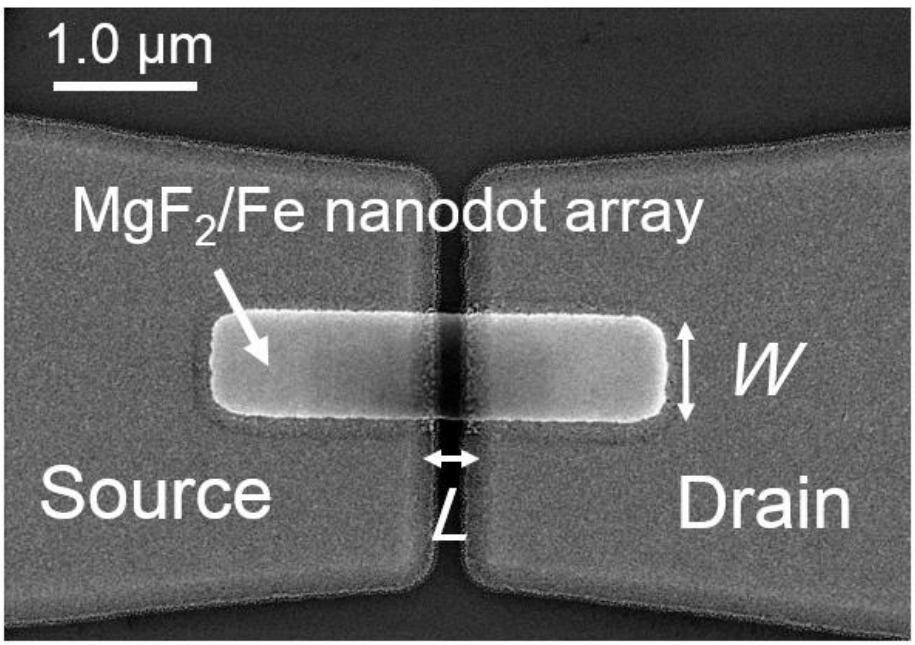

Fig. 2−4. SEM image of the device directly after forming the nanodot array.

(4) 膜厚傾斜蒸着法

Fig. 2−3 に示した真空蒸着装置のチャンバー下部に設置してある Fe 蒸着源と上部の基板ホルダーの間に, Fig. 2−5 に示す特殊形状の回転シャッターを取り付けてある．Fe の成膜時, この特殊な形状のシャッターを回転させることで, 基板中に作製した Fe ナノドットアレイパターンの位置によって, 蒸着源と成膜位置の間を回転シャッターが遮る時間を変化させることが可能となる[2,3]. その結果, Fe の蒸着量を基板中のパターン位置によって変えることができ, デバイスごとに Fe 膜厚の異なる試料を同時に作製することが可能になる. 使用したシャッターの形状を Fig. 2−5 に示す. また, Fig. 2−6 に蒸着量の基板位置依存性を示す. Fig. 2−6 は蒸着量に対する相対的な膜厚を%で表したグラフである.

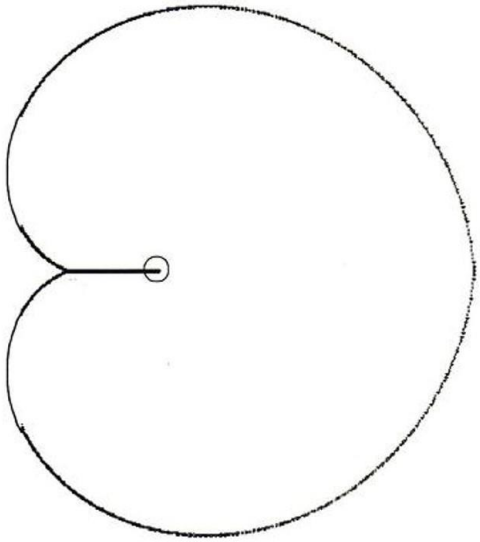

Fig. 2−5. Geometry of the specially-designed heart-shaped shutter used to simultaneously fabricate devices with different Fe film thicknesses [2].

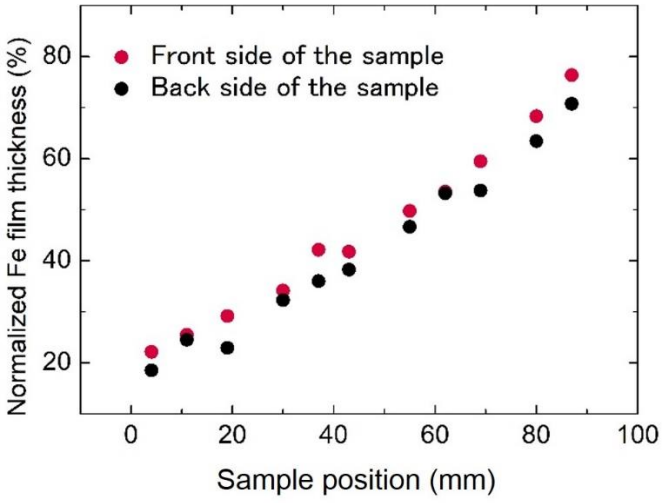

Fig. 2−6. Normalized deposition amount at each substrate position when Fe is deposited by rotating the specially-designed heart-shaped shutter [3].

絶縁体の蒸着量に関しても, 試料位置により蒸着源・試料間の距離に違いがあるため膜厚傾斜がつくが, Fig. 2−7 に示すように最大で 5 %程度である. これは Fe の膜厚傾斜に比べると遥かに小さいため, 本研究では無視できるものとした.

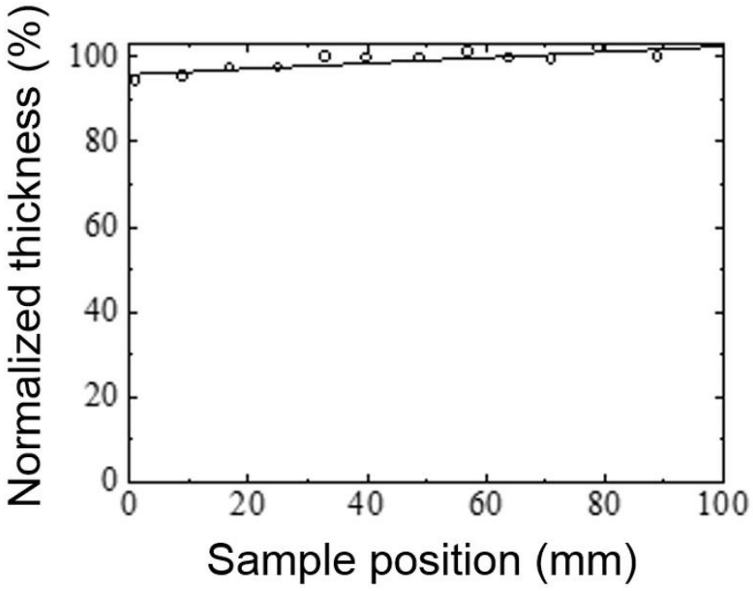

Fig. 2−7. Normalized deposition amount at each substrate position when the insulator is deposited [3].

(5) ゲート絶縁層 SiO_2 の作製.

ゲート絶縁層として使用する SiO_2 層の成膜は, 高周波マグネトロンスパッタ装置(Radio-Frequency Magnetron Sputtering Equipment)を用いて行った(キヤノンアネルバ製 E-200S スパッタ装置を使用). スパッタ法は, 電圧印加により加速された Ar イオンがターゲット材料に衝突することで, ターゲット原子が飛び出し, 基板上に堆積されるという原理である[1]. スパッタ法は, 抵抗加熱蒸着法と比較して高融点材料の成膜が可能である. 特に RF スパッタの場合, ターゲット下部に永久磁石が配置されており, 磁界によって電子のらせん運動を束縛することで高密度のプラズマを発生させることができる. そのため, 直流(DC)スパッタと比較して成膜レートが高い. さらに, RF スパッタの場合は SiO_2 等の絶縁体材料の成膜も可能である.

本研究では Fe ナノドットアレイ作製後に, メタルマスクを用いて SiO_2 層 (300 nm)の成膜を行った. ターゲットは SiO_2 を使用し, Ar ガスの流量は ~ 19 sccm (マスフローコントローラにより制御), RF パワーは 150 W, 成膜中の気圧は 1.0 Pa で一定に保った (成膜レートは 5 nm/min). Ar を導入する直前のスパッタ装置内の真空度は 4.0×10^{-4} Pa 以下であり, SiO_2 成膜時に酸素ガスの導入は行っていない.

(6) ゲート電極の作製

SiO_2 層の成膜後，フォトリソグラフィによりゲート電極パターンを作製した．OFPR-800LB の単層レジストを，スピンコーターを用いて塗布した．レジストの塗布条件は Table 2−2 に示したものと同じである．現像条件を Table 2−9 に示す．ゲート電極パターンの作製後は，熱によるナノドットアレイの変性を防ぐために酸素プラズマアッシング処理は行わない．パターン作製後，抵抗加熱蒸着により Cr 5 nm，Au 35 nm を成膜した．蒸着後にリフトオフプロセスを行い，ゲート電極を作製した．リフトオフプロセスの手順は，Table 2−4 に示したものと同様である．Fig. 2−8 に，ゲート電極を取り付けたデバイスの模式断面図および光学顕微鏡像を示す．全ての測定は，低温プローバー内を $T_s = 8$ K に保ちながら半導体パラメータアナライザ(Agilent 4156C)を用いて行った (T_s は試料ステージの温度)．

Table 2−9. Photoresist development conditions (gate)

Resist development	NMD3	80 sec
Rinse	ultrapure water	1sec
Rinse	ultrapure water	10 sec
Rinse	ultrapure water	30sec

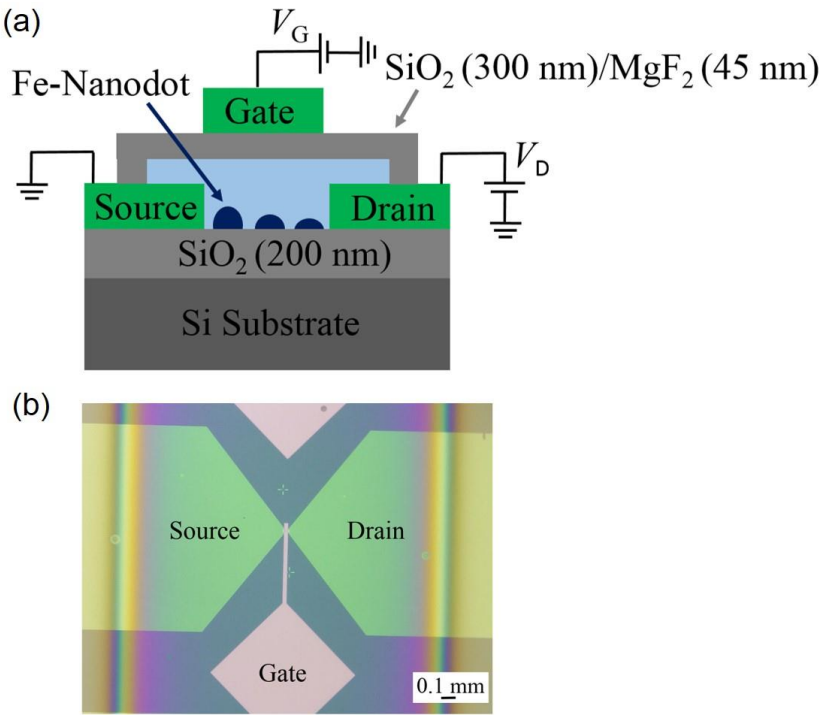

Fig. 2−8. (a) Schematic diagram of the fabricated Fe nanodot array device. (b) Optical microscopy image of the fabricated device.

2. 3.　デバイスの電気特性評価

ここでは Fe ナノドットアレイデバイスの電気特性評価について述べる. Fe 膜厚の異なるデバイスの振動特性を評価することで, 多数のドットがランダムに存在する系における基本的な単電子特性の特徴を把握する.

2. 3. 1.　典型的な電流振動特性

本研究では, 作製したほとんど全てのデバイスにおいて振動特性が観測された. 作製したデバイスにおいて観測された典型的な振動特性を Fig. 2−9 に示す. これらのデバイスをそれぞれ device A (t_{Fe} = 1.8 nm, L = 100 nm), device B (t_{Fe} = 2.3 nm, L = 400 nm), および device C (t_{Fe} = 2.4 nm, L = 50 nm)とした. ゲート電圧 V_G を往復掃引した際に, ヒステリシスの小さな, 再現性のある I_D−V_G 曲線が観測された. 本研究では, 振動の中心から±1%以上変化し, 再現性のある I_D−V_G 曲線を振動特性と定義した. device A および device B において複雑な振動特性が観測された. これは, 複数のドットが並直列に結合しており, 複数のドットに由来する周期・振幅の異なるクーロンブロッケード振動が重ね合わさっているためである. 一方, device C において比較的シンプルな振動特性が観測された. 周期が短く(21 V 程度) 振幅が 20 pA 程度の振動と, 振動周期が長くゲート電圧の掃引範囲では周期の特定ができない振動が, 重ね合わさっている. アレイ中には数百個以上の多数のドットがランダムに存在することを考えると, このようなシンプルな振動特性が観測されることは特筆すべきである.

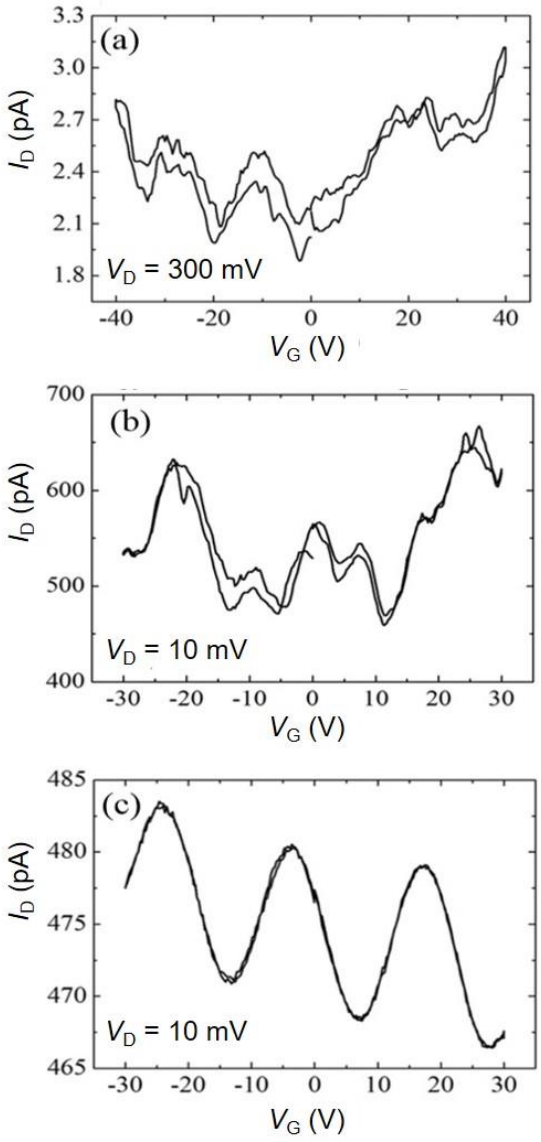

Fig. 2−9. Typical Coulomb blockade oscillation characteristics measured in back and forth V_G scan for (a) device A, (b) device B, and (c) device C. V_G was scanned from 0 to 30 V, then in a negative direction from 30 to −30 V, and finally reversed from −30 to 0 V at drain voltage V_D = 300 (a), and 10 mV (b and c).

2. 3. 2.　コンダクタンスの Fe 膜厚依存性

作製したデバイスのコンダクタンスの Fe 膜厚依存性を Fig. 2−10 に示す．コンダクタンスの電極ギャップ依存性は確認できなかったが，明確な Fe 膜厚依存性を確認した．一般的に Fe 膜厚の増加に伴い，ドットのサイズは増加し，ドット間距離は減少する[4]．故に Fe 膜厚の増加に伴い，電子のトンネル確率も増加するはずである．さらに，ドットサイズの増加に伴いドットの帯電エネルギーE_C が減少するため，クーロンブロッケード状態が解除されるドット数が増えると考えられる．これらの要因により，Fe 膜厚の増加に伴い，コンダクタンスが指数関数的に増加したと考えるのが合理的である．

Fig. 2−10 において，主に 1 個のドットに由来するシンプルな振動特性が観測されたデバイスを赤いプロットで示している．シンプルな振動特性を示すデバイスは，2.4 nm < t_{Fe} < 2.8 nm において 10 %程度の出現頻度であった．t_{Fe} が 2.8 nm 付近になると，デバイスのコンダクタンスが高くなるために，多くのデバイスが振動特性を示さなかった．そのような振動特性を示さなかったデバイスを青色のプロットで示している．特筆すべきは，デバイスのコンダクタンスが量子化コンダクタンス($2e^2/h$)よりも高くなり，ドット同士が電気的に結合する閾値膜厚 t_p = 2.9 nm 付近において，単一周期のシンプルな振動特性を示すデバイスが 10 %程度の頻度で観測されたことである．閾値膜厚付近においては，ドット同士が電気的に結合しているため，そのようなドットは比較的トンネル抵抗の高い少数ドットのリード線のような役割を果たすことが予想される．Fig. 2−9(c)に示したように，振動特性に寄与している実効的なドット数が少なかった理由は，上記のメカニズムを仮定すると説明することが可能である．

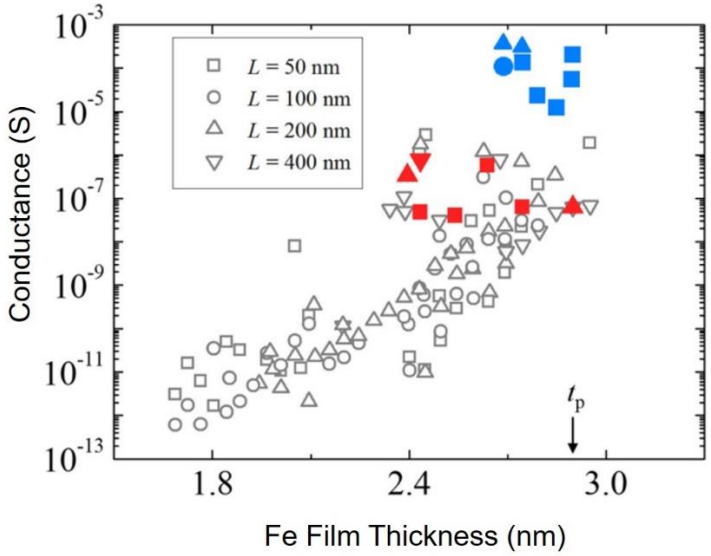

Fig. 2−10.　The conductance dependence on t_{Fe} for the Fe nanodot devices. Red and blue plots show data of devices having near-periodic current oscillations and almost no current oscillations. The position of the threshold thickness t_p is indicated by the black arrow.

2. 3. 3.　単一ドットに由来するシンプルな振動特性

観測されたほぼ単一周期のシンプルな振動特性を Fig. 2−11 に示す. これらのデバイスを, それぞれ device D および device E とした. グラフより, ほとんど一定のベース電流に周期的な電流振動が足し合わさっていることがわかる. device D と device E の振動周期は, それぞれ $\Delta V_G \sim 28$ V および 23 V であった. ドットとゲート間の容量 C_G ($C_G = e/\Delta V_G$)を算出すると, それぞれ $C_G \sim 0.0057$ aF および 0.0070 aF と求まる. 一般的に電流振動特性を評価する際には, dI_D/dV_D の等高線プロットが用いられる[5]. しかしながらマルチドットデバイスの場合, 複数の伝導パスが並列に存在しているため, ドレイン電圧を増加させると背景電流が増加してしまう. ゆえに本研究では, 電流振動特性を解析するためのもう一つの一般的な手法である, フェルミ分布関数の微分形を用いた[6]. Ref. [6]によると, 電流/電流ピークの最大値 I_D/I_{max} は理論的に, 電極におけるフェルミ分布関数の熱的な広がりから導出される. 本研究で使用したフィッティング式を以下に示すと, [7]

$$I \approx I_{\max}\cosh^{-2}\left[\frac{\alpha e(V_G - V_{peak})}{2.5 k_B T_e}\right] + I_{Base},$$

V_{peak} は電流値が最大となる際のゲート電圧, $\alpha = C_G/C_\Sigma$ は電圧スケールからエネルギーのスケールへの換算係数(C_Σ はトータル容量), $E_C = e/2C_\Sigma$ は帯電エネルギー, I_{Base} はベース電流, T_e は電子温度である. 本研究では, T_e はサンプルステージ温度 $T_s = 8$ K と等しいと仮定している. device D および device E における eV_D のエネルギーは, ~ 1 meV および 2 meV であり, 十分に小さかった. ゆえに, エネルギーダイアグラムを考えると[6,7], ソース電極のフェルミ準位 E_F はドレイン電極のフェルミ準位とほとんど同じはずである. Fig. 2−11 に示すように, 各ピークは上記の式を用いてフィッティングすることができた. これは, 観測された電流振動特性が単一ドットに由来することを意味している. フィッティング結果より, device D および device E において, ドットの帯電エネルギーを算出すると $E_C \sim 8.5$ meV および 6.6 meV と求まる. もし T_e が T_s よりも十分高い場合, 帯電エネルギーE_C は算出した値の T_e/T_s 倍になるはずである. 一方で Ref. [8]によると, $T_e - T_s$ は約 2 – 3 K 程度であると推定されている.

ここでは算出した帯電エネルギーの値を用い, 単一ドットのサイズのおおよその推定を行った. その際, 単純化のために MgF_2 中に埋め込まれた孤立球(トータル容量 C_Σ が自己容量 C_{self} に等しい)を仮定した. この場合のトータル容量 C_Σ を以下に示すと,

$$C_\Sigma = 4\pi\varepsilon_0\varepsilon_{MgF_2} r_{Fe},$$

$\varepsilon_{MgF_2} = 5.289$ は MgF_2 の比誘電率[9], r_{Fe}は Fe ドットの半径である. 帯電エネルギー $E_c = e/2C_\Sigma$ であるので, device D, device E において, ドットの半径 r_{Fe}～ 11 nm および ～ 14 nm と求まる.

シンプルな電流振動特性は単一ドットに由来するが, その他の多くのドットも背景電流に

寄与している. Fig. 2−11 において, 並直列に結合した多くのドットに由来するほとんど一定のベース電流が存在していることがわかる. もしトンネルコンダクタンスが量子化コンダクタンス($2e^2/h$)よりも高くなると, たとえドット間に物理的なギャップが存在していても, ドット同士は電気的に結合している. このとき, そのような大きなドットの間にトンネル障壁を介して配置された比較的小さなドットは, ある確率で単一ドットとして働くことが予想される. また、他の大きなドット同士は抵抗の少ないパスを形成し, 単電子島とソース・ドレイン電極をつなぐリードとして機能する可能性があります. その他の周辺領域は不均一で, 一部のドットが電流リークパスを形成し, I_D–V_G 曲線の背景電流を構成する可能性がある. このような状況を仮定すると, Fig. 2−11 に示した測定結果を説明することができる.

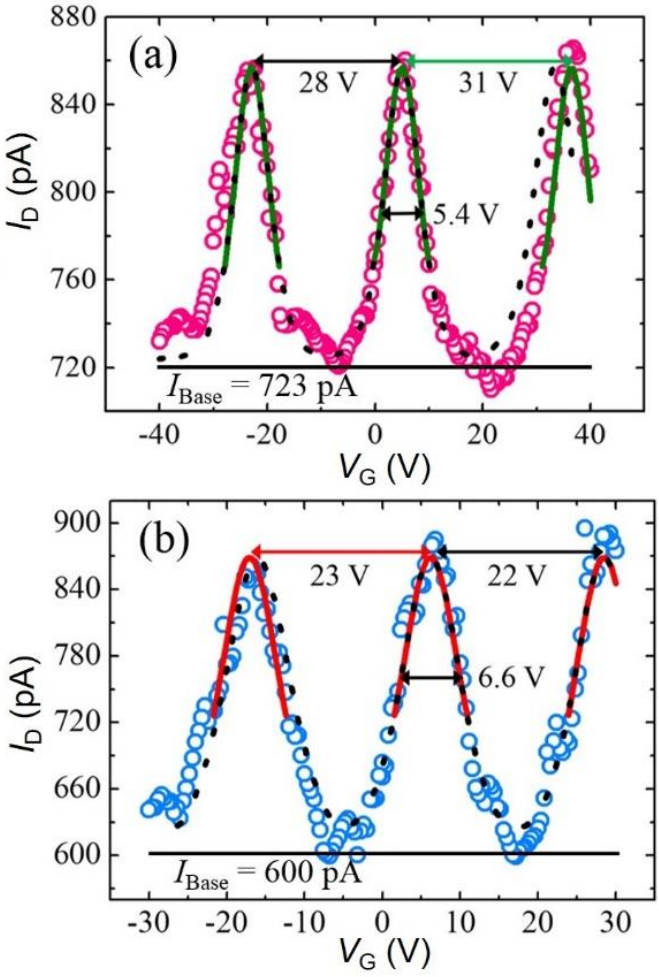

Fig. 2−11. Measured current oscillation characteristics shown as circular plots for (a) device D (t_{Fe} = 2.4 nm, L = 400 nm) at V_D = 1 mV and (b) device E (t_{Fe} = 2.4 nm, L = 200 nm) at V_D = 2 mV where V_G sweep was performed in the positive direction. Solid lines (green and red) are fitted by the Fermi–Dirac distribution function and dotted lines are fitting curves assuming constant oscillation periods evaluated from the shorter distance of the two peaks in the graphs. Solid lines (black) are the background current I_{Base}; ~ 723 pA (a) and ~ 600 pA (b).

2. 3. 4.　サテライトドットに由来する振動ピークのシフト

本研究では, 観測された単一周期の電流振動特性について詳細な解析を行った. その結果, Fig. 2−11 に示したように, 電流値のジャンプや振動周期のシフトがみられた. Fig. 2−11(a)において, 最初のピークと 2 つ目のピークの間隔が 28 V 程度であり, 2 つ目と 3 つ目のピークの間隔が 31 V 程度であった. 同様に Fig. 2−11(b)においては, それぞれ 23 V および 22 V であった. どちらの場合も 10 %程度の振動周期のシフトが観測された. Fig. 2−11 において, 振動周期がそれぞれ 28 V (device D)および 22 V (device E)で一定であると仮定した場合のフィッティング曲線を, 点線(黒色)で示している. 電流ピークのシフトは, 振動のバレーの位置である V_G ~ 20 V (device D) および ~ -5 V (device E)において起こったと考えられる. このようなピークシフトは, 伝導パス周辺のサテライトドットに電子がトンネル(帯電)することにより, 振動特性を支配している単一ドットのポテンシャルが変化したことが原因であると予想される. ピークシフトのその他の原因として, 金属−絶縁体界面周辺での電子トラップが考えられる. トラップサイトと金属ドット界面の間はトンネル距離(~ 3 nm)程度であるはずであり, 電子トラップは金属ドットから離れた位置にはない. ゆえに, 電子トラップは金属ドットの数多くの電子によってほとんど完全に遮蔽される. この場合, 酸化物中の電子トラップはピークのシフトに寄与する影響は少ないと考えられる.

2. 4.　小括

本章では, Fe 膜厚 t_{Fe} の異なる(1.8 nm < t_{Fe} < 2.8 nm)ナノドットアレイを用いたマルチドット単電子デバイスを作製し, コンダクタンスの Fe 膜厚依存性および電流振動特性を評価した. その結果, 1.8 nm < t_{Fe} < 2.8 nm の範囲で作製した全てのデバイスにおいて, 明瞭な振動特性を観測した. さらに閾値膜厚 t_p = 2.9 nm 付近において, 数百個以上のドットが存在しているにも関わらず, 単一ドットに由来するシンプルな振動特性を 10 %程度の頻度で観測した. この結果は, サイズの大きな多数のドットに由来するほとんど一定のベース電流に, 単一ドット由来の振動特性が足し合わさっていると考えると説明することができる. これらの実験結果から, Fe 膜厚を変化させることで, 振動特性を得るのに適切なコンダクタンスのデバイスを作製できたと言える. さらに, Fe 膜厚によりドットのサイズ・トンネル距離の条件を整えることで, 電極間に数百個以上のドットが存在するランダムな系において 1 個のドットに由来する明瞭な振動特性を抽出できることを明らかにした. これは従来の予想に反し, 多ドット系においても個々のドットの単電子特性が抽出できることを示唆する. これらの成果は, 3 章に述べるデバイスの動作安定性評価や, 4 章に述べるデバイスのマルチゲート動作の研究に発展した.

2. 5. 参考文献

[1]早川 茂・和佐 清考, 薄膜化技術, 共立出版株式会社.

[2]西尾 宏之, 修士論文, Fe-MgO グラニュラー膜の単電子伝導特性に関する研究, 2007.

[3]石川 琢磨, 修士論文, MgF_2/Fe/MgF_2 膜の磁気抵抗効果, 2012.

[4] B. Abeles, P. Sheng, M.D. Coutts, and Y. Arie, Structural and electrical properties of granular metal films. *Adv*. *Phys*. **24,** 407 (1975).

[5] Y. Azuma, M. Sakamoto, T. Teranishi, and Y. Majima, Memory operations in Au nanoparticle single-electron transistors with floating gate electrodes. *Appl*. *Phys*. *Lett*. **109,** 223106 (2016).

[6] C. W. J. Beenakker, Theory of Coulomb-blockade oscillations in the conductance of a quantum dot. *Phys*. *Rev*. *B* **44,** 1646 (1991).

[7] S. Kano, D. Tanaka, M. Sakamoto, T. Teranishi, and Y. Majima, Control of charging energy in chemically assembled nanoparticle single-electron transistors. *Nanotechnol*ogy **26,** 045702 (2015).

[8] T. Uchida, M. Arita, A. Fujiwara, and Y. Takahashi: Coupling capacitance between double quantum dots tunable by number of electrons in Si quantum dots. *J*. *Appl*. *Phys*. **117,** 084316 (2015).

[9] J. Fontanella, C. Andeen, and D. Schuele, Low‐frequency dielectric constants of α‐quartz, sapphire, MgF_2, and MgO. *J*. *Appl*. *Phys*. **145,** 2852 (1974).

第 3 章　Fe ナノドットデバイスの動作安定性

3. 1.　はじめに

この章では, Fe ナノドットデバイスのオフセットチャージ安定性について述べる.

単電子デバイスの最大の特徴は高い電荷感度にあり, 例えば, 量子コンピューティングデバイスにおいて隣り合う 2 つのドット間の電荷移動の検出を可能にする[1−3]. ドレイン電流を I_D, ゲート電圧を V_G とすると, 単電子島周辺を移動するオフセットチャージによって I_D−V_G 特性がドリフトすることにより検出される. この電荷ノイズはオフセットチャージドリフト(ΔQ_0)と呼ばれ, 単電子研究の初期に多く用いられた Al ドットと Al_2O_3 トンネル障壁から構成されるデバイスにおいて顕著に観測されている($\Delta Q_0 >> 1e$) [4,5]. この現象は, 単電子トランジスタの持つ高い電荷に対する感度から, 当然の結果とされていた. しかし, 注目すべきは, その後研究が始まった Si-SiO_2 系を用いたデバイスがオフセットチャージドリフトに対して非常に安定していることである($\Delta Q_0 < 0.01e$) [6,7]. また, Al ゲートを持つ Si-SiO_2 系デバイスは, ポリ Si ゲートを持つ Si-SiO_2 系デバイスや Al-Al_2O_3 系デバイスと比較し, オフセットチャージの中間的な変化（$\Delta Q_0 \approx 0.1e$）を示す[8]. これらのことから, 金属ドットや金属ゲートを用いたデバイスでは, オフセットチャージの不安定性が依然として大きな課題であることが示唆された. 従って, 金属ドット系のデバイス応用には, オフセットチャージドリフトを抑制することが必要である. しかし金属ドット系に関しては, Al-Al_2O_3 系以外のデバイスでは, 検討例が少ないことと, 明瞭な電流振動特性が観測されていないこともあり, このようなオフセットチャージの不安定性は調べられていない.

金属ドット系を用いたデバイスにおけるオフセットチャージの不安定性の研究が限られている理由の 1 つは, その作製の難しさである. 微小なドットにトンネル障壁を付けることは困難であり, 測定可能なトンネル電流を得るためにはトンネルギャップが数 nm 以下でなければならない.しかし, 自己組織化ナノドットアレイを用いた作製法は, この課題を解決する可能性がある. 第 2 章では, Fe 薄膜の成長初期に形成されるナノドットアレイを用いたデバイスを作製し, 明瞭な振動特性が得られることを明らかにした. しかし, この手法を用いて作製したデバイスは, 直並列に多数のドットが存在するため, 複雑な振動特性が観測される. そのような複雑な振動特性では, オフセットチャージの安定性評価は難しいと考えられる. そこで本研究では, 第 2 章において述べた, 単一のドットに由来するほぼ単一周期のシンプルな振動特性に注目する. ある特定の単一ドットに由来するシンプルな振動特性を示すデバイスであれば, 多数のドットが存在する系においてもオフセットチャージの安定性を評価できる可能性が期待できる.

第 3 章では, Fe ナノドットアレイを用いたマルチドットデバイスを, オフセットチャージ

安定性の観点から調査した．シンプルな振動特性の温度依存性から，観測された振動特性は単一のドットから生じていることを確認した．その後，そのようなシンプルな振動特性を示すデバイスにおけるオフセットチャージの安定性を評価した．その結果，Al-Al_2O_3 系を用いたデバイスと比較し，Fe ナノドットデバイスはオフセットチャージドリフトに対して比較的安定な振動特性を示すことを明らかにした．

3. 2. デバイス作製

本研究におけるデバイス作製プロセスおよび条件は，第 2 章において説明したものと基本的には同じである．ただし，トップゲート構造がデバイスのオフセットチャージの安定性に影響を与える可能性があるため[7]，本研究で作製したデバイスはトップゲート電極および SiO_2 絶縁膜を形成しなかった．

2. 2 で示した図を一部再掲する形にはなるが，作製したデバイスの模式断面図，SEM 像および光学顕微鏡像を Fig. 3−1 に示す．熱酸化 SiO_2 (200 nm)/Si 基板上にソースおよびドレイン電極を形成した後，電極ギャップ $L = 50$ ～ 400 nm に Fe ナノドット層を形成し，続いて MgF_2 絶縁膜 (45 nm) を堆積した．MgF_2 により覆われた Fe ナノドットアレイは，超高真空蒸着装置(< 10^{-7} Pa)を用いた EB 蒸着によって形成された．Fe ナノドットアレイ蒸着時の平均 Fe 膜厚 (t_{Fe}) は 1.8 - 2.9 nm の範囲である．この Fe 膜厚範囲では，SiO_2 上での Fe 原子の表面マイグレーションと凝集により，Fe ナノドットが分散している．また，Fe ナノドットアレイの幅（W）は 600 nm であった．本研究では，Si 基板をゲート電極として使用した．電気測定は，半導体パラメータアナライザを備えた低温プローバーを用い，主に温度 $T = 8$ K で行った．

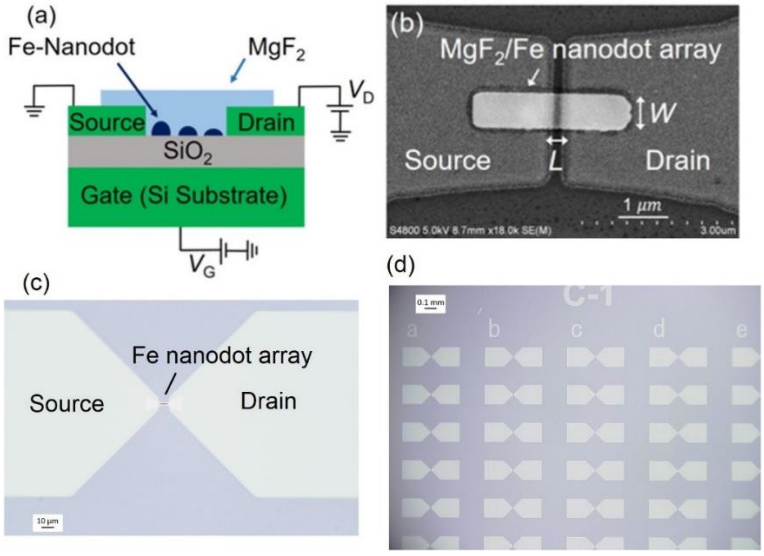

Fig. 3−1. (a) Schematic cross-sectional view, (b) scanning electron microscopy image (planar view), and (c and d) the optical microscopy images of the fabricated Fe nanodot array device.

3. 3.　単一ドットに由来するシンプルな振動特性の温度依存性

オフセットチャージドリフトの議論に先立ち, 第 2 章において述べた Fe ナノドットデバイスにおける振動特性の特徴をもう一度簡単に説明する. マルチドットデバイスにおける振動特性の典型例を Fig. 3−2 に示す. 複数のドットに由来するクーロンブロッケード振動が重なり合い, 複雑な振動特性が観測されている(Fig. 3−2(a)). もう一つの例は, Fig. 3−2(b)に示すように, 比較的シンプルな振動特性ではあるものの, いくつかのドットに由来する振動から構成されていることがわかる. その内の 1 つの成分は, $\Delta V_G \sim 12$ V の振動周期であった. その他の振動周期は複雑であり, 掃引したゲート電圧 V_G の範囲内において評価することができなかった. このように複数のドットに由来する振動特性では, それぞれのドットに対して異なるオフセットチャージドリフトが生じ振動特性が複雑に変化するため, オフセットチャージの安定性を評価することが難しい.

第 2 章において説明したように, Fe ナノドットデバイスは単一ドットに由来するほぼ単一周期のシンプルな振動特性を一定頻度で示す. 単一のドットに由来すると考えられるオフセットチャージドリフトを評価する上で、振動特性がシンプルであることは重要である. ただし, 本当に単一ドットに由来する振動特性であるか確認を行う必要がある. そこで, 本研究ではオフセットチャージの安定性を評価する前に, シンプルな振動特性の温度依存性を調査し, 観測された振動特性が単一のドットに由来することを確認した.

観測されたシンプルな振動特性の温度依存性を Fig. 3−3 に示す. 測定温度を 8 K から 120 K まで上げると, V_G の順方向および逆方向のスキャンにおいてシンプルな振動特性が維持された. また, 温度上昇に伴い, クーロンブロッケードが解除されたドットの数が増加し, デバイスのコンダクタンスが増加した. さらに, 温度上昇に伴い振動の振幅は減少した. クーロンブロッケード振動のピークの半値全幅(full-width-at-half-maximum: FWHM)は, エネルギー準位の熱的広がりに起因していると考えられるため, これは妥当な結果であると言える. Makarenko らによると[9], ピークの FWHM = 4.35 $k_B T/\alpha e$ で与えられる (αは電圧からエネルギースケールへの換算係数). 従って, クーロンブロッケード振動の隣接ピークは温度が高くなると次第に重なり合い, 全体の電流振動の振幅が減衰することがわかる. これらのリーズナブルな温度依存性から, このシンプルな振動特性は単一のドットに由来すると結論づけられる. この結果は, 次節以降に述べる, マルチドット構造におけるオフセットチャージの安定性評価につながった.

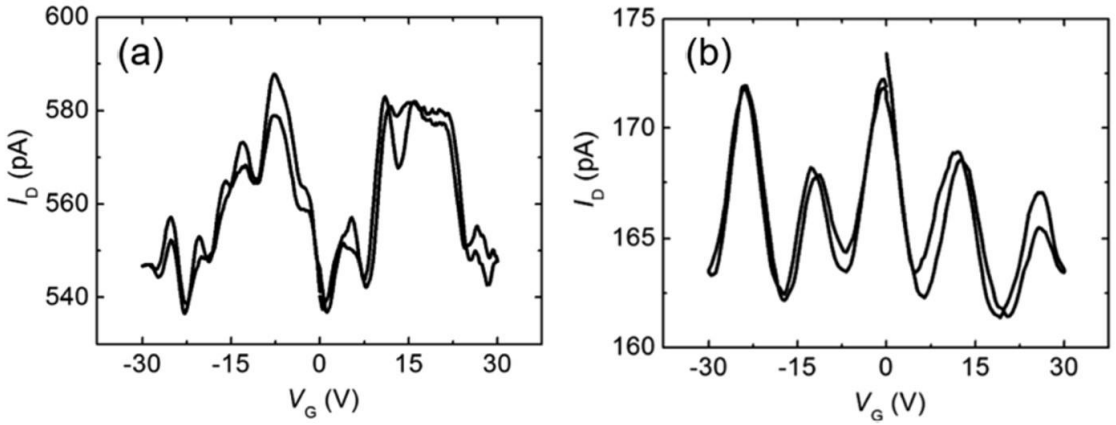

Fig. 3−2. Typical current oscillations measured for devices with (a) t_{Fe} = 2.3 nm, L = 400 nm at V_D = 5 mV; and (b) t_{Fe} = 2.6 nm, L = 50 nm at V_D = 5 mV (V_D, drain voltage). A further current component (~ 530 pA (a), and ~ 160 pA (b)) is thought to flow through the dots with the lifted Coulomb blockade, which can be attributed to relatively large islands or a higher tunneling conductance than the quantized value ($2e^2/h$).

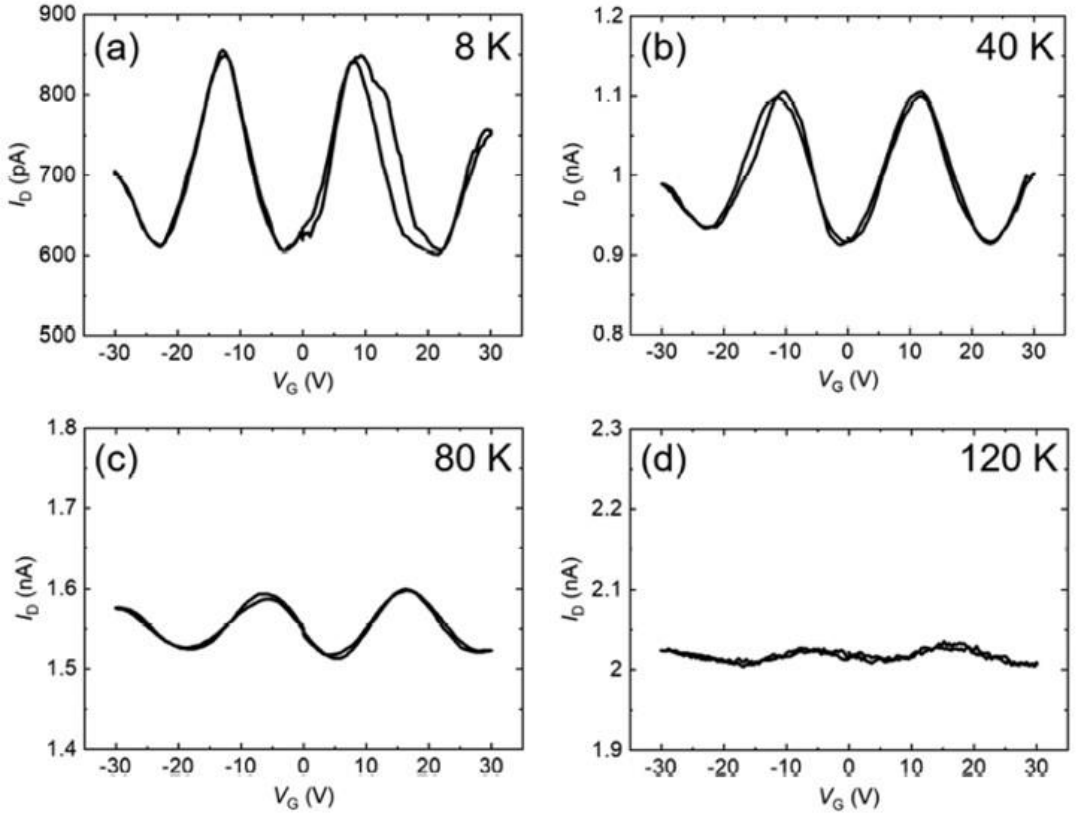

Fig. 3−3. Temperature-dependence of the simple current oscillation characteristics measured in backward and forward V_G scans for the device (t_{Fe} = 2.4 nm, L = 200 nm) at V_D = 2 mV. Measurement temperatures were (a) 8, (b) 40, (c) 80, and (d) 120 K.

3. 4.　オフセットチャージ安定性の評価

一般的にマルチドット構造のデバイスにおける振動特性は,ドリフト量の異なる複数のドットに由来するクーロンブロッケード振動から構成されている．そのため，マルチドットデバイスにおけるオフセットチャージドリフトの評価は困難と予想される．しかし，Fig. 3−3 に示すように，作製したマルチドットデバイスの中には単一ドットに由来するシンプルな振動特性を示すものがあった．これは，このようなシンプルな振動の時間的なピークシフトに着目することで，マルチドットデバイスにおいてもオフセットチャージドリフトを評価することができることを示唆する．このことを踏まえ，本節ではマルチドットデバイスにおけるオフセットチャージの安定性について議論する．

シンプルな振動特性を示したデバイスを用い，5 日間以上にわたり繰り返し I_D−V_G 曲線を測定することで，振動特性の時間安定性を調査した．V_G を 30 V ~ - 30 V まで往復掃引を行い，同じ振動特性を繰り返し測定した(1 回の V_G 往復掃引に 2 時間程度かかる)．その結果を 2 次元の電流マップとしてまとめたものを Fig. 3−4 に示す．グラフ中で，白く見えている部分が振動ピークの観測された領域に相当する．V_G ~ -15 V, 12 V 付近に明確なピークが観測されていることがわかる．V_G ~ -15 V 付近のピークは測定開始後 3 日前後で-23 V へとわずかにシフトしているものの，V_G ~ -15 V, 12 V 付近で観測された振動ピークは，この測定時間の範囲では顕著なシフトは見られなかった．

測定したすべての I_D−V_G 曲線を用い，V_G ~ 12 V 付近の電流ピークに着目し，そのピーク位置(V_{peak})を最初の測定開始(t = 0)からの時間(t)の関数として追跡した．これにより，各時間(t)におけるオフセットチャージを算出し，その安定性を評価した．オフセットチャージの具体的な算出および評価方法を次に記述する．

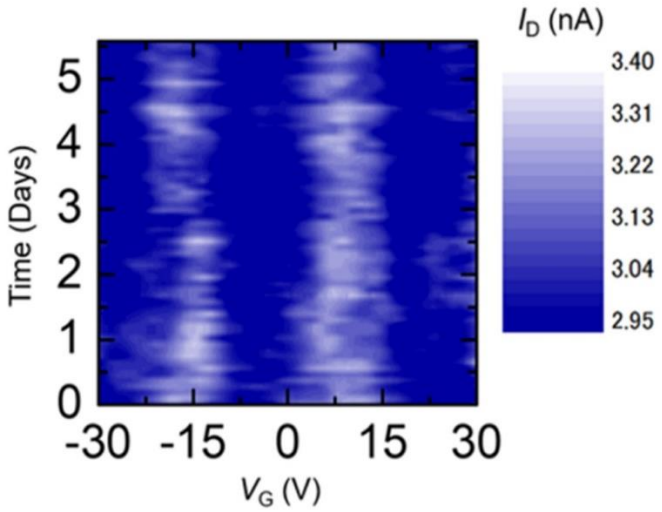

Fig. 3−4.　Contour plots of drain current (I_D) as a function of gate voltage (V_G) versus measurement time for the device (t_{Fe} = 2.4 nm, L = 200 nm) at V_D = 28 mV, which showed simple current oscillation characteristics.

Hu らの報告に従い[7], 以下の式を用いて各時間(t)におけるオフセットチャージ$Q_0(t)$を算出した.

$$Q_0(t) = e\{[V_{\mathrm{peak}}(t) - V_{\mathrm{peak}}(t=0)]/\Delta V_{\mathrm{G}}\}$$

ここでΔV_{G}は振動周期を表している. この方法を用い, 単電子デバイスにおけるオフセットチャージドリフトの評価を行った報告例は多くある[4–8]. 本研究では, 測定時間内におけるオフセットチャージ$Q_0(t)$の変化の最大幅を, オフセットチャージドリフト(ΔQ_0)と定義した.シンプルな振動特性(Fig. 3–4)を示したデバイスを用い, 単一ドットのオフセットチャージドリフトΔQ_0を評価した. これは, Fig. 3–4 に示したように, ピーク位置の経時的な変化を追跡することにより可能となった. 測定した振動周期ΔV_{G} = 27 V を用い, 5 日間以上にわたるオフセットチャージ$Q_0(t)$の変化を Fig. 3–5 にまとめた. $Q_0(t)$の値の変化から, 測定時間内におけるオフセットチャージドリフト$\Delta Q_0 \sim 0.3e$ と算出された. 評価されたΔQ_0 の値は, Al-Al_2O_3 トンネル接合を用いて作製したデバイス($\Delta Q_0 \gg 1e$) [4]よりも小さいことがわかった. この結果から, シンプルな電流振動の時間的なピークシフトに注目することにより, マルチドットデバイスにおいてもオフセットチャージドリフトを評価できることを示した. さらに, 作製した Fe-MgF_2 系デバイスはオフセットチャージドリフトに対して比較的安定した動作特性が期待できることが分かった.

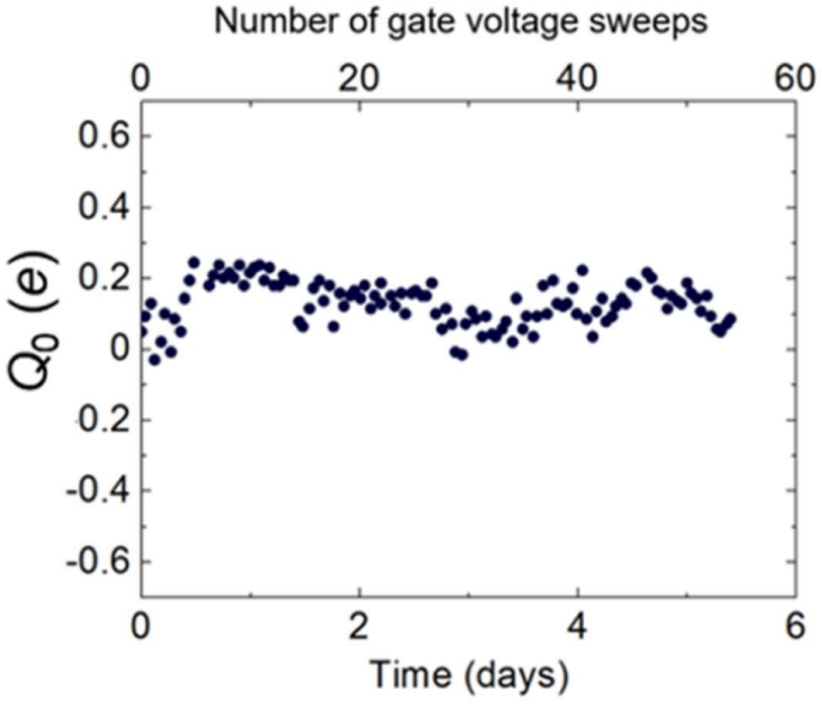

Fig. 3–5. Charge-offset $Q_0(e)$ vs. time and number of gate voltage sweeps extracted from the current oscillation peak positions of the device (t_{Fe} = 2.4 nm, L = 200 nm) at V_{D} = 28 mV.

Fig. 3−6 は，先ほどの Fig. 3−3 に示した電流振動特性の安定性を評価した例であり，V_G ~ -15 V, 7.5 V 付近に明確なピークが観測されている(1 回の V_G 往復掃引は約 27 分程度). この例でもピーク位置の著しい変化はないが, 2 〜 6 日目と 8 〜 10 日目に電流値の急激なジャンプが観測された. このような急激な電流値のジャンプは，その後ピーク位置がほぼ元の位置に戻っていることから，単一ドットから構成される単電子デバイス(単電子トランジスタ)におけるオフセットチャージドリフトによるものとは考えにくい. この電荷ノイズについては後ほど詳しく説明する. 作製した 2 つのデバイスは，測定時間(5 日以上, 10 日以上)にかかわらず，オフセットチャージドリフトに対して比較的安定した振動特性を示した. このデバイスの振動周期ΔV_G = 27 V を用い，先ほどと同様の評価を行い，その結果を Fig. 3−7 にまとめた. オフセットチャージ$Q_0(t)$の最大値と最小値を考慮すると，測定時間内におけるオフセットチャージドリフトは ΔQ_0 〜 $0.3e$ と評価された. 評価された値は，先ほどのデバイスよりも大きいが，それでも Al-Al_2O_3 系を用いたデバイス ($\Delta Q_0 >> 1e$)[4]よりは小さい.

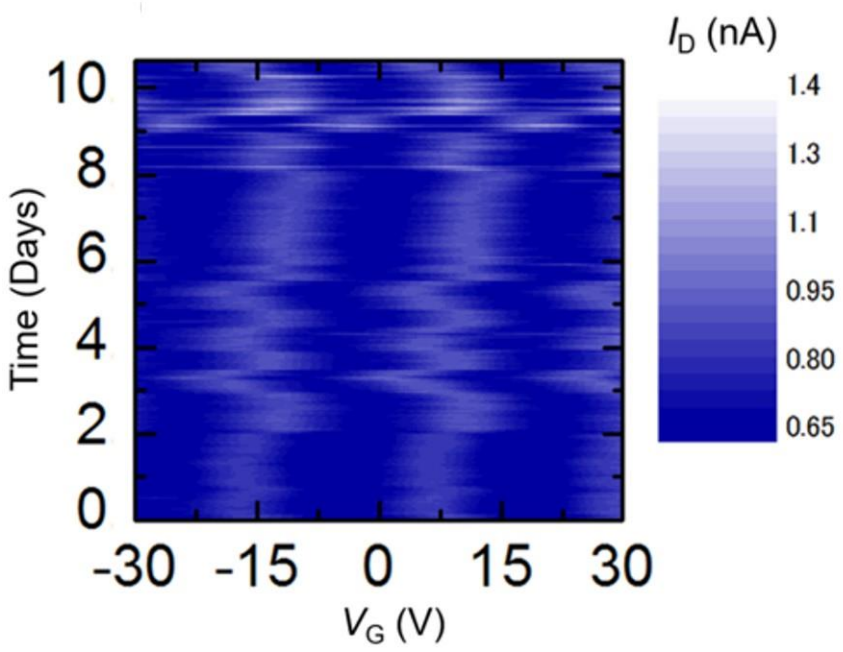

Fig. 3−6. Contour plots of drain current I_D as a function of gate voltage V_G versus measurement time for the device (t_{Fe} = 2.4 nm, L = 200 nm) at V_D = 2 mV.

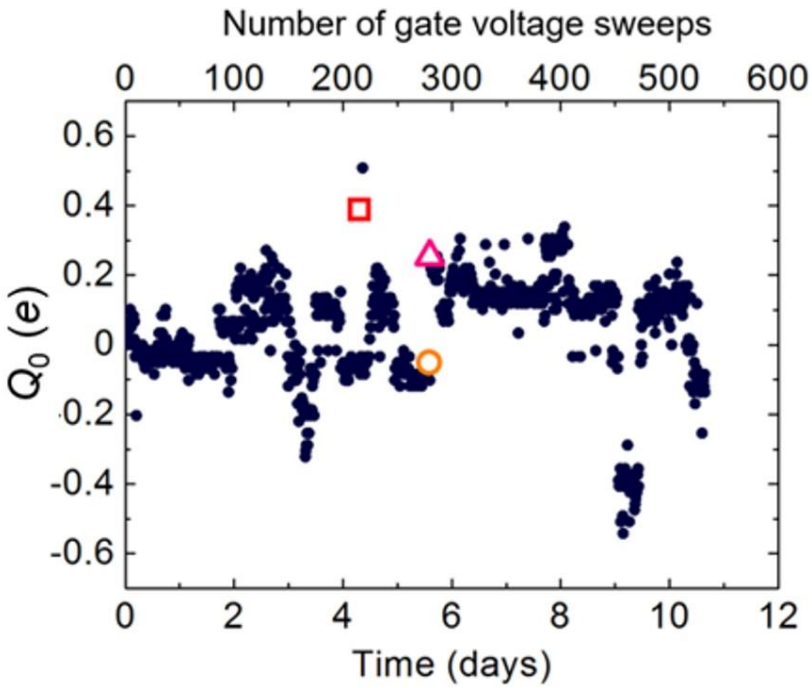

Fig. 3−7. Charge-offset $Q_0(e)$ vs. time and number of V_G sweeps extracted from the current oscillation peak positions of the device (t_{Fe} = 2.4 nm, L = 200 nm). Plotted data (circle, triangle, and square) indicate examples of abrupt jumps in $Q_0(e)$.

作製したデバイスの安定した動作特性は，デバイスの構造や MgF_2 でカバーされた Fe ナノドットアレイの固有の材料特性に起因している可能性がある. Hu らは, Si-SiO_2 系を用いたデバイスにおいて，ポリ Si トップゲートがある場合とない場合のオフセットチャージの安定性を評価した[7]. その結果，ポリ Si トップゲートを取り付けたデバイスにおけるオフセットチャージドリフトが大幅に減少することを以前に報告している．さらに, Si ドットを SiO_2 (20 nm)でカバーすることで，オフセットチャージドリフトが抑制されることも報告している[7]. 本研究で作製した Fe ナノドットは MgF_2 (45 nm)でカバーされているのに対し, Al-Al_2O_3 系を用いたデバイスは Al ドットの表面が Al 酸化膜(~ 2 nm)でカバーされているのみである．この構造の違いにより，ドット周辺に存在する可動電荷(イオン等)の移動による影響が異なっている可能性が考えられる．しかし，これらの仮説を確認するためにはさらなる実験が必要である．また Hong らは，熱酸化の代わりにプラズマ酸化を用いることで, Al-Al_2O_3 系デバイスにおけるオフセットチャージドリフトが抑制されることを報告している[10]．このことから，プロセス条件による材料の表面・界面状態の違いもデバイスにおけるオフセットチャージドリフトを抑制する上で重要な要因であることが示唆される．従って，Fe-MgF_2 系デバイスにおいても，プロセス条件のさらなる改善により，オフセットチャージドリフトに対してより安定な動作が期待できる．

3. 5.　オフセットチャージの急峻なジャンプ

Fig. 3−7 では，オフセットチャージ$Q_0(t)$の急激なジャンプが確認され，これがオフセットチャージドリフトΔQ_0 の増加に寄与していることがわかった. Fig. 3−8 は，クーロンブロッケード振動の急激なピークシフトの典型例であり, Fig. 3−7 のマーク位置に対応するものである. Fig. 3−8(a)は I_D−V_G 掃引 205 回目の結果であり，振動の位相が黒線から赤線に急激にシフトしていることがわかる. 同様に, Fig. 3−8(b)に示すように, I_D−V_G 掃引 266 回目において振動の位相が橙線から紫線に急激にシフトしていることがわかる. Fe ナノドットアレイデバイスにおいては，並列に接続された多数のドットが I_D−V_G 曲線におけるほぼ一定のバックグラウンド電流(~ 600 pA, Fig. 3−8(a)) を構成していると考えられる. 従って，そのような伝導パスの周辺にあるサテライトドットが単一電子トラップとして働くことで，第 2 章において議論したように Fig. 3−8 に示す電流振動の急激なピークシフトが生じた可能性がある. Fig. 3−7 に示すオフセットチャージ$Q_0(t)$の値の変化は，主にこの急激なピークシフトによるものであり，単一ドットから構成される単電子デバイス(単電子トランジスタ)におけるオフセットチャージドリフトとしてカウントするべきでない. このような単一電子トラップとして働くサテライトドットを除去することで，マルチドットデバイスにおける電荷ノイズを抑制できると期待される.

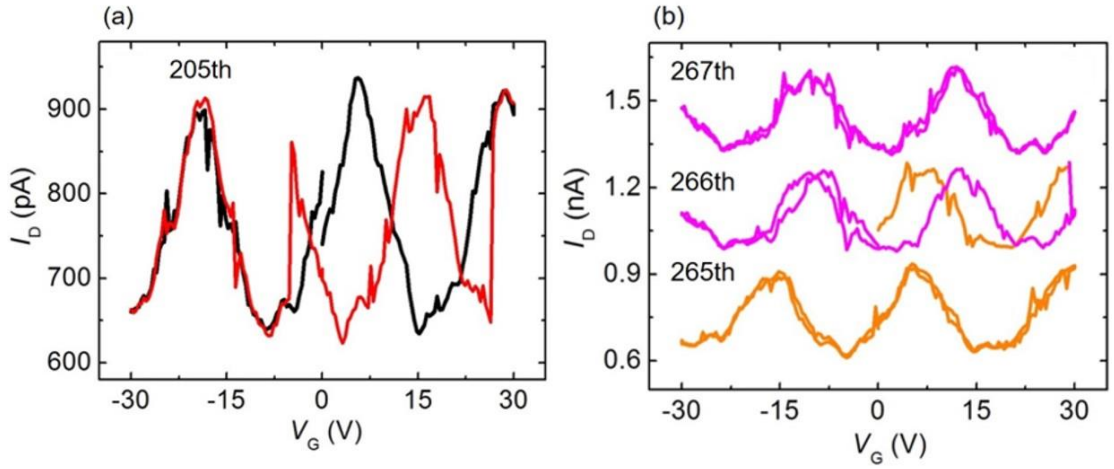

Fig. 3−8.　Sudden phase shifts in current oscillation observed during backward and forward V_G scan measurements of the device (t_{Fe} = 2.4 nm, L = 200 nm). (a) 205th I_D–V_G sweep, corresponding to the square mark in Fig. 3−7; (b) 265th to 267th I_D–V_G sweeps, corresponding to the circle and triangle markers in Fig. 3−7. Each I_D–V_G curve was vertically shifted by 0.3 nA for clarity.

3. 6. 小括

本章では, Fe-MgF_2 系を用いたマルチドットデバイスにおいてもオフセットチャージドリフトの評価が可能であることを示した. これは, いくつかのデバイスにおいて単一ドットに由来すると考えられるシンプルな振動特性が観測されたためである. 温度依存性から, このシンプルな振動特性が単一ドットに由来していることの確認も行った. このようなデバイスを用いると, ピーク位置の経時変化に着目することで, オフセットチャージドリフトを評価することができる. 作製したデバイスはシンプルなクーロンブロッケード振動を示し, 観測された振動特性はオフセットチャージドリフトに対して比較的安定であった. 評価されたオフセットチャージドリフトの値ΔQ_0 〜 $0.3e$ は, Al/Al_2O_3/Al トンネル接合を用いたデバイスの評価値$\Delta Q_0 >> 1e$ [4] に比べて小さかった. Fe-MgF_2 系デバイスにおける安定性の起源は, そのデバイス構造や固有の材料特性にあると考えられる. さらに, オフセットチャージの急激なジャンプが観測されたが, これはサテライトドットが単一電子トラップとして作用しているためと考えられる. この電荷ノイズはオフセットチャージドリフトではなく, 微細化によりサテライトドットの数を減らすことで抑制されると考えられる.

3. 7. 参考文献

[1] R. Maurand, X. Jehl, D. Kotekar-Patil, A. Corna, H. Bohuslavskyi, R. Lavie´ville, L. Hutin,S. Barraud, M. Vinet, M. Sanquer and S. De Franceschi, A CMOS silicon spin qubit. *Nat*. *Commun*. **7,** 13575 (2016).

[2] T. F. Watson, S. G. J. Philips, E. Kawakami, D. R. Ward, P. Scarlino, M. Veldhorst, D. E. Savage, M. G. Lagally, Mark Friesen, S. N. Coppersmith, M. A. Eriksson, and L. M. K. Vandersypen, A programmable two-qubit quantum processor in silicon. *Nature* **555,** 633 (2018).

[3] J. Yoneda, K. Takeda, A. Noiri, T. Nakajima, S. Li, J. Kamioka, T. Kodera, and S. Tarucha, Quantum non-demolition readout of an electron spin in silicon. *Nat*. *Commun*. **11,** 1144 (2020).

[4] N. M. Zimmerman, W. H. Huber, B. Simonds, E. Hourdakis, A. Fujiwara, Y. Ono, Y. Takahashi, H. Inokawa, M. Furlan, and M. W. Keller, Why the long-term charge offset drift in Si single-electron tunneling transistors is much smaller (better) than in metal-based ones: Two-level fluctuator stability. *J*. *Appl*. *Phys*. **104,** 033710 (2008).

[5] M. D. Stewart and N. M. Zimmerman, Stability of Single Electron Devices: Charge Offset Drift. *Appl*. *Sci*. **6,** 187 (2016).

[6] N. M. Zimmermana, B. J. Simonds, A. Fujiwara, Y. Ono, Y. Takahashi, and H. Inokawa, Charge offset stability in tunable-barrier Si single-electron tunneling devices. *Appl*. *Phys*. *Lett*. **90,** 033507 (2007).

[7] B. Hu, E. D. Ochoa, D. Sanchez, J. K. Peron, N. M. Zimmerman, and M. D. Stewart, Effect of device design on charge offset drift in Si/SiO2 single electron devices. *J*. *Appl*. *Phys*. **124,** 144302 (2018).

[8] N. M. Zimmerman, C. -H. Yang, N. S. Lai, W. H. Lim, and A. S. Dzurak, Charge offset stability in Si single electron devices with Al gates. *Nanotechnology* **25,** 405201 (2014).

[9] K. S. Makarenko, Z. Liu, M. P. de Jong, F. A. Zwanenburg, J. Huskens, and W. G. van der Wiel, Bottom-up single-electron transistors. *Adv*. *Mater*. **29,** 1702920 (2017).

[10] Y. Hong, R. Stein, M. D. Stewart Jr., N. M. Zimmerman, and J. M. Pomeroy, Reduction of charge offset drift using plasma oxidized aluminum in SETs. *Sci*. *Rep*. **10,** 18216 (2020).

第４章　Feナノドットデバイスのマルチゲート動作

4. 1.　はじめに

ここでは Fe ナノドットアレイに複数のゲートを取り付けたマルチゲートデバイスの振動特性評価について述べる.

マルチドットデバイスは, 複数の入力ゲートを取り付けることで高機能な動作が可能であることが報告されている[1−6]. これまでに, 複数のゲートを取り付けた Si ナノドットアレイデバイスを用い, 論理機能をフレキシブルに選択できる高機能な動作が実証されている[2,3]. M. Jo らは, 意図的にドットと各ゲート間の容量に不均一性を持たせた構造のデバイスを作製した. そのようなデバイス構造にすることで, ゲート電圧の組み合わせによる複雑な振動特性が得られ, 高機能な動作を可能とした[3].

金属薄膜の成長初期に形成されるナノドットアレイは複雑であり, ドットの形状や周辺のドットのサイズのばらつきにより, ドットとゲート間の容量が均一にならないと予想される. この不均一性を利用することができれば, マルチドットデバイスの更なる高機能なゲート制御が期待できる. しかしながら, この手法により形成されるナノドットアレイは, その複雑さ故に, 明瞭な振動特性は得られないと考えられてきた. そのため, 複雑な系を用いたマルチドットデバイスは可能性を秘めているにも関わらず, 複数のゲートを用いた振動特性の評価は行われていない.

第２章において, 複雑な系を用いたマルチドットデバイスにおいても明瞭な振動特性が観測されることを示した. さらに第 3 章において, 作製したデバイスにおける振動特性は, オフセットチャージドリフトに対して比較的安定であると期待されることを示した. これらを踏まえた上で, 第 4 章では Fe ナノドットアレイの上下に複数のゲートを取り付けたマルチゲートデバイスを作製し, 各ゲートを用いた振動特性の制御を試みる. まず, ナノドットアレイの上下に 2 つのゲートを取り付けたダブルゲートデバイスを作製し, その振動特性を評価した. その結果, 複雑な系を用いたマルチドットデバイスにおいても, 2 つのゲートを用いて振動特性を制御できることを示した. これは, 複雑な系を用いたデバイスの論理ゲート動作を含めた機能的な動作の可能性が期待できることを示唆する. さらに, 各ゲートに対する応答が不均一であることを明らかにした. この現象は, ドットの上下非対称性および周囲のドットの配置のばらつきに由来するものと考えられる. このような不均一性に由来するバリエーション豊かな出力は, デバイスの高機能動作の実現につながるものと期待される. 4 章では, 3 つのゲートを取り付けたトリプルゲートデバイスも作製し, その振動特性を評価した. その結果, 各ゲートとドット間の容量の不均一性により, 振動特性を複雑に変調できる可能性が示唆された.

4. 2.　ダブルゲートデバイスの作製と評価方法

作製したダブルゲートデバイスの模式図と SEM 像を Fig. 4−1 に示す．作製方法は第 2 章において述べたものと同様である．熱酸化 SiO_2 (200 nm)/Si 基板上に，ギャップ長 L = 50 ～ 400 nm のソース・ドレイン電極(Au/Cr)を形成した．その後，高真空 EB 蒸着法 ($<10^{-7}$ Pa)により，電極間に MgF_2 (45nm)/Fe (Fe 膜厚 t_{Fe} = 1.8 ～ 2.9 nm)を形成した．この膜厚領域では，SiO_2 上での Fe 原子の表面移動と凝集により，分散した Fe ナノドットが形成される．最後に，スパッタリングによって MgF_2 層上にゲート絶縁膜である SiO_2 層 (300 nm)を形成し，その後トップゲート電極(Au/Cr)を形成した．半導体パラメータアナライザを用い，低温プローバー内においてトップゲート電極および Si (基板) バックゲート電極にそれぞれ V_T および V_B を印加し，ソース・ドレイン電極間のドレイン電流 I_D を測定した (試料ステージ温度 T = 8 K).

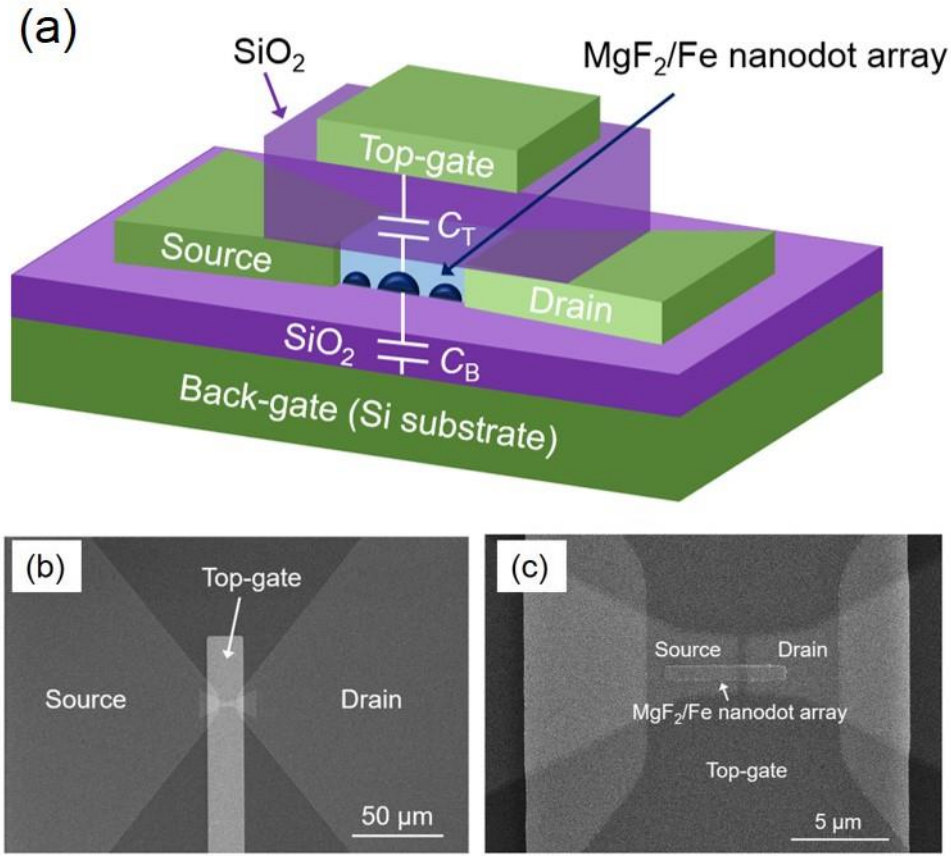

Fig. 4−1.　Schematic and (b) and (c) scanning electron microscopy images (plan view) of the fabricated Fe nanodot array-based double-gate device.

作製したダブルゲートデバイスの評価方法について述べる．ここでは,トップゲート電圧 V_T およびバックゲート電圧 V_B を印加した際の，単一ドットに由来するシンプルな振動特性の応答を評価する．V_T–V_B 変化時に予想される単一ドットの安定電荷状態の模式図を Fig. 4–2 に示す．単一ドット中の電子数 N が変化するときの境界線(current peak line)を黄色の点線で表している．この場合, current peak line は V_T, V_B を変化させた時のクーロンブロッケード振動のピークが現れる領域を示している．current peak line の傾き S は，トップゲート容量 C_T, およびバックゲート容量 C_B を用い，以下の式で表される．

$$S = \frac{C_B}{C_T}$$

従って, 2 つのゲート容量の比率により傾き S が決まる．

トップゲートとバックゲートが単一ドットと容量的に結合している場合，振動のピークあるいはバレーではドットの電荷量が一定なので，以下の式に基づき V_T と V_B に応じて振動ピークがシフトする．

$$C_B V_B + C_T V_T = const$$

ここで V_T が ΔV_T だけ変化すると，振動のピークシフト(ΔV_B)は以下の式で与えられる．[7]

$$\Delta V_B = -(C_T/C_B)\Delta V_T$$

従って，ドットのゲート容量比 C_B/C_T は-$\Delta V_T/\Delta V_B$ となり，current peak line の傾きを用いてゲート容量比を評価することができる．このような評価は，シンプルな系を用いたデバイスにおいて行われてきたが[8–13]，複雑な系を用いたデバイスに適用された報告例はない．

観測される current peak line を用い，論理機能の探索を行うことが可能である．適切なゲート電圧(黒丸および白丸)を入力として用いることで, 2 入力の論理機能が得られる．Fig. 4–2 では，例として 2 入力の XNOR 動作が得られることを示している．

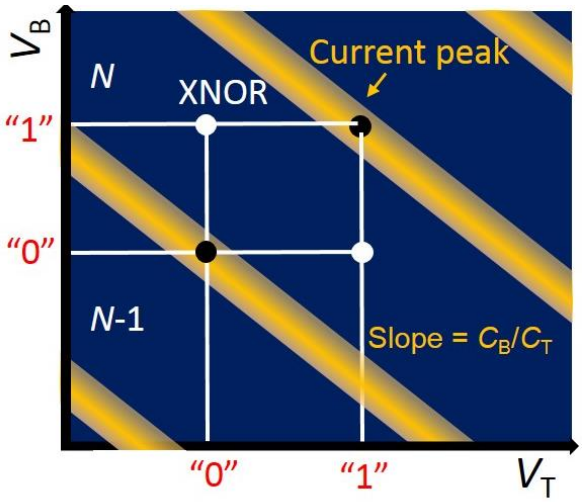

Fig. 4–2. Schematic of the expected stable charge state of the single dot when V_T and V_B changes, where N represents the number of electrons in the dot and the yellow line indicates the current peak.

4. 3.　2 つのゲートを用いた振動特性の評価

作製したほぼ全てのデバイスにおいてクーロンブロッケード振動が観測された．また，一部(約 10%)では，これまでに説明してきた単一のドットに由来するクーロンブロッケード振動が確認された．このカテゴリの典型的な電流振動特性を，2 つのデバイス(本研究ではデバイス A および B とする)の V_B 関数として Fig. 4–3 に示す．測定に用いた V_D の 値 V_D = 20 mV, 5 mV は，ドットのクーロンブロッケードが解除されない程度に十分に小さい値である．Fig. 4–3 の 2 つのグラフでは，V_T = 1.8, 10, 20 V の 3 つの I_D–V_B 曲線を重ね合わせている．観測された振動特性はシンプルであり，これまで説明してきたように，単一のドットに由来するものである．振動周期は約 27 V(デバイス A)または 37 V(デバイス B)であり，それぞれバックゲート容量 C_B が 5.9×10^{-3} aF(デバイス A)または 4.3×10^{-3} aF(デバイス B)に相当する．どちらのデバイスとも，一定のバックグラウンド電流 [~520 pA (デバイス A) および ~1.0 nA (デバイス B)]に電流振動が足し合わさっている．このバックグラウンド電流成分は，クーロンブロッケードが解除されたドットから構成される並列の伝導パスに由来するものである．このようなバックグラウンド電流に寄与するドットは比較的大きく，量子化コンダクタンス($2e^2/h$)よりも高いトンネルコンダクタンスを示すと考えられる．異なる V_T における I_D–V_B 曲線を比較することにより，電流ピークの系統的なシフトが確認された．V_T の増加に伴い，デバイス A では約 20 V のピークが 14 V, 3.3 V へと徐々にシフトしていった(Fig. 4–3(a))．デバイス B においても同様の傾向が見られ，ピークが 22 V から 16 V, そして 9.3 V へと徐々にシフトしていることがわかる(Fig. 4–3(b))．これらのピークが V_B マイナス方向にシフトすることは，複雑な系を用いたマルチドットデバイスにおいても，電流振動特性をトップゲート，バックゲートの双方で制御できることを示している．

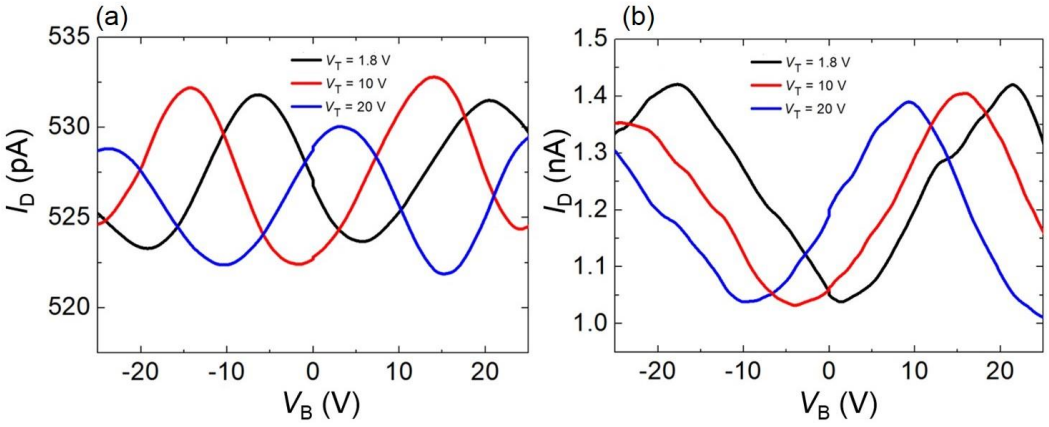

Fig. 4–3.　Current oscillations originating from a single dot measured as a function of V_B for the following: (**a**) Device A (t_{Fe} = 2.4 nm and L = 50 nm) at drain voltage V_D = 20 mV and (**b**) Device B (t_{Fe} = 2.4 nm and L = 400 nm) at V_D = 5 mV. V_T was constant at 1.8, 10, and 20 V.

2 つのゲート電圧 (V_T と V_B) の関数としてのピークシフトの詳細を理解するために，ドレイン電流の 2 次元等高線マップを使用した[3]. V_T の値を 0 V − 30 V まで 300 mV ステップで変化させ，各 V_T において V_B 掃引を 0 V – 30V, 30 V – -30 V, -30 V – 0 V の順で行い，多数の I_D−V_B 曲線を測定した. V_B の往復掃引において，電流振動が良好に再現された．また，観測された電流振動はオフセットチャージドリフトによるピークシフトに対して数日間安定しており，第 3 章において述べた結果と同様である. V_B = 30 V – -30 V で測定したデータを、ドレイン電流の 2 次元マップとしてプロットした結果を Fig. 4−4 に示す．これは，デバイスの stability ダイアグラムに相当するものである．明るいコントラストで示された電流のピークは，系統的にシフトしていることがわかる．このように, V_T と V_B を用いることで電流振動の位相を制御することができた．これらの等高線マップは，黄色の点線で示すように直線的かつ周期的である．ただし, Fig. 4−4(b)の V_T = 17 V において，サテライトドットが単一電子トラップとして作用する効果に起因すると考えられる電荷ノイズによる電流値のジャンプが見られた. Fig. 4−4 に示した特性から，観測された電流振動は 1 つのドットに由来することが確認された．さらに，多数のドットが存在する構造でありながら，ダブルゲートによる単一ドットの電荷状態の制御が可能であることを示した.

Fig. 4−3 および Fig. 4−4 に示した結果は，単一ドットから構成されるマルチゲートの単電子トランジスタではよく知られた現象である[4,7,8]．しかし，複雑な系を用いたデバイスにおいてこのような現象が観測されることは前例がない．これは，複雑な系を用いたナノドットアレイデバイスが，例えば 2 入力の論理ゲート素子として動作する可能性が期待できることを示唆する重要な結果である.

4. 4.　ゲート容量比の評価および不均一な電界分布の考察

本研究では, Fig. 4−4 に示したデータを詳細に解析することで，複雑な系を用いたダブルゲートデバイスの動作の特徴を明らかにした. Fig. 4−4 において観測された current peak line の傾きを用い，単一ドットとバック/トップゲートのゲート容量比 C_B/C_T は，～ 1.2 (デバイス A) ～ 2.0 (デバイス B)と求まった．これらの結果を，他の 2 つのデバイスのデータとともに Table 4−1 および Fig. 4−5 に示す．今回作製したデバイス構造では，バックゲート絶縁膜は膜厚 200 nm の SiO_2，トップゲート絶縁膜は膜厚 45 nm の MgF_2 と 300 nm の SiO_2 である．平行平板のキャパシタ構造と既知のバルク比誘電率 (SiO_2 は 3.8、MgF_2 は 5.2 [14])を仮定すると，容量比 C_B/C_T は約 1.7 (Fig. 4−5)と推定される．しかし, current peak line の傾きから求めた，それぞれのデバイスにおける容量比 C_B/C_T は 1.2 ～ 2.7 であり，平行平板モデルによる評価(～1.7)とは明らかに異なることがわかる．これは，測定誤差や推定誤差に起因するものではなく，複雑な系を用いたナノドットアレイの重要な特性である．以降は，簡略化したモデルを用いてこの点を議論する.

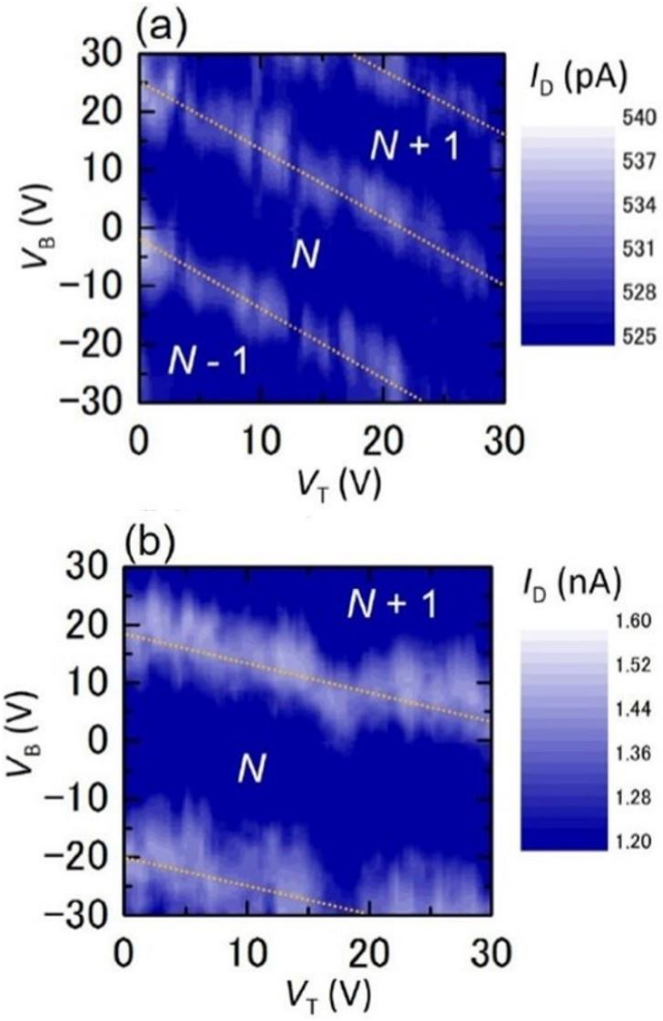

Fig. 4−4. Typical two-dimensional contour-line maps of I_D as a function of V_B and V_T. (**a**) Device A at V_D = 20 mV and (**b**) Device B at V_D = 5 mV. N is the number of electrons in a single dot.

Table 4−1. Averaged values of C_B/C_T, C_B, and C_T for four devices. C_B/C_T and C_B contain the reading error of the slope and period of the current peak line, respectively. C_T was evaluated by using the values of C_B/C_T and C_B.

Device	C_B/C_T	C_B (10^{-3} aF)	C_T (10^{-3} aF)
A	1.2 ± 0.2	5.9 ± 0.6	4.9 ± 0.5
B	2.0 ± 0.4	4.3 ± 0.3	2.2 ± 0.1
C	1.5 ± 0.2	10 ± 0.4	6.7 ± 0.3
D	2.7 ± 0.8	9.4 ± 0. 9	3.5 ± 0.3

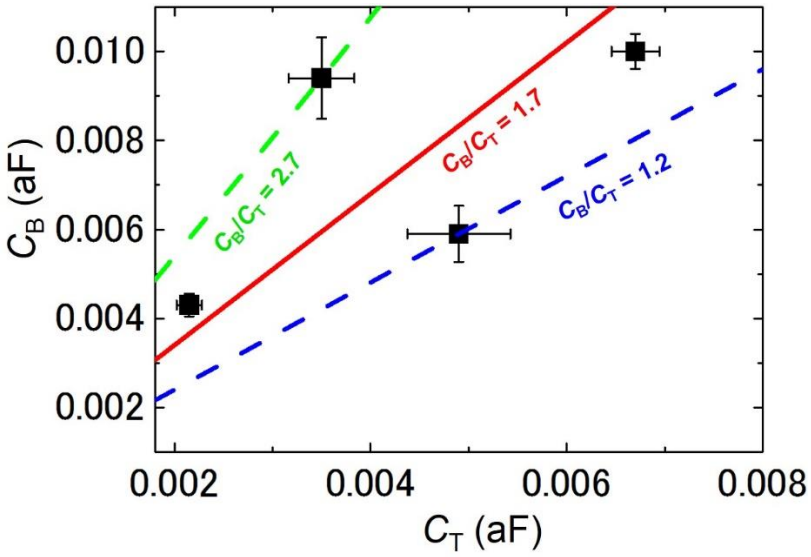

Fig. 4−5.　Plots of C_B vs. C_T of four devices, indicating simple current oscillations originating from a single dot. C_B of four devices was evaluated by the period of the current peak line. However, C_T of four devices was evaluated by C_B and the slope of the current peak line. C_B includes the fluctuations that were derived from reading errors of the period of the current peak line, which are shown by the vertical error bars. The horizontal error bars represent the fluctuations of C_T that originated from the fluctuations of C_B. There was a positive correlation between C_B and C_T. The slope of the dotted line corresponds to the evaluated C_B/C_T ~1.2 (blue) and ~2.7 (green).

複雑な系を用いたナノドットアレイデバイスは，様々な大きさの多数のドットから構成されている．ドットは基板平面上に形成されているため，半球状のナノドットの平面的な配置をモデルとして考察することが可能である．また，計算を容易にするため，モデルは軸長が無限大の平行配列の半円柱状ドットに単純化した．ここで，実験データに対して数値的なフィッティングを行うことは，このシミュレーションの目的ではない．Fig. 4−6 はモデルの断面模式図の一例で，ドットの柱軸は紙面に対して垂直である．この図では，ドットは半円形(グレー)であり，以下の議論では半円ドットと呼ぶ．このモデルを採用することにより，必要な電界計算は 2 次元のみとなり，パラメータを少なくすることができた．有限要素法(メッシュサイズは最適化している)に基づくコンパクトなソフトウェア(*Advanced Science Laboratory* 社の *EStat*)を用い，ラプラス方程式を解いた．これにより，(1) 電界のシミュレーション，(2) ドット電極とトップ/バックゲート電極間のキャパシタンス (軸の単位長さあたり)の評価を行った．モデルは簡略化されているが，ナノドットアレイの本質的な特徴を得ることができた．以降，シミュレーション結果をモデルの詳細と合わせて説明する．

代表的な評価用モデルを Fig. 4−6 に示す．この図では，横方向と縦方向の倍率がそれぞれ異なっている．金属の半円ドットの面内径は 30, 20, 14 nm であり,本研究ではそれぞれ *L* (大), *M* (中), *S* (小)と呼ぶ．これらのドットを水平に並べることで，ドットアレイを形成した. Fig. 4−6 に示すドット配置の場合，中央部で *LSL*，それ以外の領域で *M* と呼ぶ．隣接するドット

端の距離は 10 nm に保った．また，ドットはトップゲート絶縁膜とバックゲート絶縁膜として厚さ 100 nm の SiO_2 層で挟み込んだ．この SiO_2 層の表面には，2 つの金属ゲート(灰色)が取り付けられている．シミュレーションでは，ゲート電極の一方に 1 V のバイアスを印加し，ドットともう一方の電極を接地した．Fig. 4−6 は，シミュレーションによる電位分布をカラーマップで示したもので，電気力線を白線で表している．Fig. 4−6(a)はバックゲートに電圧を印加した場合，Fig. 4−6(b)はトップゲートに電圧を印加した場合であるが，次に述べるように顕著な違いが見られた．Fig. 4−6(a)の電気力線は，ドット端付近を除いて平行平板キャパシタと同様にほぼ平行であった．従って，各ドットのバックゲート容量 C_B はドットサイズにほぼ比例しているものと考えられる．一方，Fig. 4−6(b)では，電気力線は強く湾曲し，中央の S ドット付近の電気力線は隣接する L ドットに引き寄せられていることがわかる．そのため，このドット配置では中央の S ドットの C_T は小さくなり，L ドットの C_T は大きくなっている．これは，上側のドット面(丸みを帯びた面)と下側のドット面(平らな面)の幾何学的な違いによるものである．ナノメートルオーダーのドット形状が電界を変調し，ドット表面の電荷分布やゲート電極との静電容量を変化させる．このことから，複雑なドットアレイからなるマルチドットデバイスにおける振動特性は，周囲のドットを含めたドットの形状や分布によって変調されることが示唆される．

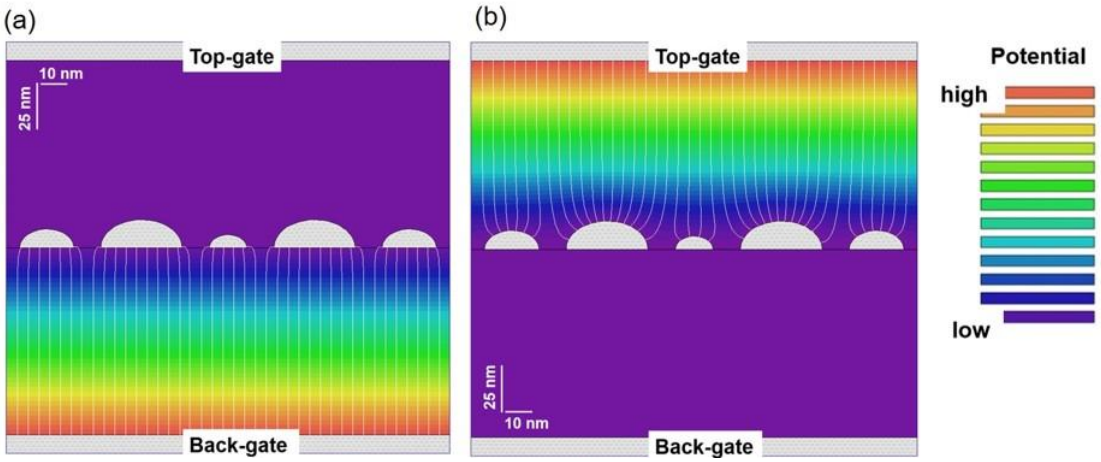

Fig. 4−6. Simulation results of the electric potential (color) and the electric force lines (white lines), in which the top or the back electrodes are biased by 1 V. Results for the *LSL* (*L* = large and *S* = small) dot configuration with biased (a) back- and (b) top-gate. For details of the model, refer to the main text.

本研究ではこれらのシミュレーションをさまざまなドット配置に対して行い，中心に配置したドットのゲート容量比 C_B/C_T を評価した．Fig. 4−7 に *SSS*, *MSM*, *LSL* の配置の例を示す．また，計算の適用性を確認するために，同じ配置の円形ドットのシミュレーション結果をグラフ中に重ね合わせた．この場合，ドットは対称であるため上部の絶縁層 (厚さ 100 nm) と下部の絶縁層 (厚さ 100 nm)の厚さの比率を反映し，C_B/C_T 比はすべてのケースで 1.0 になるはずである．シミュレーション結果は，この値とよく一致した(理論値との誤差は約 0.1%)．このことから，C_B/C_T を評価するのに十分な精度(メッシュ数)でシミュレーションが行われたことがわかる．また，半円形のドットでは，隣接するドットの大きさによって C_B/C_T が 0.95 ～ 1.27 と大きく変化していることがわかる．これは，中央のドットとその周辺のドットの形状効果(Fig. 4−6)およびドットの垂直方向の非対称構造により，上下のゲート間の電界分布が不均一になったためである．例えば *SSS* 配置では，下部電極に面した平らな面よりも，トップゲートに面した丸みを帯びた面の方に電気力線が集まる．また，隣接するドットが大きい場合は，*MSM* 配置と同様に一部の電気力線が *M* ドットに引き寄せられ C_T が減少し，$C_B/C_T > 1$ となった．*LSL* では，隣接する大きなドットは *S* ドットの電気力線を強く引き寄せたことで，C_B/C_T の値の 1 からの乖離が大きくなった．また，*M* や *L* を中心ドットとした場合にも同様の結果が確認された．このような 2 次元シミュレーションによる基礎的な議論は，3 次元のドット形状・配置においても有効であると考えられる．このように，ドットの形状や配置の非対称性によって，ダブルゲート動作時の C_B/C_T(ひいてはデバイス特性)にバリエーションが生じることがわかった．

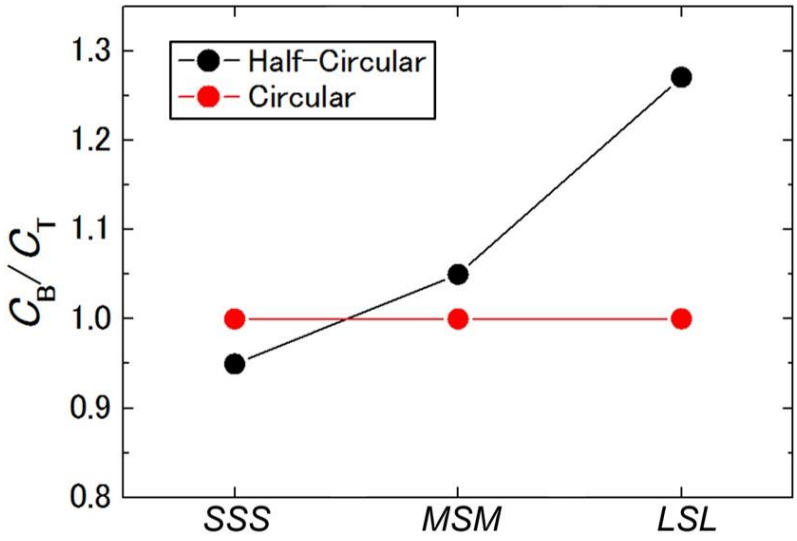

Fig. 4−7. Gate capacitance ratio C_B/C_T of the central *S* dot for three dot configurations: *SSS*, *MSM*, and *LSL*. The C_B/C_T for circular dots (red) and half-circular dots (black) are shown. The C_B/C_T value of the circular dots was almost constant at 1.0, regardless of the size of the adjacent dots. Conversely, the value changed from 0.95 to a value of 1.27 for half-circular dots with increasing adjacent dot size.

ここでは，各ドットのゲート容量比の不均一性とデバイスの高機能動作の関係について議論する．Fig. 4−8 に示すような，2 つのドットに由来するクーロンブロッケード振動が重ね合わさった電流振動が V_B 掃引により観測されたと仮定する．ここで，各ドットの上下のゲート容量比が等しい場合(C_B/C_T = const)，トップゲート電圧 V_T を変化させても各ドットに由来する振動ピークのシフト量は同じであるため，振動の形状は変わらない．その際の，例を Fig. 4−8(a)に示す．V_T を変化させても，黒線の振動ピークがシフトすることにより赤線の振動が観測されるのみであり，振動の形状自体は変わらない．一方，各ドットの上下のゲート容量比が異なっている場合(C_B/C_T ≠ const)，V_T を変化させると各ドットに由来する振動ピークのシフト量が異なって足し合わさることで振動の形状が変化し，より複雑な出力が期待できる．この場合の例を Fig. 4−8(b)に示す．V_T を変化させると，各ドットに由来する振動の位相のシフト量が異なるために，例えば黒線の振動特性から緑色の振動特性に複雑に変化することが期待できる．そのような複雑な出力は，マルチドットデバイスのフレキシブルな論理ゲート動作といった高機能性につながることが期待される．すなわち，多数のゲートを取り付けて，そのいくつかを特性コントロール用のゲートとして用いることにより，都合の良い振動特性を作り出すことができることを示している．

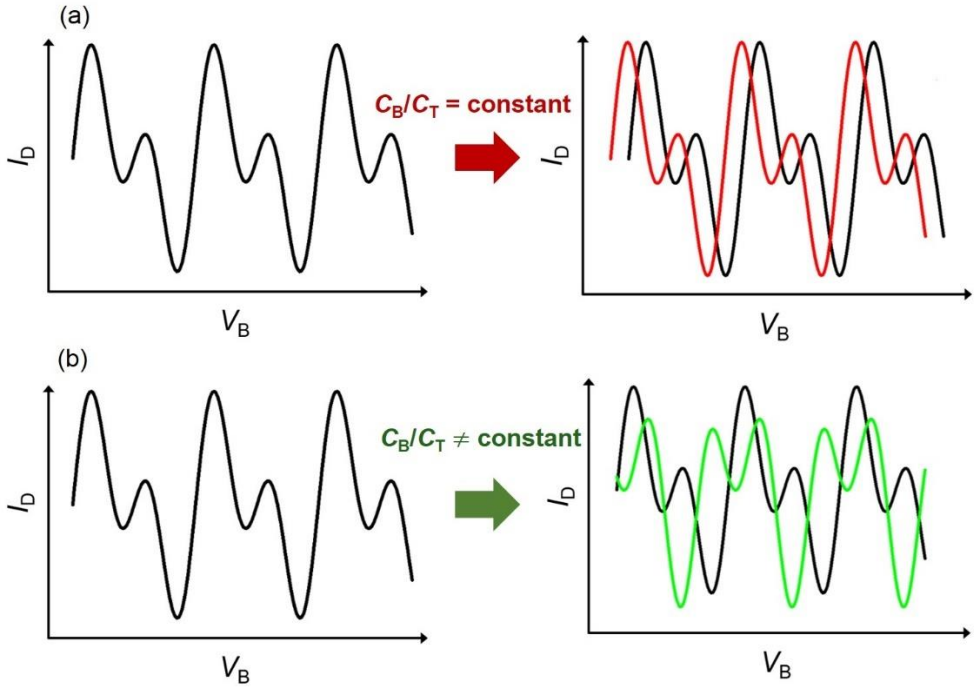

Fig. 4−8. The schematic current oscillations superimposed by the Coulomb-brocade oscillations originating from two dots, where the peak shifts by changing V_T. When the C_B/C_T ratio of the two dots is equal, the amount of shift of the oscillation peak originating from each dot is the same. In this situation, the shape of the oscillation does not change (a). On the other hand, when the C_B/C_T ratio of the two dots is different, the oscillation peaks with different amounts of shifts are superimposed, resulting in changing the shape of the oscillation (b).

4. 5.　トリプルゲートデバイスの作製と評価

ナノドットアレイの上層に複数の微細ゲートを取り付けた場合，各ゲートによるドレイン電流の変調度は異なるはずであり，より複雑な振動特性を得ることが期待できる．本節では，ナノドットアレイに 3 つのゲートを取り付けたトリプルゲートデバイスを作製し，その振動特性を評価した．

作製したトリプルゲートデバイスの模式断面図と SEM 像を Fig. 4−9 に示す．熱酸化 SiO_2 (200 nm)/Si 基板上にソース・ドレイン電極(電極ギャップ $L = 1$ μm) を作製した．作製した電極間に MgF_2 (45 nm)/Fe ナノドットアレイを形成し(アレイ幅 $W = 600$ nm)，スパッタリングによりゲート酸化膜 SiO_2 (200 nm)を形成した．その後，2 層レジスト(OFPR-800LB/PMGI-SF6)を用いたフォトリソグラフィおよびリフトオフプロセスにより，上層ゲートのコンタクトパッド(Au/Cr)を形成した．コンタクトパッド作製後，単層レジスト(ZEP-520A)を用いた EB リソグラフィおよびリフトオフプロセスにより，上層微細ゲート電極 G1, G2 を作製した．Si 基板をバックゲート V_B として使用し，$T = 8$ K において振動特性を評価した．

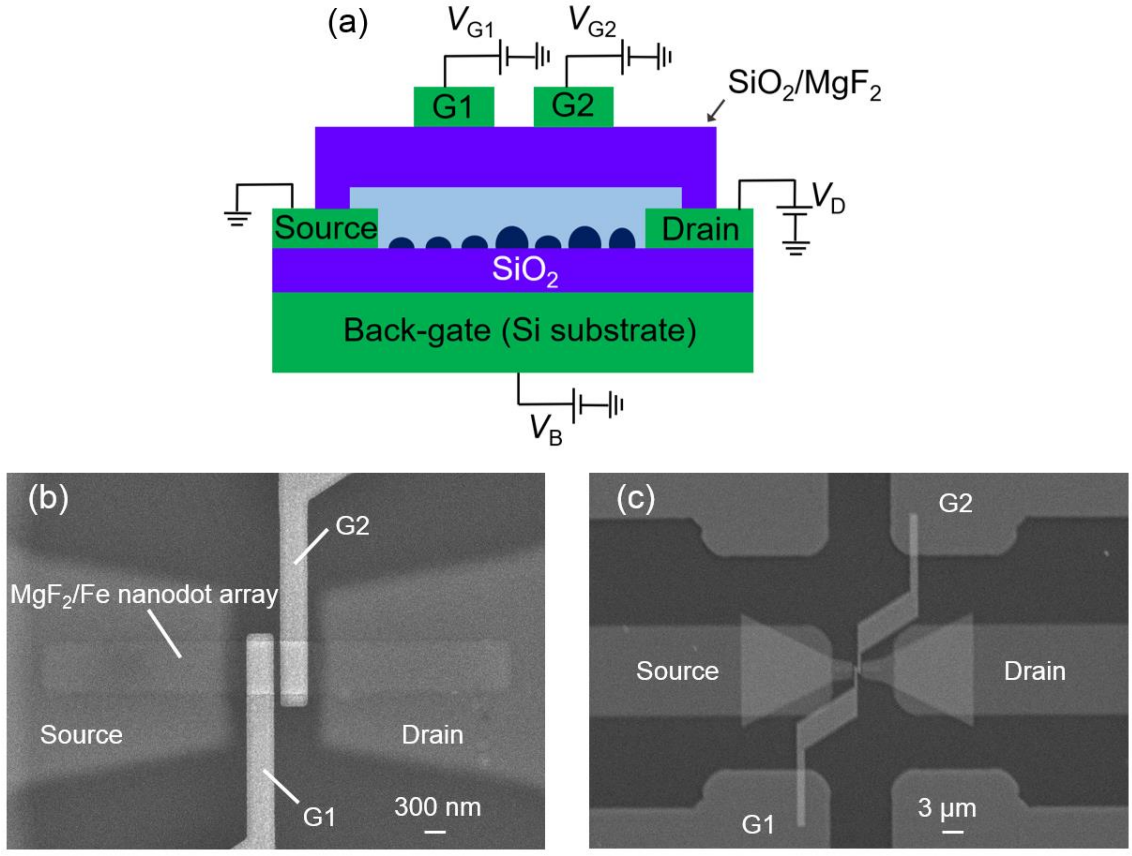

Fig. 4−9.　Schematic (a) and SEM images (b and c) of the fabricated Fe nanodot array-based triple-gate device.

作製したデバイスにおいて観測された振動特性を Fig. 4−10 に示す．これまで説明してきた Fe ナノドットデバイスと同様に，バックゲート電圧 V_B 掃引により明瞭な振動特性が観測されることを確認した(Fig. 4−10(a))．さらに，V_{G1} 掃引においても振動特性が観測されていることがわかる(Fig. 4−10(b))．これは，上層微細ゲートによってドレイン電流を変調できることを示している．しかし，Fig. 4−10(c)に示すように，V_{G2} 掃引において明瞭な振動特性が観測されなかった．これは，振動特性に寄与しているドットが G1 付近に存在しているために，G2 とドットの間のゲート容量が小さくなってしまったことが原因であると考えられる．上層ゲートを入力とした論理動作を実現するためには，各ゲートによりドレイン電流を変調する必要がある．予め多数の上層ゲートを取り付けておくことで，Fig. 4−10(c)に示したように一部のゲートによる電流変調が行えなかったとしても，他のゲートを用いて機能的な動作を実現できるかもしれない．また，このような各ゲートとドットの間の容量の不均一性を利用することで，より複雑に振動特性を変調できる可能性が期待できる．

今回作製したトリプルゲートデバイスのうち，振動特性が観測されたのは 2 つのみであった．これは，上層ゲートのコンタクトパッドおよび微小電極を作製する際の熱処理によるドットの変質により，デバイスが高抵抗化してしまったことが原因である．上層ゲートのコンタクトパッドは，バリを防ぐために 2 層レジスト(OFPR-800LB/PMGI-SF6)を用いる都合上，レジストのプリベーク処理(190℃ 5 min)が必要になる．また，上層微細ゲートを作製する際の単層レジスト(ZEP-520A)のプリベーク処理(180℃ 2 min)も必要となる．このような高温での複数回の熱処理は，ドットを変質させ，デバイスを高抵抗化させてしまう．これを防ぐためには，より低温のプロセスにより上層ゲートを作製するか，ナノドットアレイの下層にゲートを作製する，あるいは耐熱性の高い金属・絶縁膜に材料系を変更するなどの改善が必要であると考えられる．また，振動特性に寄与するドットの近くに各ゲートが存在する構造が望ましいため，配置するゲート電極の形状やサイズも重要であると考えられる．本研究では，振動特性は得られなかったものの，Fig. 4−11 に示すようにゲートが上下に対向するように配置したデバイスや，３つのゲートを配置したデバイスも検討し，実際に作製した．

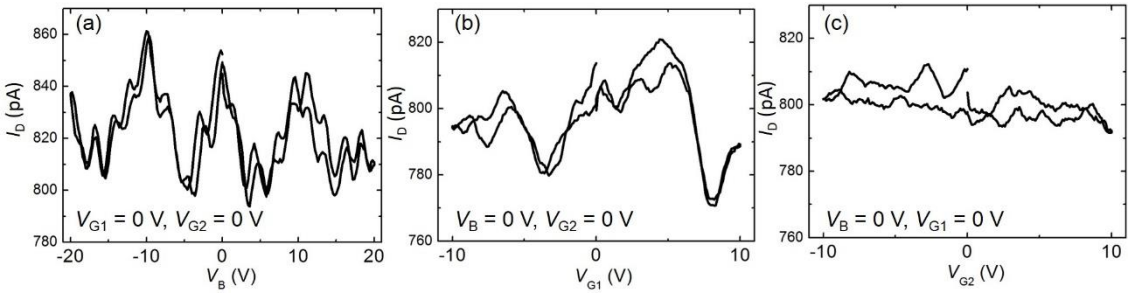

Fig. 4−10. The drain current I_D oscillations as a function of V_B (a), V_{G1} (b), and V_{G2} (c) for the device (L = 1 μm, W = 600 nm, t_{Fe} = 2.8 nm) at drain voltage V_D = 5 mV. The oscillations were measured using one gate, with the other gates biased to 0 V during the measurement.

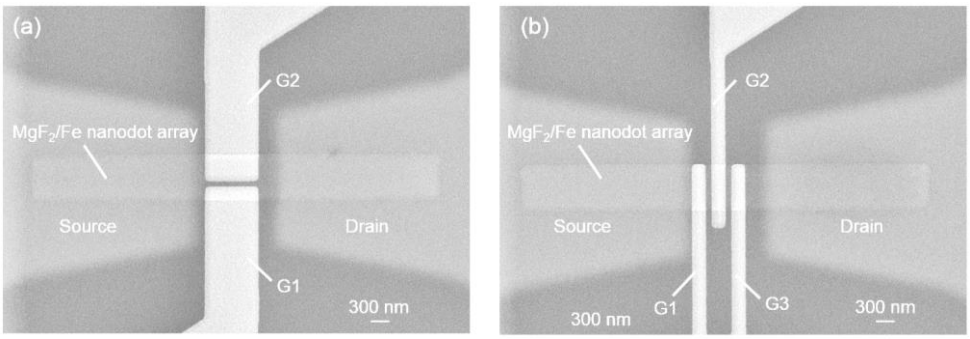

Fig. 4−11. SEM images of the multi-gate Fe nanodot devices. Top-gates are placed facing each other at the top and bottom (a), and three top-gates are placed at the top and bottom (b).

4. 6. 小括

本章では, Fe ナノドットアレイに複数のゲートを取り付けたデバイスを作製し, その電気特性を評価した. はじめに, ナノドットアレイに 2 つのゲートを取り付けたダブルゲートデバイスを作製し, その振動特性を評価した. 作製したダブルゲートデバイスは, 第 2 章において説明した単一ドットに由来する電流振動特性を示した. また, マルチドット構造においても, 単一ドットの電荷状態をトップゲートとバックゲートの両方によって制御できることを示した. この結果は, ランダムに分布したマルチドット中の, ある 1 つのドットに由来するクーロンブロッケード振動特性を 2 つのゲートによって変調できることを示している. さらに, ランダムに分布した垂直非対称なナノドットアレイに起因する, ゲート容量比 C_B/C_T の変化も示した. この現象は, 入力(ゲート)電圧に対して複雑な応答を与える可能性が期待できる. 今後, さらに包括的な研究が必要であるものの, 以前の報告で示されたようなフレキシブルな論理ゲート動作[2,3]の実現に有用である可能性がある. しかし, バックグラウンド電流を供給する伝導パスが多いため, クーロンブロッケード振動のオン・オフ比は小さかった. マルチドットデバイスにおいてこの問題は避けられないが, カスコード MOSFET を用いることで, 振動のオン/オフ比を改善できることが報告されている[15].

Fe ナノドットアレイに 3 つのゲートを取り付けたトリプルゲートデバイスも作製し, その振動特性を評価した. その結果, 上層微細ゲートを用いて振動特性を観測できることを示した. これは, 将来的に多数の入力(ゲート)電圧により振動特性を変調できる可能性を示唆する. また, 各ゲートとドットの間の容量の不均一性により, 振動特性が複雑に変化する可能性が期待できる. しかし, 上層ゲートを作製する際の熱処理プロセスにより, ドットが変質してしまい, デバイスが高抵抗化するという問題がある. これを解決するためには, より低温においてゲート電極を作製するプロセスを確立するか, 下層にゲート電極を作製した後にナノドットアレイを形成する, あるいは新しい耐熱性の高い金属ドットと絶縁体の組み合わせを見つけるといった改善が必要であると考えられる. 今後改善は必要ではあるものの, 本研究により複雑な系を用いたナノドットアレイデバイスの機能的な動作の可能性を示すことができた.

4. 7. 参考文献

[1] T. Kaizawa, T. Oya, M. Arita, Y. Takahashi, and J.-B. Choi, Multifunctional Device Using Nanodot Array. *Jpn*. *J*. *Appl*. *Phys*. **45,** 5317 (2006).

[2] T. Kaizawa, T. Oya, M. Arita, Y. Takahashi, and J.-B. Choi, Single-Electron Device With Si Nanodot Array and Multiple Input Gates. *IEEE Trans*. *Nanotechnology* **8,** 535 (2009).

[3] M. Jo, Y. Kato, M. Arita, Y. Ono, A. Fujiwara, H. Inokawa, Y. Takahashi, and J.-B. Choi, Effect of Arrangement of Input Gates on Logic Switching Characteristics of Nanodot Array Device. *IEICE Trans*. *Electronics* **E95-C,** 865 (2012).

[4] S. J. Kim, J. J. Lee, H. J. Kang, J.-B. Choi, Y. S. Yu, Y. Takahashi, D. G. Hasko, One electron-based smallest flexible logic cell. *Appl*. *Phys*. *Lett*. **101,** 183101 (2012).

[5] S. K. Bose, C. P. Lawrence, Z. Liu, K. S. Makarenko, R. M. J. van Damme, H. J. Broersma, and W. G. van der Wiel, Evolution of a designless nanoparticle network into reconfigurable Boolean logic. *Nat*. *Nanotechnol*. **10,** 1048 (2015).

[6] T. Chen, J. van Gelder, B. van de Ven, S. V. Amitonov, B. de Wilde, H-C. R. Euler, H. Broersma, P. A. Bobbert, F. A. Zwanenburg, and W. G. van der Wiel, Classification with a disordered dopant-atom network in silicon. *Nature* **577,** 341 (2020).

[7] Y. Takahashi, A. Fujiwara, K. Yamazaki, H., Namatsu, and K. Murase, Multigate single-electron transistors and their application to an exclusive-OR gate. *Appl*. *Phys*. *Lett*. **76,** 637 (2000).

[8] K. Maeda, N. Okabayashi, S. Kano, S. Takeshita, D. Tanaka, M. Sakamoto, T. Teranishi, and Y. Majima, Logic Operations of Chemically Assembled Single-Electron Transistor. *ACS Nano* **6,** 2798 (2012).

[9] N. S. Lai, W. H. Lim, C. H. Yang, F. A. Zwanenburg, W. A. Coish, F. Qassemi, A. Morello, and A. S. Dzurak, Pauli Spin Blockade in a Highly Tunable Silicon Double Quantum Dot. *Sci*. *Rept*. **1,** 110 (2011).

[10] T. Uchida, M. Arita, A. Fujiwara, and Y. Takahashi, Coupling capacitance between double quantum dots tunable by the number of electrons in Si quantum dots. *J*. *Appl*. *Phys*. **117,** 084316 (2015).

[11] T. Uchida, M. Jo, A. Tsurumaki-Fukuchi, M. Arita, A. Fujiwara, and Y. Takahashi, Fabrication and evaluation of series-triple quantum dots by thermal oxidation of silicon nanowire. *AIP Adv*. **5,** 117144 (2015).

[12] T. Uchida, M. Jo, A. Tsurumaki-Fukuchi, M. Arita, A. Fujiwara, and Y. Takahashi, Capacitance evaluation of compact silicon triple quantum dots by simultaneous gate voltage sweeping. *J*. *Appl*. *Phys*. **120,** 234502 (2016).

[13] M. Koch, J. G. Keizer, P. Pakkiam, D. Keith, M. G. House, E. Peretz, and M. Y. Simmons, Spin read-out in atomic qubits in an all-epitaxial three-dimensional transistor. *Nat*. *Nanotechnol*. **14,** 137 (2019).

[14] J. Fontanella, C. Andeen, and D. Schuele, Low‐frequency dielectric constants of α‐quartz, sapphire, MgF_2, and MgO. *J*. *Appl*. *Phys*. **145,** 2852 (1974).

[15] H. Inokawa, A. Fujiwara, and Y. Takahashi, A merged single-electron transistor and metal-oxide-semiconductor transistor logic for interface and multiple-valued functions. *Jpn*. *J*. *Appl*. *Phys*. **41,** 2566 (2002).

第５章　金属ナノドットアレイにおける単電子特性の特徴

5. 1.　はじめに

この章では, 金属ナノドットアレイにおける単電子特性の特徴を明らかにすることを目指した.

第 2 章では, 多数のドットがランダムに存在する系においても, 明瞭なクーロンブロッケード振動が観測されることを明らかにした. さらに, Fe 膜厚の条件を調整することで, 主に単一ドットに由来する振動特性が, 一定の頻度で強調されて観測されることを示した.

第 3 章では, 作製した Fe-MgF_2 系を用いたデバイスがオフセットチャージドリフトに対して比較的安定した動作特性が期待できることを示した.

第 4 章では, Fe ナノドットアレイにおける単電子特性を複数のゲートを用いて制御できることを示し, 将来的に論理ゲート動作の可能性が期待できることを明らかにした.

しかし, 多数のドットがランダムに分布するナノドットアレイにおける単電子特性の特徴は明らかでない. 例えば, 比較的大きなアレイサイズのデバイスであるにも関わらず, なぜ明瞭な振動特性が得られるのか不明である. 従って, ナノドットアレイを単電子デバイスに応用するには, 振動特性を得るための条件を明確にする必要がある. つまり, どのようなドットの分布状況(ドット密度, ドットサイズ, ドット間距離)であれば, 振動特性が得られるのか明らかにする必要がある. 薄膜蒸着法では, 基板表面において核生成を経たナノドットを用いる[1]. そのため, 膜厚と同様, 基板の表面状態によりナノドットアレイにおけるドット密度, ドットサイズ, ドット間距離が変化すると予想される. 従って, 膜厚と基板の状態によりドットの分布状況を変化させて振動特性を評価することで, 振動特性が得られる条件を明らかにできると考えられる.

第 5 章では, Fe 膜厚や基板の表面状態を変化させて作製した Fe ナノドットアレイデバイスの詳細な電気特性を評価した. デバイスのコンダクタンスの増加に伴い, クーロンブロッケード振動の特徴が, 複数のドットに由来する複雑な特性から, 主に 1 つのドットに由来するシンプルな特性へと変化することを明らかにした. この結果は, 振動特性に寄与する有効なドットの数が, デバイスのコンダクタンスの増加とともに減少する傾向にあることを示している. さらに, この傾向は基板の表面状態(ドットの密度やサイズ)に依らなかった. 本研究によって, 多数のドットが存在する系における振動特性の特徴はデバイスのコンダクタンスによって支配されており, コンダクタンスを調整することで, ナノドットアレイに由来する複雑な特性から SET に近いシンプルな特性まで変化することを示した.

5. 2.　マクロサイズのナノドットデバイスの電気特性

単電子特性について議論する前に，ナノドットデバイスの基本的な電気特性を評価した．はじめに，マクロなサイズのデバイス(L = 10 μm, W = 3 mm)の電気特性を評価した．

5. 2. 1.　デバイス作製

ドットの分布の状況を変化させたデバイスを作製するために，基板の状態の異なるものを用意した．作製したデバイスの光学顕微鏡像を Fig. 5−1 に示す．熱酸化 SiO_2 (200 nm)/Si 基板にスパッタリングにより SiO_2 (10 nm)を堆積したものとそうでないものを使用した．以降，熱酸化 SiO_2 上に作製したデバイスを Thermal-SiO_2 と呼ぶ．スパッタリング成膜はすべて RF マグネトロンスパッタ(150 W)により，Ar あるいは Ar-O_2(1 Pa)の雰囲気下で 2 インチの SiO_2 ターゲットを用いて行った．チャンバー内のガスは，全ガス流量($f_{Ar} + f_{O2}$)を一定に保ち，Ar と O_2 のガス流量 f_{Ar} と f_{O2} を変化させて制御した[2]．酸素ガス流量比 $f_{depo} = f_{O2}/(f_{Ar}+f_{O2})$をパラメータとした($f_{depo}$＝0, 0.5)．それぞれの条件でスパッタリング成膜した SiO_2 を SiO_2-0% (f_{depo} = 0), SiO_2-50% (f_{depo} =0.5)と呼ぶ．デバイスの作製には，3 種類の基板 (Thermal-SiO_2, SiO_2-0%, SiO_2-50%) を使用した．Thermal-SiO_2, SiO_2-0%, SiO_2-50%上にギャップ L = 10 μm の Au/Cr 電極を作製した．次に EB 蒸着により，電極間に MgF_2 (45 nm)/Fe (t_{Fe} = 1.04 ～ 3.80 nm)ナノドットアレイを形成した．Fig. 5−2 に EB 蒸着装置の概略を示す．2 章で説明したように，この蒸着装置は t_{Fe} の異なる 4 つの基板を同時に作製することが可能である．Fig. 5−2 において，基板の位置が「1」から「4」に変わるにつれ，成膜される Fe 膜厚が厚くなる．まず，Thermal-SiO_2 基板を「1」と「3」の位置に置き，SiO_2-0%基板を「2」と「4」の位置に置いて Fe 蒸着を行なった．これを Batch 1 とする．次に，基板の位置を入れ替えて同様の成膜を行った．これを Batch 2 とする．デバイスの電気測定は，室温において 2 端子法を用いて行った．

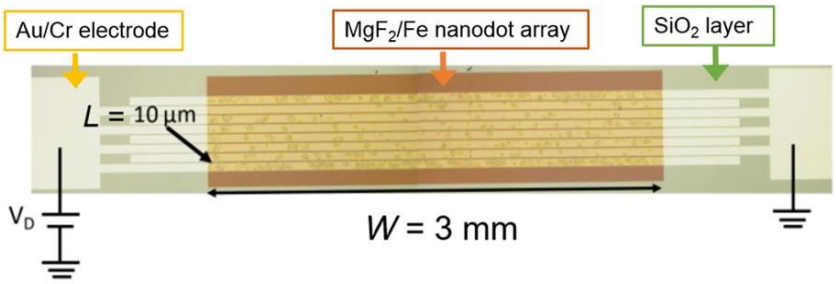

Fig. 5−1.　An optical microscopy image of the macro-sized device. Since the fabricated device is large (L = 10 μm), its conductance is too low to be measured in the thin t_{Fe} region. To avoid this problem, the fabricated device has a comb structure (W = 3 mm × 7). This structure increases the junction area between the electrode and the nanodot array, which makes it possible to measure the conductance even in the thin t_{Fe} region.

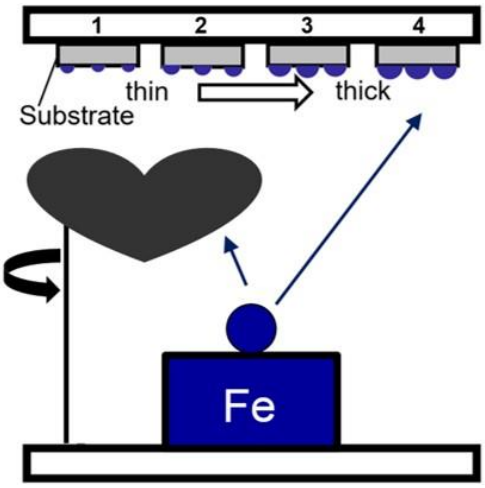

Fig. 5−2.　Schematic diagram of the EB deposition system used in this work.

5. 2. 2.　コンダクタンスの Fe 膜厚および基板依存性

室温におけるデバイスのコンダクタンスの Fe 膜厚および 基板依存性を Fig. 5−3 に示す. コンダクタンスは，t_{Fe} および基板の種類と明確に相関していた．一般的に, t_{Fe} の増加に伴い, 平均ドットサイズが増加し，ドット間距離が減少する[3]．これは，電子のトンネル確率が増加することを意味する．従って, t_{Fe} の関数としてコンダクタンスが指数関数的に変化するのはリーズナブルである．デバイスのコンダクタンスは，直並列に存在する抵抗体素子のネットワーク構造を考えることで理解することができる．

同じ t_{Fe} において●(Thermal-SiO_2)と▲(SiO_2-0%)のコンダクタンスは明らかに 2 〜 3 桁の差異があることがわかった．さらに，別々のバッチで作製した Thermal-SiO_2 基板と SiO_2-0% 基板のデバイスのコンダクタンスは，曲線のようになっている．これは，結果の再現性が良いことを意味している．また, Fig. 5−3(b)に示すように, SiO_2-50%上に作製したデバイスのコンダクタンスは, Thermal-SiO_2 上に作製したデバイスと同程度であった．基板の種類によるコンダクタンスの違いは、SiO_2-0%上に高密度かつサイズの小さいナノドットアレイが形成されていると仮定することで説明できる. Ref. [4]によると，形成されるドットの密度は，表面の原子構造の違いによって変化することが報告されている．本研究で用いた Fe 原子も同様の傾向を示すと考えられる. SiO_2-0% の表面では，スパッタ成膜時の酸素不足により多くの Si ダングリングボンドが形成され，その結果として高密度のナノドットアレイが形成されたと考えられる．逆に SiO_2-50%はスパッタ時に酸素を供給したため, Thermal-SiO_2 と同様に Si のダングリングボンドがほとんどない表面が得られたと考えられる．

透過型電子顕微鏡を用い，作製したナノドットアレイにおけるドットの個数密度を評価することで，上記の考察を確認した. Thermal-SiO_2 と SiO_2-50%上に作製したデバイスのコンダクタンスが同程度であること(Fig. 5−3(b))，および SiN メンブレン上に Thermal-SiO_2 を成膜することの難しさを考慮し，本研究ではドットの数密度を評価する試料の基板として

Thermal-SiO_2 の代わりに SiO_2-50%を使用した．デバイス作製と同様に作製した SiO_2-0%, SiO_2-50% 上に形成したナノドットアレイの高角度環状暗視野走査型透過電子顕微鏡(HAADF-STEM)像を Fig. 5−4(a)に示す．これらの画像を用いて Fe ナノドットの個数密度を評価し，その結果を Fig. 5−4(b)にまとめた．基板の種類によって，ドットの数密度は約 1.5 倍に変化していた．SiO_2-0% 上に形成された Fe ナノドットアレイは，ドット密度が高く，ドットサイズが小さいことを確認した．これは，Fig. 5−3 に示した結果から予想される傾向と一致する．Fig. 5−3, 5−4 に示した結果から，基板の種類と Fe 膜厚によって，平均ドット密度，ドットサイズ，ドット間距離が変化することを示した．

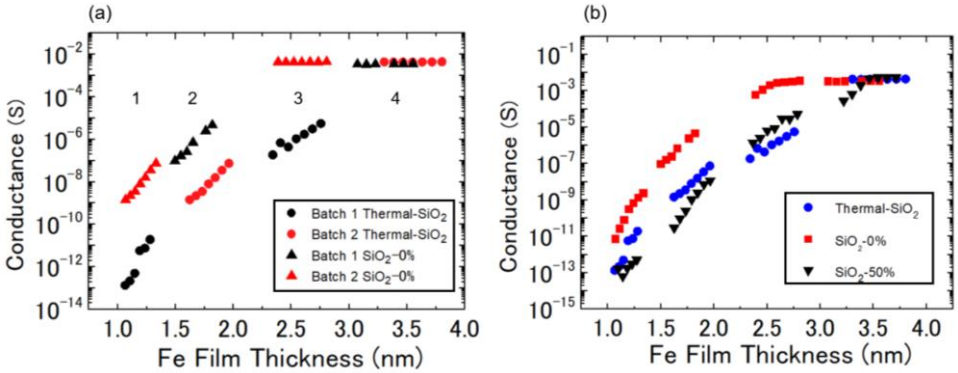

Fig. 5−3. (a) The conductance dependence on t_{Fe} and the substrate type for the macro-sized devices at T = RT. The conductance of the devices measured at V_D = 20 mV are plotted. The approximate position of the substrates ("1" to "4") when the Fe nanodot arrays were deposited is shown in the graph. (b) The conductance dependence on the substrate type (Thermal-SiO_2, SiO_2-0%, SiO_2-50%). Circle, square, and triangle plots show the conductance of the devices fabricated on the Thermal-SiO_2, SiO_2-0%, and SiO_2-50%.

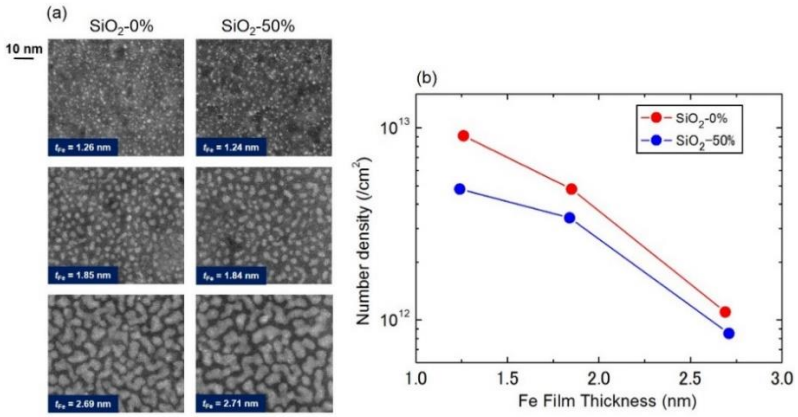

Fig. 5−4. (a) HAADF-STEM images of the Fe nanodot array formed on the SiO_2-0% (t_{Fe} = 1.26, 1.85 and 2.69 nm), and SiO_2-50% (t_{Fe} = 1.24, 1.84 and 2.71 nm). (b) Dot number density evaluated by the HAADF-STEM images. Red and blue circled plots are the number density of the dots prepared on the SiO_2-0%, and SiO_2-50%. SiO_2-0%, and SiO_2-50% were prepared on commercially available SiN (10 nm) membrane TEM grids. Then, the Fe nanodot arrays were fabricated, followed by the formation of MgF_2 (10 nm). Because it is difficult to form the Thermal-SiO_2 on the SiN, the SiO_2-50% was used instead. The HAADF-STEM experiment was performed using a *Titan G2* and *JEOL ARM-200CF* microscope operated at 200 kV.

5. 2. 3.　シンプルなモデルを用いたドット密度の推定

ここでは, ナノドットアレイに含まれるドットの個数密度のオーダーエスティメーションを行った. 大まかな評価を行うために, Fig. 5−5(a)に示すように同じ大きさの半球状のドットを等間隔に並べた単純なモデルを仮定した. このモデルでは, 図面の縦方向のドット間の伝導パスは考慮していない. このモデルはかなり大雑把であり, 実際の系を反映していない. しかしながら, ドットの個数密度 N のオーダーエスティメーションは可能であり, 基板の種類による N の違いを議論することができる.

幅 d, 障壁高さ φ = 3 eV の箱型ポテンシャルにおけるトンネル伝導を考える. T = 0 K におけるトンネル抵抗 R_T は次の式のように表される.

$$R_{\mathrm{T}} = \frac{1}{S(\frac{q^2}{h^2 d})\sqrt{2m\emptyset}\exp\left[-(\frac{4\pi d}{h})\sqrt{2m\emptyset}\right]}$$

ここで, q は電気素量(1.60×10^{-19} C), h はプランク定数(6.63×10^{-34} Js)である. ここでは,トンネル接合面積 $S = 0.14 \times \pi \times r^2$ (m^2) を半円状のドット先端の断面積(r はドットの半径), 電子の有効質量 $m = 4.55 \times 10^{-31}$ kg を仮定した. 電流は電子のトンネル伝導によって流れると仮定した. また, 数密度 N は t_{Fe} の増加とともに直線的に減少すると仮定した. この極めて単純なモデルを用いて電極間の抵抗を計算した. パラメータは, 数密度 N, ドットの半径 r,ドットのエッジ間の距離に相当する幅 d, ドット間距離 D (D＝2r＋d)である. 数密度は $N = -a \times t_{Fe} + b$ (a, b はフィッティングパラメータ)と定義した. 他のパラメータ(r, d, D)も N と t_{Fe} を用いて表した. この条件下において, 各 t_{Fe} におけるトンネル抵抗 R_T は上式を用いて計算できる. さらに, 電極間の抵抗は R_T とナノドットアレイの縦横比を用いて計算できる. 本研究では, フィッティングを行うことで, 異なる基板上に作製したマクロサイズのデバイスの密度差を大まかに見積もった. 測定結果(図中, 赤および青の丸印)のグラフに算出した抵抗値を曲線として重ね合わせたものを Fig. 5−5(b)に示す. また, 計算したドット密度 N を Fe 膜厚の関数としてプロットしたものを Fig. 5−5(c)に示す. フィッティングの結果は, SiO_2-0%上に, より高密度のドットが形成されていることを示している. これは, 5. 2. 2 において述べた結果と矛盾しない. さらに, 同じ Fe 膜厚における, 基板の違い(Thermal-SiO_2, SiO_2-0%)による数密度の差は 1.5 倍程度と見積もられた(Fig. 5−5(c)). この計算結果は, 同じ Fe 膜厚において, わずか 1.5 倍程度の数密度の違いが 2～3 桁程度の抵抗値の差異 (Fig. 5−5(b))になることを示している. 単純なモデル計算を用いて見積もった N は, 実際に TEM 観察結果から求めた Fig. 5−4 に示した値と同程度のオーダーではあるものの, 詳細は異なっている. これはドットの大きさや位置に分布がないモデルであるためと考えられ, 多数のナノドットがランダムに存在する場合, ドット間のトンネル抵抗にばらつきがある. そのよう場合, 大きなトンネル抵抗の部分がナノドットアレイの全体的な抵抗値を律速するが, シミュレーションではこれが考慮されていないことが大きいと考えられる. TEM 観察結果の正しさ

を裏付けると共に，わずか 1.5 倍程度のドット密度差が大きな抵抗比(コンダクタンス比)となることが確認できた.

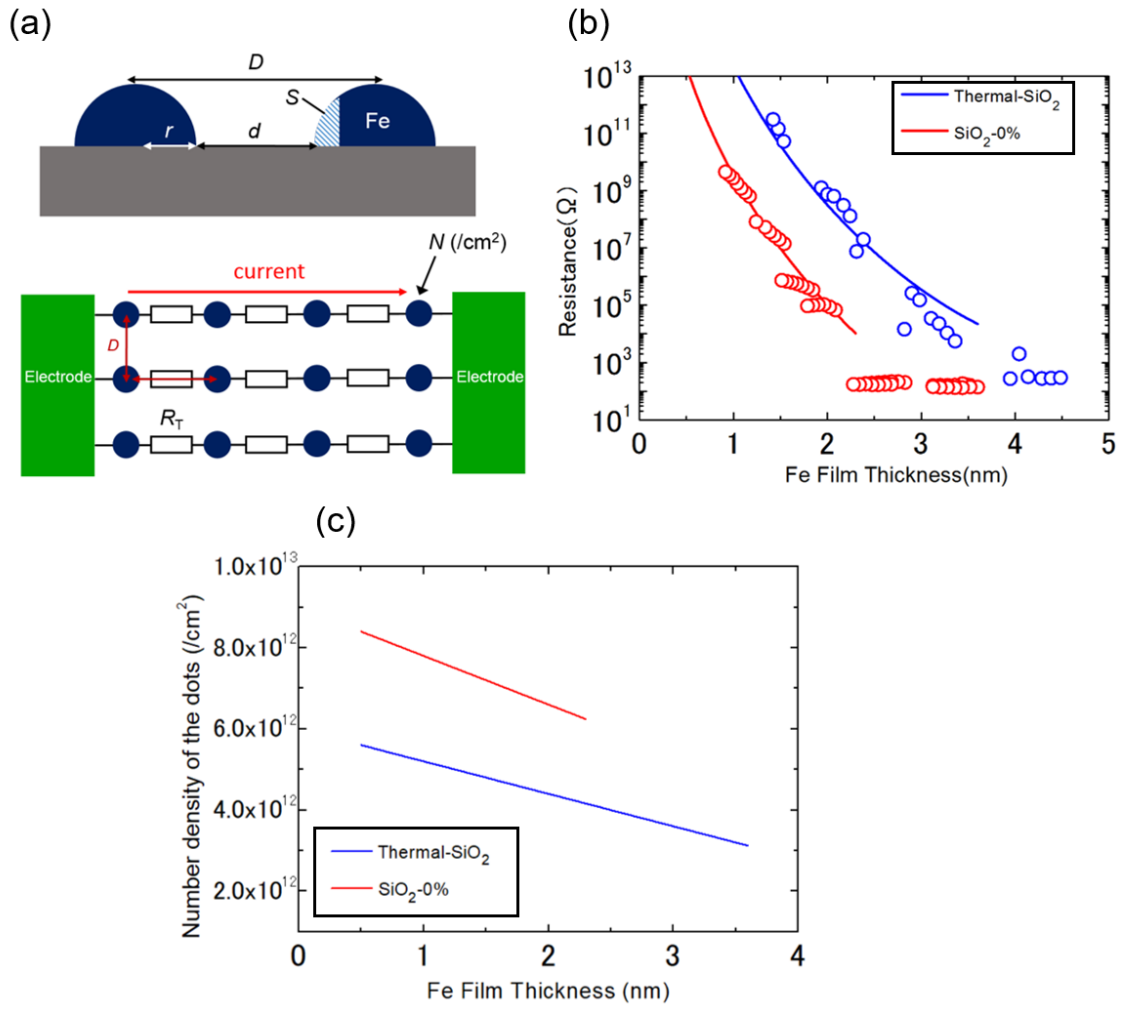

Fig. 5−5. (a) Schematic of the nanodot array model for the resistance analysis. (b) The calculated resistance curves (blue and red) are superimposed on the experimental data for the macro-sized devices fabricated on the Thermal-SiO_2 and SiO_2-0%. (c) The calculated number density of the dots N is plotted as a function of t_{Fe}.

5. 3.　マイクロサイズのナノドットデバイスの電気特性

前節では，マクロサイズのデバイスを用い，ナノドットデバイスの基本的な電気特性とドットの分布の関係を把握することができた．本節では，基本的な電気特性の特徴とドットの分布の関係が，マイクロサイズのデバイスにおいても同様であるか評価した．更に，振動特性の特徴とドットの分布の関係について議論する．

5. 3. 1.　デバイス作製

デバイスの作製方法は，5.2.1 において述べたものと基本的に同じである．作製したマイクロサイズのデバイスの模式図と SEM 像を Fig. 5−6 に示す．Thermal-SiO_2 および SiO_2-0% (定義は 5.2.1 に記述)上に，ギャップ L = 1 μm の Au/Cr 電極を作製した．その後，室温において高真空 EB 蒸着により，電極間に MgF_2 (45 nm)/Fe (t_{Fe} = 1.90 ~ 3.01 nm)ナノドットアレイを形成した．この際の，Fe の蒸着速度は 0.02 nms^{-1} で一定であった．ナノドットアレイの幅は W = 310 nm である．Si 基板はゲート電極として使用した．作製したデバイスの電気的測定は，半導体パラメータアナライザを用い，主に T = 8 K (試料ステージ温度)において行った．

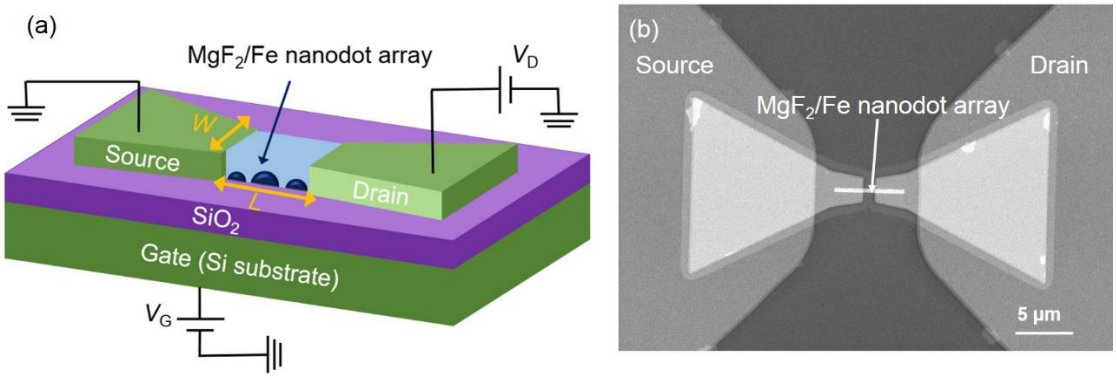

Fig. 5−6.　(a) Schematic and (b) scanning electron microscopy images of the micro-sized device (L = 1 μm, W = 310 nm).

5. 3. 2.　振動特性のコンダクタンス依存性

前節において，マクロサイズデバイスの基本的な電気特性を評価したところ，デバイスのコンダクタンスが t_{Fe} と基板の種類に依存していることがわかった．これは，ドット密度，ドットサイズ，ドット間距離が，t_{Fe} や基板の種類によって変化するためである．本節ではまず，この傾向が，マイクロサイズのデバイスにおいても同様であるか調査した．T = 8 K における，マイクロサイズのデバイスのコンダクタンスの t_{Fe} および基板の種類に対する依存性を Fig. 5−7 に示す．青色および赤色のプロットは，それぞれ Thermal-SiO_2 および SiO_2-0%デバイスのコンダクタンスに対応する．グラフ中には，基本的には V_D = 20 mV におけるコンダクタンスをプロットしている．しかし，t_{Fe} = 2.10 nm, 2.12 nm の Thermal-SiO_2 デバイスのコ

ンダクタンスは, V_D = 20 mV において測定できないほどに低かった. そこで, これらのデバイスに関しては, V_D = 2 V におけるコンダクタンスを□でプロットした. また, 次段落において詳しく説明するが, 振動特性を示さなかったデバイスを△, 主に単一ドットに由来するシンプルな振動特性を示したデバイスを☆で示している. マクロサイズのデバイスと同様に, マイクロサイズのデバイスのコンダクタンスは, t_{Fe} の増加に伴って指数関数的に増加した. これは, Fig. 5−4 に示したように, t_{Fe} の増加に伴いドットサイズが増加し, ドット間のトンネル距離が減少したことを反映している. さらに, 同じ Fe 膜厚において SiO_2-0%デバイスは Thermal-SiO_2 デバイスよりもコンダクタンスが数桁程度高いことを確認した. これは, 前節において示したマクロサイズデバイスの電気特性の結果と矛盾しない. これらの結果は, ナノドットアレイのサイズを微細化しても, デバイスの基本的な電気特性の特徴(抵抗体素子のネットワークとしての特徴)は変わらないことを示している.

ここからは, マイクロサイズデバイスにおいて観測された振動特性について説明する. Thermal-SiO_2 デバイスにおける典型的なコンダクタンス(G)振動を, ゲート電圧 V_G の関数として Fig. 5−8 に示す. ここでは, 再現性のある G–V_G 曲線で, 振動の中心から±1%以上変化しているものをクーロンブロッケード振動と定義した. Fig. 5−7 に□のプロットとして示した, t_{Fe} が非常に薄い領域(t_{Fe} = 2.10, 2.12 nm)では, ドットサイズが小さく, ドット間距離が離れているためにコンダクタンスが非常に低くなっている($G < 10^{-13}$ S). この領域では出力に多くのノイズが含まれるため, ドットに由来する振動ピークとノイズを区別することが困難であった. t_{Fe} が増加すると, ドット間距離の減少によりコンダクタンスが増加し, 複雑な振動特性が明確に観測された(Fig. 5−8(a)). この t_{Fe} 領域では, 直並列に接続された複数のドットに由来する周期と振幅の異なる振動が重ね合わさっている. また, 量子化コンダクタンス($2e^2/h$)よりも高いトンネルコンダクタンスを有するドットに由来する伝導パスが, 振動のバックグラウンドを構成していると考えられる. t_{Fe} がさらに増加すると, 複雑な振動特性は観測されるが(Fig. 5−8(b), (c)), 主に単一ドットに由来するシンプルな振動特性も, ある一定頻度で観測された(Fig. 5−8(d)). t_{Fe} > 2.97 nm の領域では, デバイスのコンダクタンスが量子化コンダクタンスの値に近づいたために, 振動特性は消失した. Fig. 5−8 に示したグラフを見てみると, デバイスのコンダクタンスの増加に伴い, 振動が複雑な特性からシンプルな特性へと変化していた. 基板の種類を変えても, この傾向が見られるかどうかを調査した. SiO_2-0%デバイスにおける典型的なコンダクタンス振動特性を Fig. 5−9 に示す. 基板の種類により, ドット密度, ドットサイズ, ドット間距離が変化するため, 振動特性が観測される t_{Fe} の範囲がシフトしている. しかし, コンダクタンスの増加に伴い, 複数のドットに由来する複雑な振動から, 主に 1 つのドットに由来するシンプルな振動に特性が変化する傾向は同様であった. さらに, 各基板(Thermal-SiO_2 および SiO_2-0%)上に作製したデバイスのコンダクタンスのプロットと振動特性を比較したところ, コンダクタンスが近いデバイスでは同様の振動特性が観測される傾向が見られた. 例えば, $G = 10^{-6}$ 〜 10^{-7} S のデバイスでは, 基板の種類(ドット密度, ドットサイズ)に関係なく, ある一定の頻度でシンプルな振動

特性を示す傾向が見られた(Fig. 5−7, ☆). この結果から, デバイスのコンダクタンスが, ナノドットアレイにおける振動特性の特徴を決定する重要な要因であると考えられる. Fig. 5−7 中に黄色の点線で示すように, 振動特性の特徴は, デバイスのコンダクタンスによって, (1) 振動特性が観測されない(△)領域, (2) SET のようにシンプルな振動特性が一定頻度で観測される(☆)領域, (3) ナノドットアレイに由来する複雑な振動特性が観測される領域に大きく分類することができる.

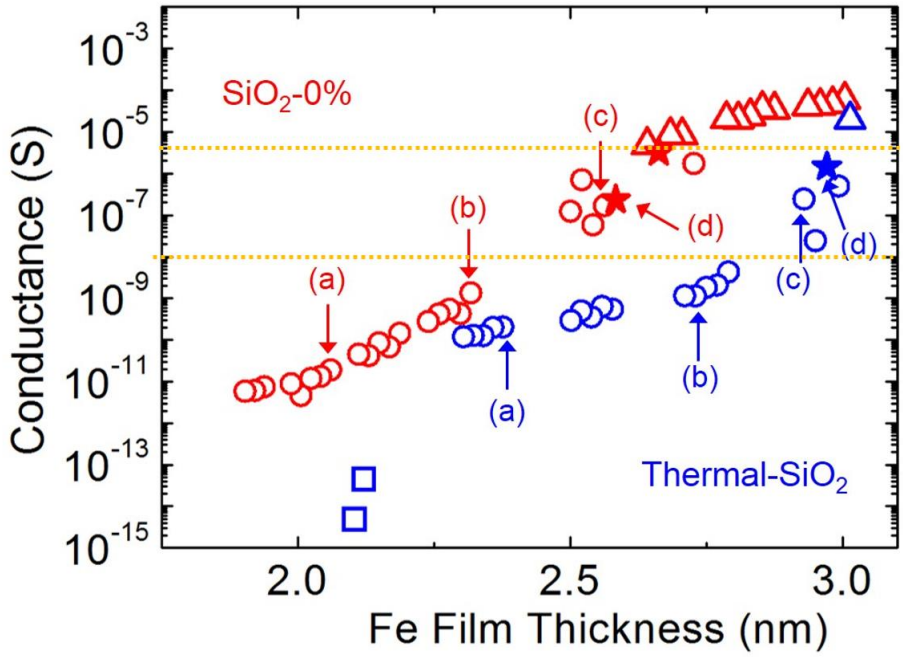

Fig. 5−7. The conductance dependence on t_{Fe} and the substrate type for the micro-sized devices at T = 8 K. Blue and red plots show the conductance of the devices fabricated on the Thermal-SiO_2, and SiO_2-0%. The conductance of the devices measured at V_D = 20 mV is plotted, except for the Thermal-SiO_2 based devices with t_{Fe} = 2.10 and 2.12 nm. The conductance of these devices was too low to be measured at V_D = 20 mV. Therefore, the conductance of these devices measured at V_D = 2 V are plotted (blue square). The conductance of the devices which showed no oscillation characteristics is indicated by triangle. Additionally, the conductance of the devices which showed the simple oscillations originating from mainly a single dot are indicated by star. The conductance of the devices which exhibited the oscillation characteristics shown in Fig. 5−8 and 5−9 are indicated by blue and red arrow (a, b, c, and d). The characteristics of the oscillation properties can be classified into the three regions indicated by the yellow dotted lines, depending on the conductance of the device.

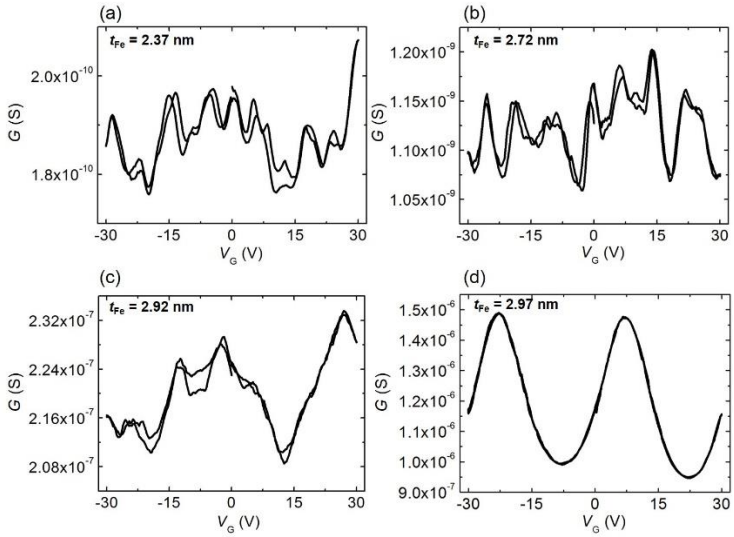

Fig. 5−8. Typical examples of the oscillation characteristics for the devices with different t_{Fe} formed on the Thermal-SiO_2. The oscillation characteristics were measured by back and forth V_G sweep at V_D = 10 mV. The Fe film thickness of the devices t_{Fe} = (a) 2.37, (b) 2.72, (c) 2.92, and (d) 2.97 nm. Assuming an isolated sphere, the gate capacitance should increase as the dot size increases with increasing t_{Fe}. This means that the oscillation period shortens with the increase in t_{Fe}. However, in the multi-dot device, the adjacent dots reduce the effective gate capacitance of the dot because the lines of electric force are partially attracted to the adjacent dots. This effect is thought to be more remarkable as t_{Fe} increases and the inter-dot distance decreases. Therefore, even if t_{Fe} is increased, the short-period oscillations are not always observed.

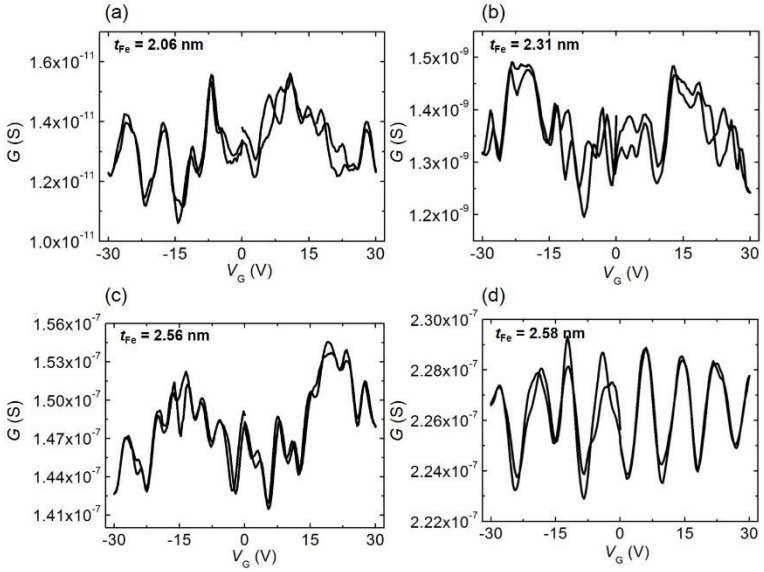

Fig. 5−9. Typical oscillation characteristics of the devices with different t_{Fe} formed on the SiO_2-0%. The gate voltage sweeps were performed at V_D = 10 mV. The Fe film thickness of the devices t_{Fe} = (a) 2.06, (b) 2.31, (c) 2.56, and (d) 2.58 nm.

5. 3. 3.　振動特性の温度およびドレイン電圧依存性

5. 3. 2 において述べた振動特性の評価だけでは, ナノドットアレイにおける単電子特性の特徴を把握することはできない. 振動特性の温度依存性, ドレイン電圧依存性を評価することにより, 単電子特性とドット分布の関係をさらに明らかにすることが期待できる. Thermal-SiO_2 デバイスにおいて観測された, シンプルな振動の測定温度(T)依存性を Fig. 5−10 に示す. 以下, このデバイスを device A と呼ぶ. T を 8 K から 90 K まで上昇させると, 振動のシンプルな形状は維持されたまま, 振幅は単調に減衰した. これは, クーロンブロッケード振動の隣り合うピークが高温において重なり合い, 振動の振幅が減衰するためであり, リーズナブルである[5,6]. この温度依存性から, Fig. 5−10 に示した比較的シンプルな振動は, 主に少数のドットに由来するものであることがわかる. Fig. 5−10 では, T = 90 K (熱エネルギー k_BT ~ 8 meV)においてドットのクーロンブロッケードが解除され, 振動特性が消失していることを確認した. この結果から, ドットの帯電エネルギーEc は約 8 meV と推定される. この値は, 第 2 章において推定した E_C 〜 10 meV と大きく離れていない. 同じ振動特性について, ドレイン電圧依存性を評価した. この結果を Fig. 5−11 に示す. ドレイン電圧依存性は, Fig. 5−10 に示した温度依存性と同様の傾向が見られた. V_D を 10 mV から 500 mV まで増加させると, シンプルな振動特性を維持したまま, 振幅が単調に減衰していることがわかる. これは, 振動特性が主に少数のドットに支配されていることを考えると, リーズナブルである. ドットのクーロンブロッケード状態を維持するためには, ドットの帯電エネルギーが eV_D よりも大きい必要がある. 従って, ドットの帯電エネルギー(E_C 〜 8 meV)を考慮すると, V_D = 500 mV において振動特性が消失したという結果は妥当である. これらの結果から, シンプルな振動特性は主に少数のドットに由来することが分かった.

複雑な振動特性についても温度依存性, およびドレイン電圧依存性を評価した. 複雑な振動特性の温度依存性を Fig. 5−12 に示す. 以下, このデバイスを device B と呼ぶ. T を 8 K から 60 K まで上げると, V_G 〜 -30 V 付近において観測された振動ピークは維持されるが, V_G = -15 V 〜 15 V において観測される振幅の小さな振動は消失した. これは, 熱エネルギーによって大きなサイズのドットのクーロンブロッケードは解除されるが, 小さなサイズのドットのクーロンブロッケードは温度が上がっても維持されるためである. この結果は, Fig. 5−12 に示す G–V_G 曲線が, サイズの異なる複数のドットに由来するクーロンブロッケード振動から構成されていることを示している. さらに, 測定温度を T = 150 K (k_BT ~ 13 meV) まで上昇させると, 振動特性は消失した. このことから, 小さなドットの E_C はおよそ 13 meV 程度と見積もられる. 同じ振動特性のドレイン電圧依存性を Fig. 5−13 に示す. V_D を 10 mV から 100 mV まで増加させると, V_D = 100 mV において V_G ~ -20 V 付近と V_G ~ 22 V 付近に新たな振動ピークが観測されたものの, 振動特性に大きな変化はなかった. その後, V_D = 500 mV において振動の振幅がわずかに減衰し, 振動の形状が複雑に変化した. さらに, V_D = 500 mV においても, 振動特性が明瞭に観測された (eV_D の値は推定される E_C ~ 13 meV より

はるかに大きい). これらの挙動は, Fig. 5−11 に示したシンプルな振動特性の結果とは異なるが, 推定される E_C は device A と device B であまり変わらない. Fig. 5−13 に示した結果は, 印加したドレイン電圧が, 直列に接続された複数のドットに分圧されていると考えることで説明できる. この状態で, ドレイン電圧の上昇により一部のドットのクーロンブロッケードが解除されると, 各ドットにかかるドレイン電圧の分布が変化し, 振動特性の詳細が Fig. 5−13 に示すように複雑に変化すると考えられる. この結果から, ナノドットアレイにおける振動特性は, 特性に寄与する直列に接続されたドットの数が重要であると考えられる.

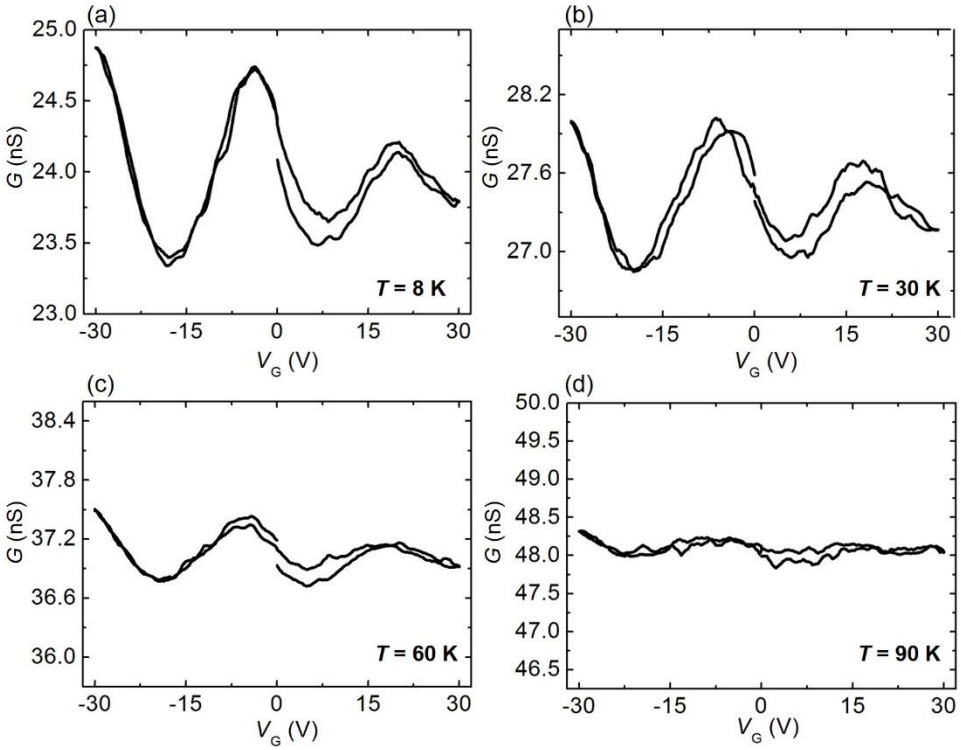

Fig. 5−10. Temperature dependence of the simple conductance oscillation of Device A (t_{Fe} = 2.95 nm) measured by V_G scans at V_D = 10 mV. Measurement temperature T = (a) 8, (b) 30, (c) 60, and (d) 90 K.

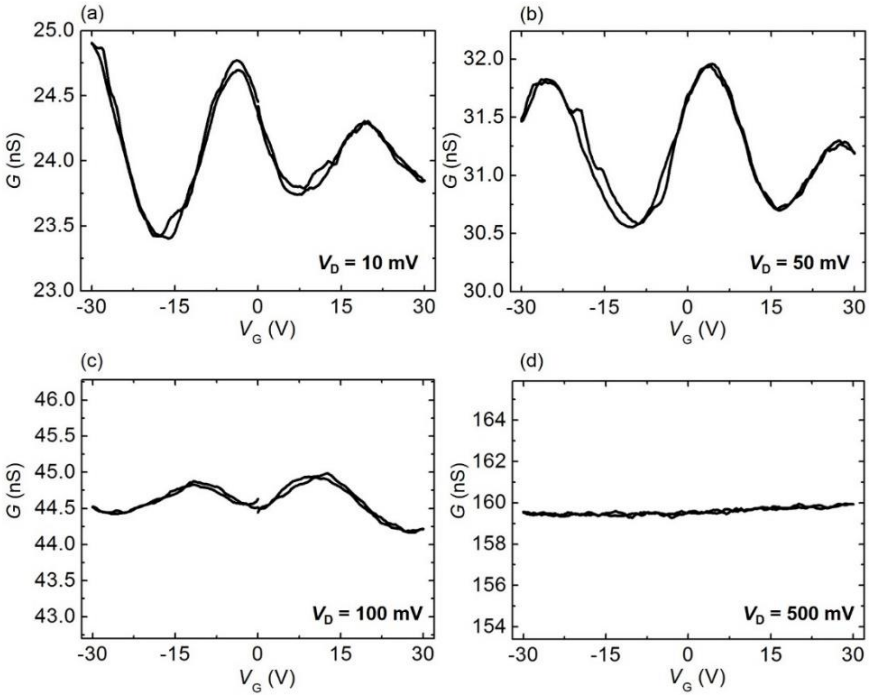

Fig. 5−11. Drain voltage dependence of the simple conductance oscillation of Device A (t_{Fe} = 2.95 nm) at T = 8 K. Measurement drain voltage V_D = (a) 10, (b) 50, (c) 100, and (d) 500 mV. After the measurement was performed at V_D = 500 mV, the measurement was performed again at V_D = 10 mV. This result corresponds to the graph shown in Fig. 5−10(a). The good reproducibility of the oscillation characteristic was confirmed even after changing V_D.

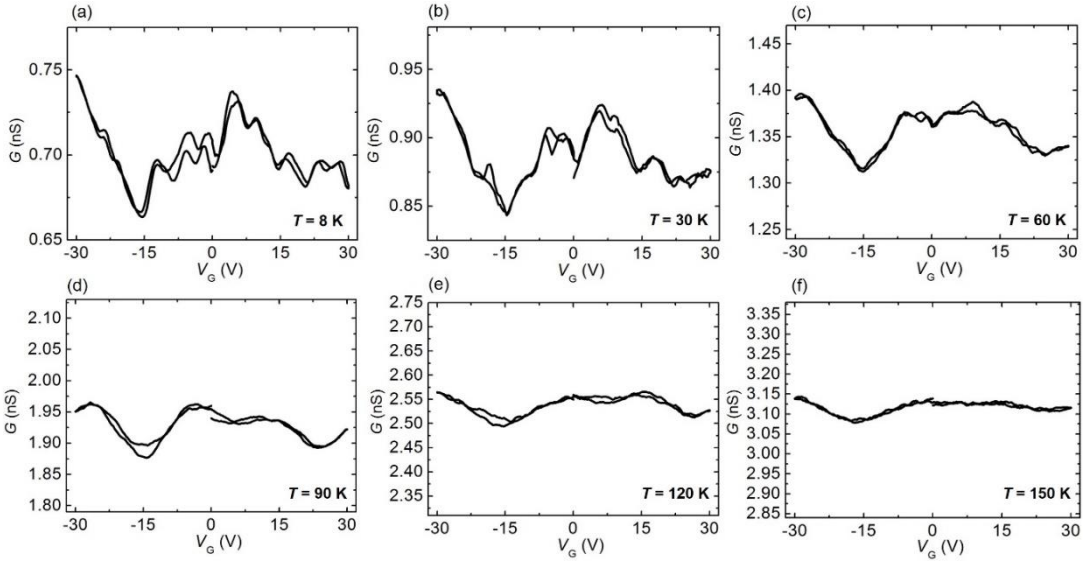

Fig. 5−12. Temperature dependence of the complicated conductance oscillation of Device B (t_{Fe} = 2.57 nm) at V_D = 10 mV. T = (a) 8, (b) 30, (c) 60, (d) 90, (e) 120 K, and (f) 150 K.

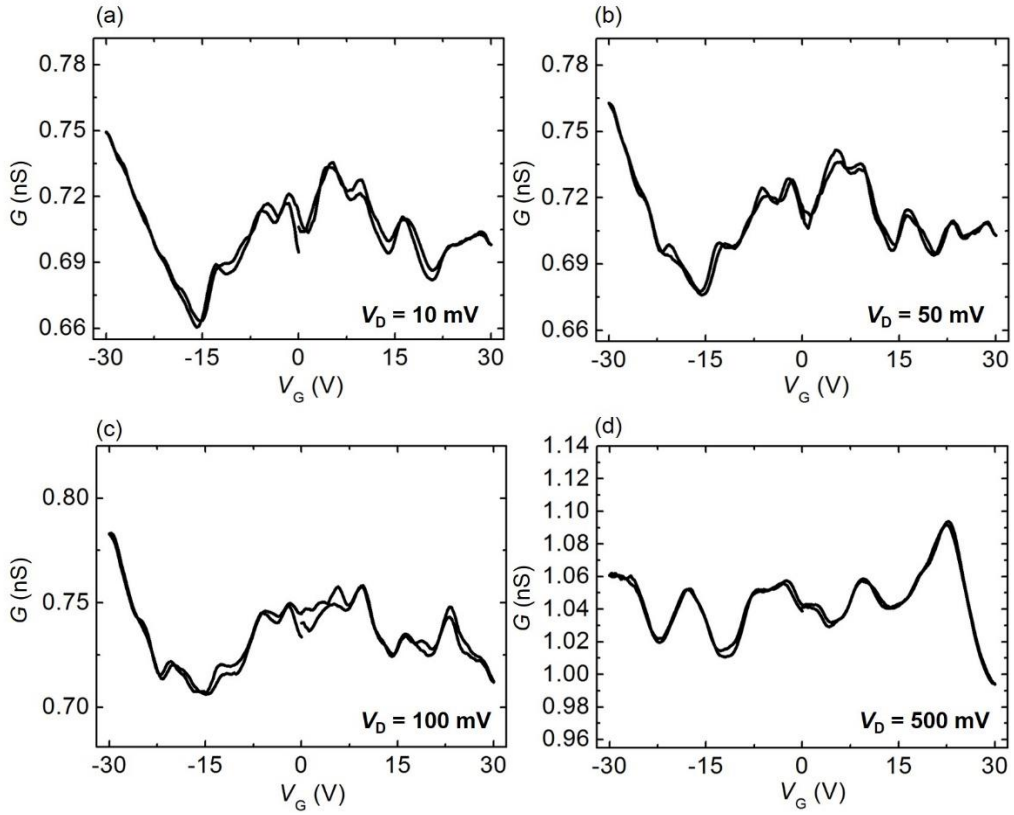

Fig. 5−13. Drain voltage dependence of the complicated conductance oscillation of Device B (t_{Fe} = 2.57 nm) at T = 8 K. V_D = (a) 10, (b) 50, (c) 100, and (d) 500 mV. After the oscillation was measured at V_D = 500 mV, the oscillation was measured again at V_D = 10 mV, which corresponds to the graph shown in Fig. 5−12(a).

t_{Fe} の異なる他のデバイスの振動特性の温度・ドレイン電圧依存性についても評価した．マルチドットデバイスの場合，振動の振幅やバックグラウンドに個体差があるため，生の測定データを用いて各デバイスの振動特性の電圧による減衰を比較することは困難である．そこで，本研究では，規格化したコンダクタンス振動の振幅を次のように定義した．以下に示す式は，T = 8 K, V_D = 10 mV におけるコンダクタンス振動の振幅に対して，各温度あるいはドレイン電圧における振動の振幅がどの程度減衰しているかを表したものである．この場合の振動の振幅は，V_G 掃引範囲内におけるコンダクタンスの最大値と最小値の差を意味する．

$$\text{Normalized amplitude } (T) = \frac{G_{\max}(T) - G_{min}(T)}{G_{\max}(T = 8\text{ K}) - G_{\min}(T = 8\text{ K})} \quad (V_D = 10\text{ mV})$$

$$\text{Normalized amplitude } (V_D) = \frac{G_{\max}(V_D) - G_{min}(V_D)}{G_{\max}(V_D = 10\text{ mV}) - G_{\min}(V_D = 10\text{ mV})} \quad (T = 8\text{ K})$$

G_{max} および G_{min} は V_G 掃引範囲におけるコンダクタンスの最大値および最小値を表す．これらの式を用い，Fe 膜厚の異なるデバイス(t_{Fe} = 2.35 ～ 2.97 nm)について，device A と

device B を含め, 振動特性の温度およびドレイン電圧依存性を評価した. その結果をまとめたものを Fig. 5−14 に示す. T を 8 K ~ 180 K まで上げると, 全てのデバイスにおいてコンダクタンス振動の規格化した振幅が徐々に減衰した(Fig. 5−14(a)). これは, T の増加に伴い, ドットのクーロンブロッケードが解除されたためと考えられる. Fe の膜厚が薄いデバイス(t_{Fe} = 2.35 ～ 2.74 nm)では, 振動の規格化した振幅の減衰が少し緩やかなように見える. これは, t_{Fe} が薄いデバイスでは, 振動特性に寄与するドットのサイズが小さい(E_C が大きい)傾向にあることを示唆している. しかし, 規格化した振幅の減衰の程度に大きな違いが無いことから, 評価したデバイス間でドットの帯電エネルギーに大きな差はないと考えられる. 一方, 振動の規格化した振幅のドレイン電圧依存性については, デバイス間で大きな差が見られた(Fig. 5−14(b)). t_{Fe} が比較的厚いデバイス(t_{Fe} = 2.92 ～ 2.97 nm)では, V_D = 50 mV, 100 mV において振動の規格化した振幅が急峻に減衰した. これらは, 数個のドットに由来する比較的シンプルな振動特性を示したデバイスである. この場合, 印加したドレイン電圧は高々1 個ないし数個のドットに分圧されるため, 1 個のドットあたりに分圧される値は大きくなる. 従って, このようなドットのクーロンブロッケードは, 比較的低い V_D において解除されるはずである. 一方, t_{Fe} が比較的薄いデバイス(t_{Fe} = 2.35 ～ 2.74 nm)では, 高いドレイン電圧領域(V_D = 500 mV)においても, 振動の規格化した振幅はあまり減衰していないことがわかった. これらのデバイスは, Fe 膜厚の厚い(t_{Fe} = 2.92 ～ 2.97 nm)デバイスに比べ, 多くのドットに由来する複雑な振動特性を示した. この場合, 印加されるドレイン電圧は直列に接続された多くのドットに分圧されるため, 個々のドットに分圧される値が小さくなる. つまり, このようなドットは, 高い V_D においてもクーロンブロッケードが維持されることになる. Fig. 5−14 に示す結果は, ドットの帯電エネルギーはあまり変わらないが, Fe 膜厚の増加により振動特性に寄与するドットの数が減少していることを示している. 以降, この理由について議論する.

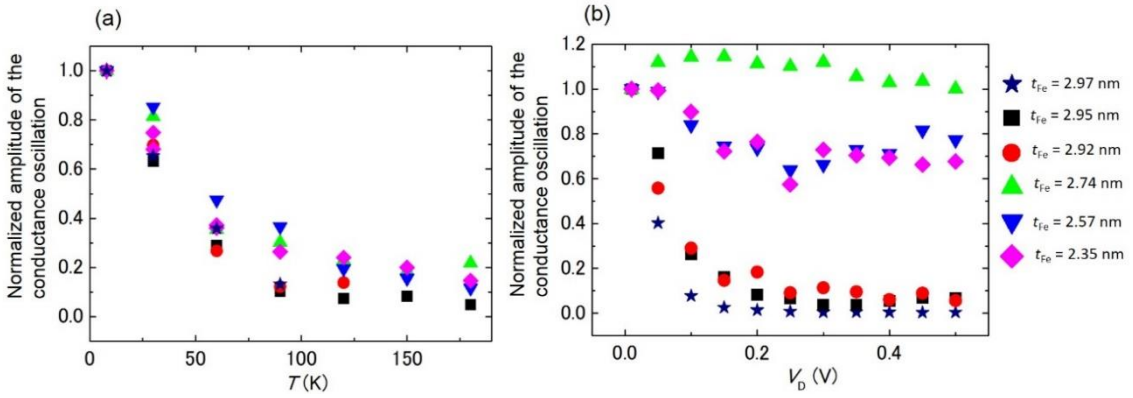

Fig. 5−14. Temperature (a) and drain voltage (b) dependence of the normalized amplitude of the conductance oscillations of the devices (t_{Fe} = 2.35 ~ 2.97 nm). The devices with t_{Fe} = 2.95 and 2.57 nm are Device A and Device B, respectively.

Fe 膜厚の増加に伴い振動特性に寄与するドット数が減少する理由を説明するため，簡略化したナノドットアレイのモデルを Fig. 5−15 に示す．実際のナノドットアレイでは並列の伝導パスの寄与もあるが，ここでは簡単のためにドットを直列に接続した 1 次元のナノドットアレイを考える．Fig. 5−15 では，赤色のドットが振動特性に寄与していると仮定する．Fe の膜厚が薄い(素子のコンダクタンスが低い)場合，多くのドット間のトンネルコンダクタンスは量子化コンダクタンスより低い．このとき，多くのドット(赤色)が振動特性に寄与していると考えられる．従って，この状況では，比較的複雑な振動特性が観測されるはずである．次に，Fe の膜厚が厚くなり，ドット間のトンネルコンダクタンスが高くなった場合を考える．この場合，トンネルコンダクタンスが量子化コンダクタンスよりも大きいドットの数が増加する．このとき，たとえドット間に物理的なギャップがあったとしても，それらのドットは，電気的にはつながっているとみなせる．Fe 膜厚の増加に伴い，電気的につながったドットの数が増えると，実効的なドット(赤色)の個数が減少し，比較的シンプルな振動特性が観測されると考えられる．このように考えると，Fe 膜厚の増加(デバイスのコンダクタンスの増加)に伴い，振動に寄与するドットの数が減少する理由を説明することができる．デバイスのコンダクタンスが量子化コンダクタンスに近い場合($G = 10^{-6} \sim 10^{-7}$ S)には，少数のドットが振動特性に寄与していると考えられる．この際，ドットの分布は不均一であるため，ある一定の確率で単一のドットに由来する振動特性が強調されて観測されることは有りうる．

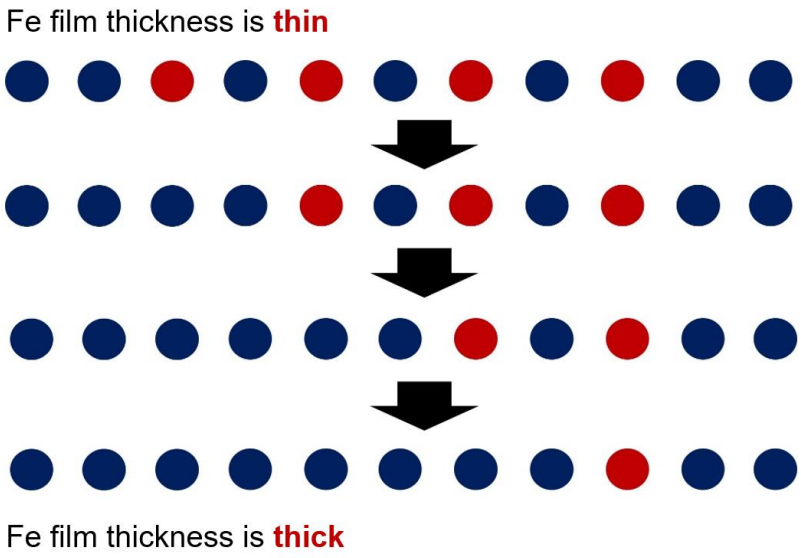

Fig. 5−15. The simplified one-dimensional nanodot array model, where the dots are connected in series. As the increase in the Fe film thickness, the number of the dots with higher tunneling conductance than the quantized value increases. Such dots are electrically conncted even if the physical gap exsits between the dots. This means that with the increase in the Fe film thickness, the number of the effective dots (red) contributing to the oscillation decreases.

この考察より, デバイスのコンダクタンスを調整することで, 振動特性に寄与する有効ドットの密度を多数のドットから単一ドットまで変化させることができると考えられる. つまり, デバイスのコンダクタンスによって, ナノドットアレイに由来する振動特性から SET に近いシンプルな振動特性まで変えることが可能である. この知見は, マルチドット単電子デバイスのフレキシブルな論理ゲート動作[7]の実現に向けて, 複雑な振動特性を得る際の指針になると期待される. さらに, 金属ドットの材料や基板の種類を変えることで, ドットの分布状況が変化し, 振動特性に更なるバリエーションを持たせることも期待できる. 例えば, Nb ナノドットアレイを用いたデバイスでは, 薄い金属膜領域(～ 2.4 nm)において, 振動のバックグラウンドがほとんどなく, on/off 比の大きな(約 20)振動特性が得られることが報告されている[8]. この結果は, Nb ドットを用いたデバイスが, 本研究で作製した Fe ナノドットデバイスと比べた場合に, 同じ膜厚におけるドットの分布状況が異なっていることを示唆している.

5. 4. 小括

Fe ナノドットアレイを用いた単電子デバイスを異なる基板(Thermal-SiO_2, SiO_2-0%)上に作製し, その電気特性を詳細に評価した. 作製したデバイスは, 低いコンダクタンスの領域では複数のドットに由来する複雑な発振特性を示し, コンダクタンスの増加に伴い, 一定の頻度で主に単一のドットに由来するシンプルな振動特性を示す傾向が見られた. さらに, 基板の種類(ドット密度, ドットサイズ)によらず, 同程度のコンダクタンスのデバイスは, 似たような振動特性を示すことが分かった. これらの結果から, ナノドットアレイにおける単電子特性は, デバイスのコンダクタンスに大きく影響されることを示した. さらに, 振動特性の温度依存性およびドレイン電圧依存性を評価した. その結果, デバイスのコンダクタンスを調整することで, 振動特性に寄与する実効的なドットの密度を変化させることが出来ることを示した. つまり, デバイスのコンダクタンスによって, ナノドットアレイの振動特性の特徴を, 複雑な特性からシンプルな特性まで変えることができることを示した. この知見は, デバイスの高機能な動作を実現するための複雑な出力を得るのに役立つものと期待される. 振動特性をさらに自由に変化させる方法の一つとして, ドット材料と基板の種類の組み合わせを変えるということが考えられる.

本研究により, デバイスのコンダクタンスを調整することで, 単一ドットに由来するシンプルな振動特性から多数のドットに由来する複雑な振動特性まで, ナノドットアレイにおける単電子特性の特徴を変えることができることを示した. 本研究により得られた知見は, 将来的に金属ナノドットアレイをデバイスに応用する上で, 重要な基礎となるものである.

5. 5. 参考文献

[1] 宮崎栄三, 表面科学の基礎と応用, フジ・テクノシステム (1991).

[2] Y. Li, A. Tsurumaki-Fukuchi, M. Arita, T. Morie, and Y. Takahashi, Initial states and analog switching behaviors of two major tantalum oxide resistive memories. *Jpn*. *J*. *Appl*. *Phys*. **59,** 044004 (2020).

[3] B. Abeles, P. Sheng, M.D. Coutts, and Y. Arie, Structural and electrical properties of granular metal films. *Adv*. *Phys*. **24,** 407 (1975).

[4] S. Miyazaki, Y. Hamamoto, E. Yoshida, M. Ikeda, and M. Hirose, Control of self-assembling formation of nanometer silicon dots by low pressure chemical vapor deposition. *Thin Solid Films* **369,** 55 (2000).

[5] S. Kano, D. Tanaka, M. Sakamoto, T. Teranishi, and Y. Majima, Control of charging energy in chemically assembled nanoparticle single-electron transistors. *Nanotechnol*ogy **26,** 045702 (2015).

[6] K. S. Makarenko, Z. Liu, M. P. de Jong, F. A. Zwanenburg, J. Huskens, and W. G. van der Wiel, Bottom-up single-electron transistors. *Adv*. *Mater*. **29,** 1702920 (2017).

[7] T. Kaizawa, T. Oya, M. Arita, Y. Takahashi, and J.-B. Choi, Single-Electron Device With Si Nanodot Array and Multiple Input Gates. *IEEE Trans*. *Nanotechnology* **8,** 535 (2009).

[8] Y. Iwata, T. Nishimura, A. Singh, H. Satoh, and H. Inokawa, High-frequency rectifying characteristics of metallic single-electron transistor with niobium nanodots. *Jpn*. *J*. *Appl*. *Phys*. **61,** SC1063 (2021).

第 6 章　総括

CMOS トランジスタの特性ばらつきや消費電力の増加という課題に伴い, 再構成可能コンピューティングやリザーバーコンピューティングといった新しい情報処理技術が注目されている. 複数のナノドットから構成されるマルチドット単電子デバイスは, それらの情報処理技術を低消費電力・高機能に実現できる可能性が期待される. 本研究では, 金属薄膜の成長初期に形成される自己組織化ナノドットアレイに注目した. この手法は, 蒸着のみで多数のドットを配置できるため, デバイスの作製に有利である. しかし, 形成されるナノドットアレイは, サイズのばらついた多数のドットがランダムに分布しているため, 明瞭な単電子特性は得られないと予想されてきた. この予想のために, 金属ナノドットアレイはデバイス利用の可能性を秘めているにも関わらず, その単電子特性の評価・理解は進んでいなかった. この課題を踏まえ, 本研究では薄膜蒸着法により Fe ナノドットアレイを用いたマルチドット単電子デバイスを作製し, その単電子特性を評価した. その結果, 数百 ~ 千個以上のドットが存在する系においても, 明瞭な単電子特性が得られることを明らかにした. さらに, ナノドットアレイにおける単電子特性の特徴は, デバイスのコンダクタンスによって決まることが分かった. Fe 膜厚や基板の表面状態によりデバイスのコンダクタンスを調整することで, SET のように 1 個のドットに由来する振動特性からナノドットアレイに由来する振動特性まで, 単電子特性の特徴を変えることができた. 本章では, 2–5 章において得られた結果をまとめ, その意義および金属ナノドットアレイを用いたマルチドットデバイスの展望について述べる.

■ Fe ナノドットデバイスにおいて観測された単一ドット由来の振動特性

Fe ナノドットアレイを用いたマルチドットデバイスを作製し, 明瞭なクーロンブロッケード特性を実現した. このナノドットアレイは, 熱酸化 SiO_2/Si 基板上のソース・ドレイン電極間に単層の Fe を蒸着することで, 自己組織的に作製したものである. 平均 Fe 膜厚が金属伝導を示す閾値(t_{Fe} = 2.8 nm)以下のほとんどのデバイスにおいて, ゲート電圧の関数として電流振動特性が観測された. 多くの場合, 多数のドットの寄与により複雑な振動特性が観測されるが, 金属伝導を示す膜厚に近い t_{Fe} = 2.4 ～ 2.8 nm の範囲では, 単一のドットに由来すると思われるシンプルな電流振動が一定の確率(約 10%)で観測された. このシンプルな振動特性についてフェルミ・ディラック分布関数を用いて解析したところ, 多くのドットの中に存在する特定の 1 つのドットから出現していることを明らかにした. また, 振動周期を詳しく解析したところ, 位相が時々シフトすることがわかった. この現象は, その単一ドットから離れた位置に存在するサテライトドットの単電子効果によって説明できる.

これらの結果から, 複雑な系を用いたナノドットアレイにおいても, 明瞭な単電子特性が得られることを示した. さらに, 金属伝導を示す膜厚付近において, 単一のドットに由来するシンプルな振動特性が一定頻度で得られることを明らかにした.

■ Fe ナノドットデバイスの動作安定性

金属ドット系を用いた単電子デバイスでは, 電荷ノイズに起因する時間依存の不安定性であるオフセットチャージドリフトが顕著であることが知られている. この不安定性は, 電荷のセンシングや, 新しい情報処理デバイスへの応用において問題となる. しかし, 金属ドット系を用いたデバイスにおけるオフセットチャージの安定性は, Al−Al_2O_3 系を用いたデバイスを除き, これまで調査されていなかった. 本研究では, 絶縁体である MgF_2 中に単層 Fe ナノドットアレイを埋め込んだデバイスについて, そのオフセットチャージの安定性を評価した. シンプルな電流振動を示したデバイスを用い, 振動の時間的なピークシフトに着目することで, Fe マルチドットデバイスにおけるオフセットチャージドリフト(ΔQ_0)を評価した. 評価したドリフト量($\Delta Q_0 \sim 0.3$e)は, Al ドットおよび Al_2O_3 トンネル接合を用いたデバイスよりも小さく, 比較的安定した動作が期待できることを示した. 作製したデバイスの優れたオフセットチャージ安定性は, Fe−MgF_2 系の材料特性およびデバイス構造に起因するものと考えられる. また, 作製した Fe ナノドットアレイは多数のドットを含むため、トラップとして作用するサテライトドットがオフセットチャージの不安定性に及ぼす影響について議論した. サテライトドットへの電子のトンネルにより, 単電子島(ドット)のポテンシャルが変化し, 振動の位相が急峻にシフトした. これにより, オフセットチャージの値がジャンプし, 見かけのドリフト量が増加することが分かった. これはマルチドットデバイス特有の電荷ノイズであり, 微細化によりサテライトドットの個数を削減することで, この電荷ノイズを抑制することが期待される.

■ Fe ナノドットデバイスのマルチゲート動作

マルチドットデバイスは, 複数の入力ゲートを取り付けることにより, 論理ゲート動作といったような機能的な動作が期待できる. しかし多数のドットから構成されたナノドットアレイは構造的に複雑であるため, そのような複雑な系における単電子特性を複数のゲートを用いて評価することは行われていなかった. 本研究では, Fe ナノドットアレイを用いたダブルゲートデバイスを真空蒸着法により作製し, その単電子特性(トップゲート電圧 V_T, バックゲート電圧 V_B を用いて変調)を調べた. クーロンブロッケード振動の位相は V_T によって系統的に変化し, ランダムなマルチドット構造にもかかわらず, 単一ドットの電荷状態を両方のゲート電圧によって制御できることを示した. この結果は, 多数のドットが存在する系におけるクーロンブロッケード振動を, 2 つのゲートによって変調できることを示している. 上下のゲートは, 以下のような幾何学的な効果により, ドットの電子状態に不均一な影響を与えることが分かった. (1) 垂直方向に非対称なドット形状, (2)ドットサイズ

(周囲のドットを含む)のばらつきである．これは，真空蒸着法により作製した金属ドットナノドットアレイの特徴である．このようなナノドットアレイに由来するばらつきは，フレキシブルな論理ゲート動作といったような，マルチドットデバイスの高機能化に有効である．現状のドット系ではバックグランド電流が大きく，電流のオン・オフ比が大きく取れていないが，微細 MOSFET をカスコード接続することにより大きく改善できることが知られている．電流駆動力の小さな単電子デバイス系では外部への出力のためには MOSFET の力を借りることは不可欠であり，またこれからの機能処理には，ナノドットアレイによるフレキシブルな機能と，従来の CMOS ロジックの機能との連携・協調が不可欠であると予想される．金属ナノドットアレイデバイスは，CMOSLSI の絶縁膜層上の配線層内に複雑なプロセスを経ずに容易に形成することができるので，CMOSLSI との連携・協調に極めて有利であることを記しておく．

さらに本研究では，Fe ナノドットアレイに 3 つのゲートを取り付けたトリプルゲートデバイスを作製し，その単電子特性を評価した．その結果，微細なゲートを用いて，ランダムなマルチドット構造における振動特性を変調できることを示した．また，ドットと各ゲート間の容量が不均一であるために，各ゲートに対する出力は不均一であった．このようなバリエーション豊かな出力は，マルチドットデバイスの更なる高機能化に有効であると期待される．今後，配置する微細ゲートの形状や個数・サイズを工夫することで，さらに複雑な出力を実現することが期待できる．

■ 金属ナノドットアレイにおける単電子特性の特徴

ランダムに分布する Fe ナノドットアレイを用いたマルチドットデバイスを異なる基板(Therma-SiO_2, SiO_2-0%)上に作製し，その電気特性を評価した．デバイスのコンダクタンスの増加に伴い，クーロンブロッケード振動特性は，複数のドットに由来する複雑な特性から，主に単一のドットに由来するシンプルな特性へと変化する傾向があることを示した．さらに，たとえ基板の種類(ドット密度,ドットサイズ)を変えたとしても，同程度のコンダクタンスのナノドットデバイスでは，同じような特徴の振動特性が観測された．これらの結果は，デバイスのコンダクタンスが，金属ナノドットアレイにおける振動特性を支配する重要な要因であることを示している．さらに，Fe 膜厚の異なるデバイスにおける振動特性の温度およびドレイン電圧依存性を詳細に評価した．その結果，ドットのサイズに大きな違いはないが，Fe 膜厚(コンダクタンス)の増加に伴って振動特性に寄与する実効的なドット数が減少することがわかった．これは，デバイスのコンダクタンスによって，ナノドットアレイの振動特性の特徴を変えられることを意味する．この知見は，デバイスの複雑な振動特性を得て，フレキシブルな論理ゲート動作を実現するための指針になるものである．また，ドットの分布の状況(ドット密度，サイズ，トンネル距離)をより自由に変化させることで，ナノド

ットアレイの振動特性に更なるバリエーションを持たせることが期待できる．その一つの有効な方法として，金属ドット材料や基板の種類の組み合わせを変えることが考えられる．

以上のことから，本研究では金属ナノドットアレイにおける単電子特性の特徴についての重要な知見を得ることができた．まだ基礎的な研究段階ではあるものの，本研究によって金属ナノドットアレイのデバイス応用に向けた指針を得ることができた．本研究を踏まえ，複雑・ランダムな系を用いたナノドットデバイスに関する研究がより一層活発になることを期待する．

謝辞

本研究の遂行にあたり，指導教官である有田 正志先生を始め，高橋 庸夫先生，福地 厚先生には多大なご指導，助言を頂きました．日ごろの議論だけでなく，学術雑誌論文や予稿の添削，発表練習を含めた多くのことの面倒を見て頂きました．心より感謝致します．また，主査の葛西 誠也先生，副査の末岡 和久先生，植村 哲也先生には様々なご意見を頂き，本論文の内容をブラッシュアップすることができました．心より感謝いたします．本研究の実験を進めるにあたり，実験装置の使い方の指導など様々なサポートしていただいたナノ物性工学研究室 浅井 佑基氏に感謝致します．また，同じ研究グループの天野 郁馬氏，谷澤 涼太氏，吉田 聖氏には，試料作製や多くの議論をして頂きました．感謝申し上げます．

試料作製の際には，装置の使い方からトラブルの対処まで，ナノエレクトロニクス研究室のアグス スバギヨ先生，電子科学研究所の大西 広氏，中野 和佳子氏には大変お世話になりました．また，研究室の在学生および卒業生の皆様にも大変お世話になりました．経済的な面を含めてこれまで研究生活を支えてくれた渡邉 莉奈氏および渡邉 哲氏，辻野 正之介氏にも感謝致します．ありがとうございました．

本研究は，日本学術振興会 科学研究費補助金(22J10036)および生体医歯工学共同研究事業による支援を受けて実施したものである．また，本実験の一部は，文部科学省ナノテクノロジープラットフォームプログラム (北海道大学)により実施された．

本論文の著者は，日本学術振興会特別研究員，文部科学省 博士課程データ関連人材育成プログラム(D-DRIVE-HU)，国立研究開発法人科学技術振興機構(JST) 北海道大学 DX 博士研究員，公益財団法人クロサワ育成財団の支援を受けた．

研 究 業 績 目 録

氏　名　瘧師　　貴幸

１．論文（学位論文関係）

Ⅰ 査読付学会誌等

(1) T. Gyakushi, Y. Asai, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Periodic Coulomb blockade oscillations observed in single-layered Fe nanodot array, Thin Solid Films **704,** 138012 (2020) (IF = 2.183).

(2) T. Gyakushi, Y. Asai, S. Honjo, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahash: Charge-offset stability of single-electron devices based on single-layered Fe nanodot array, AIP Advances **11,** 035230 (2021) (IF = 1.69).

(3) T. Gyakushi, I. Amano, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Double gate operation of metal nanodot array based single electron device, Scientific Reports **12,** 11446 (2022) (IF = 4.996).

Ⅱ 査読付国際学会プロシーディングス

(1) T. Gyakushi, Y. Asai, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Double-Gate Single-Electron Transistor Characteristics of Single-Layer Fe-MgF_2 Granular Films, Proc. 30th Internat. Microproc. Nanotechnol. Conf. (MNC 2018), pp. #15P-7-31_1-2 (14/November/2018).

(2) T. Gyakushi, Y. Asai, B. Byun, I. Amano, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Double-gate single-electron devices formed by single-layered Fe nanodot array, Proc. 2020 Silicon Nanoelectronics Workshop (SNW 2020), pp. 37-38 (13-21/June/2020).

(3) T. Gyakushi, Y. Asai, B. Byon, I. Amano, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Non-Uniform Gate-Capacitance Distribution in Fe Nanodot Array Based Double-Gate Single-Electron Devices Due to Geometrical Structure of the Dots, in Extended Abstract of the 2021 Internat. Conf. Sol. Stat. Dev. Materials (SSDM 2021), pp. 448-449 (06/September/2021).

(4) T. Gyakushi, I. Amano, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Coulomb blockade oscillations observed in micrometer-sized single-electron device of metal nanodot array, Proc. 2022 Silicon Nanoelectronics Workshop (SNW 2022), pp. 65-66 (12/June/2022).

２．論文（その他）

なし

３．講演（学位論文関係）

(1) T. Gyakushi, Y. Asai, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahash, S. Samukawa: Double-gate single-electron transistor formed by Fe nanodot array, 16th International Conference on Flow Dynamics (ICFD 2019), #CRF-30 (@Sendai International Center, Sendai, Japan, 2019.11.07).

(2) T. Gyakushi, Y. Asai, S. Honjo, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Charge offset stability of Fe nanodot device embedded in an insulating MgF_2, The 12th International Conference on the Science and Technology for Advanced Ceramics (STAC12), #P1-19 (online, 2021.07.06).

(3) 瘧師貴幸, 浅井佑基, 福地厚, 有田正志, 高橋庸夫：ダブルゲート Fe-MgF_2 単電子トランジスタの作製と評価， 第 79 回応用物理学会秋季学術講演会，#21a-221A-6 (@名古屋国際会議場，名古屋，2018.09.21).

(4) 瘧師貴幸，浅井佑基，福地厚，有田正志，高橋庸夫 : 単層 Fe-MgF_2 グラニュラー単電子トンジスタにおける等周期クーロン振動の解析，第 54 回応用物理学会北海道支部学術講演会，#A-20 (@サン・リフレ函館，函館，2019.01.06).

(5) 瘧師貴幸，浅井佑基，福地厚，有田正志，高橋庸夫 : 単層 Fe-MgF_2 グラニュラー薄膜単電子トランジスタにおける等周期クーロン振動特性の解析，第 66 回応用物理学会春季学術講演会，#12p-W934-7 (@東工大，東京，2019.03.12).

(6) 瘧師貴幸, 浅井佑基, 卞範模, 天野郁馬, 福地厚, 有田正志, 高橋庸夫： Fe ナノドットアレイを用いたダブルゲート単電子デバイスの作製と評価, 第 67 回応用物理学会春季学術講演会, #12a-D311-2 (DVD による発表, 2020.03.12).

(7) 瘧師貴幸, 浅井佑基, 卞範模, 天野郁馬, 福地厚, 有田正志, 高橋庸夫： マルチドット単電子デバイスにおけるドットの三次元構造によるゲート容量の不均一化, 第 81 回応用物理学会秋季学術講演会, #9p-Z26-1 (online, 2020.09.09).

(8) 瘧師貴幸, 浅井佑基, 本庄周作, 福地厚, 有田正志, 高橋庸夫： 単層 Fe ナノドットアレイ単電子デバイスのオフセットチャージ安定性, 第 68 回応用物理学会春季学術講演会, #19a-Z16-3 (online, 2021.03.19).

(9) 瘧師貴幸, 浅井佑基, 卞範模, 天野郁馬, 福地厚, 有田正志, 高橋庸夫 : 単層 Fe ナノドットアレイを用いて作製した単電子デバイスの電気特性，電子情報通信学会電子デバイス研究会，#ED2021-6 (online, 2021.05.27).

(10) 瘧師貴幸，天野郁馬，福地厚，有田正志，高橋庸夫 : 金属ナノドットアレイデバイスにおける電気特性のアレイサイズ依存性，第 57 回応用物理学会北海道支部学術講演会，#B-9 (online, 2022.01.08).

(11) 瘧師貴幸，天野郁馬，福地厚，有田正志，高橋庸夫 : 金属マルチドット単電子デバイスの電気特性のデバイスサイズ依存性，第 69 回応用物理学会春季学術講演会, #26a-E305-2 (online, 2022.03.26).

(12) 瘧師貴幸，天野郁馬，福地厚，有田正志，高橋庸夫 : 熱酸化・スパッタ成膜 SiO_2 上に形

成した金属ナノドットアレイの特性, 第 83 回応用物理学会秋季学術講演会, #21a-A102-1 (@東北大，仙台, 2022.09.21).

4．講演（その他）

(1) I. Amano, T. Gyakushi, A. Tsurumaki-Fukuchi, M. Arita, Y. Takahashi: Dependence of Transport Characteristics of Fe Nanodot Array on The Underlayer Surface, 33rd Internat. Microprocesses and Nanotechno. Conf., #2020-22-9 (on demand web, 2020.11.09-12).

(2) 浅井佑基，本庄周作，瘧師貴幸，福地厚，有田正志，高橋庸夫：単層 Fe-MgF_2 グラニュラー薄膜を用いた単電子トランジスタの電気特性，電子情報通信学会電子デバイス研究会，#1 (@北海道大学，札幌，2018.02.28).

(3) 浅井佑基，瘧師貴幸，福地厚，有田正志，高橋庸夫：単層 Fe-MgF_2 グラニュラー薄膜を用いた単電子トランジスタの特性評価， 第 79 回応用物理学会秋季学術講演会，#21a-221A-6 (@名古屋国際会議場，名古屋，2018.09.21).

(4) 天野郁馬，瘧師貴幸，福地厚，有田正志，高橋庸夫：SiO_2 上の Fe ナノドットアレイの電気伝導特性の表面依存，第 55 回応用物理学会北海道支部学術講演会，#B-5 (@北海道大学，札幌，2020.01.11).

(5) 谷澤涼太，天野郁馬，瘧師貴幸，福地厚，有田正志，高橋庸夫：Fe ナノドットアレイの電気伝導特性の下地層依存性，第 56 回応用物理学会北海道支部学術講演会，#B-12 (online，2021.01.09).

(6) 谷澤涼太，天野郁馬，瘧師貴幸，福地厚，有田正志，高橋庸夫： 異なる SiO_2 下地層上に形成したナノドットアレイの電気特性比較，第 68 回応用物理学会春季学術講演会，#19a-Z16-4 (online, 2021.03.19).

(7) 天野郁馬，瘧師貴幸，谷澤涼太，福地厚，有田正志，高橋庸夫：熱酸化およびスパッタ製膜 SiO_2 上に形成した Fe ナノドットアレイの単電子特性，第 82 回応用物理学会秋季学術講演会，#13p-N403-1 (online, 2021.09.13).

5．特許

なし

6. 受賞

(1) 瘧師貴幸，第 54 回応用物理学会北海道支部学術講演会 発表奨励賞受賞 (2019.03.06)

(2) 瘧師貴幸，電子情報通信学会電子デバイス研究会 論文発表奨励賞受賞 (2021.06.25)

7. 競争的資金の獲得

瘧師貴幸，日本学術振興会 科学研究費助成事業 特別研究員奨励費 2022 年度

以上